

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2025-19015
(P2025-19015A)

(43)公開日 令和7年2月6日(2025.2.6)

(51)国際特許分類	F I	テーマコード (参考)
H 0 4 L 25/03 (2006.01)	H 0 4 L 25/03	C 5 K 0 2 9
H 0 4 B 3/06 (2006.01)	H 0 4 B 3/06	A 5 K 0 4 6
H 0 4 L 25/49 (2006.01)	H 0 4 L 25/49	L

審査請求 有 請求項の数 10 O L (全13頁)

(21)出願番号 特願2024-118868(P2024-118868)	(71)出願人 518107501
(22)出願日 令和6年7月24日(2024.7.24)	コリア ユニバーシティ リサーチ アンド
(31)優先権主張番号 10-2023-0096721	ビジネス ファウンデーション
(32)優先日 令和5年7月25日(2023.7.25)	KOREA UNIVERSITY RE
(33)優先権主張国・地域又は機関 韓国(KR)	SEARCH AND BUSINESS
	FOUNDATION
	大韓民国ソウル城北区安岩路145
	145, Anam-ro, Seongb
	uk-gu, Seoul, Korea
	(74)代理人 100130111
	弁理士 新保 斉
	(72)発明者 キム、チョル ウ
	大韓民国、ソウル、カンナム - グ、ソン
	ルン - ロ、221
	(72)発明者 カン、ヒョ シン
	最終頁に続く

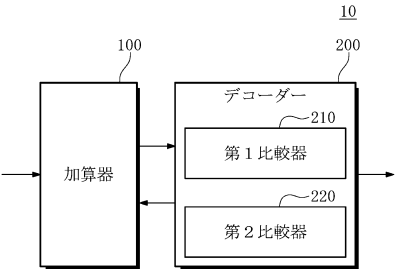
(54)【発明の名称】 P A M - 4 デコーダーの比較器の数を最小化した判定帰還等化器及びその動作方法

(57)【要約】

【課題】P A M - 4 デコーダーの比較器の数を最小化した判定帰還等化器及びその動作方法を提供すること。

【解決手段】グレイコードに基づいたP A M - 4 信号と第1及び第2ビット信号を受信し、前記第1及び第2ビット信号に応答して前記P A M - 4 信号の電圧レベルに既設定された係数を加算した入力電圧を出力する加算器、及び前記入力電圧及び前記P A M - 4 信号の第1乃至第3基準電圧を受信し、前記第1及び第2ビット信号を出力するデコーダーを含み、前記デコーダーは、前記入力電圧と前記第1基準電圧のサイズを比較して前記第1ビット信号を出力する第1比較器、及び前記入力電圧と前記第2及び第3基準電圧の電荷排出強度を比較して前記第2ビット信号を出力する第2比較器を含むことができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

グレーコードに基づいた P A M - 4 信号と第 1 及び第 2 ビット信号を受信し、前記第 1 及び第 2 ビット信号に応答して前記 P A M - 4 信号の電圧レベルに既設定された係数を加算した入力電圧を出力する加算器と、

前記入力電圧及び前記 P A M - 4 信号の第 1 乃至第 3 基準電圧を受信し、前記第 1 及び第 2 ビット信号を出力するデコーダーと、を含み、

前記デコーダーは、

前記入力電圧と前記第 1 基準電圧のサイズを比較して前記第 1 ビット信号を出力する第 1 比較器と、

前記入力電圧と前記第 2 及び第 3 基準電圧の電荷排出強度を比較して前記第 2 ビット信号を出力する第 2 比較器と、を含む

ことを特徴とする判定帰還等化器。

10

【請求項 2】

前記第 2 比較器は、

前記入力電圧が前記第 2 基準電圧より大きく、前記第 3 基準電圧より小さい場合、前記第 2 ビット信号を 0 に出力し、

前記入力電圧が前記第 2 基準電圧より小さく、前記第 3 基準電圧より大きい場合、前記第 2 ビット信号を 1 に出力する

請求項 1 に記載の判定帰還等化器。

20

【請求項 3】

前記加算器は、

前記第 1 及び第 2 ビット信号の奇数ビットを利用して前記入力電圧の奇数信号を出力する第 1 タブと、

前記第 1 及び第 2 ビット信号の偶数ビットを利用して前記入力電圧の偶数信号を出力する第 2 タブと、を含む

請求項 1 に記載の判定帰還等化器。

【請求項 4】

前記加算器は、

前記第 1 及び第 2 ビット信号が各々 1 及び 0 である場合、前記 P A M - 4 信号の電圧レベルに第 1 係数を加算し、

前記第 1 及び第 2 ビット信号が各々 1 及び 1 である場合、前記 P A M - 4 信号の電圧レベルに第 2 係数を加算し、

前記第 1 及び第 2 ビット信号が各々 0 及び 1 である場合、前記 P A M - 4 信号の電圧レベルに第 3 係数を加算し、

前記第 1 及び第 2 ビット信号が各々 0 及び 0 である場合、前記 P A M - 4 信号の電圧レベルに第 4 係数を加算する

請求項 1 に記載の判定帰還等化器。

30

【請求項 5】

前記判定帰還等化器は、

データ信号を受信し、前記データ信号のすべての周波数成分を均一に等化して前記 P A M - 4 信号を出力する連続時間線型等化器と、

前記 P A M - 4 信号を受信し、前記 P A M - 4 信号の電圧レベルと前記第 1 乃至第 3 基準電圧との間の間隔を増幅する可変利得増幅器と、

前記加算器の共通モードを一定に維持する補償回路と、をさらに含む

請求項 1 に記載の判定帰還等化器。

40

【請求項 6】

判定帰還等化器の動作方法において、

グレーコードに基づいた P A M - 4 信号と第 1 及び第 2 ビット信号を受信し、前記第 1 及び第 2 ビット信号に応答して前記 P A M - 4 信号の電圧レベルに既設定された係数を加

50

算した入力電圧を出力する段階と、

前記入力電圧及び前記 P A M - 4 信号の第 1 乃至第 3 基準電圧を受信し、前記第 1 及び第 2 ビット信号を出力する段階と、を含み、

前記第 1 及び第 2 ビット信号を出力する段階は、

前記入力電圧と前記第 1 基準電圧のサイズを比較して前記第 1 ビット信号を出力する段階と、

前記入力電圧と前記第 2 及び第 3 基準電圧の電荷排出強度を比較して前記第 2 ビット信号を出力する段階と、を含む

ことを特徴とする判定帰還等化器の動作方法。

【請求項 7】

10

前記第 2 ビット信号を出力する段階は、

前記入力電圧が前記第 2 基準電圧より大きく、前記第 3 基準電圧より小さい場合、前記第 2 ビット信号を 0 に出力し、

前記入力電圧が前記第 2 基準電圧より小さく、前記第 3 基準電圧より大きい場合、前記第 2 ビット信号を 1 に出力する

請求項 6 に記載の判定帰還等化器の動作方法。

【請求項 8】

前記入力電圧を出力する段階は、

前記第 1 及び第 2 ビット信号の奇数ビットを利用して前記入力電圧の奇数信号を出力する段階と、

20

前記第 1 及び第 2 ビット信号の偶数ビットを利用して前記入力電圧の偶数信号を出力する段階と、を含む

請求項 6 に記載の判定帰還等化器の動作方法。

【請求項 9】

前記入力電圧を出力する段階は、

前記第 1 及び第 2 ビット信号が各々 1 及び 0 である場合、前記 P A M - 4 信号の電圧レベルに第 1 係数を加算し、

前記第 1 及び第 2 ビット信号が各々 1 及び 1 である場合、前記 P A M - 4 信号の電圧レベルに第 2 係数を加算し、

前記第 1 及び第 2 ビット信号が各々 0 及び 1 である場合、前記 P A M - 4 信号の電圧レベルに第 3 係数を加算し、

30

前記第 1 及び第 2 ビット信号が各々 0 及び 0 である場合、前記 P A M - 4 信号の電圧レベルに第 4 係数を加算する

請求項 6 に記載の判定帰還等化器の動作方法。

【請求項 10】

前記判定帰還等化器の動作方法は、

データ信号を受信し、前記データ信号のすべての周波数成分を均一に等化して前記 P A M - 4 信号を出力する段階と、

前記 P A M - 4 信号を受信し、前記 P A M - 4 信号の電圧レベルと前記第 1 乃至第 3 基準電圧との間の間隔を増幅する段階と、

40

前記入力電圧を出力する段階の共通モードを一定に維持する段階と、をさらに含む

請求項 6 に記載の判定帰還等化器の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は P A M - 4 デコーダーの比較器の数を最小化した判定帰還等化器及びその動作方法に関するものである。

【背景技術】

【0002】

最近、有線送受信機の伝送速度が上がるにつれて高速クロックをチップ全体に伝達する

50

ためのハードウェア費用が大きくなり、同時に電力消費が大きくなっている。したがって、送受信機は高速に伝送される膨大な量のデータ信号を処理するために多重位相構造 (Multi-Phase Architecture) を利用した技術が要求されている。

【0003】

このために、送受信機は連続時間線型等化器 (Continuous Time Linear Equalizer)、判定帰還等化器 (Decision Feedback Equalizer) 等を含むことができる。しかし、増加するデコーダーの比較器によってデータ及びクロック経路での電力消費が増加することと同時に帯域幅が制限される問題がある。

【先行技術文献】

10

【特許文献】

【0004】

【特許文献1】大韓民国登録特許第10-1872310号

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は上述した課題を解決するためのものであって、本発明の目的はPAM-4デコーダーの比較器の数を最小化した判定帰還等化器及びその動作方法を提供することにある。

【課題を解決するための手段】

20

【0006】

本発明はグレーコードに基づいたPAM-4信号と第1及び第2ビット信号を受信し、前記第1及び第2ビット信号に応答して前記PAM-4信号の電圧レベルに既設定された係数を加算した入力電圧を出力する加算器、及び前記入力電圧及び前記PAM-4信号の第1乃至第3基準電圧を受信し、前記第1及び第2ビット信号を出力するデコーダーを含み、前記デコーダーは、前記入力電圧と前記第1基準電圧のサイズを比較して前記第1ビット信号を出力する第1比較器、及び前記入力電圧と前記第2及び第3基準電圧の電荷排出強度を比較して前記第2ビット信号を出力する第2比較器を含むことができる。

【0007】

本発明の一実施形態において、前記第2比較器は、前記入力電圧が前記第2基準電圧より大きく、前記第3基準電圧より小さい場合、前記第2ビット信号を0に出力し、前記入力電圧が前記第2基準電圧より小さく、前記第3基準電圧より大きい場合、前記第2ビット信号を1に出力することができる。

30

【0008】

本発明の一実施形態において、前記加算器は、前記第1及び第2ビット信号の奇数ビットを利用して前記入力電圧の奇数信号を出力する第1タブ、及び前記第1及び第2ビット信号の偶数ビットを利用して前記入力電圧の偶数信号を出力する第2タブを含むことができる。

【0009】

本発明の一実施形態において、前記加算器は、前記第1及び第2ビット信号が各々1及び0である場合、前記PAM-4信号の電圧レベルに第1係数を加算し、前記第1及び第2ビット信号が各々1及び1である場合、前記PAM-4信号の電圧レベルに第2係数を加算し、前記第1及び第2ビット信号が各々0及び1である場合、前記PAM-4信号の電圧レベルに第3係数を加算し、前記第1及び第2ビット信号が各々0及び0である場合、前記PAM-4信号の電圧レベルに第4係数を加算することができる。

40

【0010】

本発明の一実施形態において、前記判定帰還等化器は、データ信号を受信し、前記データ信号のすべての周波数成分を均一に等化して前記PAM-4信号を出力する連続時間線型等化器、前記PAM-4信号を受信し、前記PAM-4信号の電圧レベルと前記第1乃至第3基準電圧との間の間隔を増幅する可変利得増幅器、及び前記加算器の共通モードを

50

一定に維持する補償回路をさらに含むことができる。

【0011】

本発明は判定帰還等化器の動作方法において、グレイコードに基づいたPAM-4信号と第1及び第2ビット信号を受信し、前記第1及び第2ビット信号に応答して前記PAM-4信号の電圧レベルに既設定された係数を加算した入力電圧を出力する段階、及び前記入力電圧及び前記PAM-4信号の第1乃至第3基準電圧を受信し、前記第1及び第2ビット信号を出力する段階を含み、前記第1及び第2ビット信号を出力する段階は、前記入力電圧と前記第1基準電圧のサイズを比較して前記第1ビット信号を出力する段階、及び前記入力電圧と前記第2及び第3基準電圧の電荷排出強度を比較して前記第2ビット信号を出力する段階を含むことができる。

10

【0012】

本発明の一実施形態において、前記第2ビット信号を出力する段階は、前記入力電圧が前記第2基準電圧より大きく、前記第3基準電圧より小さい場合、前記第2ビット信号を0に出力し、前記入力電圧が前記第2基準電圧より小さく、前記第3基準電圧より大きい場合、前記第2ビット信号を1に出力することができる。

【0013】

本発明の一実施形態において、前記入力電圧を出力する段階は、前記第1及び第2ビット信号の奇数ビットを利用して前記入力電圧の奇数信号を出力する段階、及び前記第1及び第2ビット信号の偶数ビットを利用して前記入力電圧の偶数信号を出力する段階を含むことができる。

20

【0014】

本発明の一実施形態において、前記入力電圧を出力する段階は、前記第1及び第2ビット信号が各々1及び0である場合、前記PAM-4信号の電圧レベルに第1係数を加算し、前記第1及び第2ビット信号が各々1及び1である場合、前記PAM-4信号の電圧レベルに第2係数を加算し、前記第1及び第2ビット信号が各々0及び1である場合、前記PAM-4信号の電圧レベルに第3係数を加算し、前記第1及び第2ビット信号が各々0及び0である場合、前記PAM-4信号の電圧レベルに第4係数を加算することができる。

【0015】

本発明の一実施形態において、前記判定帰還等化器の動作方法は、データ信号を受信し、前記データ信号のすべての周波数成分を均一に等化して前記PAM-4信号を出力する段階、前記PAM-4信号を受信し、前記PAM-4信号の電圧レベルと前記第1乃至第3基準電圧との間の間隔を増幅する段階、及び前記入力電圧を出力する段階の共通モードを一定に維持する段階をさらに含むことができる。

30

【発明の効果】

【0016】

本発明によれば、デコーダーの比較器の数を最小化した判定帰還等化器はデコーダーの比較器を最小化し、RZ信号を利用した判定帰還等化回路を具現することができる。したがって、本発明は全体的な回路の電力消費を低下させることができ、フィードバックループディレイ(Feedback Loop Delay)を低下させることができる。

40

【図面の簡単な説明】

【0017】

【図1】本発明の実施形態による判定帰還等化器を示すブロック図である。

【図2】本発明の実施形態によるPAM-4信号の第1乃至第3基準電圧を説明するための図面である。

【図3】本発明の実施形態による比較器の一例を示すブロック図である。

【図4A】本発明の実施形態による比較器の一例を示す回路図である。

【図4B】本発明の実施形態による比較器の一例を示す回路図である。

【図5】本発明の実施形態による加算器の一例を示す回路図である。

【図6】判定帰還等化器の他の実施形態を示すブロック図である。

50

【図 7】本発明の実施形態による判定帰還等化器動作の順序図である。

【発明を実施するための形態】

【0018】

以下では、本発明の技術分野で通常の知識を有する者が本発明を容易に実施できる程度に、本発明の実施形態が明確であり、詳細に記載される。

図 1 は本発明の実施形態による判定帰還等化器を示すブロック図である。

【0019】

本発明の実施形態による判定帰還等化器 (Decision Feedback Equalizer、10) は PAM - 4 (4 - Level Pluse Amplitude Modulation) 信号をグレイコード (Gray Code) で受信する受信装置で具現されることができる。例えば、判定帰還等化器 10 はデスクトップコンピュータ、ラップトップコンピュータ、タブレットコンピュータ、スマートフォン、ウェアラブル (Wearable) 装置、ビデオゲーム機、家電機器、医療機器等のような様々な装置の受信装置で具現されることができる。

図 1 を参照してより詳細に説明すれば、本発明の実施形態による判定帰還等化器 10 は加算器 100 及びデコーダー 200 を含む。

【0020】

加算器 100 はグレイコードに基づいた PAM - 4 信号と第 1 及び第 2 ビット信号を受信し、第 1 及び第 2 ビット信号に応答して PAM - 4 信号の電圧レベルに既設定された係数を加算した入力電圧を出力することができる。

【0021】

デコーダー 200 は入力電圧及び PAM - 4 信号の第 1 乃至第 3 基準電圧を受信し、第 1 及び第 2 ビット信号を出力することができる。このために、デコーダー 200 は第 1 比較器 210 及び第 2 比較器 220 を含む。

【0022】

第 1 比較器 210 は入力電圧と第 1 基準電圧のサイズを比較して第 1 ビット信号を 0 又は 1 に出力することができる。例えば、第 1 比較器 210 は入力電圧が第 1 基準電圧より大きい場合、第 1 ビット信号を 1 に出力し、入力電圧が第 1 基準電圧より小さい場合、第 1 ビット信号を 0 に出力することができる。

【0023】

第 2 比較器 220 は入力電圧と第 2 及び第 3 基準電圧の電荷排出強度を比較して第 2 ビット信号を 0 又は 1 に出力することができる。例えば、第 2 比較器 220 は入力電圧が第 2 基準電圧より大きく、第 3 基準電圧より小さい場合、第 2 ビット信号を 0 に出力し、入力電圧が第 2 基準電圧より小さく、第 3 基準電圧より大きい場合、第 2 ビット信号を 1 に出力することができる。第 1 及び第 2 比較器 210、220 のより詳細な説明は図 4 A 及び図 4 B で説明される。

【0024】

以上で上述したように、本発明の実施形態による判定帰還等化器 10 はデコーダー 200 の第 1 及び第 2 比較器 210、220 を通じてデータをデコーディング (Decoding) することができ、デコーダー 200 は RZ (Return - To - Zero) データである第 1 及び第 2 ビット信号を加算器 100 にフィードバックすることができる。したがって、デコーダー 200 は NRZ (Non - Return - To - Zero) データに変換させる追加的な過程を省略してデコーダー 200 のフィードバックループディレイ (Feedback Loop Delay) を低下させることができる。

【0025】

図 2 は本発明の実施形態による PAM - 4 信号の第 1 乃至第 3 基準電圧を説明するための図面である。

図 2 を参照すれば、PAM - 4 信号の最も低い第 1 レベルは 2 ビットデータ '00' にマッピングされることができ、PAM - 4 信号の最も高い第 4 レベルは 2 ビットデータ '10' にマッピングされることができる。PAM - 4 信号の第 2 レベルは 2 ビットデータ '01' 50

1' にマッピングされることができ、PAM-4信号の第3レベルは2ビットデータ'11'にマッピングされることができる。さらに、PAM-4信号の第1基準電圧VREFは第2及び第3レベルの間の電圧レベルであり、PAM-4信号の第2基準電圧VREFPは第3及び第4レベルの間の電圧レベルであり、PAM-4信号の第3基準電圧VREFNは第1及び第2レベルの間の電圧レベルであり得る。上述した第1乃至第4レベルとデータのマッピングはグレイコード方式によるマッピングであり、これは例示的なものであり、様々な目的に応じてマッピングを変更することができる。

【0026】

図3は本発明の実施形態による比較器の一例を示すブロック図である。

図3を参照すれば、デコーダー200は第1ビット信号(Most Significant Bit、MSB)及び第2ビット信号(Least Significant Bit、LSB)をデコーディング(Decoding)するために偶数経路(EVEN PATH)及び奇数経路(ODD PATH)を具現することができる。一方、デコーダー200の偶数経路と奇数経路はビット信号に対する差があるだけで同一な経路である。したがって、以下では、説明の便宜上奇数経路を代表的に説明する。

【0027】

奇数経路の第1比較器210は奇数クロック信号CLK_ODDに応答して入力電圧VINP、VINNに対する第1奇数ビット信号MSB_ODD、MSBB_ODDを出力することができる。

【0028】

奇数経路の第2比較器220は奇数クロック信号CLK_ODDに応答して入力電圧VINP、VINNに対する第2奇数ビット信号LSB_ODD、LSBB_ODDを出力することができる。

【0029】

デコーダー200は第1奇数ビット信号MSB_ODD、MSBB_ODD及び第2奇数ビット信号LSB_ODD、LSBB_ODDを加算器100にフィードバックすることができる。また、デコーダー200はSRラッチ230を通じて第1奇数ビット信号MSB_ODD、MSBB_ODD及び第2奇数ビット信号LSB_ODD、LSBB_ODDを変換して奇数復号化信号MSB_ODD_SR、LSB_ODD_SRを出力することができる。

【0030】

以上で説明したように、本発明の実施形態によるデコーダー200はビット信号に対する奇数経路と偶数経路を区分してPAM-4信号の直観的なビット値の表現と信号の復元を容易にすることができる。

【0031】

図4A及び図4Bは本発明の実施形態による比較器の一例を示す回路図である。図4Aは第1比較器210の一例を示す回路図であり、図4Bは第2比較器220の一例を示す回路図である。図4Aを参照すれば、第1比較器210は第1入力端211、第2入力端212、及び第1出力端213で具現されることができる。例えば、第1入力端211は各ゲートに正の入力電圧VINP及び第1基準電圧VREFが印加される複数のトランジスタを含むことができ、第2入力端212は各ゲートに負の入力電圧VINN及び第1基準電圧VREFが印加される複数のトランジスタを含むことができる。より詳細に、第1比較器210は共通信号を通じて第1トランジスタTR1がターンオンされて比較動作を遂行することができる。第1比較器210は第1入力端211で正の入力電圧VINPと第1基準電圧VREFを受信することができる。また、第1比較器210は第2入力端212で負の入力電圧VINNと第1基準電圧VREFを受信することができる。第1比較器210は第1入力端211と第2入力端212の受信情報を比較して第1出力端213を通じて0又は1である第1ビット信号MSBを出力することができる。例えば、第1比較器210は第1基準電圧VREFより入力電圧VINP、VINNが大きい場合、第1ビット信号MSBを1に出力し、第1基準電圧VREFより入力電圧VINP、VINN

が小さい場合、第 1 ビット信号 MSB を 0 に出力することができる。

【0032】

図 4 B を参照すれば、第 2 比較器 220 は第 3 入力端 221、第 4 入力端 222、及び第 2 出力端 223 で具現されることができる。例えば、第 3 入力端 221 は各ゲートに正の入力電圧 V_{INP} 及び負の入力電圧 V_{INN} が印加される複数のトランジスタを含むことができ、第 4 入力端 222 は各ゲートに第 2 基準電圧 V_{REFP} 及び第 3 基準電圧 V_{REFN} が印加される複数のトランジスタを含むことができる。より詳細に、第 2 比較器 220 は共通信号を通じて第 2 トランジスタ $TR2$ がターンオンされて比較動作を遂行することができる。第 2 比較器 220 は第 3 入力端 221 で正の入力電圧 V_{INP} と負の入力電圧 V_{INN} を受信することができる。また、第 2 比較器 220 は第 4 入力端 222 で第 2 基準電圧 V_{REFP} と第 3 基準電圧 V_{REFN} を受信することができる。第 2 比較器 220 は第 3 入力端 221 と第 4 入力端 222 の受信情報を比較して第 2 出力端 223 を通じて第 2 ビット信号 LSB を 0 又は 1 に出力することができる。

10

【0033】

より詳細に、第 2 比較器 220 は第 3 入力端 221 と第 4 入力端 222 の互いに異なる電荷排出強度を比較して第 2 ビット信号を 0 又は 1 に出力することができる。例えば、第 2 比較器 220 は入力電圧 V_{INP} 、 V_{INN} が第 2 基準電圧 V_{REFP} より大きく、第 3 基準電圧 V_{REFN} より小さい場合、第 2 ビット信号 LSB を 0 に出力することができる。また、第 2 比較器 220 は入力電圧 V_{INP} 、 V_{INN} が第 2 基準電圧 V_{REFP} より小さく、第 3 基準電圧 V_{REFN} より大きい場合、第 2 ビット信号 LSB を 1 に出力することができる。

20

【0034】

以上で上述したように、本発明の実施形態によるデコーダー 200 は入力電圧 V_{INP} 、 V_{INN} と第 1 基準電圧 V_{REF} のサイズを比較して第 1 ビット信号 MSB を出力することができる、入力電圧 V_{INP} 、 V_{INN} と第 2 及び第 3 基準電圧 V_{REFP} 、 V_{REFN} の電荷排出強度を比較して第 2 ビット信号 LSB を出力することができる。したがって、デコーダー 200 は第 1 及び第 2 ビット信号 MSB 、 LSB を出力する比較器の数を最小化することができ、判定帰還等化動作をすることができる 1 - Stage 構造を具現することができる。

30

【0035】

図 5 は本発明の実施形態による加算器の一例を示す回路図である。

図 5 を参照すれば、加算器 100 は第 1 及び第 2 ビット信号 MSB 、 LSB に応答して $PAM - 4$ 信号の電圧レベルに第 1 乃至第 4 係数を加算した入力電圧 V_{INP} 、 V_{INN} を出力することができる。このために、加算器 100 は第 1 タブ 110 及び第 2 タブ 120 を含む。一方、加算器 100 の第 1 タブ 110 及び第 2 タブ 120 はビット信号に対する差があるだけで同一な回路である。したがって、以下では説明の簡易化のために、第 1 タブ 110 を代表に説明する。

【0036】

第 1 タブ 110 は第 1 及び第 2 偶数ビット信号 MSB_EVEN 、 LSB_EVEN を利用して $PAM - 4$ 信号の電圧レベルに第 1 乃至第 4 係数を加算した入力電圧 V_{INP} 、 V_{INN} の偶数信号を出力することができる。例えば、第 1 タブ 110 は各ゲートに第 1 及び第 2 偶数ビット信号 MSB_EVEN 、 LSB_EVEN と動作電圧 V_1 、 V_2 が印加される複数のトランジスタを含むことができる。

40

【0037】

本発明の実施形態による第 1 タブ 110 は第 1 及び第 2 偶数ビット信号 MSB_EVEN 、 LSB_EVEN が各々 1 及び 0 である場合、 $PAM - 4$ 信号の電圧レベルに第 1 係数を加算し、第 1 及び第 2 偶数ビット信号 MSB_EVEN 、 LSB_EVEN が各々 1 及び 1 である場合、 $PAM - 4$ 信号の電圧レベルに第 2 係数を加算することができる。また、第 1 タブ 110 は第 1 及び第 2 偶数ビット信号 MSB_EVEN 、 LSB_EVEN が各々 0 及び 1 である場合、 $PAM - 4$ 信号の電圧レベルに第 3 係数を加算し、第 1 及び

50

第 2 奇数ビット信号 MSB_EVEN 、 LSB_EVEN が各々 0 及び 0 である場合、 $PAM - 4$ 信号の電圧レベルに第 4 係数を加算することができる。ここで、 $PAM - 4$ 信号の電圧レベルに加算される第 1 乃至第 4 係数は各々 + 3、+ 1、- 1、- 3 であり得るが、これに限定されることではない。

【0038】

図 6 は判定帰還等化器の他の実施形態を示すブロック図である。

具体的に、図 6 では連続時間線型等化器 300、可変利得増幅器 400、及び補償回路 500 をさらに含む一例が図示されている。上述した構成以外の図 6 の構成は図 5 と類似である。したがって、同一であるか、或いは類似な構成要素は同一であるか、或いは類似な参照符号で表示され、重複される説明は以下省略される。

10

図 6 を参照すれば、判定帰還等化器 10A は連続時間線型等化器 300、可変利得増幅器 400、及び補償回路 500 をさらに含むことができる。

【0039】

連続時間線型等化器 300 は送信機からデータ信号を受信し、データ信号の高周波成分のサイズを増幅してデータ信号のすべての周波数成分を均一に等化された $PAM - 4$ 信号を生成することができる。例えば、連続時間線型等化器 300 は 4 つのデータ値 00、01、10、11 を表現できるデータ信号を受信し、サンプル/ホールド動作を遂行してデータ信号を等化することができる。

【0040】

可変利得増幅器 400 は連続時間線型等化器 300 から $PAM - 4$ 信号を受信し、 $PAM - 4$ 信号の電圧レベルと第 1 乃至第 3 基準電圧との間の間隔を増幅することができる。例えば、可変利得増幅器 400 は可変抵抗を制御する可変利得制御信号 R_CONT を利用して電圧の利得を調節することができる。

20

【0041】

補償回路 500 は共通モードを一定に維持することができる。例えば、判定帰還等化器 10A は電荷排出が発生する加算器 100 によって全体的な回路の共通モードが減少ようになる。したがって、補償回路 500 は複数の $PMOS$ トランジスタを利用して加算器 100 に印加される電流ぐらいプルアップ ($Pull - Up$) して全体的な回路の共通モードを一定に維持することができる。例えば、補償回路 500 は第 1 タブ 110 の複数のトランジスタと連結される複数の $PMOS$ トランジスタを含むことができる。

30

【0042】

以上で上述したように、判定帰還等化器 10A は回路の動作範囲を変化させなく、 $PAM - 4$ 信号の電圧レベルと第 1 乃至第 3 基準電圧の測定を容易にすることができる。

【0043】

図 7 は本発明の実施形態による判定帰還等化器動作の順序図である。

図 7 を参照すれば、S110 段階で、加算器 100 は第 1 及び第 2 ビット信号 MSB 、 LSB に応答して $PAM - 4$ 信号の電圧レベルに既設定された係数を加算した入力電圧 V_{INP} 、 V_{INN} を出力することができる。

【0044】

S120 段階で、デコーダー 200 の第 1 比較器 210 は入力電圧 V_{INP} 、 V_{INN} と第 1 基準電圧 V_{REF} のサイズを比較して第 1 ビット信号 MSB を出力することができる。

40

【0045】

S130 段階で、デコーダー 200 の第 2 比較器 220 は入力電圧 V_{INP} 、 V_{INN} と第 2 及び第 3 基準電圧 V_{REFP} 、 V_{REFN} の電荷排出強度を比較して第 2 ビット信号 LSB を出力することができる。

【0046】

S140 段階で、デコーダー 200 は RZ データである第 1 及び第 2 ビット信号 MSB 、 LSB を偶数及び奇数信号に出力することができ、出力するビット信号を加算器 100 に入力することができる。

50

【 0 0 4 7 】

上述した内容は本発明を実施するための具体的な実施形態である。本発明は上述した実施形態の外にも、単純に設計変更されるか、或いは容易に変更することができる実施形態も含む。また、本発明は実施形態を利用して容易に変形して実施することができる技術も含む。したがって、本発明の範囲は上述した実施形態に限定されてはならず、後述する特許請求の範囲のみならず、この発明の特許請求の範囲と均等なことによって定められる。

【 0 0 4 8 】

本件は、韓国政府が資金を支援する韓国研究財団(NRF)グレート(No. NRF-RS-2023-0281047)の支援を受けた。

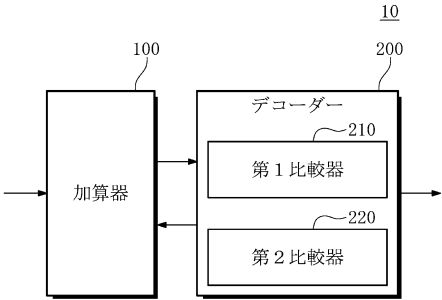
【 符号の説明 】

【 0 0 4 9 】

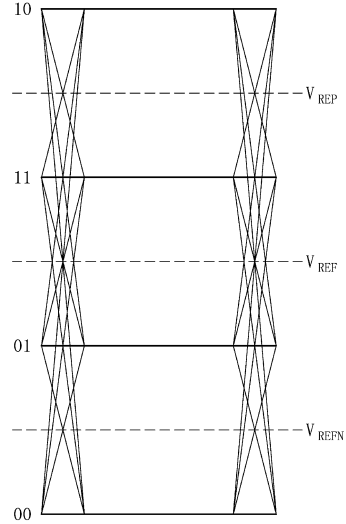
- 1 0 判定帰還等化器
- 1 0 0 加算器
- 1 1 0 第 1 タブ
- 2 0 0 デコーダー
- 1 2 0 第 2 タブ
- 3 0 0 連続時間線型等化器
- 2 1 0 第 1 比較器
- 4 0 0 可変利得増幅器
- 2 2 0 第 2 比較器
- 5 0 0 補償回路

【 図面 】

【 図 1 】



【 図 2 】



10

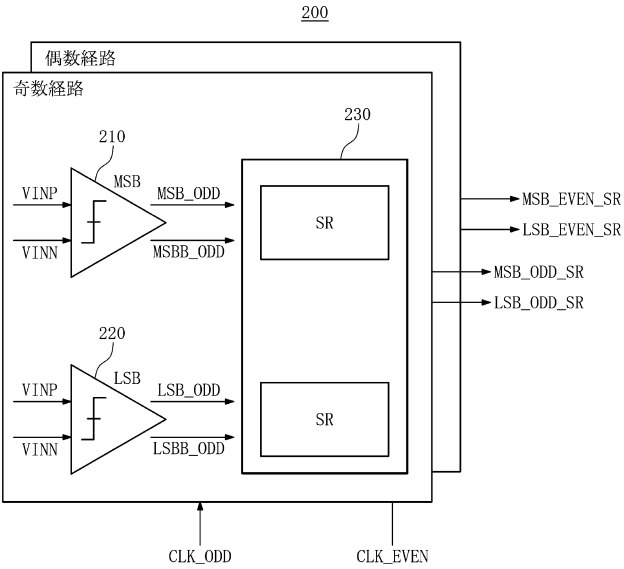
20

30

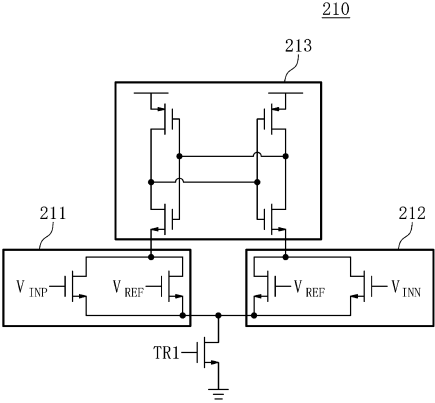
40

50

【図 3】

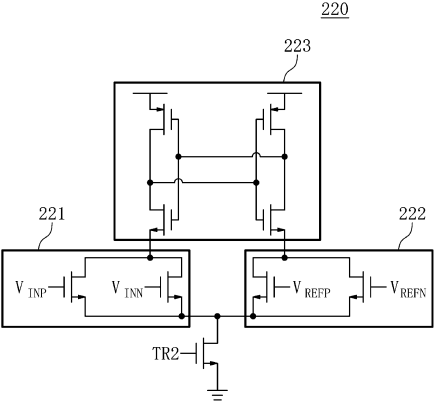


【図 4 A】

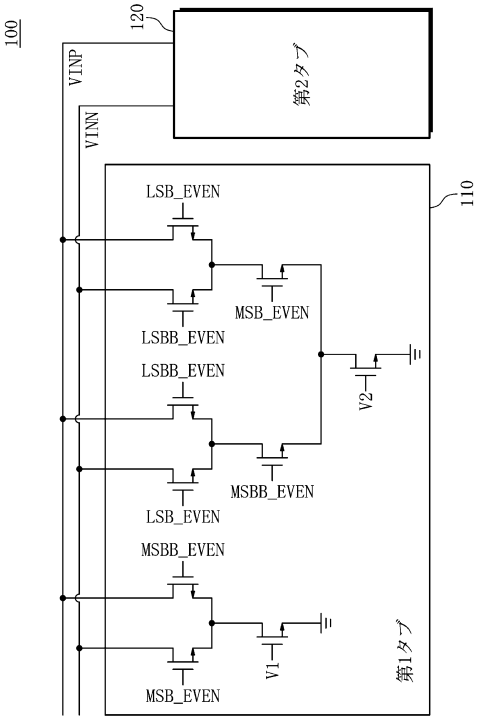


10

【図 4 B】



【図 5】



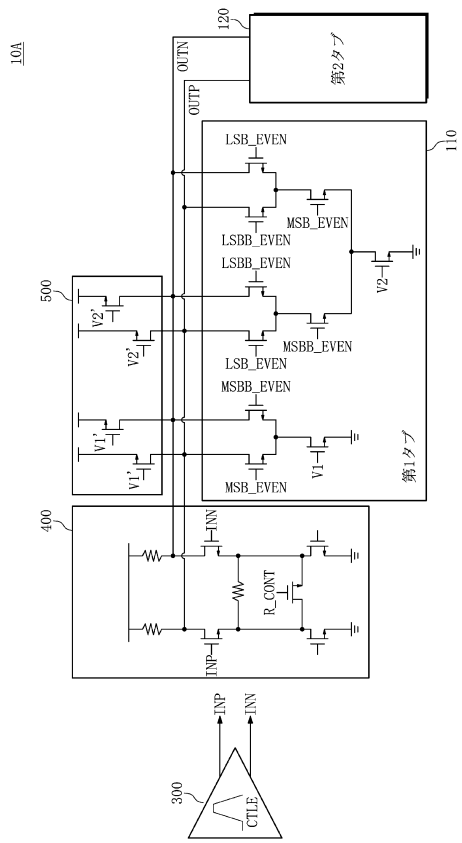
20

30

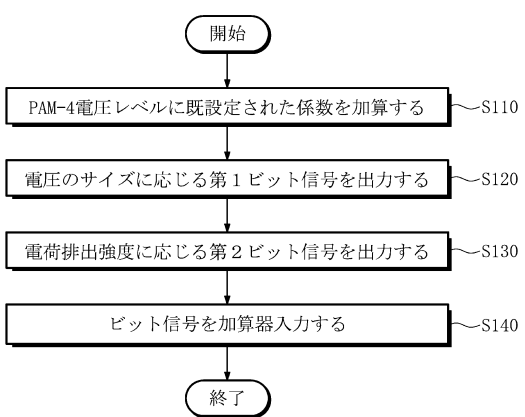
40

50

【図 6】



【図 7】



10

20

30

40

50

フロントページの続き

大韓民国、ソウル、ノウォン - グ、チュンゲ - ロ 1 4 ナ - ギル、2 5
(72)発明者 チェ、ユン ジェ
大韓民国、ソウル、ソチョ - グ、サピョン - デロ、3 1 0 - 4
(72)発明者 シン、ファ ソク
大韓民国、ソウル、トンジャク - グ、トンジャク - デロ 3 9 - ギル、2 2
(72)発明者 シム、チャン ミン
大韓民国、ソウル、トンデムン - グ、ヤクリョンシ - ロ 3 - ギル、2 2 - 9
F ターム (参考) 5K029 FF02 HH05
5K046 AA01 BA06 BB05 EE10 EE32 EE34 EF15