

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第6787786号  
(P6787786)

(45) 発行日 令和2年11月18日(2020.11.18)

(24) 登録日 令和2年11月2日(2020.11.2)

(51) Int.Cl.

H01L 21/205 (2006.01)  
H01L 21/306 (2006.01)

F 1

H01L 21/205  
H01L 21/306

Z

請求項の数 26 (全 20 頁)

(21) 出願番号	特願2016-557040 (P2016-557040)
(86) (22) 出願日	平成28年5月23日 (2016.5.23)
(65) 公表番号	特表2018-515904 (P2018-515904A)
(43) 公表日	平成30年6月14日 (2018.6.14)
(86) 国際出願番号	PCT/US2016/033783
(87) 国際公開番号	W02016/191371
(87) 国際公開日	平成28年12月1日 (2016.12.1)
審査請求日	令和1年5月15日 (2019.5.15)
(31) 優先権主張番号	62/165,816
(32) 優先日	平成27年5月22日 (2015.5.22)
(33) 優先権主張国・地域又は機関	米国(US)
(31) 優先権主張番号	15/051,362
(32) 優先日	平成28年2月23日 (2016.2.23)
(33) 優先権主張国・地域又は機関	米国(US)

(73) 特許権者	515345698 ストレイティオ、 インコーポレイテッド S T R A T I O, I N C. アメリカ合衆国 95131 カリフォルニア州、サンホゼ、コンコース ドライブ 1863 1863 Concourse Drive, San Jose, CA 95131 U. S. A.
(74) 代理人	100083116 弁理士 松浦 憲三
(72) 発明者	ジェヒュン リー アメリカ合衆国 95131 カリフォルニア州、サンホゼ、コンコース ドライブ 1863

最終頁に続く

(54) 【発明の名称】エピタキシャル成長中に形成された核を除去するための方法

## (57) 【特許請求の範囲】

## 【請求項 1】

選択エピタキシャル成長プロセス中に形成された核を除去するための方法であって、一つ又は複数のマスク層が付いた基板の上で第1グループの一つ又は複数の半導体構造をエピタキシャル成長させ、前記一つ又は複数のマスク層の上に第2グループの複数の半導体構造が形成され、

前記第1グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層を形成し、前記第2グループの複数の半導体構造の少なくとも一部分が前記一つ又は複数の保護層から露出され、

前記第1グループの一つ又は複数の半導体構造の上で前記一つ又は複数の保護層を形成した後に、前記第2グループの複数の半導体構造の少なくとも前記一部分をエッチングし、

前記一つ又は複数の保護層を形成する前に、少なくとも前記第1グループの一つ又は複数の半導体構造の上で一つ又は複数の接着層を堆積し、

前記第2グループの複数の半導体構造の少なくとも前記一部分をエッチングした後に、前記一つ又は複数の接着層を除去し、

前記一つ又は複数の保護層は、前記一つ又は複数の接着層の少なくとも一部が除去された後に除去される、

方法。

## 【請求項 2】

10

前記第1グループの一つ又は複数の半導体構造の上で前記一つ又は複数の保護層が形成される前には、前記第2グループの複数の半導体構造の少なくとも前記一部分のエッチングを差し控える、請求項1に記載の方法。

方法。

#### 【請求項3】

前記基板の上で前記第1グループの一つ又は複数の半導体構造の前記エピタキシャル成長を開始した後に、前記第1グループの一つ又は複数の半導体構造の上で前記一つ又は複数の保護層が形成されるまで、前記第2グループの複数の半導体構造の少なくとも前記一部分のエッチングを差し控える、請求項1又は2記載の方法。

#### 【請求項4】

前記第1グループの前記一つ又は複数の半導体構造は、単一のエピタキシャル成長プロセスにおいて形成される、請求項1から3のいずれか一項に記載の方法。

10

#### 【請求項5】

前記一つ又は複数の保護層は、一つ又は複数のフォトトレジスト層を含む、請求項1から4のいずれか一項に記載の方法。

#### 【請求項6】

前記一つ又は複数の接着層は、ヘキサメチルジシラザン及び／又は低温熱酸化物を含む、請求項1から5のいずれか一項に記載の方法。

#### 【請求項7】

前記第2グループの複数の半導体構造の少なくとも前記一部分をエッチングした後に、前記一つ又は複数の保護層を除去する、請求項1から6のいずれか一項に記載の方法。

20

#### 【請求項8】

前記第2グループの複数の半導体構造の少なくとも前記一部分をエッチングした後に、前記第1グループの一つ又は複数の半導体構造の少なくとも一部分を平坦化する、請求項1から7のいずれか一項に記載の方法。

#### 【請求項9】

前記一つ又は複数のマスク層が付いた基板の上に前記第1グループの一つ又は複数の半導体構造をエピタキシャル成長させながら、前記一つ又は複数のマスク層の上に複数の半導体粒子を形成する、請求項1から8のいずれか一項に記載の方法。

#### 【請求項10】

30

前記第2グループの複数の半導体構造は、前記一つ又は複数のマスク層の上の一つ又は複数の半導体膜を含む、請求項1から9のいずれか一項に記載の方法。

#### 【請求項11】

前記第1グループの一つ又は複数の半導体構造は、Ⅳ族材料を含む、請求項1から10のいずれか一項に記載の方法。

#### 【請求項12】

前記第1グループの一つ又は複数の半導体構造は、ゲルマニウムを含む、請求項1から11のいずれか一項に記載の方法。

#### 【請求項13】

前記基板の、前記一つ又は複数のマスク層から露出されている一つ又は複数の領域の上に、前記第1グループの一つ又は複数の半導体構造が形成される、請求項1から12のいずれか一項に記載の方法。

40

#### 【請求項14】

前記第1グループの一つ又は複数の半導体構造は結晶構造を有し、前記第2グループの複数の半導体構造はアモルファス及び／又は多結晶構造を有する、請求項1から13のいずれか一項に記載の方法。

#### 【請求項15】

前記一つ又は複数のマスク層は、絶縁体材料を含む、請求項1から14のいずれか一項に記載の方法。

#### 【請求項16】

50

前記一つ又は複数のマスク層は、二酸化ケイ素を含む、請求項 1 から 1\_5 のいずれか一項に記載の方法。

**【請求項 17】**

前記第 2 グループの複数の半導体構造の少なくとも前記一部分をエッティングすることは、前記第 2 グループの複数の半導体構造の少なくとも前記一部分を第 1 の速度でエッティングすることと、前記一つ又は複数のマスク層を前記第 1 の速度より低い第 2 の速度でエッティングすることと、を含む、請求項 1 から 1\_6 のいずれか一項に記載の方法。

**【請求項 18】**

前記第 2 グループの複数の半導体構造の少なくとも前記一部分をエッティングすることは、前記一つ又は複数のマスク層のエッティングを差し控えることを含む、請求項 1 から 1\_7 のいずれか一項に記載の方法。 10

**【請求項 19】**

前記基板は、その上に複数の半導体デバイスを含む、請求項 1 から 1\_8 のいずれか一項に記載の方法。

**【請求項 20】**

前記複数の半導体デバイスは、前記基板の上で前記一つ又は複数のマスク層の下に位置する、請求項 1\_9 に記載の方法。

**【請求項 21】**

前記基板はその上に複数のトランジスタを含み、前記第 1 グループの一つ又は複数の半導体構造のうちの一つの半導体構造が、前記複数のトランジスタのうちの一つのトランジスタのソース又はドレインに電気的に結合される、請求項 1\_9 又は 2\_0 に記載の方法。 20

**【請求項 22】**

前記基板は、その上に p 型金属酸化物半導体トランジスタ及び n 型金属酸化物半導体トランジスタを含む複数の相補型金属酸化物半導体デバイスを含む、請求項 2\_1 に記載の方法。

**【請求項 23】**

前記第 1 グループの一つ又は複数の半導体構造のうちの第 1 の半導体構造を、前記 p 型金属酸化物半導体トランジスタ及び前記 n 型金属酸化物半導体トランジスタのうちの一つのソース又はドレインに電気的に結合する、請求項 2\_2 に記載の方法。

**【請求項 24】**

前記第 1 グループの一つ又は複数の半導体構造及び前記第 2 グループの複数の半導体構造は、同時に形成される、請求項 1 から 2\_3 のいずれか一項に記載の方法。 30

**【請求項 25】**

前記第 1 グループの一つ又は複数の半導体構造のうちの第 1 の半導体構造は、前記第 2 グループの複数の半導体構造のうちの第 2 の半導体構造よりも大きい、請求項 1 から 2\_4 のいずれか一項に記載の方法。

**【請求項 26】**

前記第 2 グループの複数の半導体構造の一部であって前記一つ又は複数の保護層から露出されている部分の全てをエッティングする、請求項 1 から 2\_5 のいずれか一項に記載の方法。 40

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本出願は、一般に、半導体デバイスを製造するための方法に関する。より詳細には、開示した実施形態は、エピタキシャル成長プロセス中に半導体デバイスの上に形成された核を除去するための方法に関する。

**【背景技術】**

**【0002】**

エピタキシャル成長は、半導体基板の上に結晶領域を生成するよくある方法である。し 50

かしながら、半導体基板の望まれない領域内に半導体構造が形成されることは好ましくない。例えば、半導体基板の望まれない領域に成長した何らかの半導体構造は、基板の上に形成されたデバイスの電気的特性及び／又は機械的特性に悪影響を及ぼす可能性がある。

#### 【0003】

選択エピタキシャル成長 (selective epitaxial growth) (SEG) は、半導体基板の目標範囲の上に結晶領域を生成するために用いられる。選択エピタキシャル成長のために、半導体基板は、該基板のある範囲を露出した状態でマスキング材料により覆われる。そのような半導体基板では、エピタキシャル成長は、半導体基板の露出範囲の上に主に生じ、マスキング材料の上には生じにくい。選択エピタキシャル成長は、プロセス条件に応じて、エピタキシャル成長中におけるマスキング材料の上での構造（例えば、核又は層の形態で）の形成を低減することができるが、エピタキシャル成長中においてマスキング材料の上に多くの半導体構造が依然として形成され得る。

#### 【0004】

マスキング材料の上でのエピタキシャル成長構造の形成をなくすために、様々な試みがなされてきた。例えば、マスキング材料の上でのエピタキシャル成長構造の形成を更に抑制するための成長条件が見出されている。しかしながら、規定の成長条件からの少しの逸脱で、マスキング材料の上でのエピタキシャル成長構造の形成の増加が容易にもたらされ得る。したがって、そのような成長条件の使用は制限される。

#### 【発明の概要】

#### 【発明が解決しようとする課題】

10

#### 【0005】

したがって、エピタキシャル成長中に形成された核を除去するための方法の改善が必要とされている。いくつかの実施形態では、本方法は、成長条件の変化にそれほど敏感ではない。したがって、そのような改善された方法は、エピタキシャル成長中に基板の望まれない領域の上に半導体構造が形成されることを減少させながら、半導体構造のより速いエピタキシャル成長を可能にもする。

#### 【課題を解決するための手段】

#### 【0006】

上記の制限及び不利を克服するいくつかの実施形態が、より詳細に以下に示されている。これらの実施形態は、デバイス及びそのようなデバイスを作製するための方法を提供する。

20

#### 【0007】

より詳細に以下に説明されるように、いくつかの実施形態は、選択エピタキシャル成長プロセス中に形成された核を除去するための方法であって、一つ又は複数のマスク層が付いた基板の上に第1グループの一つ又は複数の半導体構造をエピタキシャル成長させることを含む方法、を含む。一つ又は複数のマスク層の上に、第2グループの複数の半導体構造が形成される。本方法は、第1グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層を形成することも含む。第2グループの複数の半導体構造の少なくとも一部分が、一つ又は複数の保護層から露出されている。本方法は、第1グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層を形成した後に、第2グループの複数の半導体構造の少なくとも一部分をエッチングすることを更に含む。

30

#### 【0008】

いくつかの実施形態によれば、半導体デバイスは、基板と、基板の上に位置している第1のマスク層領域と、基板の上に位置している第2のマスク層領域と、を含む。第1のマスク層領域は上面及び側面を有し、第2のマスク層領域は上面及び側面を有する。半導体デバイスは、第1の半導体材料タイプのエピタキシャル成長した半導体構造も含む。エピタキシャル成長した半導体構造は、第1のマスク層領域の側面と第2のマスク層領域の側面との間に位置していて、エピタキシャル成長した半導体構造は、第1のマスク層領域の側面及び第2のマスク層領域の側面に接触している。第1のマスク層領域の上面及び第2のマスク層領域の上面は、第1のマスク層領域の側面と第2のマスク層領域の側面との間

40

50

に位置するエピタキシャル成長した半導体構造以外の第1の半導体材料タイプの半導体と接觸していない。

**【図面の簡単な説明】**

**【0009】**

前述の態様及び追加の態様並びにそれらの実施形態をより良く理解するために、添付の図面と共に、下記の実施形態の説明を参照されたい。

**【図1】**図1A～1Iは、いくつかの実施形態による、半導体基板の部分断面図である。

**【図2】**図2A～2Cは、いくつかの実施形態による、半導体基板の部分断面図である。

**【図3】**図3A～3Cは、いくつかの実施形態による、半導体基板の部分断面図である。

**【図4】**図4A～4Cは、いくつかの実施形態による、半導体基板の部分断面図である。

10

**【図5】**図5A～5Eは、いくつかの実施形態による、半導体基板の部分断面図である。

**【図6】**図6A～6Bは、いくつかの実施形態による、半導体基板の部分断面図である。

**【図7】**図7A～7Cは、いくつかの実施形態による、選択エピタキシャル成長プロセス中に形成された核を除去するための方法を示す流れ図である。

**【図8】**図8A～8Bは、いくつかの実施形態による、エッチングプロセス前の半導体基板の走査型電子顕微鏡(SEM)画像である。

**【図9】**図9A～9Bは、いくつかの実施形態による、エッチングプロセス後の半導体基板の走査型電子顕微鏡(SEM)画像である。

**【0010】**

図面全体を通じて、同様の参考番号は対応する部分を指している。

20

**【0011】**

特筆されていない限り、図は原寸に比例して描かれていない。

**【発明を実施するための形態】**

**【0012】**

上述したように、望まれない領域内(例えば、マスキング材料の上)に望まれない半導体構造が形成されると、半導体デバイスの電気的特性及び/又は機械的特性が劣化する可能性がある。望まれない領域内への望まれない半導体構造の形成を減少させるために、ある成長条件が見つけられている。

**【0013】**

例えば、基板が、エピタキシャル成長中にエッチング剤(例えば、HClガス)に曝露され(例えば、HClガスを堆積ガスに混ぜることによって)、それによってエピタキシャル成長中に望まれない半導体構造をエッチングすることが可能となる。エッチング剤によるエッチング速度を、望まれない半導体構造が形成される速度よりも高く且つ(目標である半導体構造の)エピタキシャル成長の速度よりも低く維持することによって、望まれない半導体構造の形成が減少又は抑制される。しかしながら、エッチング剤の存在は、半導体構造がエピタキシャル成長する速度に影響を及ぼす。目標半導体構造の形成速度は、エッチング反応によって低下するので、エッチング剤がない場合の目標半導体構造の形成速度よりも低い。したがって、目標半導体構造の低下した形成速度は、デバイス製造プロセス全体におけるボトルネックであり得る。加えて、エッチング剤の存在は、エピタキシャル成長した半導体構造の形状に影響を及ぼす。特に、主方向の成長速度の非主方向の成長速度に対する比が、とても高くなる。例えば、ゲルマニウムのエピタキシャル成長において、(100)が主成長方向である。主方向の成長速度の非主方向の成長速度に対する比が高くなると、結果として得られるエピタキシャル成長したゲルマニウム構造は、(311)傾斜面を有するピラミッド形状を有する。したがって、エッチング剤の存在は、ピラミッド形状とは異なる形状を有する半導体構造を得ることをより難しいものにする。更に、(311)傾斜面を有するピラミッド形状を有するゲルマニウムがある範囲を覆うように形成された場合、ゲルマニウムのピラミッドの高さが高くなる場合があり、したがって(例えば、化学機械平坦化(CMP)プロセスを用いることによって)平坦化された表面を得ることを難しいものにする。

30

**【0014】**

40

50

別の例では、エピタキシャル成長中に温度及び圧力を下げる、エピタキシャル成長中の望まれない半導体構造の形成が減少すると考えられる。しかしながら、堆積温度を下げることは、成長した半導体構造の結晶性を低下させ、これにより半導体デバイスにおける漏れ電流の増加をもたらす。圧力を下げる、堆積速度が低くなつて半導体構造の粗さが増大する可能性があり、これにより製造されたデバイスの性能が劣化しうる。

#### 【0015】

更に別の例では、ゲルマンガス ( $\text{GeH}_4$ ) の圧力を高めることは、平坦なゲルマニウムアイランドの成長を促進するが、エピタキシャル成長中に望まれない半導体構造の形成を増加させる。同様に、水素ガス ( $\text{H}_2$ ) の圧力を高めることは、平坦なゲルマニウムアイランドの成長を促進するが、エピタキシャル成長中に望まれない半導体構造の形成を増加させる。10

#### 【0016】

上述の問題に対処するための方法が本明細書に説明されている。エッティング剤を全く（又は少ししか）用いないで半導体構造をエピタキシャル成長させることによって、半導体構造をより速く成長させることができる。加えて、エピタキシャル成長中にエッティング剤が全く（又は少ししか）存在しないので、半導体構造の形状がエッティング剤によってそれほど影響を受けない。更に、圧力及び／又は温度は、エピタキシャル成長中に下げられる必要がない。エッティング剤を全く（又は少ししか）用いない（並びに通常の圧力及び温度における）エピタキシャル成長は、マスキング材料の上などの望まれない領域の上の半導体構造の形成をもたらすが、そのような望まれない領域の上の半導体構造はエッティングプロセスによって後で除去される。したがって、基板の目標範囲内にエピタキシャル成長した半導体構造を、望まれない領域内に半導体構造が全く又は少ししか成長していない状態で得ることができる。20

#### 【0017】

ある種の実施形態を参照して、その例を添付の図面に図示する。基礎となる原理を実施形態と共に説明するとはいえ、クレームの範囲をこれらの特定の実施形態だけに限定する意図がないことが理解されるであろう。対照的に、クレームは、クレームの範囲内である代替形態、修正形態、及び等価物を包含するものとする。

#### 【0018】

更に、下記の説明では、数多くの具体的な詳細を、本発明の深い理解を提供するために記述する。しかしながら、これらの特定の詳細を用いずに本発明を実行することができる事が、当業者にとっては明白であろう。他の事例では、基礎となる原理の態様を不明瞭にすることを避けるために、当業者には良く知られている方法、手順、構成要素、及びネットワークを詳細には説明しない。30

#### 【0019】

第1、第2、等の用語を、様々な要素を説明するために本明細書において用いることがあるが、これらの要素は、これらの用語によって限定されるべきではないことも、理解されるであろう。これらの用語は、一つの要素をもう一つの要素と区別するために用いられるに過ぎない。例えば、第1グループを第2グループと称することができ、同様に、クレームの範囲から逸脱せずに、第2グループを第1グループと称することができる。第1グループ及び第2グループは、両方とも（例えば、半導体構造の）グループであるが、これらは同じグループではない。40

#### 【0020】

本明細書において実施形態の説明で用いる用語は、特定の実施形態だけを説明する目的のためであり、クレームの範囲を限定するものではない。本明細書及び別記の特許請求の範囲において用いるように、単数形「一つの(a)」、「一つの(an)」、及び「その(the)」は、文脈が明確に特に指示しない限り、同様に複数形を含むものとする。本明細書において用いるように、「及び／又は」という用語は、関連する列挙した項目のうちの一つ又は複数の任意の組合せ及びすべての可能な組合せを称し、且つ包含することも理解されるであろう。本明細書において用いられるときに、「備える(comprise)」及び／又は50

「備えている (comprising)」という用語が、記述した特徴、完全体、ステップ、動作、要素、及び／又は構成要素の存在を特定するが、一つ又は複数の他の特徴、完全体、ステップ、動作、要素、構成要素、及び／又はこれらのグループの存在又は追加を排除しないことが、更に理解されるであろう。

#### 【0021】

図1A～1Iは、いくつかの実施形態による、半導体基板の部分断面図である。

#### 【0022】

図1Aは、基板102と基板102の上のマスク層104とを示す。基板102は、図1A～1I、2A～2C、3A～3C、4A～4C及び5A～5Eにおいてウエハとして示されるが、基板102は、図1A～1I、2A～2C、3A～3C、4A～4C及び5A～5Eに示されていない追加の特徴を含むことができる。いくつかの実施形態では、基板102は、シリコンデバイス（例えば、ラインのフロントエンドプロセス（the front-end of the line (FEOL) processes）において典型的に形成される、シリコン相補型金属酸化物半導体デバイスやその他の構造）を含む。いくつかの実施形態では、基板102は、シリコンデバイスの上に酸化層を含む（例えば、図6A～6B）。

#### 【0023】

いくつかの実施形態では、マスク層104は、絶縁体材料（例えば、二酸化ケイ素）を含む。いくつかの実施形態では、マスク層104は、絶縁体材料（例えば、二酸化ケイ素）で作製される。マスク層104は、基板102の一つ又は複数の部分を露出させる。いくつかの実施形態では、絶縁体材料が、基板102の上に堆積され、その後にエッチングされて、基板102の一つ又は複数の部分を露出させる。いくつかの実施形態では、基板102は、更にエッティングされる。いくつかの例では、この更なるエッティングは、エピタキシャル成長により適した表面を与える。

#### 【0024】

図1Bは、半導体構造106（例えば、ゲルマニウムアイランド）がエピタキシャル成長していることを示す。ゲルマニウムのエピタキシャル成長のための条件（例えば、圧力、温度及び化学組成）は、よく知られており、したがって簡潔にするために本明細書では省略される。しかしながら、上述したように、本明細書に記載の方法は、エッティング剤の使用を排除するものではないが、エピタキシャル成長中にマスク層104の上の半導体構造の成長を抑制するためのエッティング剤（例えば、HClガス）の使用を必要としない。エピタキシャル成長のための条件は、所望の成長プロファイルを得るために調整することができる。したがって、エピタキシャル成長する半導体構造の形状をカスタマイズすることが可能である。

#### 【0025】

図1Bは、半導体構造106のエピタキシャル成長中に半導体構造108（例えば、本明細書中で核とも呼ばれる粒子）もマスク層104の上に形成されることを示す。半導体構造108が典型的にはアモルファス及び／又は多結晶構造を有するのに対して、半導体構造106は一つの結晶構造を有する。

#### 【0026】

図1Cは、半導体構造106が成長し続けることを示す。図1Cは、更なる半導体構造108がマスク層104の上に形成されていることを示す。図8A及び8Bは、ゲルマニウムアイランドのエピタキシャル成長後の基板の走査型電子顕微鏡（SEM）画像であり、その詳細は後述する。

#### 【0027】

図1Dは、いくつかの実施形態において、半導体構造108が集団となって膜110を形成することを示す。

#### 【0028】

図1Eは、適宜、基板102の上で接着層112が施される（例えば、堆積される）ことを示す。図1Eでは、接着層112は、半導体構造106とマスク層104の上の膜110とを覆う。いくつかの実施形態では、接着層112は低温熱酸化物である。いくつか

10

20

30

40

50

の実施形態では、接着層 112 はヘキサメチルジシラザン（HMDS）である。いくつかの実施形態では、接着層 112 は、エピタキシャル成長した半導体構造 106 とフォトレジストとの間の接着を促進する。

#### 【0029】

図 1F は、基板 102 の上で保護層 114（例えば、フォトレジスト層）が施されることを示す。図 1F では、保護層 114 は半導体構造 106 の上で接着層 112 の一部を覆う。図 1F では、保護層 114 は膜 110 を覆わない（例えば、膜 110 は接着層 112 で覆われているが、膜 110 は保護層 114 から露出されている）。

#### 【0030】

図 1G は、保護層 114 によって覆われていない領域が、エッチングされていることを示す。エッチングの結果として、膜 110（及び、半導体構造 106 のエピタキシャル成長中に形成された、他の望まれない半導体構造）が除去される。加えて、膜 110 の上に位置する接着層 112 の一部も除去される。いくつかの実施形態では、膜 110（及び、半導体構造 106 のエピタキシャル成長中に形成された、他の望まれない半導体構造）を保護層 114 よりも速く除去する選択エッチングプロセスが用いられ（そのようなエッチングプロセスは、高い選択性を有すると称される）、半導体構造 106 が維持されながら膜 110 及び / 又は他の望まれない半導体構造（半導体構造 106 のエピタキシャル成長中に形成された、他の望まれない半導体構造）が除去される。いくつかの実施形態では、エッチングプロセスは、ドライエッチングプロセス（例えば、プラズマエッチング、深掘り反応性イオンエッチング、等）である。いくつかの実施形態では、エッチングプロセスは、ウェットエッチングプロセス（例えば、液相エッチング剤を用いたエッチング）である。例えば、Surface Technology Systems Plc. 製の改良されたシリコンエッチング手段を、選択エッチングに用いることができる。

#### 【0031】

図 1H は、保護層 114 及び接着層 112 が除去されることを示す。図 9A 及び 9B は、保護層 114 を除去した後の基板の走査型電子顕微鏡（SEM）画像であり、その詳細は後述する。

#### 【0032】

図 1I は、半導体構造 106 が（例えば、CMP プロセスを用いて）平坦化されることを示す。望まれない半導体構造（例えば、核 108 又は膜 110）が除去済みであるので、CMP プロセスを容易に施すことができる。加えて、平らな上部を有するように半導体構造 106 の形状を調整できるので、CMP プロセスを実行することがより容易である。

#### 【0033】

図 2A ~ 2C は、いくつかの実施形態による、半導体基板の部分断面図である。

#### 【0034】

図 2A ~ 2C に示されたプロセスは、適宜の接着層 112（図 1E）が用いられないことを除いて、図 1F ~ 1H に示されたプロセスと同様である。図 2A は、図 1D に示された半導体構造 106 の上に保護層 114 が直接施されることを示す。

#### 【0035】

図 2B は、保護層 114 によって覆われていない領域がエッチングされていることを示していて、これは図 1G に関連して上述したプロセスと同様である。エッチングの結果として、膜 110（及び、半導体構造 106 のエピタキシャル成長中に形成された、他の望まれない半導体構造）が除去される。

#### 【0036】

図 2C は、保護層 114 が除去されることを示していて、これは図 1H に関連して上述したプロセスと同様である。その後に、半導体構造 106 を、図 1I に関連して上述したように、平坦化することができる。

#### 【0037】

図 3A ~ 3C は、いくつかの実施形態による、半導体基板の部分断面図である。

#### 【0038】

10

20

30

40

50

図3A～3Cに示されたプロセスは、半導体構造108（例えば、粒子）が分離したままであることを除いて、図1E～1Gに示されたプロセスと同様である。

**【0039】**

図3Aは、半導体構造106とマスク層104の上の半導体構造108（例えば、粒子）との上で接着層112が施されることを示していて、これは図1Eに関連して上述したプロセスと類似している。

**【0040】**

図3Bは、基板102の上で保護層114が施されることを示していて、これは図1Fに関連して上述したプロセスと類似している。

**【0041】**

図3Cは、保護層114によって覆われていない領域がエッティングされていることを示していて、これは図1Gに関連して上述したプロセスと同様である。エッティングの結果として、半導体構造108が除去される。加えて、半導体構造108の上に位置する接着層112の一部も除去される。

**【0042】**

いくつかの実施形態では、図3Cに示した半導体基板が、図1H及び1Iに関連して上述のように更に処理される。例えば、保護層114及び接着層112が除去され、半導体構造106が図1Iに示された半導体基板を得るために平坦化される。

**【0043】**

図4A～4Cは、いくつかの実施形態による、半導体基板の部分断面図である。

10

**【0044】**

図4A～4Cに示されたプロセスは、半導体構造108（例えば、粒子）が分離したままであることを除いて、図2A～2Cに示されたプロセスと同様である。

**【0045】**

図4Aは、半導体構造108が集団となる前に、半導体構造106の上に保護層114が直接施されることを示す。

**【0046】**

図4Bは、保護層114によって覆われていない領域がエッティングされていることを示していて、これは図2Bに関連して上述したプロセスと同様である。エッティングの結果として、半導体構造108が除去される。

30

**【0047】**

図4Cは、保護層114が除去されることを示していて、これは図2Cに関連して上述したプロセスと同様である。その後に、半導体構造106を、図1Iに関連して上述のように、平坦化することができる。

**【0048】**

図5A～5Eは、いくつかの実施形態による、半導体基板の部分断面図である。

**【0049】**

図5A～5Eは、単一の半導体基板の上に複数の半導体構造（例えば、ゲルマニウムアイランド）を形成する際に、図1A～1Iに示されたプロセスが実行可能であることを明らかにする。

40

**【0050】**

図5Aは、半導体構造106がエピタキシャル成長し、半導体構造108がマスク層104の上に形成されることを示す。

**【0051】**

図5Bは、半導体構造108を露出させた状態で、半導体構造106の上に保護層114が施されることを示す。

**【0052】**

図5Cは、半導体構造108がエッティングによって除去されることを示す。

**【0053】**

図5Dは、保護層114が除去されることを示す。

50

**【 0 0 5 4 】**

図 5 E は、半導体構造 1 0 6 が（例えば、C M P プロセスを用いて）平坦化されることを示す。

**【 0 0 5 5 】**

図 1 A ~ 1 I 、 2 A ~ 2 C 、 3 A ~ 3 C 及び 4 A ~ 4 C に関連して説明されているいくつかの特徴を、図 5 A ~ 5 E に示されたプロセスに類似的に適用することができる。例えば、半導体構造 1 0 6 の上で保護層 1 1 4 が施される（又は形成される）前に、半導体構造 1 0 6 の上で接着層 1 1 2 が施されることができる。簡潔にするために、そのような細部は、本明細書において繰り返されない。

**【 0 0 5 6 】**

図 6 A ~ 6 B は、いくつかの実施形態による、半導体基板の部分断面図である。

**【 0 0 5 7 】**

図 6 A は、ソース / ドレイン 6 0 2 及びゲート 6 0 4 を備える相補型金属酸化物半導体（C M O S）デバイスを基板 1 0 2 が含むことを示す。図 6 A において、基板 1 0 2 の上にマスク層 6 0 6 （例えば、二酸化ケイ素）が形成される。いくつかの実施形態では、マスク層 6 0 6 は、その上にゲルマニウム層を成長させるために、少なくとも 2  $\mu$  m 厚の二酸化ケイ素を含む。二酸化ケイ素の厚さは、エピタキシャル成長したゲルマニウムの結晶性の品質を高めるように見出された。

**【 0 0 5 8 】**

図 6 B は、半導体構造 6 0 8 （例えば、ゲルマニウム）が、図 1 A ~ 1 I 、 2 A ~ 2 C 、 3 A ~ 3 C 、 4 A ~ 4 C 及び 5 A ~ 5 E に関連して上述されたプロセスを用いて形成されることを示す。

**【 0 0 5 9 】**

図 7 A ~ 7 C は、いくつかの実施形態による、選択エピタキシャル成長プロセス中に形成された核を除去するための方法 7 0 0 を示す流れ図である。

**【 0 0 6 0 】**

方法 7 0 0 は、一つ又は複数のマスク層が付いた基板（例えば、シリコン基板）（例えば、図 1 B のマスク層 1 0 4 が付いた基板 1 0 2 ）の上で、第 1 グループの一つ又は複数の半導体構造（例えば、図 1 B の半導体構造 1 0 6 ）をエピタキシャル成長させることを含む（7 0 2）。一つ又は複数のマスク層の上に、第 2 グループの複数の半導体構造（例えば、図 1 B の半導体構造 1 0 8 ）が形成される。いくつかの実施形態では、第 2 グループの複数の半導体構造は、第 1 グループの一つ又は複数の半導体構造をエピタキシャル成長させると同時に形成される。いくつかの実施形態では、第 1 グループの一つ又は複数の半導体構造のうちの第 1 の半導体構造は、第 2 グループの複数の半導体構造のうちの第 2 の半導体構造よりも大きい。いくつかの実施形態では、一つ又は複数の半導体構造は、ホモエピタキシャル成長する。いくつかの実施形態では、一つ又は複数の半導体構造は、ヘテロエピタキシャル成長する。

**【 0 0 6 1 】**

いくつかの実施形態では、第 1 グループの一つ又は複数の半導体構造は、単一のエピタキシャル成長プロセスにおいて形成される（7 0 4）。例えば、図 1 B ~ 1 C では、半導体構造 1 0 6 が単一のエピタキシャル成長プロセスにおいて形成される（例えば、半導体構造 1 0 6 の一部をエピタキシャル成長させて半導体構造 1 0 6 の一部をエッチングして半導体構造 1 0 6 の更なる一部をエピタキシャル成長させるのではない）。

**【 0 0 6 2 】**

いくつかの実施形態では、方法 7 0 0 は、一つ又は複数のマスク層が付いた基板の上に第 1 グループの一つ又は複数の半導体構造（例えば、図 1 C の半導体構造 1 0 6 ）をエピタキシャル成長させながら、一つ又は複数のマスク層（例えば、図 1 C のマスク層 1 0 4 ）の上に複数の半導体粒子（例えば、図 1 C の半導体構造 1 0 8 ）を形成することを含む（7 0 6）。いくつかの実施形態では、第 2 グループの複数の半導体構造は、複数の半導体粒子を含む。

10

20

30

40

50

**【 0 0 6 3 】**

いくつかの実施形態では、第2グループの複数の半導体構造は、一つ又は複数のマスク層の上の半導体膜（例えば、図1Dの半導体膜110）を含む（708）。いくつかの実施形態では、第2グループの複数の半導体構造は、一つ又は複数のマスク層の上の一つ又は複数の半導体膜を含む。

**【 0 0 6 4 】**

いくつかの実施形態では、第1グループの一つ又は複数の半導体構造は、Ⅴ族材料（例えば、シリコン、ゲルマニウム、SiGe、等）を含む（710）。いくつかの実施形態では、第1グループの一つ又は複数の半導体構造は、一つ又は複数のⅢ-V族材料（例えば、GaAs、InGaAs、等）を含む。

10

**【 0 0 6 5 】**

いくつかの実施形態では、第1グループの一つ又は複数の半導体構造は、ゲルマニウムを含む（712）。

**【 0 0 6 6 】**

いくつかの実施形態では、基板の、一つ又は複数のマスク層から露出されている（例えば、一つ又は複数のマスク層によって覆われていない）一つ又は複数の領域の上に、第1グループの一つ又は複数の半導体構造が形成される（714）。例えば、図5Aでは、半導体構造106は、マスク層104から露出されている基板の領域の上に形成される。

**【 0 0 6 7 】**

いくつかの実施形態では、第1グループの一つ又は複数の半導体構造は結晶構造を有し、第2グループの複数の半導体構造はアモルファス及び／又は多結晶構造を有する（716）。例えば、第1グループの一つ又は複数の半導体構造（例えば、ゲルマニウムアイランド）が一つの結晶構造を有し、第2グループの半導体構造がアモルファス及び／又は多結晶構造を有することを示す図8Aを参照されたい。

20

**【 0 0 6 8 】**

いくつかの実施形態では、一つ又は複数のマスク層は、絶縁体材料を含む（718）。

**【 0 0 6 9 】**

いくつかの実施形態では、一つ又は複数のマスク層は、二酸化ケイ素を含む（720）。

**【 0 0 7 0 】**

30

方法700は、第1グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層（例えば、一つ又は複数のフォトレジスト層などの図1Fの保護層114）を形成することも含む（722、図7B）。第2グループの複数の半導体構造の少なくとも一部分は、一つ又は複数の保護層から露出されている。例えば、図1Fにおいて、膜110は、保護層114から露出されている。いくつかの実施形態では、一つ又は複数の保護層は、第1グループの一つ又は複数の半導体構造と直接接触している（例えば、図2A）。いくつかの実施形態では、一つ又は複数の中間層（例えば、ヘキサメチルジシラザン（HMDS）又は低温熱酸化物などの、一つ又は複数の接着層）が、第1グループの一つ又は複数の半導体構造と一つ又は複数の保護層との間に位置する（例えば、図1F）。

**【 0 0 7 1 】**

40

いくつかの実施形態では、方法700は、第1グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層が形成される前には、第2グループの複数の半導体構造の少なくとも一部分のエッチングを差し控えることを含む（724）。例えば、いくつかの実施形態では、一つ又は複数の半導体構造をエッチングプロセスから保護するために一つ又は複数の半導体構造の上で一つ又は複数の保護層が形成された後でないと、第2グループの複数の半導体構造はエッチングされない。

**【 0 0 7 2 】**

いくつかの実施形態では、方法700は、基板の上で第1グループの一つ又は複数の半導体構造のエピタキシャル成長を開始した後に、第1グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層が形成されるまで、第2グループの複数の半導体構造の少

50

なくとも一部分のエッチングを差し控えることを含む(726)。例えば、第2グループの複数の半導体構造の少なくとも一部分のエッチングが、第1グループの一つ又は複数の半導体構造のエピタキシャル成長中には、差し控えられる。いくつかの実施形態では、複数の半導体構造の少なくとも一部分のエッチングは、基板の上で第1グループの一つ又は複数の半導体構造のエピタキシャル成長を開始した後に、且つ一つ又は複数の半導体構造の上で一つ又は複数の保護層を形成する前には、差し控えられる。

#### 【0073】

いくつかの実施形態では、一つ又は複数の保護層は、一つ又は複数のフォトレジスト層を含む(728)。いくつかの実施形態では、一つ又は複数の保護層は、一つ又は複数のフォトレジスト層である。

10

#### 【0074】

いくつかの実施形態では、方法700は、一つ又は複数の保護層を形成する前に、少なくとも第1グループの一つ又は複数の半導体構造の上で一つ又は複数の接着層を堆積することを含む(730)。例えば、図1E～1Fに示されるように、保護層114が施される前に、半導体構造106の上で接着層112が施される。いくつかの実施形態では、少なくとも第1グループの一つ又は複数の半導体構造の上に、一つ又は複数の接着層が堆積される。

#### 【0075】

いくつかの実施形態では、一つ又は複数の接着層は、ヘキサメチルジシラザン及び／又は低温熱酸化物を含む(732)。

20

#### 【0076】

いくつかの実施形態では、本方法は、第2グループの複数の半導体構造の少なくとも一部分のエッチングの後に、一つ又は複数の接着層を除去することを含む。いくつかの実施形態では、一つ又は複数の保護層及び一つ又は複数の接着層が、同時に除去される。いくつかの実施形態では、一つ又は複数の接着層の除去の後に、一つ又は複数の保護層が除去される。

#### 【0077】

いくつかの実施形態では、基板はシリコンを含む。いくつかの実施形態では、基板はシリコン基板である。

#### 【0078】

いくつかの実施形態では、基板は、その上に複数の半導体デバイスを含む(734)(例えば、図6A～6B)。例えば、基板は、第1グループの一つ又は複数の半導体構造をエピタキシャル成長させる前に、複数のトランジスタを含んでいてもよい。

30

#### 【0079】

いくつかの実施形態では、基板は複数のトランジスタを含み、第1グループの一つ又は複数の半導体構造のうちの一つの半導体構造が、複数のトランジスタのうちの一つのトランジスタのソース又はドレインに電気的に結合される。

#### 【0080】

いくつかの実施形態では、基板は、その上に複数の相補型金属酸化物半導体(CMOS)デバイスを含む(736)(例えば、図6A～6B)。

40

#### 【0081】

いくつかの実施形態では、基板は、その上に、p型金属酸化物半導体トランジスタ及びn型金属酸化物半導体トランジスタを含む複数の相補型金属酸化物半導体デバイスを含む。いくつかの実施形態では、本方法は、第1グループの一つ又は複数の半導体構造のうちの第1の半導体構造を、p型金属酸化物半導体トランジスタ及びn型金属酸化物半導体トランジスタのうちの一つのソース又はドレインに電気的に結合することを含む。

#### 【0082】

いくつかの実施形態では、複数の半導体デバイスは、基板の上で一つ又は複数のマスク層の下に位置する(738)。例えば、図6A～6Bでは、半導体デバイス(例えば、トランジスタ)が、マスク層606の下に位置する。いくつかの実施形態では、複数の半導

50

体デバイスは、基板のラインのフロントエンド( F E O L )領域に位置する。

【 0 0 8 3 】

方法 7 0 0 は、第 1 グループの一つ又は複数の半導体構造の上で一つ又は複数の保護層を形成した後に、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることを更に含む( 7 4 0 、図 7 C )。例えば、図 1 F ~ 1 G において、膜 1 1 0 がエッティングプロセスにより除去される。いくつかの実施形態では、複数の半導体構造の少なくとも一部分であって一つ又は複数のフォトレジスト層から露出されている部分が、完全にエッティングされる( 例えば、除去される )。いくつかの実施形態では、複数の半導体構造の少なくとも一部分であって一つ又は複数のフォトレジスト層から露出されている部分が、少なくとも部分的にエッティングされる( 例えば、除去される )。いくつかの実施形態では、複数の半導体構造の少なくとも一部分であって一つ又は複数のフォトレジスト層から露出されている部分のうちの一つ又は複数の半導体構造が、エッティングされる( 例えば、除去される )。いくつかの実施形態では、一つ又は複数のマスク層の上に形成された第 2 グループの複数の半導体構造の全てが、エッティングされる( 例えば、除去される )。

【 0 0 8 4 】

いくつかの実施形態では、本方法は、第 2 グループの複数の半導体構造の一部分であって一つ又は複数の保護層から露出されている部分の全てをエッティングすることを含む。

【 0 0 8 5 】

いくつかの実施形態では、方法 7 0 0 は、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングした後に、一つ又は複数の保護層を除去すること( 例えば、図 1 H )、及び / 又は、( 例えば、化学機械平坦化を用いて ) 第 1 グループの一つ又は複数の半導体構造の少なくとも一部分を平坦化すること、を含む( 7 4 2 )。いくつかの実施形態では、方法 7 0 0 は、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングした後に、一つ又は複数の保護層を除去することを含む。いくつかの実施形態では、方法 7 0 0 は、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングした後に、第 1 グループの一つ又は複数の半導体構造の少なくとも一部分を平坦化することを含む。例えば、図 1 I において、半導体構造 1 0 6 が平坦化される。

【 0 0 8 6 】

いくつかの実施形態では、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることは、第 2 グループの複数の半導体構造の少なくとも一部分を第 1 の速度でエッティングすることと、一つ又は複数のマスク層を第 1 の速度より低い第 2 の速度でエッティングすることと、を含む( 7 4 4 )。例えば、図 1 F ~ 1 G では、膜 1 1 0 がマスク層 1 0 4 及び保護層 1 1 4 よりも速くエッティングされる。いくつかの実施形態では、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることは、一つ又は複数のマスク層をエッティングすることなく第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることを含む。いくつかの実施形態では、図 1 F に示された膜 1 1 0 がエッティングされる一方でマスク層 1 0 4 及び保護層 1 1 4 はエッティングされない。

【 0 0 8 7 】

いくつかの実施形態では、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることは、一つ又は複数のマスク層のエッティングを差し控えることを含む。

【 0 0 8 8 】

いくつかの実施形態では、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることは、第 2 グループの複数の半導体構造の少なくとも一部分を第 1 の速度でエッティングすることと、第 1 グループの一つ又は複数の半導体構造の少なくとも一部分を第 1 の速度より低い第 3 の速度でエッティングすることと、を含む( 7 4 4 )。例えば、図 1 F ~ 1 G では、膜 1 1 0 が半導体構造 1 0 6 よりも速くエッティングされる。いくつかの実施形態では、第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることは、第 1 グループの一つ又は複数の半導体構造をエッティングすることなく第 2 グループの複数の半導体構造の少なくとも一部分をエッティングすることを含む。いくつかの実施形態では、図 1 F に示された膜 1 1 0 がエッティングされる一方で( 例えば、半導体構造 1 0

6は保護層114によって保護されるので)半導体構造106はエッティングされない。

【0089】

図7A～7Cに関連して説明された方法700のいくつかの特徴は、図1A～1I、2A～2C、3A～3C、4A～4C、5A～5E及び6A～6Bに示されたプロセスに適用され得る。簡潔にするために、これらの詳細は繰り返されない。

【0090】

図8A～8Bは、いくつかの実施形態による、エッティングプロセス前の半導体基板の走査型電子顕微鏡(SEM)画像である。

【0091】

図8A及び8Bに示されているのは、図1Cに対応する半導体基板を上から見下ろした図である。

10

【0092】

図8Aは、(エッティングプロセス前の)図1Cの半導体構造106に対応するゲルマニウムアイランドを示す。加えて、第2グループの半導体構造が、マスク層の上にゲルマニウムアイランドを囲んで形成される。

【0093】

図8Bは、半導体基板をズームアウトして示す図である。複数のゲルマニウムアイランドとマスク層の上に形成された第2グループの半導体構造とが、図8Bに示されている。

【0094】

図9A～9Bは、いくつかの実施形態による、エッティングプロセス後の半導体基板の走査型電子顕微鏡(SEM)画像である。

20

【0095】

図9Aは、(エッティングプロセス後の)図1Hの半導体構造106に対応するゲルマニウムアイランドを示す。図9Aは、マスク層の上にゲルマニウムアイランドを囲む第2グループの半導体構造が無いことを示す。

【0096】

図9Bは、半導体基板をズームアウトして示す図である。第2グループの半導体構造が無く、複数のゲルマニウムアイランドが図9Bに示されている。

【0097】

したがって、図9A～9Bは、説明した方法の、一つ又は複数のマスク層の上に形成された第2グループの半導体構造の除去時における有効性を示す。

30

【0098】

説明の目的で上記の説明を、具体的な実施形態を参照して説明してきている。しかしながら、上記の例示的な検討は、網羅的でも、開示した厳密な形態に本発明を限定するものでもない。多くの修正形態及び変形形態が、上記の教示の観点において可能である。実施形態は、本発明の原理及びその実際的な応用を最も良く説明するために選択され説明されていて、これによって、当業者が本発明及び想定される特定の使用に適するような様々な修正形態を伴う様々な実施形態を上手く利用することを可能とする。

【図 1 A】



Figure 1A

【図 1 D】

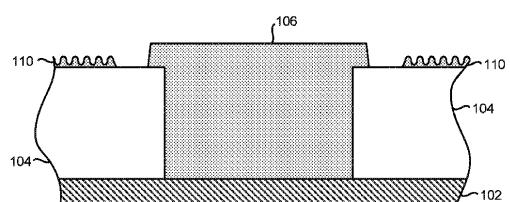


Figure 1D

【図 1 B】

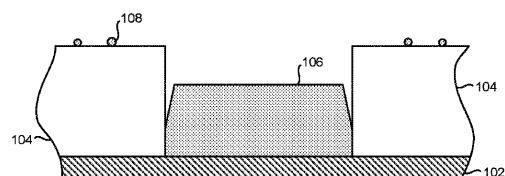


Figure 1B

【図 1 E】

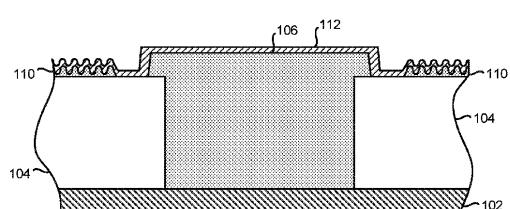


Figure 1E

【図 1 C】

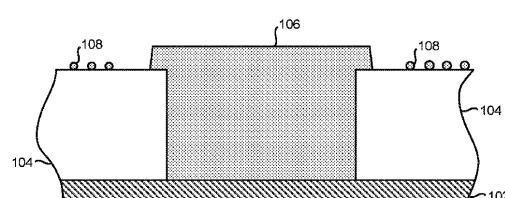


Figure 1C

【図 1 F】

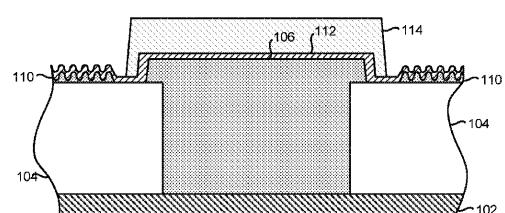


Figure 1F

【図 1 H】

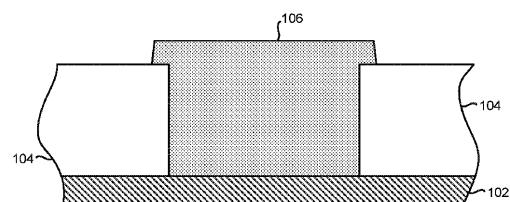


Figure 1H

【図 1 G】

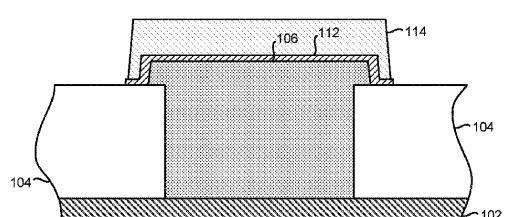


Figure 1G

【図 1 I】

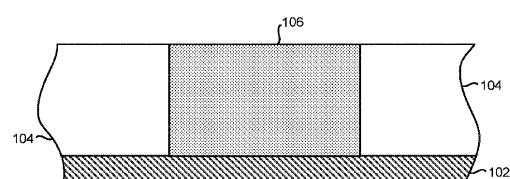


Figure 1I

【図2A】

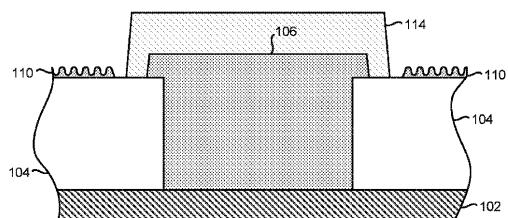


Figure 2A

【図2C】

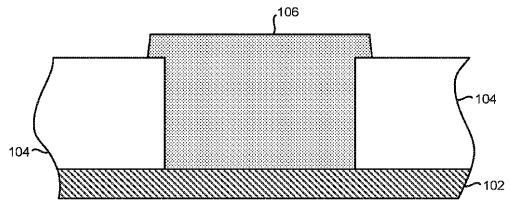


Figure 2C

【図2B】

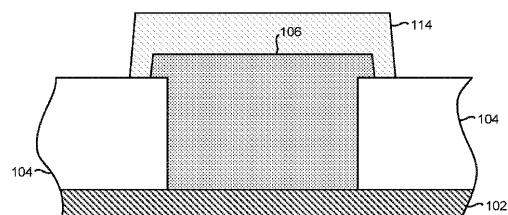


Figure 2B

【図3A】

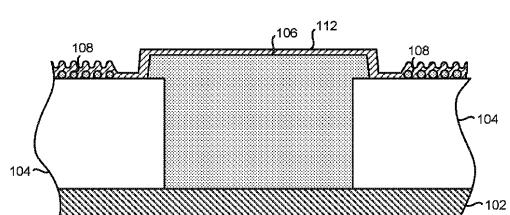


Figure 3A

【図3B】

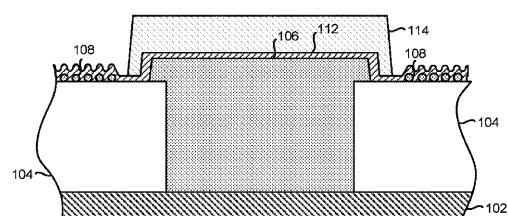


Figure 3B

【図4A】

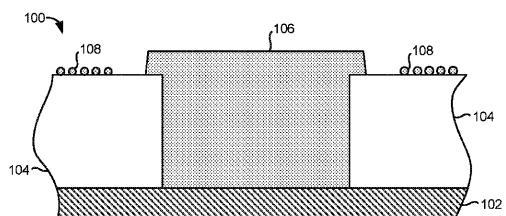


Figure 4A

【図3C】

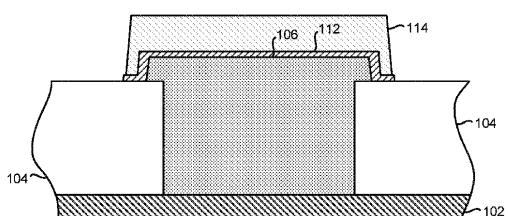


Figure 3C

【図4B】

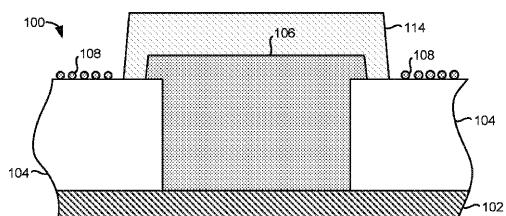
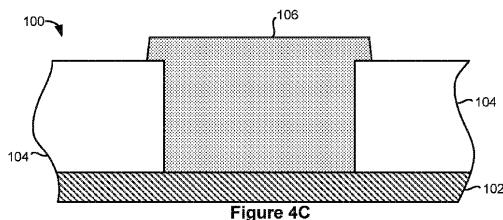
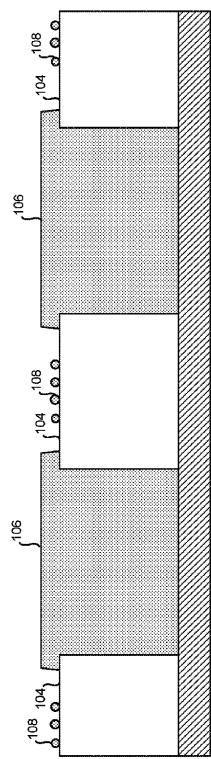


Figure 4B

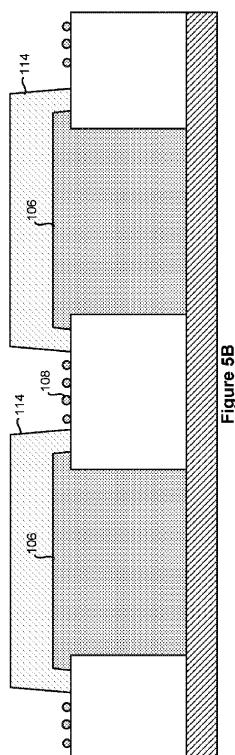
【図4C】



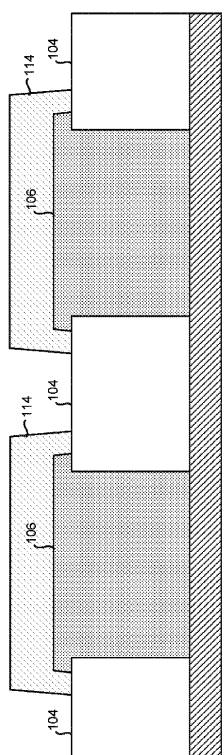
【図5A】



【図5B】



【図5C】



【図 5 D】

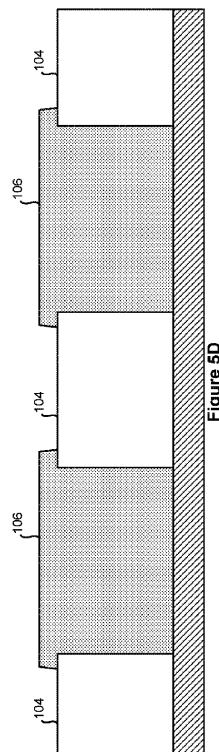


Figure 5D

【図 5 E】

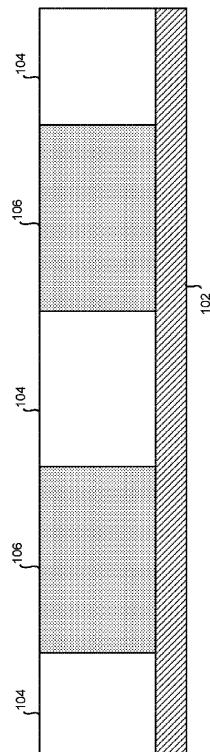


Figure 5E

【図 6 A】

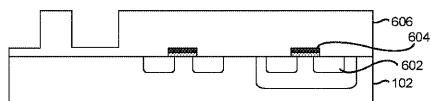


Figure 6A

【図 6 B】

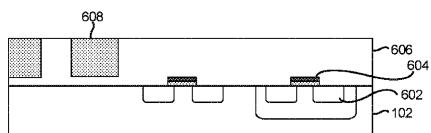
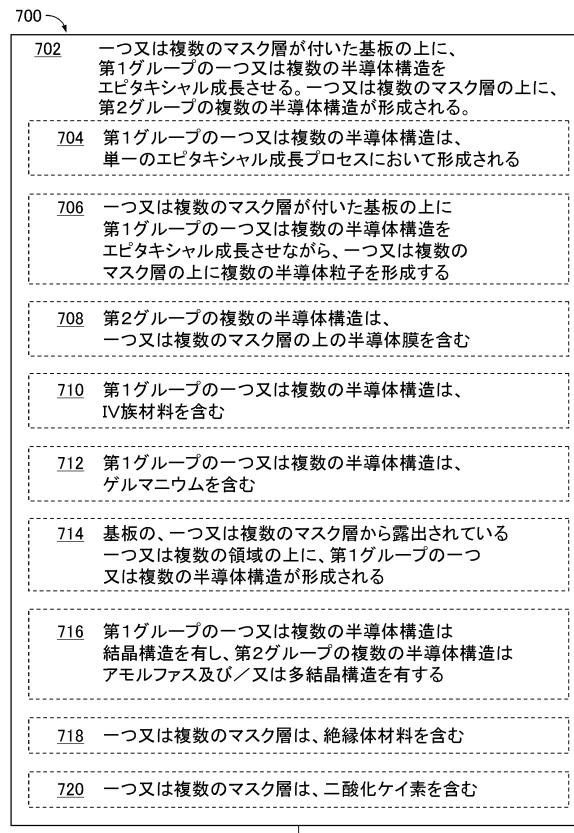


Figure 6B

【図 7 A】

Figure 7A  
A

【図 7 B】

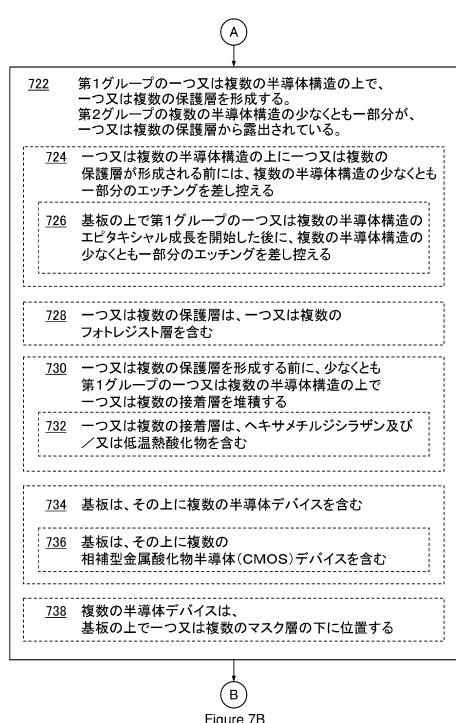


Figure 7B

【図 7 C】

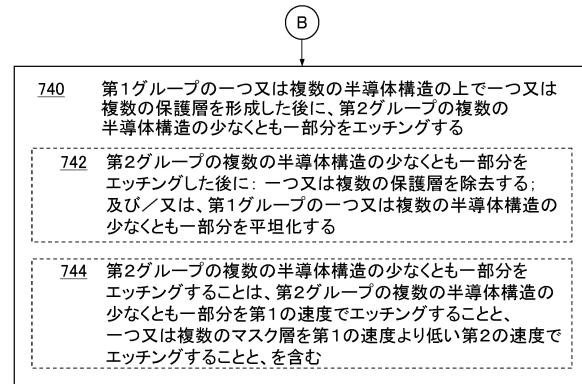


Figure 7C

【図 8 A】

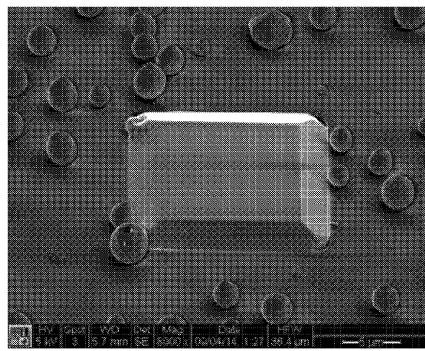


Figure 8A

【図 8 B】

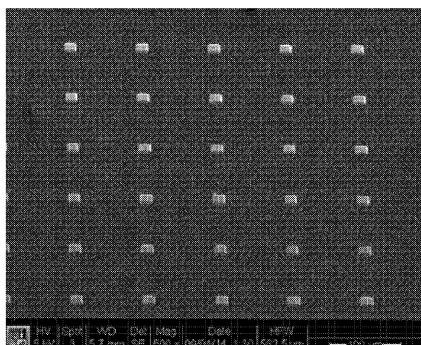


Figure 8B

【図 9 B】

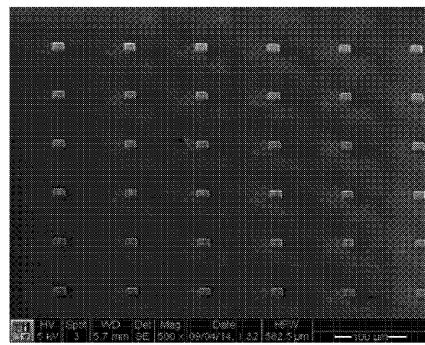


Figure 9B

【図 9 A】

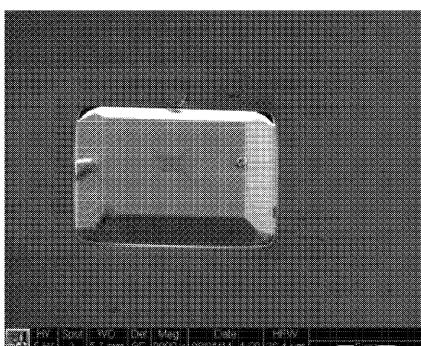


Figure 9A

---

フロントページの続き

(72)発明者 ヨル ナ

アメリカ合衆国 95131 カリフォルニア州、サンホゼ、コンコース ドライヴ 1863

(72)発明者 ヨンシク キム

アメリカ合衆国 95131 カリフォルニア州、サンホゼ、コンコース ドライヴ 1863

(72)発明者 ウーシク ジュン

アメリカ合衆国 95131 カリフォルニア州、サンホゼ、コンコース ドライヴ 1863

審査官 鈴木 智之

(56)参考文献 特開平08-203833(JP,A)

特開2014-181170(JP,A)

特開平04-188719(JP,A)

特開2014-175337(JP,A)

特開2010-153845(JP,A)

特開2011-108692(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/205

H01L 21/306