

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7522548号
(P7522548)

(45)発行日 令和6年7月25日(2024.7.25)

(24)登録日 令和6年7月17日(2024.7.17)

(51)国際特許分類

F I

H 0 4 N 25/78 (2023.01)

H 0 4 N 25/76 (2023.01)

H 0 4 N 25/78

H 0 4 N 25/76

請求項の数 12 (全22頁)

(21)出願番号	特願2019-223001(P2019-223001)	(73)特許権者	000001007
(22)出願日	令和1年12月10日(2019.12.10)		キヤノン株式会社
(65)公開番号	特開2021-93623(P2021-93623A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和3年6月17日(2021.6.17)	(74)代理人	110003281
審査請求日	令和4年12月12日(2022.12.12)		弁理士法人大塚国際特許事務所
		(72)発明者	識名 紀之
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		(72)発明者	嶋谷 美子
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		(72)発明者	竹中 真太郎
			東京都大田区下丸子3丁目30番2号
			キヤノン株式会社内
		審査官	鈴木 肇

最終頁に続く

(54)【発明の名称】 光電変換装置および撮像装置

(57)【特許請求の範囲】

【請求項1】

複数の行および複数の列を構成するように配置された複数の画素、および、前記複数の画素のノイズ信号および光信号を出力するための複数の列信号線を有する画素アレイと、
各画素からノイズ信号の次に光信号が出力されるように前記複数の画素を駆動する駆動部と、

前記複数の行のうち第1数の行から前記複数の列信号線に出力されるノイズ信号をノイズデータにA/D変換する動作を前記第1数の行を単位として繰り返し、次いで、前記複数の行のうち前記第1数の行から前記複数の列信号線に出力される光信号を光データにA/D変換する動作を前記第1数の行を単位として繰り返す複数のA/D変換器を含むA/D変換部と、

データ保持部と、

第1期間において前記第1数の行の前記ノイズデータを前記第1数のチャネルを構成する複数の水平転送線を介して前記A/D変換部から前記データ保持部に並列に転送して前記データ保持部に保持させる動作を前記第1数の行を単位として繰り返し、次いで、前記第1期間とは異なる第2期間において前記第1数の行の前記光データを前記複数の水平転送線を介して前記A/D変換部から前記データ保持部に並列に転送して前記データ保持部に保持させる動作を前記第1数の行を単位として繰り返す転送部と、

前記データ保持部によって保持され前記データ保持部から出力される前記光データと前記ノイズデータとの差分を演算する演算部と、を備え、

前記データ保持部は、並列に設けられた第2数のチャンネルを通して、前記データ保持部によって保持されたノイズデータを前記第2数のノイズデータごとに並列に前記データ保持部から前記演算部に出力するとともに前記データ保持部によって保持された光データを前記第2数の光データごとに並列に前記データ保持部から前記演算部に出力し、

前記転送部が前記ノイズデータおよび前記光データを前記データ保持部に転送し保持させる動作と、前記データ保持部によって保持されたノイズデータおよび光データを前記データ保持部から前記演算部に出力する動作とは並行して行われ、

前記第2数は、前記第1数よりも小さい2以上の自然数である、

ことを特徴とする光電変換装置。

【請求項2】

前記データ保持部は、前記第1数の行の画素のノイズデータを保持するノイズデータ記憶部と、前記第1数の行の画素の光データを保持する光データ記憶部とを含む、

ことを特徴とする請求項1に記載の光電変換装置。

【請求項3】

前記ノイズデータ記憶部は、互いに独立してアクセス可能な第1記憶部および第2記憶部を含み、

前記光データ記憶部は、互いに独立してアクセス可能な第3記憶部および第4記憶部を含む、

ことを特徴とする請求項2に記載の光電変換装置。

【請求項4】

前記データ保持部は、前記第1数の行の画素のノイズデータを保持する第1ノイズデータ記憶部と、前記第1数の行の画素のノイズデータを保持する第2ノイズデータ記憶部と、前記第1数の行の画素の光データを保持する第1光データ記憶部と、前記第1数の行の画素の光データを保持する第2光データ記憶部とを含む、

ことを特徴とする請求項1に記載の光電変換装置。

【請求項5】

前記第1ノイズデータ記憶部、前記第2ノイズデータ記憶部、前記第1光データ記憶部および前記第2光データ記憶部のそれぞれは、互いに独立してアクセス可能な2つの記憶部を含む、

ことを特徴とする請求項4に記載の光電変換装置。

【請求項6】

前記第1ノイズデータ記憶部、前記第2ノイズデータ記憶部、前記第1光データ記憶部および前記第2光データ記憶部のそれぞれは、前記第1数の半分のデータを2回受けて前記第1数のデータとして出力するバス幅変換部と、前記バス幅変換部から出力される前記第1数の行の画素のデータを保持する記憶部とを含む、

ことを特徴とする請求項4に記載の光電変換装置。

【請求項7】

前記第1ノイズデータ記憶部は、前記第1数の半分のノイズデータを2回受けて前記第1数のノイズデータとして出力する第1バス幅変換部と、前記第1バス幅変換部から出力される前記第1数の行の画素のノイズデータを保持する第1記憶部とを含み、

前記第2ノイズデータ記憶部は、前記第1数の半分のノイズデータを2回受けて前記第1数のノイズデータとして出力する第2バス幅変換部と、前記第2バス幅変換部から出力される前記第1数の行の画素のノイズデータを保持する第2記憶部とを含み、

前記第1光データ記憶部は、前記第1数の半分の光データを2回受けて前記第1数の光データとして出力する第3バス幅変換部と、前記第3バス幅変換部から出力される前記第1数の行の画素の光データを保持する第3記憶部とを含み、

前記第2光データ記憶部は、前記第1数の半分の光データを2回受けて前記第1数の光データとして出力する第4バス幅変換部と、前記第4バス幅変換部から出力される前記第1数の行の画素の光データを保持する第4記憶部とを含む、

ことを特徴とする請求項4に記載の光電変換装置。

10

20

30

40

50

【請求項 8】

水平同期信号によって規定される水平走査期間において前記転送部が前記データ保持部に転送し前記データ保持部に保持させた前記ノイズデータおよび前記光データは、次の水平走査期間において前記データ保持部から前記演算部に出力される、
ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記次の水平走査期間において、前記データ保持部が前記演算部に前記ノイズデータおよび前記光データを出力する動作と並行して、前記転送部は、新たなノイズデータおよび光データを前記データ保持部に転送し保持させる、
ことを特徴とする請求項 8 に記載の光電変換装置。

10

【請求項 10】

前記画素アレイが配された第 1 の半導体基板と、
前記データ保持部が配された第 2 の半導体基板と、
を備えることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

前記駆動部と前記複数の A/D 変換器とが、前記第 2 の半導体基板に配される、
ことを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

請求項 1 乃至 11 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置からのデータを処理するプロセッサと、
を備えることを特徴とする撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置および撮像装置に関する。

【背景技術】

【0002】

特許文献 1 には、画素アレイ部と、複数の A/D 変換器と、データラッチ部と、パラシリ変換部と、列デコーダ/センサアンプと、メモリ部と、データ処理部と、I/F 部とを備える固体撮像素子が記載されている。各 A/D 変換器は、画素アレイの各画素から信号線を通して読み出されるアナログ信号を A/D 変換して画素データを生成する。この際に、各 A/D 変換器は、画素からの信号レベルと該画素からのリセットレベルとの差分に相当する画素データを生成する。複数の A/D 変換器によって生成された複数の画素データは、データラッチ部に転送され、パラシリ変換部および列デコーダ/センサアンプを介してメモリ部に転送される。また、列デコーダ/センサアンプは、メモリ部からビット線を通して読み出される微弱な電圧をデジタルレベルとして取り扱いが可能なレベルまで増幅し画素データとして出力する。画素データは、データ処理部に提供され、データ処理部によって処理される。

30

【先行技術文献】

【特許文献】

40

【0003】

【文献】特開 2017-183659 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載された固体撮像素子では、各 A/D 変換器は、画素からの信号レベルと該画素からのリセットレベルとの差分に相当する画素データを生成する。よって、A/D 変換器の機能が複雑化しうる。

【0005】

本発明は、A/D 変換器の機能を単純化するために有利な光電変換装置の構成を提供する

50

ことを目的とする。

【課題を解決するための手段】

【0006】

本発明の1つの側面は、光電変換装置に係り、前記光電変換装置は、複数の行および複数の列を構成するように配置された複数の画素、および、前記複数の画素のノイズ信号および光信号を出力するための複数の列信号線を有する画素アレイと、各画素からノイズ信号の次に光信号が出力されるように前記複数の画素を駆動する駆動部と、前記複数の行のうち第1数の行から前記複数の列信号線に出力されるノイズ信号をノイズデータにA/D変換する動作を前記第1数の行を単位として繰り返し、次いで、前記複数の行のうち前記第1数の行から前記複数の列信号線に出力される光信号を光データにA/D変換する動作を前記第1数の行を単位として繰り返す複数のA/D変換器を含むA/D変換部と、データ保持部と、第1期間において前記第1数の行の前記ノイズデータを前記第1数のチャンネルを構成する複数の水平転送線を介して前記A/D変換部から前記データ保持部に並列に転送して前記データ保持部に保持させる動作を前記第1数の行を単位として繰り返し、次いで、前記第1期間とは異なる第2期間において前記第1数の行の前記光データを前記複数の水平転送線を介して前記A/D変換部から前記データ保持部に並列に転送して前記データ保持部に保持させる動作を前記第1数の行を単位として繰り返す転送部と、前記データ保持部によって保持され前記データ保持部から出力される前記光データと前記ノイズデータとの差分を演算する演算部と、を備え、前記データ保持部は、並列に設けられた第2数のチャンネルを通して、前記データ保持部によって保持されたノイズデータを前記第2数のノイズデータごとに並列に前記データ保持部から前記演算部に出力するとともに前記データ保持部によって保持された光データを前記第2数の光データごとに並列に前記データ保持部から前記演算部に出力し、前記転送部が前記ノイズデータおよび前記光データを前記データ保持部に転送し保持させる動作と、前記データ保持部によって保持されたノイズデータおよび光データを前記データ保持部から前記演算部に出力する動作とは並行して行われ、前記第2数は、前記第1数よりも小さい2以上の自然数である。

10

20

【発明の効果】

【0007】

本発明によれば、A/D変換器の機能を単純化するために有利な光電変換装置の構成が提供される。

30

【図面の簡単な説明】

【0008】

【図1】第1実施形態の光電変換装置の構成例を示すブロック図。

【図2】第1実施形態の光電変換装置の画素アレイおよびA/D変換部の構成例を示す図。

【図3】第1実施形態の光電変換装置の画素の構成例を示す図。

【図4】第1実施形態の光電変換装置の水平転送部の構成例を示す図。

【図5】第1実施形態の光電変換装置のデータ処理部の構成例を示す図。

【図6】第1実施形態の光電変換装置のノイズデータ記憶部の構成例を示す図。

【図7】第1実施形態の光電変換装置の動作例を示すタイミングチャート。

【図8】第1実施形態の光電変換装置の動作例を示すタイミングチャート。

40

【図9】第2実施形態の光電変換装置のデータ処理部の構成例を示す図。

【図10】第2実施形態の光電変換装置のノイズデータ記憶部の構成例を示す図。

【図11】第1実施形態の光電変換装置の動作例を示すタイミングチャート。

【図12】第1実施形態の光電変換装置の動作例を示すタイミングチャート。

【図13】実施形態の撮像装置の構成例を示す図。

【発明を実施するための形態】

【0009】

以下、添付図面を参照して実施形態を詳しく説明する。尚、以下の実施形態は特許請求の範囲に係る発明を限定するものではない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のものとは限らず、また、複数の特徴は任意に

50

組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

【0010】

図1には、第1実施形態の光電変換装置1の構成が示されている。光電変換装置1は、例えば、固体撮像装置として構成されうる。光電変換装置1は、CPU101によって制御されうる。光電変換装置1は、例えば、制御部102と、垂直走査部（駆動部）103と、画素アレイ104と、AD変換部105と、水平転送部（転送部）106と、データ処理部107と、信号出力部108とを備えうる。制御部102は、CPU101から同期信号等の制御信号を受けて、該制御信号に従って動作しうる。画素アレイ104は、複数の行（ n 行）および複数の列（ m 列）を構成するように配置された複数の画素P、および、複数の画素Pからのノイズ信号および光信号を出力するための複数の列信号線を有する。ここで、 n 、 m は、任意の自然数である。画素P（ x ， y ）は、第 x 行、第 y 列に配置された画素Pを意味する。垂直走査部（駆動部）103は、制御部102から提供される制御信号を受けて画素アレイ104を駆動しうる。より具体的には、垂直走査部103は、各画素Pからノイズ信号の次に光信号が出力されるように複数の画素Pを駆動しうる。光電変換装置1は、1つの半導体基板に形成されうる。あるいは、光電変換装置1は積層された複数の半導体基板によって構成されうる。例えば、画素アレイ104が第1の半導体基板に配置されうる。そして、制御部102と、垂直走査部（駆動部）103と、AD変換部105と、水平転送部（転送部）106と、データ処理部107と、信号出力部108とが第2の半導体基板に配置されうる。また、CPU101の一部または全部が光電変換装置1に搭載されてもよい。

10

20

【0011】

AD変換部105は、画素アレイ104の複数の列信号線に出力されるノイズ信号をノイズデータにAD変換し、次いで、該複数の列信号線に出力される光信号を光データにAD変換する複数のAD変換器を含みうる。水平転送部（転送部）106は、AD変換部105によって変換されたノイズデータをデータ処理部107に転送し、次いで、AD変換部105によって変換された光データをデータ処理部107に転送しうる。データ処理部107は、データ保持部および演算部を含みうる。信号出力部108は、データ処理部107によって処理されたデータを出力しうる。

【0012】

図2には、画素アレイ104およびAD変換部105の構成例が示されている。図2に示された例では、画素アレイ104は、 n 行および m 列の行列を構成するように配置された複数の画素P（1，1）～P（ n ， m ）と、複数の（ $m \times I$ ）の列信号線202とを有する。ここでは、 I （第1数）は、2以上の任意の自然数であり、第1実施形態では $I = 6$ である。第1実施形態において、1つの列には、6本の列信号線202が配置されている。具体的には、第 y 列の第1の列信号線202には画素P（ $1 + 6k$ ， y ）が接続され、第 y 列の第2の列信号線202には画素P（ $2 + 6k$ ， y ）が接続され、第 y 列の第3の列信号線202には画素P（ $3 + 6k$ ， y ）が接続されている。また、第 y 列の第4の列信号線202には画素P（ $4 + 6k$ ， y ）が接続され、第 y 列の第5の列信号線202には画素P（ $5 + 6k$ ， y ）が接続され、第 y 列の第6の列信号線202には画素P（ $6 + 6k$ ， y ）が接続されている。ここで、 k は、 $0 \leq k < n / 6$ を満たす全ての自然数でありうる。

30

40

【0013】

AD変換部105は、複数のAD変換器203を含み、複数のAD変換器203の数は、複数の列信号線202の数と同数でありうる。また、AD変換部105は、複数のAD変換器203の数と同数の保持部204を含みうる。複数の列信号線202には、定電流源（不図示）が接続されうる。また、1つの列信号線202は、複数のAD変換器203のうちの1つのAD変換器203に接続される。各AD変換器203の出力は、対応する保持部204に提供され、該保持部204によって保持される。第1実施形態では、画素アレイ104の各列に対して、6個のAD変換器203と6個の保持部204が割り当て

50

られる。

【 0 0 1 4 】

複数の列信号線 2 0 2 を相互に識別するために、第 1 列の 6 本の列信号線 2 0 2 は、 $c 1 _v l \#$ ($\# : 1 \sim 6$) として示され、第 m 列の 6 本の列信号線 2 0 2 は、 $c m _v l \#$ と表して示されている。また、列信号線 $c 1 _v l \#$ に接続された画素 P の信号 (ノイズ信号、光信号) を A/D 変換器 2 0 3 によって A/D 変換したデータ (ノイズデータ、光データ) は、保持部 2 0 4 から $a d o u t _c 1 _v l \#$ として出力される。ここで、 $a d o u t _c 1 _v l \#$ は、デジタルデータであり、複数 $b i t$ で構成される。第 1 列の第 1 行の画素 P は、 $c 1 _v l 1$ に接続され、第 1 列の第 2 行の画素 P は、 $c 1 _v l 2$ に接続される。同様にして、各列において、画素 P は、6 行周期で 6 本の列信号線 2 0 2 のいずれかに接続される。

10

【 0 0 1 5 】

図 3 には、画素 P の構成例が示されている。画素 2 0 1 は、光電変換素子 (PD) 3 1 1 と、電荷転送部 3 1 2 と、フローティングディフュージョン FD と、リセット部 3 1 3 と、増幅部 3 1 4 と、行選択部 3 1 5 とを含みうる。光電変換素子 3 1 1 は、光電変換素子 3 1 1 に入射した光の量に応じた電荷を生成する素子であり、例えば、フォトダイオードでありうる。電荷転送部 3 1 2 は、光電変換素子 3 1 1 とフローティングディフュージョン FD との間に配置される。電荷転送部 3 1 2 は、垂直走査部 1 0 3 によって転送信号 $P T X$ がアクティブレベル (ハイレベル) に駆動されることに応じて導通し、光電変換素子 3 1 1 の電荷をフローティングディフュージョン FD に転送する。

20

【 0 0 1 6 】

リセット部 3 1 3 は、電源電圧 $V D D$ とフローティングディフュージョン FD との間に配置される。リセット部 3 1 3 は、フローティングディフュージョン FD に電源電圧 $V D D$ に応じた電圧を供給してフローティングディフュージョン FD の電圧をリセットする。リセット部 3 1 3 は、垂直走査部 1 0 3 によってリセット信号 $P R E S$ がアクティブレベル (ハイレベル) に駆動されることに応じて導通し、フローティングディフュージョン FD の電圧をリセットする。

【 0 0 1 7 】

増幅部 3 1 4 のゲート端子にはフローティングディフュージョン FD が接続され、増幅部 3 1 4 のドレインおよびソースには、電源電圧 $V D D$ および行選択部 3 1 5 がそれぞれ接続される。増幅部 3 1 4 は、前述の定電流源とともにソースフォロア回路を構成し、フローティングディフュージョン FD に転送された電荷に対応する電圧を列信号線 2 0 2 に出力する。行選択部 3 1 5 は、増幅部 3 1 4 の出力と列信号線 2 0 2 との間に配置される。行選択部 3 1 5 は、垂直走査部 1 0 3 によって選択された行の画素 P を選択状態にするためのトランジスタである。行選択部 3 1 5 は、垂直走査部 1 0 3 によって選択信号 $P S E L$ がアクティブレベル (ハイレベル) に駆動されることによって導通し、増幅部 3 1 4 による列信号線 2 0 2 の駆動を可能にする。

30

【 0 0 1 8 】

垂直走査部 1 0 3 は、選択された画像 P がノイズ信号を列信号線 2 0 2 に出力し、次いで、光信号を列信号線 2 0 2 に出力するように、該選択された画像 P を駆動する。ノイズ信号は、リセット部 3 1 3 によるフローティングディフュージョン FD の電圧のリセットが解除された後、電荷転送部 3 1 2 が導通される前に増幅部 3 1 4 によって列信号線 2 0 2 に出力される信号である。光信号は、光電変換素子 3 1 1 において光電変換によって発生した電荷が電荷転送部 3 1 2 によってフローティングディフュージョン FD に転送された状態で、増幅部 3 1 4 によって列信号線 2 0 2 に出力される信号である。光信号とノイズ信号との差分に相当する信号を得る相関二重サンプリング (CDS) によってフローティングディフュージョン FD のリセットノイズに相当するノイズを除去することができる。

40

【 0 0 1 9 】

図 4 には、水平転送部 1 0 6 の構成例が示されている。水平転送部 1 0 6 は、例えば、複数のスリーステートバッファ 4 0 1 と、複数 (I 本) の水平転送線 4 0 2 と、水平走査

50

部 4 0 3 とを含みうる。A D 変換部 1 0 5 の複数の保持部 2 0 4 の出力 `adout_cm_vl#` ($M: 1 \sim m$) ($\#: 1 \sim 6$) は、対応するスリーステートバッファ 4 0 1 の入力端子に提供される。複数のスリーステートバッファ 4 0 1 のそれぞれの出力端子は、複数の水平転送線 4 0 2 のうち対応する水平転送線 4 0 2 に接続される。複数のスリーステートバッファ 4 0 1 の出力は、水平走査部 4 0 3 によって制御される。スリーステートバッファ 4 0 1 は、制御端子を有し、ハイまたはローレベルの入力信号と同一論理レベルの出力信号を出力する状態と、出力端子をハイインピーダンスに維持する状態とが該制御端子に与えられる制御信号によって切り替えられる。

【0020】

複数の水平転送線 4 0 2 は、水平転送線 `ch_vl1`、`ch_vl2`、`ch_vl3`、`ch_vl4`、`ch_vl5`、`ch_vl6` として相互に区別される。出力 `adout_cm_vl1` は、対応するスリーステートバッファ 4 0 1 を介して水平転送線 `ch_vl1` に伝達され、出力 `adout_cm_vl2` は、対応するスリーステートバッファ 4 0 1 を介して `ch_vl2` に伝達される。出力 `adout_cm_vl3`、`adout_cm_vl4`、`adout_cm_vl5`、`adout_cm_vl6` も、対応するスリーステートバッファ 4 0 1 を介して `ch_vl3`、`ch_vl4`、`ch_vl5`、`ch_vl6` に伝達される。

10

【0021】

図 5 には、データ処理部 1 0 7 の構成例が示されている。データ処理部 1 0 7 は、データ保持部 5 1 0 および演算部 5 2 0 を含む。データ保持部 5 1 0 の入力端子には、I 本（即ち I チャンネル）の水平転送線 `ch_vl1`、`ch_vl2`、`ch_vl3`、`ch_vl4`、`ch_vl5`、`ch_vl6` が接続されている。したがって、水平転送部 1 0 6 は、複数の A D 変換器 2 0 3 によって変換されたデータをデータ保持部 5 1 0 に転送するように動作しうる。より具体的には、水平転送部 1 0 6 は、複数の A D 変換器 2 0 3 によって変換されたノイズデータをデータ保持部 5 1 0 に転送し、次いで、複数の A D 変換器 2 0 3 によって変換された光データをデータ保持部 5 1 0 に転送するように動作しうる。

20

【0022】

データ保持部 5 1 0 は、I 行分の画素のデータ（ノイズデータまたは光データ）を順次に取り込んで保持する。また、データ保持部 5 1 0 は、J（第 2 数）個のノイズデータと J（第 2 数）個の光データとを並列に設けられた J 本のチャンネルを通して出力する。ここで、J（第 2 数）は、I（第 1 数）と同じか、I（第 1 数）より小さい自然数であり、第 1 実施形態では $J = 2$ である。データ保持部 5 1 0 は、I（6）個のノイズデータを取り込んで保持するノイズデータ記憶部 5 0 2 と、I（6）個の光データを取り込んで保持する光データ記憶部 5 0 1 とを含みうる。ノイズデータ記憶部 5 0 2 は、J（2）個のノイズデータを出力し、これと並行して、光データ記憶部 5 0 1 は、J（2）個の光データを出力する。

30

【0023】

ここで、あるデバイス（例えば、ノイズデータ記憶部 5 0 2）がデータを取り込んで保持する動作は、該デバイスに対するデータの書込動作として理解することができる。また、あるデバイス（例えば、ノイズデータ記憶部 5 0 2）がデータを出力する動作は、該デバイスからのデータの読出動作として理解することができる。データの書込動作および読出動作は、制御部 1 0 2 が発生する書込信号（`write_en`）および読出信号（`read_en`）によって制御されうる。

40

【0024】

演算部 5 2 0 は、第 1 データ演算部 5 0 3 と、第 2 データ演算部 5 0 4 とを含みうる。第 1 データ演算部 5 0 3 および第 2 データ演算部 5 0 4 は、光データとノイズデータとの差分を演算しうる。ノイズデータ記憶部 5 0 2 は、2 つの出力ポート N 1 3 5、N 2 4 6 を有し、出力ポート N 1 3 5 は、第 1 データ演算部 5 0 3 の入力ポート `Nin` に接続され、出力ポート N 2 4 6 は、第 2 データ演算部 5 0 4 の入力ポート `Nin` に接続されている。光データ記憶部 5 0 1 は、2 つの出力ポート S 1 3 5、S 2 4 6 を有し、出力ポート S

50

135は、第1データ演算部503の入力ポートSinに接続され、出力ポートS246は、第2データ演算部504の入力ポートSinに接続されている。

【0025】

出力ポートN135には、第1、第3、第5チャンネルの水平転送線ch_vl1、ch_vl3、ch_vl5を介してノイズデータ記憶部502に提供された第1、第3、第5チャンネルのノイズデータが出力される。出力ポートN246には、第2、第4、第6チャンネルの水平転送線ch_vl2、ch_vl4、ch_vl6を介してノイズデータ記憶部502に提供された第2、第4、第6ノイズデータが出力される。出力ポートS135には、第1、第3、第5チャンネルの水平転送線ch_vl1、ch_vl3、ch_vl5を介して光データ記憶部501に提供された第1、第3、第5チャンネルの光データが出力される。出力ポートS246には、第2、第4、第6チャンネルの水平転送線ch_vl2、ch_vl4、ch_vl6を介して光データ記憶部501に提供された第2、第4、第6チャンネルの光データが出力される。

10

【0026】

I本の水平転送線ch_vl#(#:1~6)は、ノイズデータ記憶部502および光データ記憶部501の双方に供給されうる。第1データ演算部503は、入力ポートSinに提供された第1、第3、第5チャンネルの光データと入力ポートNinに提供された第1、第3、第5チャンネルのノイズデータとのそれぞれの差分を演算する。そして、第1データ演算部503は、第1、第3、第5チャンネルの演算結果を出力ポートSNoutに出力する。第2データ演算部504は、入力ポートSinに入力された第2、第4、第6チャンネルの光データと入力ポートNinに入力された第2、第4、第6チャンネルのノイズデータとのそれぞれの差分を演算する。そして、第2データ演算部504は、第2、第4、第6チャンネルの演算結果を出力ポートSNoutに出力する。

20

【0027】

データ演算部503、504は、例えば、式1に示す演算を行うように構成されるが、他の演算を行うように構成されてもよい。

【0028】

$$SNout = Sin - Nin \quad \cdots \text{式1}$$

図6には、図5に示されたノイズデータ記憶部502の構成例が示されている。ノイズデータ記憶部502は、例えば、A記憶部(第1記憶部)601と、B記憶部(第2記憶部)602と、セクタ603とを含みうる。A記憶部601およびB記憶部602は、それぞれ、I行分の画素(第1数の行の画素)、つまり、(I×m)個の画素のデータを保持することができる。ノイズデータ記憶部502の入力端子には、水平転送線ch_vl#(#:1~6)が接続されていて、水平転送線ch_vl#(#:1~6)は、A記憶部601およびB記憶部602の双方の入力端子に接続されている。A記憶部601の出力端子から出力される出力信号N#A(#:1~6)およびB記憶部602の出力端子から出力される出力信号N#A(#:1~6)は、セクタ603に供給される。

30

【0029】

セクタ603は、出力ポートN135、N246を有する。セクタ603は、出力ポートN135に対しては、N1A、N3A、N5A、N1B、N3B、N5Bのいずれかを選択して出力し、出力ポートN246に対しては、N2A、N4A、N6A、N2B、N4B、N6Bのいずれかを選択して出力する。

40

【0030】

A記憶部601およびB記憶部602は、例えば、互いに独立してアクセス可能な別個のSRAMで構成されうる。A記憶部601およびB記憶部602は、例えば、フリップフロップのような記憶素子の集合体で構成されてもよいし、他の記憶素子の集合体で構成されてもよい。光データ記憶部501は、ノイズデータ記憶部502と同様の構成を有しうる。光データ記憶部501は、例えば、A記憶部601と同様のA記憶部と、B記憶部602と同様のB記憶部と、セクタ603とを同様のセクタとを含みうる。

【0031】

50

以下、第1実施形態の光電変換装置1の動作方法を説明する。図7には、第1実施形態の光電変換装置1の動作方法が示されている。図7において、「AD変換」はAD変換部105の動作、「水平転送」は水平転送部106の動作、「ノイズデータ記憶部」はノイズデータ記憶部502の動作、「光データ記憶部」は光データ記憶部501の動作を示している。第1実施形態の光電変換装置1は、6行分の画素のノイズ信号を同時にAD変換し、次いで、該6行分の画素の光信号を同時にAD変換する。また、第1実施形態の光電変換装置1は、2行の画素のデータ（光データとノイズデータとの差分）を並列に、かつ、各行の画素のデータについては1画素ずつ順次に出力する。

【0032】

まず、第1行から第6行かつ第1列から第m列の画素Pのノイズ信号がAD変換部105でAD変換されてノイズデータが生成され、そのノイズデータがデータ処理部107のノイズデータ記憶部502のA記憶部601に書き込まれる動作について説明する。時刻T1において、CPU101は、制御部102に対して水平同期信号HDを出力する。時刻T1から時刻T1w1において、AD変換部105の複数($m \times I$)のAD変換器203は、制御部102による制御の下で、第1行から第6行かつ第1列から第m列の画素Pのノイズ信号を同時にAD変換してノイズデータを生成する。時刻T1w1において、複数($m \times I$)のAD変換器203によって生成された複数($m \times I$)のノイズデータが複数($m \times I$)の保持部204に一括転送される。ここで、第1行のノイズデータ群をN_v11(h1)、第2行のノイズデータ群をN_v12(h1)、・・・、第6行のノイズデータ群をN_v16(h1)とする。

【0033】

時刻T1w1から時刻T1w2において、複数の保持部204によって保持されているノイズデータ群N_v1#(h1)(#:1~6)は、水平転送部106を介してデータ処理部107に転送される。ここで、6行のノイズデータ群は、並列に、かつ、各行の画素のノイズデータ群が1画素ずつ順次に、データ処理部107に転送される。データ処理部107に転送されたノイズデータ群N_v11(h1)は、制御部102が発生する書込信号write_enおよび書込クロックclockに従ってノイズデータ記憶部502のA記憶部601に順次書き込まれる。A記憶部601に対するノイズデータ群N_v11(h1)の書込動作については、図8の左下のタイミングチャートに示されている。

【0034】

以下、第1行から第6行かつ第1列から第m列の画素Pの光信号がAD変換部105でAD変換されて光データが生成され、その光データがデータ処理部107の光データ記憶部501のA記憶部に書き込まれる動作について説明する。時刻T1w2から時刻T1w3において、AD変換部105の複数($m \times I$)のAD変換器203は、制御部102による制御の下で、第1行から第6行かつ第1列から第m列の画素Pの光信号を同時にAD変換して光データを生成する。時刻T1w3において、複数($m \times I$)のAD変換器203によって生成された複数($m \times I$)のノイズデータが複数($m \times I$)の保持部204に一括転送される。ここで、第1行の光データ群をS_v11(h1)、第2行の光データ群をS_v12(h1)、・・・、第6行の光データ群をS_v16(h1)とする。

【0035】

時刻T1w3から時刻T1w4において、複数の保持部204によって保持されている光データ群S_v1#(h1)(#:1~6)は、水平転送部106を介してデータ処理部107に転送される。ここで、6行の光データ群は、並列に、かつ、各行の画素のノイズデータ群が1画素ずつ順次に、データ処理部107に転送される。データ処理部107に転送された光データ群は、制御部102が発生する書込信号write_enおよび書込クロックclockに従って光データ記憶部501のA記憶部に順次書き込まれる。

【0036】

以下、第1行から第6行かつ第1列から第m列の画素Pのノイズデータ、光データをデータ処理部107のノイズデータ記憶部502(A記憶部601)、光データ記憶部501(A記憶部)から読み出す動作について説明する。時刻T2において、CPU101は

、制御部 102 に対して水平同期信号 HD を出力する。時刻 T_{2r1} から時刻 T_{2r2} において、ノイズデータ記憶部 502 の A 記憶部 601 から第 1 行のノイズデータ群 $N_{v11}(h1)$ と第 2 行のノイズデータ群 $N_{v12}(h1)$ が並行して、各行について 1 画素ずつ順次に、読み出される。また、これと並行して、時刻 T_{2r1} から時刻 T_{2r2} において、光データ記憶部 501 の A 記憶部から第 1 行の光データ群 $S_{v11}(h1)$ と第 2 行の光データ群 $S_{v12}(h1)$ が並行して、各行について 1 画素ずつ順次に、読み出される。また、時刻 T_{2r1} から時刻 T_{2r2} において、第 1 行および第 2 行のそれぞれについて、1 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。A 記憶部 601 からのノイズデータ群 $N_{v11}(h1)$ の読出動作については、図 8 の右下のタイミングチャートに示されている。

10

【0037】

上記の動作と同様にして、時刻 T_{2r2} から時刻 T_{2r3} において、第 3 行と第 4 行のそれぞれについて、1 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。また、時刻 T_{2r3} から時刻 T_{3r1} において、第 5 行と第 6 行のそれぞれについて、1 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。

【0038】

以上のようにして、第 1 行から第 6 行の画素のノイズ信号が同時に AD 変換され、次いで、第 1 行から第 6 行の画素の光信号が同時に AD 変換される。また、2 つの行の画素のデータ（光データとノイズデータとの差分）は、並列に、かつ、各行の画素のデータについて 1 画素ずつ順次に出力される。

20

【0039】

以下、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P のノイズ信号が AD 変換部 105 で AD 変換されてノイズデータが生成され、そのノイズデータがデータ処理部 107 のノイズデータ記憶部 502 の B 記憶部 602 に書き込まれる動作について説明する。時刻 T_2 から時刻 T_{2w1} において、AD 変換部 105 の複数 ($m \times I$) の AD 変換器 203 は、制御部 102 による制御の下で、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P のノイズ信号を同時に AD 変換してノイズデータを生成する。時刻 T_{2w1} において、複数 ($m \times I$) の AD 変換器 203 によって生成された複数 ($m \times I$) のノイズデータが複数 ($m \times I$) の保持部 204 に一括転送される。ここで、第 7 行のノイズデータ群を $N_{v11}(h2)$ 、第 8 行のノイズデータ群を $N_{v12}(h2)$ 、・・・、第 12 行のノイズデータ群を $N_{v16}(h2)$ とする。

30

【0040】

時刻 T_{2w1} から時刻 T_{2w2} において、複数の保持部 204 によって保持されているノイズデータ群 $N_{v1\#}(h2)$ ($\# : 1 \sim 6$) は、水平転送部 106 を介してデータ処理部 107 に転送される。ここで、6 行のノイズデータ群は、並列に、かつ、各行の画素のノイズデータ群が 1 画素ずつ順次に、データ処理部 107 に転送される。データ処理部 107 に転送されたノイズデータ群 $N_{v1\#}(h2)$ ($\# : 1 \sim 6$) は、制御部 102 が発生する書込信号 $write_en$ および書込クロック $clock$ に従ってノイズデータ記憶部 502 の B 記憶部 602 に書き込まれる。

40

【0041】

以下、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P の光信号が AD 変換部 105 で AD 変換されて光データが生成され、その光データがデータ処理部 107 の光データ記憶部 501 の B 記憶部に書き込まれる動作について説明する。時刻 T_{2w2} から時刻 T_{2w3} において、AD 変換部 105 の複数 ($m \times I$) の AD 変換器 203 は、制御部 102 による制御の下で、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P の光信号を同時に AD 変換して光データを生成する。時刻 T_{2w3} において、複数 ($m \times I$) の AD 変換器 203 によって生成された複数 ($m \times I$) のノイズデータが複数 ($m \times I$) の保持部 204 に一括転送される。ここで、第 7 行のデータ群を $S_{v11}(h2)$ 、8 行目のデータ群を $S_{v12}(h2)$ 、・・・、第 12 のデータ群を $S_{v16}(h2)$ とする。

50

【 0 0 4 2 】

時刻 T_{2w3} から時刻 T_{2w4} において、複数の保持部 204 によって保持されている光データ群 $S_{vl\#(h2)}$ ($\# : 1 \sim 6$) は、水平転送部 106 を介してデータ処理部 107 に転送される。ここで、6 行の光データ群は、並列に、かつ、各行の画素の光データ群が 1 画素ずつ順次に、データ処理部 107 に転送される。データ処理部 107 に転送された光データ群 $S_{vl\#(h2)}$ ($\# : 1 \sim 6$) は、制御部 102 が発生する書込信号 $write_en$ および書込クロック $clock$ に従って光データ記憶部 501 の B 記憶部に書き込まれる。

【 0 0 4 3 】

以下、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P のノイズデータ、光データを、データ処理部 107 のノイズデータ記憶部 502 (B 記憶部 602)、光データ記憶部 501 (B 記憶部) から読み出す動作について説明する。時刻 T_3 において、CPU 101 は、制御部 102 に対して水平同期信号 HD を出力する。時刻 T_{3r1} から時刻 T_{3r2} において、ノイズデータ記憶部 502 の B 記憶部 602 から第 7 行のノイズデータ群 $N_{vl1(h2)}$ と第 8 行のノイズデータ群 $N_{vl2(h2)}$ が並行して、各行について 1 画素ずつ順次に、読み出される。また、これと並行して、時刻 T_{3r1} から時刻 T_{3r2} において、光データ記憶部 501 の B 記憶部から第 7 行の光データ群 $S_{vl1(h2)}$ と第 8 行の光データ群 $S_{vl2(h2)}$ が並行して、各行について 1 画素ずつ順次に、読み出される。また、時刻 T_{3r1} から時刻 T_{3r2} において、第 7 行および第 8 行のそれぞれについて、1 画素ずつ行 1 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。

【 0 0 4 4 】

上記の動作と同様にして、時刻 T_{3r2} から時刻 T_{3r3} において、第 9 行と第 10 行のそれぞれについて、1 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。また、時刻 T_{3r3} から時刻 T_{3r1} において、第 11 行と第 12 行のそれぞれについて、1 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。以降は、A 記憶部を用いた動作と B 記憶部を用いた動作とが交互かつ並行して実施される。

【 0 0 4 5 】

以上のように、第 1 実施形態の光電変換装置 1 では、 I 行分の画素のノイズ信号を同時に A/D 変換し、次いで、該 I 行分の画素の光信号を同時に A/D 変換する。これにより、A/D 変換部 105 に要求される機能を単純化することができる。また、第 1 実施形態の光電変換装置 1 では、 J 行の画素のデータ (光データとノイズデータとの差分) を並列に設けられた J 本のチャネルを通して並列に、かつ、各行の画素のデータについては 1 画素ずつ順次に出力してもよい。このような構成は、データ処理部 107 の回路規模を削減するために有利である。ここでは、 $I = J$ である。

【 0 0 4 6 】

第 1 実施形態では、各行の画素データは 1 画素 / 1 clock のレートで水平転送されてデータ処理部 107 に供給され、各行の画素データは 1 画素 / 1 clock のレートでデータ処理部 107 から出力される。第 1 実施形態では、データ処理部 107 の記憶部へのアクセスが単純である。

【 0 0 4 7 】

第 2 実施形態では、各行の画素データは 1 画素 / 1 clock のレートで水平転送されてデータ処理部 107 に供給され、2 画素 / 1 clock のレートでデータ処理部 107 から出力される。以下、図 9、図 10、図 11、図 12 を参照しながら第 2 実施形態の光電変換装置 1 について説明する。第 2 実施形態として言及しない事項は、第 1 実施形態に従いうる。第 2 実施形態の光電変換装置 1 は、画素アレイ 104、A/D 変換部 105 の構成 (図 2)、画素 201 の構成 (図 3)、水平転送部 106 の構成 (図 4) は、第 1 実施形態と同様でありうる。

【 0 0 4 8 】

10

20

30

40

50

図 9 には、第 2 実施形態のデータ処理部 107 の構成例が示されている。データ処理部 107 は、データ保持部 510 および演算部 520 を含む。データ保持部 510 の入力端子には、I 本（即ち I チャンネル）の水平転送線 ch_vl1 、 ch_vl2 、 ch_vl3 、 ch_vl4 、 ch_vl5 、 ch_vl6 が接続されている。より具体的には、水平転送部 106 は、複数の AD 変換器 203 によって変換されたノイズデータをデータ保持部 510 に転送し、次いで、複数の AD 変換器 203 によって変換された光データをデータ保持部 510 に転送するように動作しうる。

【0049】

データ保持部 510 は、I 行分のデータ（ノイズデータまたは光データ）を取り込んで保持する。また、データ保持部 510 は、J（第 2 数）個のノイズデータと J（第 2 数）個の光データとを出力する。ここで、J（第 2 数）は、I（第 1 数）と同じか、I（第 1 数）より小さい自然数である。第 2 実施形態においても、 $I = 6$ 、 $J = 2$ である。データ保持部 510 は、I 行分の画素と同数のノイズデータを取り込んで保持するノイズデータ記憶部 902 と、I 行分の画素と同数のノイズデータを取り込んで保持するノイズデータ記憶部 906 とを含む。また、データ保持部 510 は、I 行分の画素と同数の光データを取り込んで保持する光データ記憶部 901 と、I 行分の画素と同数の光データを取り込んで保持する光データ記憶部 905 とを含む。演算部 520 は、第 1 データ演算部 903 と、第 2 データ演算部 904 と、第 3 データ演算部 907 と、第 4 データ演算部 908 とを含む。第 1 データ演算部 903、第 2 データ演算部 904、第 3 データ演算部 907 および第 4 データ演算部 908 は、光データとノイズデータとの差分を演算する。

【0050】

データ処理部 107 は、第 1、第 2、第 3、第 4、第 5、第 6 チャンネルの水平転送線 ch_vl1 、 ch_vl2 、 ch_vl3 、 ch_vl4 、 ch_vl5 、 ch_vl6 が接続される入力端子を有する。第 1、第 3、第 5 チャンネルの水平転送線 ch_vl1 、 ch_vl3 、 ch_vl5 は、光データ記憶部 901 およびノイズデータ記憶部 902 の入力端子に接続されている。

【0051】

光データ記憶部 901 は、出力ポート $S135_1$ 、 $S135_2$ を有し、出力ポート $S135_1$ は、第 1 データ演算部 903 の入力ポート Sin に接続され、出力ポート $S135_2$ は、第 2 データ演算部 904 の入力ポート Sin に接続されている。出力ポート $S135_1$ 、 $S135_2$ には、第 1、第 3、第 5 チャンネルの水平転送線 ch_vl1 、 ch_vl3 、 ch_vl5 を介して光データ記憶部 901 に提供された第 1、第 3、第 5 チャンネルの光データが出力される。ノイズデータ記憶部 902 は、出力ポート $N135_1$ 、 $N135_2$ を有し、出力ポート $N135_1$ は、第 1 データ演算部 903 の入力ポート Sin に接続され、出力ポート $N135_2$ は、第 2 データ演算部 904 の入力ポート Sin に接続されている。出力ポート $N135_1$ 、 $N135_2$ には、第 1、第 3、第 5 チャンネルの水平転送線 ch_vl1 、 ch_vl3 、 ch_vl5 を介してノイズデータ記憶部 902 に提供された第 1、第 3、第 5 チャンネルのノイズデータが出力される。

【0052】

第 1 データ演算部 903 は、入力ポート Sin に出力ポート $S135_1$ から供給される光データと入力ポート Nin に出力ポート $N135_1$ から供給されるノイズデータとの差分を演算し、演算結果を出力ポート $SN135_1$ に出力する。第 2 データ演算部 904 は、入力ポート Sin に出力ポート $S135_2$ から供給される光データと入力ポート Nin に出力ポート $N135_2$ から供給されるノイズデータとの差分を演算し、演算結果を出力ポート $SN135_2$ に出力する。

【0053】

光データ記憶部 905 は、出力ポート $S246_1$ 、 $S246_2$ を有し、出力ポート $S246_1$ は、第 3 データ演算部 907 の入力ポート Sin に接続され、出力ポート $S246_2$ は、第 4 データ演算部 908 の入力ポート Sin に接続されている。出力ポ

ト S 2 4 6 __ 1、S 2 4 6 __ 2 には、第 2、第 4、第 6 チャンネルの水平転送線 c h __ v l 2、c h __ v l 4、c h __ v l 6 を介して光データ記憶部 9 0 5 に提供された第 2、第 4、第 6 チャンネルの光データが出力される。ノイズデータ記憶部 9 0 6 は、出力ポート N 2 4 6 __ 1、N 2 4 6 __ 2 を有し、出力ポート N 2 4 6 __ 1 は、第 3 データ演算部 9 0 7 の入力ポート S i n に接続され、出力ポート N 2 4 6 __ 2 は、第 4 データ演算部 9 0 8 の入力ポート S i n に接続されている。出力ポート N 2 4 6 __ 1、N 2 4 6 __ 2 には、第 2、第 4、第 6 チャンネルの水平転送線 c h __ v l 2、c h __ v l 4、c h __ v l 6 を介してノイズデータ記憶部 9 0 6 に提供された第 2、第 4、第 6 チャンネルのノイズデータが出力される。

【 0 0 5 4 】

第 1 データ演算部 9 0 3 は、入力ポート S i n に出力ポート S 1 3 5 __ 1 から供給される光データと入力ポート N i n に出力ポート N 1 3 5 __ 1 から供給されるノイズデータとの差分を演算し、演算結果を出力ポート S N 1 3 5 __ 1 に出力する。第 2 データ演算部 9 0 4 は、入力ポート S i n に出力ポート S 1 3 5 __ 2 から供給される光データと入力ポート N i n に出力ポート N 1 3 5 __ 2 から供給されるノイズデータとの差分を演算し、演算結果を出力ポート S N 1 3 5 __ 2 に出力する。

【 0 0 5 5 】

第 3 データ演算部 9 0 7 は、入力ポート S i n に出力ポート S 2 4 6 __ 1 から供給される光データと入力ポート N i n に出力ポート N 2 4 6 __ 1 から供給されるノイズデータとの差分を演算し、演算結果を出力ポート S N 2 4 6 __ 1 に出力する。第 4 データ演算部 9 0 8 は入力ポート S i n に出力ポート S 2 4 6 __ 2 から供給される光データと入力ポート N i n に出力ポート N 2 4 6 __ 2 から供給されるノイズデータとの差分を演算し、演算結果を出力ポート S N 4 6 __ 2 に出力する。

【 0 0 5 6 】

データ演算部 9 0 3、9 0 4、9 0 5、9 0 6 は、例えば、式 1 に示す演算を行うように構成されるが、他の演算を行うように構成されてもよい。

【 0 0 5 7 】

$$S N_{out} = S_{in} - N_{in} \quad \cdots \text{式 1}$$

図 1 0 は、図 9 に示されたノイズデータ記憶部 9 0 2 の構成例が示されている。ノイズデータ記憶部 9 0 2 は、バス幅変換部 1 0 0 1、1 0 0 2 と、A 記憶部 1 0 0 3 と、B 記憶部 1 0 0 4 と、セクタ 1 0 0 5 とを含みうる。ノイズデータ記憶部 9 0 2 の入力端子には、水平転送線 c h __ v l # (# : 1、3、5) が接続されていて、水平転送線 c h __ v l # (# : 1、3、5) は、バス幅変換部 1 0 0 1、1 0 0 2 の双方の入力端子に接続されている。

【 0 0 5 8 】

バス幅変換部 1 0 0 1 は、I (第 1 数) の半分のノイズデータを 2 回受けて I (第 1 数) のノイズデータとして出力する。同様に、バス幅変換部 1 0 0 2 は、I (第 1 数) の半分のノイズデータを 2 回受けて I (第 1 数) のノイズデータとして出力する。バス幅変換部 1 0 0 1 の出力端子から出力される出力信号 W __ N # __ 1 A、W __ N # __ 2 A (# : 1、3、5) は、A 記憶部 1 0 0 3 に供給される。バス幅変換部 1 0 0 2 の出力端子から出力される出力信号 W __ N # __ 1 B、W __ N # __ 2 B (# : 1、3、5) は、B 記憶部 1 0 0 4 に供給される。

【 0 0 5 9 】

A 記憶部 1 0 0 3 の出力端子から出力される出力信号 N # __ 1 A、N # __ 2 A (# : 1、3、5) と、B 記憶部 1 0 0 4 の出力端子から出力される出力信号 N # __ 1 B、N # __ 2 B (# : 1、3、5) は、セクタ 1 0 0 5 に供給される。セクタ 1 0 0 5 は、出力ポート N 1 3 5 __ 1、N 1 3 5 __ 2 を有する。セクタ 1 0 0 5 は、出力ポート N 1 3 5 __ 1 に対しては、N 1 __ 1 A、N 3 __ 1 A、N 5 __ 1 A、N 1 __ 1 B、N 3 __ 1 B、N 5 __ 1 B のいずれかを選択して出力する。また、セクタ 1 0 0 5 は、出力ポート N 1 3 5 __ 2 に対しては、N 1 __ 2 A、N 3 __ 2 A、N 5 __ 2 A、N 1 __ 2 B、N 3 __ 2 B、N 5

10

20

30

40

50

— 2 B のいずれかを選択して出力する。

【 0 0 6 0 】

A 記憶部 1 0 0 3 および B 記憶部 1 0 0 4 は、例えば、互いに独立してアクセス可能別の S R A M で構成されうる。A 記憶部 1 0 0 3 および B 記憶部 1 0 0 4 は、例えば、フリップフロップのような記憶素子の集合体で構成されてもよいし、他の記憶素子の集合体で構成されてもよい。光データ記憶部 9 0 1、9 0 5、ノイズデータ記憶部 9 0 6 は、ノイズデータ記憶部 9 0 2 と同様の構成を含みうる。ここで、光データ記憶部 9 0 1、9 0 5 に適用されるバス幅変換部は、I (第 1 数) の半分の光データを 2 回受けて I (第 1 数) の光データとして出力する。

【 0 0 6 1 】

以下、第 2 実施形態の光電変換装置 1 の動作方法を説明する。図 1 1 には、第 2 実施形態の光電変換装置 1 の動作方法が示されている。図 1 1 において、「A D 変換」は A D 変換部 1 0 5 の動作、「水平転送」は水平転送部 1 0 6 の動作、「ノイズデータ記憶部」はノイズデータ記憶部 9 0 2、9 0 6 の動作、「光データ記憶部」は光データ記憶部 9 0 1、9 0 5 の動作を示している。図 1 1 において、「ノイズデータ記憶部」の「A 記憶部」は、ノイズデータ記憶部 9 0 2、9 0 6 の A 記憶部の動作をまとめて示し、「ノイズデータ記憶部」の「B 記憶部」は、ノイズデータ記憶部 9 0 2、9 0 6 の B 記憶部の動作をまとめて示している。図 1 1 において、「光データ記憶部」の「A 記憶部」は、光データ記憶部 9 0 1、9 0 5 の A 記憶部の動作をまとめて示し、「光データ記憶部」の「B 記憶部」は、光データ記憶部 9 0 1、9 0 5 の B 記憶部の動作をまとめて示している。第 2 実施形態の光電変換装置 1 は、6 行分の画素のノイズ信号を同時に A D 変換し、次いで、該 6 行分の画素の光信号を同時に A D 変換する。また、第 2 実施形態の光電変換装置 1 は、2 行の画素のデータ (光データとノイズデータとの差分) を並列に設けられた 2 本のチャネルを通して並列に、かつ、各行の画素のデータについては 2 画素ずつ順次に出力する。

【 0 0 6 2 】

まず、第 1 行目ら第 6 行かつ第 1 列から第 m 列の画素 P のノイズ信号が A D 変換されてノイズデータが生成され、そのノイズデータがデータをデータ処理部 1 0 7 の A 記憶部に書き込まれる動作について説明する。時刻 T 1 において、C P U 1 0 1 は、制御部 1 0 2 に対して水平同期信号 H D を出力する。時刻 T 1 から時刻 T 1 w 1 において、A D 変換部 1 0 5 の複数 (m × I) の A D 変換器 2 0 3 は、制御部 1 0 2 による制御の下で、第 1 行目ら第 6 行かつ第 1 列から第 m 列の画素 P のノイズ信号を同時に A D 変換してノイズデータを生成する。時刻 T 1 w 1 において、複数 (m × I) の A D 変換器 2 0 3 によって生成された複数 (m × I) のノイズデータが複数 (m × I) の保持部 2 0 4 に一括転送される。ここで、第 1 行のノイズデータ群を N _ v l 1 (h 1)、第 2 行のノイズデータ群を N _ v l 2 (h 1)、・・・、第 6 行のノイズデータ群を N _ v l 6 (h 1) とする。

【 0 0 6 3 】

時刻 T 1 w 1 から時刻 T 1 w 2 において、複数の保持部 2 0 4 によって保持されているノイズデータ群 N _ v l # (h 1) (# : 1 ~ 6) は、水平転送部 1 0 6 を介してデータ処理部 1 0 7 に転送される。ノイズデータ群 N _ v l # (h 1) (# : 1 ~ 6) は、ノイズデータ記憶部 9 0 2、9 0 6 の A 記憶部 A に書き込まれる。ノイズデータ記憶部 9 0 2 の A 記憶部に対するノイズデータ群 N _ v l 1 (h 1) の書込動作については、図 1 2 左下のタイミングチャートに示されている。c h _ v l 1 は、バス幅変換部内で 1 段分のバッファリング (c h _ v l 1 _ d 1) がされた後、クロック c l o c k の 2 サイクルに 1 回のレートで 2 画素ずつ A 記憶部に書き込まれる。

【 0 0 6 4 】

以下、第 1 行から第 6 行かつ第 1 列から第 m 列の画素 P の光信号が A D 変換部 1 0 5 で A D 変換されて光データが生成され、その光データがデータ処理部 1 0 7 の光データ記憶部 9 0 1、9 0 5 の A 記憶部に書き込まれる動作について説明する。時刻 T 1 w 1 から時刻 T 1 w 2 において、A D 変換部 1 0 5 の複数 (m × I) の A D 変換器 2 0 3 は、制御部 1 0 2 による制御の下で、第 1 行から第 6 行かつ第 1 列から第 m 列の画素 P の光信号を同

10

20

30

40

50

時にA D変換して光データを生成する。時刻T 1 w 2において、複数(m x I)のA D変換器2 0 3によって生成された複数(m x I)のノイズデータが複数(m x I)の保持部2 0 4に一括転送される。ここで、第1行の光データ群をS _ v l 1 (h 1)、第2行の光データ群をS _ v l 2 (h 1)、・・・、第6行の光データ群をS _ v l 6 (h 1)とする。

【 0 0 6 5 】

時刻T 1 w 2から時刻T 2 w 1において、複数の保持部2 0 4によって保持されている光データ群S _ v l # (h 1) (# : 1 ~ 6)は、水平転送部1 0 6を介してデータ処理部1 0 7に転送される。光データ群S _ v l # (h 1) (# : 1 ~ 6)は、光データ記憶部9 0 1、9 0 5のA記憶部に書き込まれる。光データ記憶部9 0 1、9 0 5のA記憶部
10
に対する光データ群S _ v l # (h 1) (# : 1 ~ 6)の書込動作は、クロックc l o c kの2サイクルに1回のレートで行われる。

【 0 0 6 6 】

以下、第1行から第6行かつ第1列から第m列の画素Pのノイズデータ、光データをデータ処理部1 0 7のノイズデータ記憶部9 0 2、9 0 6のA記憶部、光データ記憶部9 0 1、9 0 5のA記憶部から読み出す動作について説明する。時刻T 2において、C P U 1 0 1は、制御部1 0 2に対して水平同期信号H Dを出力する。時刻T 2 r 1から時刻T 2 r 2において、ノイズデータ記憶部9 0 2、9 0 6のA記憶部から第1行のノイズデータ群N _ v l 1 (h 1)と第2行のノイズデータ群N _ v l 2 (h 1)が並列して、各行について2画素ずつ読み出される。また、これと並行して、時刻T 2 r 1から時刻T 2 r 2
20
において、光データ記憶部9 0 1、9 0 5のA記憶部から第1行の光データ群S _ v l 1 (h 1)と第2行の光データ群S _ v l 2 (h 1)が並列して、各行について2画素ずつ読み出される。また、時刻T 2 r 1から時刻T 2 r 2において、第1行および第2行のそれぞれについて、各行について2画素ずつ光データとノイズデータとの差分が演算部5 2 0によって演算され、信号出力部1 0 8から出力される。ノイズデータ記憶部9 0 2、9 0 6のA記憶部からのノイズデータ群N _ v l 1 (h 1)の読出動作については、図1 2の右下のタイミングチャートに示されている。

【 0 0 6 7 】

上記の動作と同様にして、時刻T 2 r 2から時刻T 2 r 3において、第3行と第4行のそれぞれについて、2行のそれぞれについて、2画素ずつ光データとノイズデータとの差分が演算部5 2 0によって演算され、信号出力部1 0 8から出力される。また、時刻T 2 r 3から時刻T 3 r 1において、第5行と第6行のそれぞれについて、2行のそれぞれについて、2画素ずつ光データとノイズデータとの差分が演算部5 2 0によって演算され、信号出力部1 0 8から出力される。
30

【 0 0 6 8 】

以上のようにして、第1行から第6行の画素のノイズ信号が同時にA D変換され、次いで、第1行から第6行の画素の光信号が同時にA D変換される。また、2つの行の画素のデータ(光データとノイズデータとの差分)は並列に、かつ、各行の画素のデータについては2画素ずつ順次に出される。
40

【 0 0 6 9 】

以下、第7行から第1 2行かつ第1列から第m列の画素Pのノイズ信号がA D変換部1 0 5でA D変換されてノイズデータが生成され、そのノイズデータがデータ処理部1 0 7のノイズデータ記憶部9 0 2、9 0 6のB記憶部に書き込まれる動作について説明する。時刻T 2から時刻T 2 w 1において、A D変換部1 0 5の複数(m x I)のA D変換器2 0 3は、制御部1 0 2による制御の下で、第7行から第1 2行かつ第1列から第m列の画素Pのノイズ信号を同時にA D変換してノイズデータを生成する。時刻T 2 w 1において、複数(m x I)のA D変換器2 0 3によって生成された複数(m x I)のノイズデータが複数(m x I)の保持部2 0 4に一括転送される。ここで、第7行のノイズデータ群をN _ v l 1 (h 2)、第8行のノイズデータ群をN _ v l 2 (h 2)、・・・、第1 2行のノイズデータ群をN _ v l 6 (h 2)とする。
50

【 0 0 7 0 】

時刻 T_{2w1} から時刻 T_{2w2} において、複数の保持部 204 によって保持されているノイズデータ群 $N_vl\#(h2)$ ($\# : 1 \sim 6$) は、水平転送部 106 を介してデータ処理部 107 に 6 行並列で順次に転送される。データ処理部 107 に転送されたノイズデータ群 $N_vl\#(h2)$ ($\# : 1 \sim 6$) は、制御部 102 が発生する書込信号 $write_en$ および書込クロック $clock$ に従ってノイズデータ記憶部 902、906 の B 記憶部に書き込まれる。ノイズデータ記憶部 902、906 の B 記憶部に対するノイズデータ群 $N_vl\#(h2)$ ($\# : 1 \sim 6$) の書込動作は、クロック $clock$ の 2 サイクルに 1 回のレートで行われる。

【 0 0 7 1 】

以下、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P の光信号が AD 変換部 105 で AD 変換されて光データが生成され、その光データがデータ処理部 107 の光データ記憶部 901、905 の B 記憶部に書き込まれる動作について説明する。時刻 T_{2w1} から時刻 T_{2w2} において、AD 変換部 105 の複数の ($m \times I$) の AD 変換器 203 は、制御部 102 による制御の下で、第 1 行から第 6 行かつ第 1 列から第 m 列の画素 P の光信号を同時に AD 変換して光データを生成する。時刻 T_{2w2} において、複数の ($m \times I$) の AD 変換器 203 によって生成された複数の ($m \times I$) のノイズデータが複数の ($m \times I$) の保持部 204 に一括転送される。ここで、第 7 行の光データ群を $S_vl1(h2)$ 、第 8 行の光データ群を $S_vl2(h2)$ 、 \dots 、12 行の光データ群を $S_vl6(h2)$ とする。

【 0 0 7 2 】

時刻 T_{2w2} から時刻 T_{3w1} において、複数の保持部 204 によって保持されている光データ群 $S_vl\#(h2)$ ($\# : 1 \sim 6$) は、水平転送部 106 を介してデータ処理部 107 に転送される。光データ群 $S_vl\#(h2)$ ($\# : 1 \sim 6$) は、光データ記憶部 901、905 の A 記憶部に書き込まれる。光データ記憶部 901、905 の B 記憶部に書き込まれる。光データ記憶部 901、905 の B 記憶部に対する光データ群 $S_vl\#(h2)$ ($\# : 1 \sim 6$) の書込動作は、クロック $clock$ の 2 サイクルに 1 回のレートで行われる。

【 0 0 7 3 】

以下、第 7 行から第 12 行かつ第 1 列から第 m 列の画素 P のノイズデータ、光データをデータ処理部 107 のノイズデータ記憶部 902、906 の B 記憶部、光データ記憶部 901、905 の B 記憶部から読み出す動作について説明する。時刻 T_3 において、CPU 101 は、制御部 102 に対して水平同期信号 HD を出力する。時刻 T_{3r1} から時刻 T_{3r2} において、ノイズデータ記憶部 902、906 の B 記憶部 B から第 7 行のノイズデータ群 $N_vl1(h2)$ と第 8 行のノイズデータ群 $N_vl2(h2)$ が並列して、各行について 2 画素ずつ読み出される。また、これと並行して、時刻 T_{3r1} から時刻 T_{3r2} において、光データ記憶部 901、905 の B 記憶部からは第 7 行の光データ群 $S_vl1(h2)$ と第 8 行の光データ群 $S_vl2(h2)$ が並列して、各行について 2 画素ずつ読み出される。また、時刻 T_{3r1} から時刻 T_{3r2} において、第 7 行および第 8 行のそれぞれについて、各行について 2 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。

【 0 0 7 4 】

上記と同様にして、時刻 T_{3r2} から時刻 T_{3r3} において、第 9 行と第 10 行のそれぞれについて、各行について 2 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。また、時刻 T_{3r3} から時刻 T_{3r1} において、第 11 と第 12 行のそれぞれについて、各行について 2 画素ずつ光データとノイズデータとの差分が演算部 520 によって演算され、信号出力部 108 から出力される。

【 0 0 7 5 】

以上のようにして、第 7 行から第 12 行の画素のノイズ信号が同時に AD 変換され、次

10

20

30

40

50

いで、第 7 行から第 12 行の画素の光信号が同時に A/D 変換される。また、2 つの行の画素のデータ（光データとノイズデータとの差分）は並列に、かつ、各行の画素のデータについては 2 画素ずつ順次に出力される。以降は、A 記憶部を用いた動作と B 記憶部を用いた動作とが交互かつ並行して実施される。

【0076】

以下、図 13 を参照しながら本発明の 1 つの実施形態の撮像装置 800 について説明する。撮像装置の概念には、撮像を主目的とする装置のみならず、撮像機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。撮像装置 800 は、固体撮像装置 1000 として構成された光電変換装置 1 と、固体撮像装置 1000 から出力されるデータを処理するプロセッサ 830 とを備える。

10

【0077】

撮像装置 800 は、例えば、光学系 810、記録・通信部 840、タイミング制御部 850、システムコントローラ 860 および再生・表示部 870 を更に備えてもよい。光学系 810、被写体の像を固体撮像装置 1000 の画素アレイ（撮像面）に形成する。固体撮像装置 1000 は、タイミング制御部 850 からの信号に従って撮像動作を行って画像を出力する。固体撮像装置 1000 から出力されたデータは、プロセッサ 830 に提供される。

【0078】

プロセッサ 830 は、固体撮像装置 1000 から提供されるデータを処理して記録・通信部 840 に提供する。記録・通信部 840 は、画像を再生・表示部 870 に送り、再生・表示部 870 に画像を再生し表示させる。記録・通信部 840 はまた、不図示の記録媒体に画像を記録する。

20

【0079】

タイミング制御部 850 は、システムコントローラ 860 による制御に基づいて固体撮像装置 1000 およびプロセッサ 830 の駆動タイミングを制御する。システムコントローラ 860 は、撮像装置 800 の動作を統括的に制御するものであり、光学系 810、タイミング制御部 850、記録・通信部 840 および再生・表示部 870 の駆動を制御する。システムコントローラ 860 は、例えば、不図示の記憶装置を備え、ここに撮像装置 800 の動作を制御するのに必要なプログラムなどが記録される。また、システムコントローラ 860 は、例えば、ユーザによる操作に応じてモードを設定する。

30

【0080】

発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲を公にするために請求項を添付する。

【符号の説明】

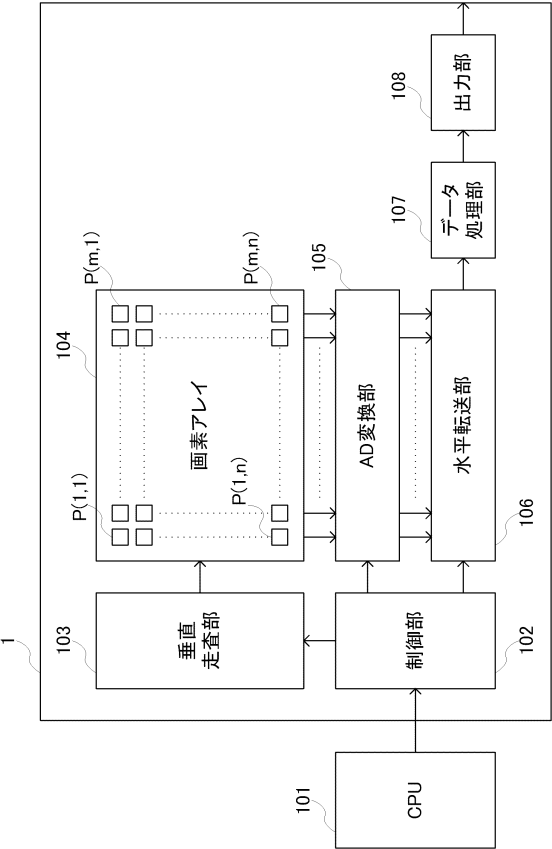
【0081】

103：垂直走査部（駆動部）、104：画素アレイ、105：A/D 変換部、106：水平転送部（転送部）、107：データ処理部、510：データ保持部

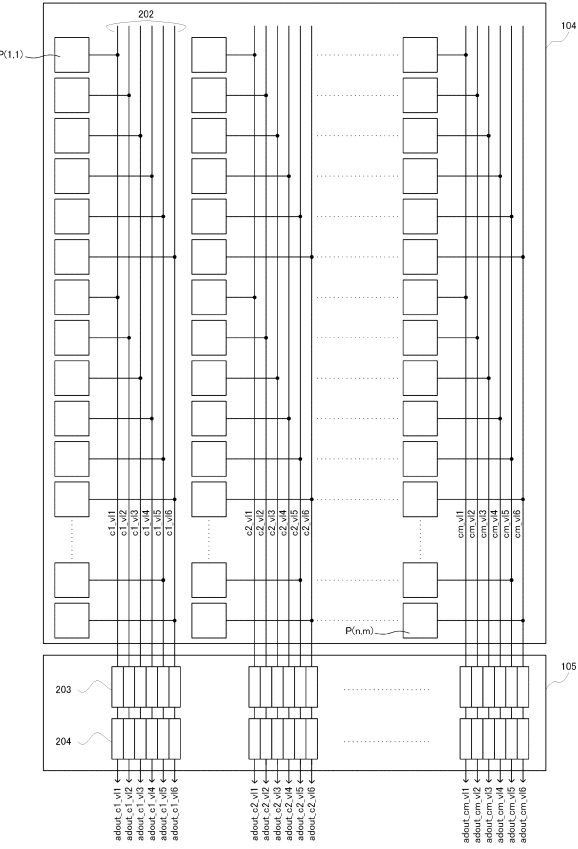
40

【図面】

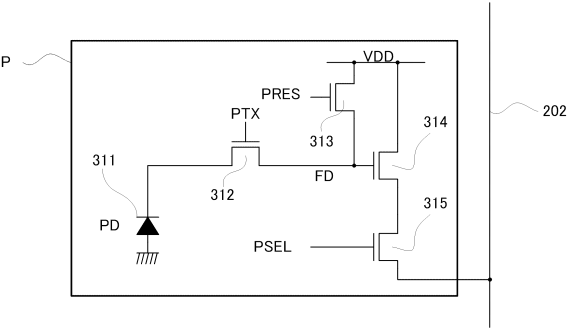
【図 1】



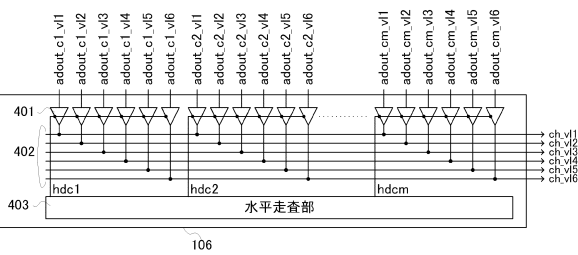
【図 2】



【図 3】



【図 4】



10

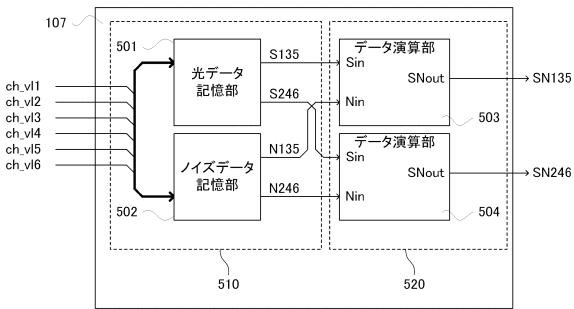
20

30

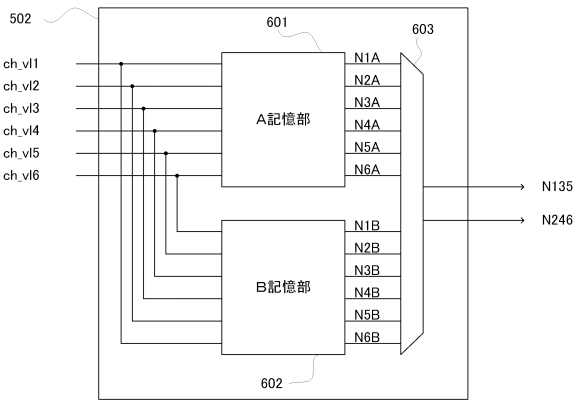
40

50

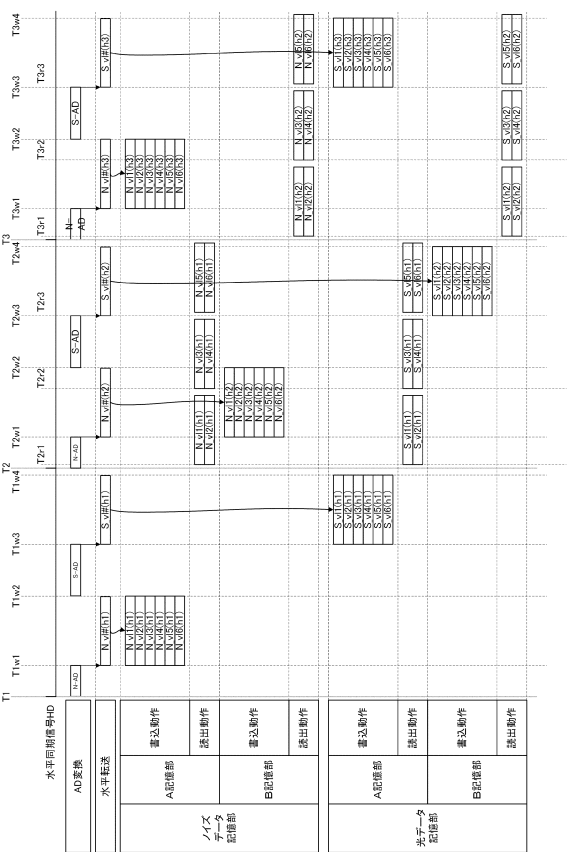
【図 5】



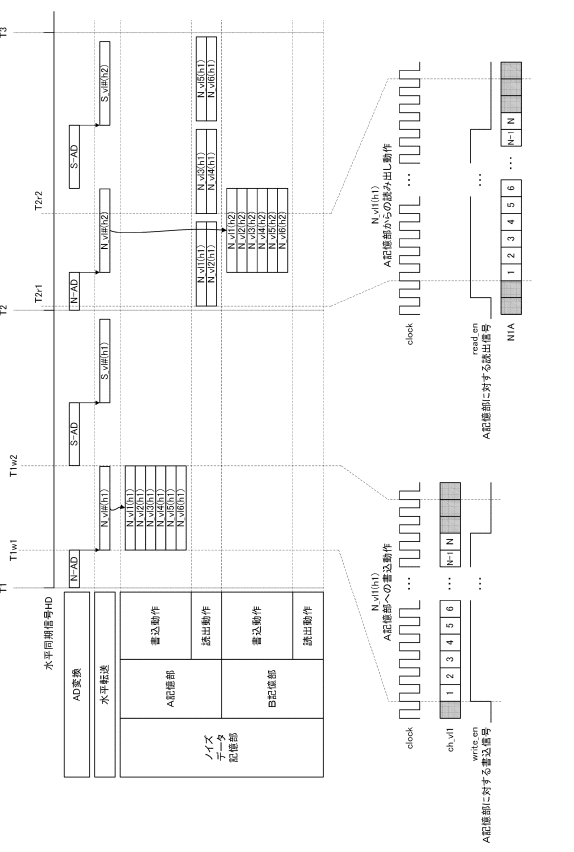
【図 6】



【図 7】



【図 8】



10

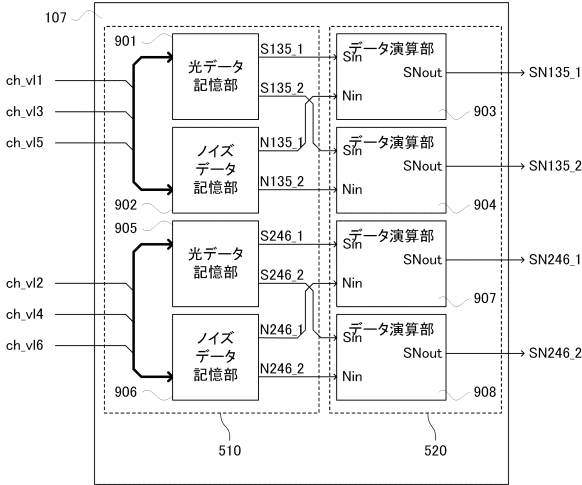
20

30

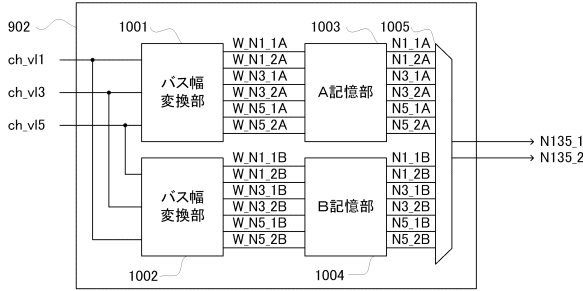
40

50

【図 9】

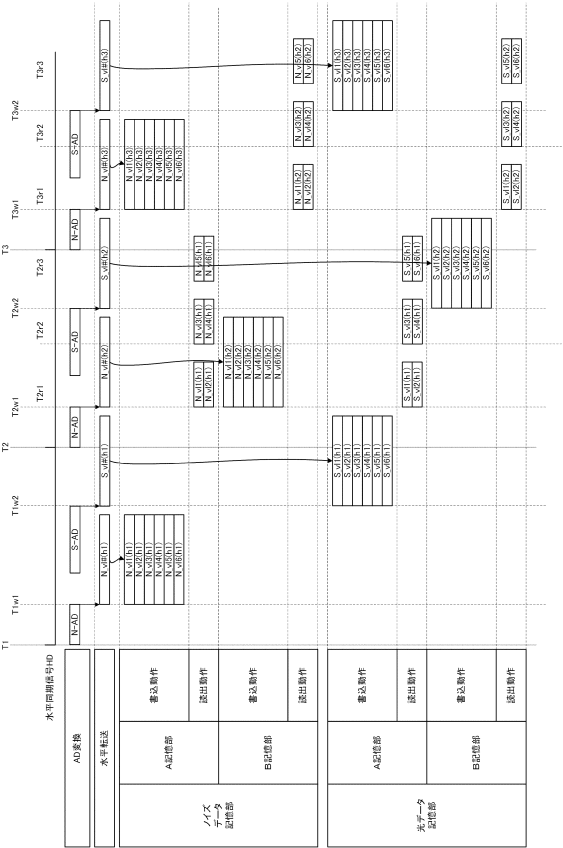


【図 10】

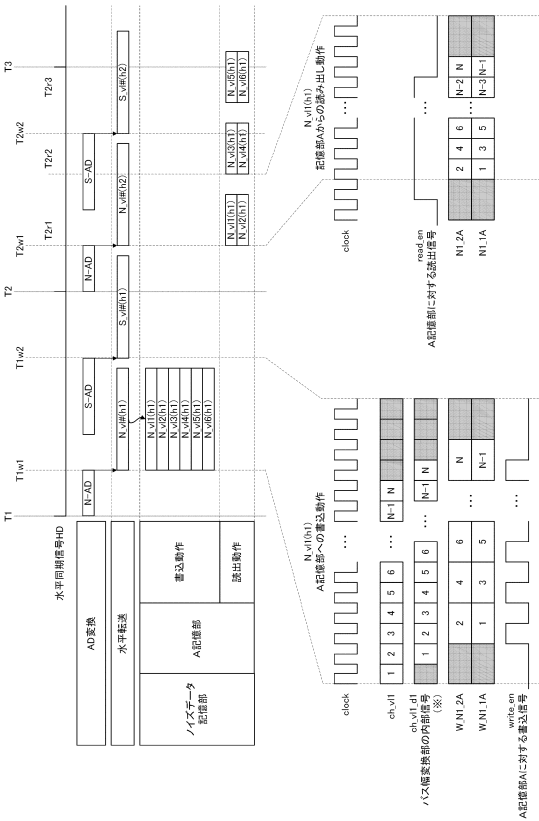


10

【図 11】



【図 12】



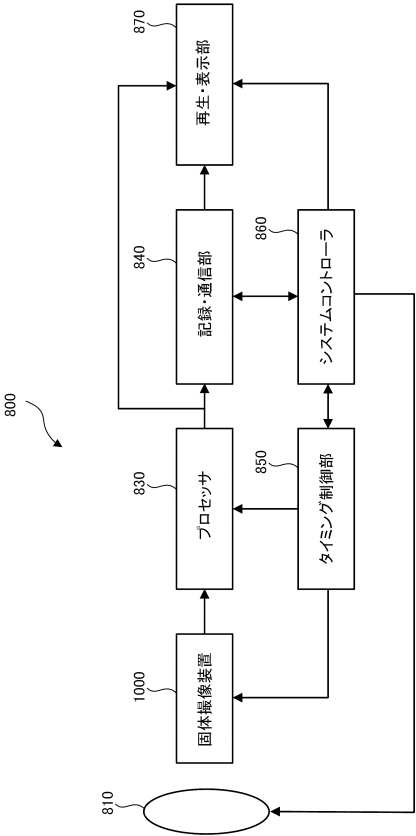
20

30

40

50

【図 13】



10

20

30

40

50

フロントページの続き

(56)参考文献 特開 2 0 1 7 - 1 8 4 1 8 5 (J P , A)
特開 2 0 0 3 - 1 1 0 7 9 8 (J P , A)
特開 2 0 1 7 - 1 8 3 6 5 9 (J P , A)
特開 2 0 1 4 - 0 6 0 6 9 7 (J P , A)
特開 2 0 1 5 - 1 6 7 3 4 3 (J P , A)
特開 2 0 1 6 - 2 2 5 9 7 2 (J P , A)
特開 2 0 1 5 - 1 5 6 5 2 5 (J P , A)
特開 2 0 0 7 - 2 0 2 0 3 5 (J P , A)
特開 2 0 1 2 - 1 3 4 7 5 6 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
H 0 4 N 5 / 3 0 - 5 / 3 3
H 0 4 N 2 3 / 1 1
H 0 4 N 2 3 / 2 0 - 2 3 / 3 0
H 0 4 N 2 5 / 0 0
H 0 4 N 2 5 / 2 0 - 2 5 / 6 1
H 0 4 N 2 5 / 6 1 5 - 2 5 / 7 9