

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5743907号
(P5743907)

(45) 発行日 平成27年7月1日(2015.7.1)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int.Cl.

F 1

C25D	7/12	(2006.01)	C25D	7/12
H01L	21/3205	(2006.01)	H01L	21/88
H01L	21/768	(2006.01)	H01L	21/88
H01L	23/522	(2006.01)	H01L	21/288
H01L	23/532	(2006.01)	C25D	3/38

請求項の数 8 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2011-549685 (P2011-549685)
 (86) (22) 出願日 平成21年12月16日 (2009.12.16)
 (65) 公表番号 特表2012-518084 (P2012-518084A)
 (43) 公表日 平成24年8月9日 (2012.8.9)
 (86) 國際出願番号 PCT/IB2009/007793
 (87) 國際公開番号 WO2010/094998
 (87) 國際公開日 平成22年8月26日 (2010.8.26)
 審査請求日 平成24年12月3日 (2012.12.3)
 (31) 優先権主張番号 12/372,113
 (32) 優先日 平成21年2月17日 (2009.2.17)
 (33) 優先権主張国 米国(US)

(73) 特許権者 511188635
 アトック ドイチエランド ゲーエムペ
 ーハー
 ドイツ国 10553 ベルリン エラス
 ムスシュトラーゼ 20
 (74) 代理人 110000796
 特許業務法人三枝国際特許事務所
 (72) 発明者 プライサー ロベルト エフ.
 ドイツ国 72119 アンマーブーフ
 オーベレ シュトラーゼ 54
 審査官 瀧口 博史

前置審査

最終頁に続く

(54) 【発明の名称】スルーシリコンビア (TSV) 内にチップ-チップ間、チップ-ウェハー間及びウェハーワエ
 ハー間の銅インターフェクトを電着するプロセス

(57) 【特許請求の範囲】

【請求項 1】

シリコン基板内のビア内に高純度の銅を電着し、スルーシリコンビア (TSV) を形成するプロセスであって、

1.5ミクロン～30ミクロンの範囲の内部幅寸法、5ミクロン～450ミクロンの深さ、及び少なくとも3:1の深さ：幅アスペクト比を有する内面を備える、少なくとも1つのビアを含むシリコン基板を設けるステップ、

オプションで、前記ビアの前記内面上に誘電体層を形成するステップ、

前記ビアの前記内面上に、又は前記誘電体層が存在するときには前記誘電体層上に、銅が前記シリコン基板内に拡散することを阻止する障壁層を形成するステップ、

前記障壁層上に、後続の銅の電解析出のための十分なコンダクタンスを得るように、前記ビアの前記内面に十分な厚さ及びカバレッジの基礎金属層を形成するステップ、

不溶性の寸法的に安定な陽極及び銅金属の材料源を備え、前記基礎金属層が陰極として接続される電解銅めっきシステムにおいて、酸、銅イオンの発生源、第一鉄イオン及び/又は第二鉄イオンの発生源、及び析出した銅の物理・機械的特性を制御するための少なくとも1つの添加剤を含む電解槽内に、前記シリコン基板を浸漬するステップ、及び

前記不溶性の寸法的に安定な陽極と前記基礎金属層との間を、高純度の銅を電着して TSV を形成するのに十分な時間の間電流が流れるように、前記陽極と前記基礎金属層との間に電圧を印加するステップを含み、

前記電圧が、パルス電流又はパルス電圧で印加され、

10

20

前記電圧が、順方向電流パルス及び逆方向電流パルスを含む両極性パルスの形で印加され、

前記逆方向電流パルスの持続時間が、1ミリ秒～20ミリ秒に調整され、

前記順方向電流パルスの持続時間が、10ミリ秒～200ミリ秒に調整され、

加工物表面における前記順方向電流パルスのピーク電流密度が、最大15A/dm²までに調整され、

加工物表面における前記逆方向電流パルスのピーク電流密度が、最大60A/dm²までに調整され、

順方向電流パルスが、逆方向電流パルスに対して180°だけシフトされ、かつ

前記銅金属の材料源からの銅イオンを溶解することによって電着されることになる付附加的な銅イオンを提供するために、前記槽内でFe²⁺/Fe³⁺レドックス系が確立される、シリコン基板内のビア内に高純度の銅を電着し、スルーシリコンビアを形成するプロセス。 10

【請求項2】

前記電圧を印加するステップが、前記高純度の銅を電着し、前記ビアを完全に充填するのに有効である、請求項1に記載のプロセス。

【請求項3】

前記電圧を印加するステップが、前記高純度の銅を電着し、前記ビアの内側を、TSVとしての役割を果たすことができるのに十分な厚みで覆う銅を形成するのに有効である、請求項1に記載のプロセス。 20

【請求項4】

前記析出した高純度の銅が、内部応力がないか、又は後続の加熱時において結果として前記シリコン基板の撓みを生じないレベルの内部応力を含む、請求項1～3のいずれか一項に記載のプロセス。

【請求項5】

前記析出した銅が、実質的に空隙がなく、かつ銅以外の含有物を含まない、請求項1～4のいずれか一項に記載のプロセス。

【請求項6】

前記基礎金属層が、無電解めっき法、物理気相堆積法、化学気相成長法、又はプラズマ化学気相成長法のうちの1つ又は複数によって前記障壁層上に形成される、請求項1～5のいずれか一項に記載のプロセス。 30

【請求項7】

前記基礎金属層が、0.02ミクロン～0.5ミクロンの範囲内の厚みを有する、請求項1～6のいずれか一項に記載のプロセス。

【請求項8】

前記電解槽において、

前記酸が、50g/l～350g/lの範囲内の濃度の硫酸であり、

前記銅イオンの発生源が、20g/l～250g/lの範囲内の濃度の硫酸銅五水和物であり、

前記第一鉄イオン及び/又は前記第二鉄イオンの発生源が、1g/l～120g/lの範囲内の濃度の硫酸第一鉄七水和物及び/又は硫酸第二鉄九水和物であり、 40

前記少なくとも1つの添加物が、酸素含有高分子化合物、有機硫黄化合物、チオ尿素化合物及び高分子フェナゾニウム化合物のうちの1つ又は複数を含む、請求項1～7のいずれか一項に記載のプロセス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は高純度の銅から導体構造を電解により形成するプロセスに関し、より具体的には、MEMS又は半導体デバイスのようなデバイスを製造するときに、スルーシリコンビア(TSV)内に、高純度の銅から導体構造を電解により形成することに関する。そのよ 50

うな TSV は、たとえば、スタック配置又は 3D 配置の集積回路において有用であり、そのような配置において、TSV はデバイスの個々の層間の電気的接続を提供し、TSV は相対的に大きな直径、相対的に大きな深さ及び高いアスペクト比を有する。

【0002】

より良好な性能及びより多くの機能を提供する、より安価で、小型、軽量の電子製品を製作するという要求が絶えず高まっている。単一のチップ上の電子デバイスの数は依然として急速に増えつつあり、これらの要求に対応するための 2D レイアウトの能力は、限界を超えてつある。業界ロードマップによれば、集積回路 (ID) チップサイズは、2010 年までに約 30 nm になるであろう。そのような小さなチップが 1 億個よりも多くのトランジスタを担持しなければならず、次の段階のパッケージングの場合に 100,000 より多くの I/O を必要とするであろう。結果として、チップ設計者及び MEMS 設計者は 3 次元 (3-D) スタッキングと呼ばれてきた多層相互接続に取り組んでいる。¹⁰ 3-D ウェハースタッキングは、ウェハーレベルのパッケージング技法を表しており、ロジック、メモリ、センサー、A/D コンバーター等の特定の構成要素が別々のウェハープラットフォーム上に製作され、その後、3-D スタックの要素間の電気的相互接続を提供するスルーシリコンビア (TSV) を用いて、単一のウェハースケールパッケージに統合される。これらのデバイスは垂直軸において相互接続されるので、構成要素間の電気信号経路が短くなり、結果として寄生損失が小さくなり、消費電力が小さくなり、システム性能が良好になる。電着及び他の技法によって TSV を製作することが報告されている。インターフェクト材料として、金、ポリシリコン及び錫 - 鉛 (Sn - Pb) はんだのようないくつかの導電性材料が用いられてきたが、その高い導電率及びエレクトロマイグレーション抵抗に起因して、銅が最も良好であり、最も好ましい選択肢である。²⁰ 深いスルーホール、たとえば、TSV 内に金属を析出させるために、電気めっきが最も広く用いられるプロセスである。

【0003】

TSV は、MEMS 及び半導体デバイスのようなデバイスにおいてスタック配置又は 3D 配置内の個々の層間に電気的接続を形成するために用いられてきたが、少なくとも 1 つには、高純度の銅を TSV 内の非常に大きく、高いアスペクト比のビア内に電気めっきすることが難しいことに起因して、種々の欠陥が生じるという難点がある。³⁰ たとえば、通常の TSV は（より大きな直径の TSV が用いられる場合もあるが）約 1.5 ミクロン～約 10 ミクロンの範囲内の内径と、約 5 ミクロン～約 450 ミクロンの範囲内の深さ、又はさらに大きな深さとを有する（応用例によるが、ウェハー厚は 5～25 ミクロン、又は 100 ミクロンが一般的である）。将来の内径は、たとえば、約 1 ミクロンになると予想される。通常の TSV のアスペクト比（深さ / 幅）は約 3 : 1 以上にすることができ、現在は、アスペクト比は約 5 : 1 とすること、又は約 10 : 1 とすることができる、さらにアスペクト比は 50 : 1 程度に大きくすることもでき、将来のアスペクト比は、一般的に約 10 : 1～約 20 : 1 になると予想される。高純度の銅をそのような高いアスペクト比の TSV の中に電着しようとする試みは一部では成功しているものの、(a) 銅析出物内の内部応力があり、結果として後続の加熱時にウェハーの撓み又は変形が生じる可能性があること、(b) 不均一な析出物（すなわち、結晶粒界、結晶構造欠陥等）、(c) 電着された銅の内部にガス（空隙）及び / 又は電気めっき槽液が含まれ、結果としてウェハーの撓み、さらには蒸気の爆発的放出が生じる可能性があること、並びに (d) TSV スルーホールの入口及び出口において余分な金属が析出することから生じる問題を抱えている。⁴⁰

【0004】

これらの問題のうち、内部応力問題 (a) が最も厄介である可能性がある。その理由は、内部応力がある結果として、TSV が形成されたシリコン基板の撓み及び変形が生じ、これにより、3D 配置全体の障害を引き起こす可能性があるからである。この障害は、デバイス全体が製作された後になるまで生じない場合があるので、結果として、障害したシリコン基板を失うだけでなく、障害時にその基板が組み込まれていたデバイス全体を失うことになる。⁵⁰

【発明の概要】**【発明が解決しようとする課題】****【0005】**

その種々の実施の形態において、本発明は既知のプロセスの不都合な点を回避し、より詳細には、電着によって高純度の銅をTSVに最大限に充填すると同時に、応力を最小限に抑え、含有物及び空隙のような欠陥、及び従来技術のTSVにおいて見られていた他の欠陥を回避する。

【課題を解決するための手段】**【0006】**

本発明は、たとえば、半導体デバイスにおいて用いられるシリコンウェハーのようなシリコン基板内に形成されるスルーシリコンビア(TSV)内に、高純度の銅から導体構造を電解形成するプロセスに関する。本発明の一実施の形態によるプロセスは、以下のように要約することができる。

【0007】

シリコン基板内のビア内に高純度の銅を電着し、スルーシリコンビア(TSV)を形成するプロセスであって、

約1.5ミクロン～約30ミクロンの範囲の内部幅寸法と、約5ミクロン～約450ミクロンの深さと、少なくとも3：1の深さ：幅アスペクト比とを有する内面を備える、少なくとも1つのビアを含むシリコン基板を配設するステップ、

オプションで、前記ビアの前記内面上に誘電体層を形成するステップ、

銅が前記シリコン基板内に拡散するのを阻止し、又はこの阻止機能を提供する材料で形成されるか又は該材料を含む障壁層を、前記誘電体層上に形成する、又は該誘電体層が存在しない場合には、前記ビアの前記内面上に形成するステップ、

後続の銅の電解析出に十分なコンダクタンスを得るために、前記障壁層上に、前記ビアの前記内面の十分な厚さ及びカバレッジの基礎金属層を形成するステップ、

不溶性の寸法安定性陽極と銅金属の材料源とを備え、前記基礎金属層は陰極として接続される電解銅めっきシステム内の電解槽内に前記シリコン基板を浸漬するステップ、及び高純度の銅を電着してTSVを形成するのに十分な時間の間、電流が前記不溶性の寸法安定な陽極と前記基礎金属層との間を流れるように、前記陽極と前記基礎金属層との間に電圧を印加するステップを含み、

該電解槽が、酸、銅イオンの発生源、第一鉄イオン及び／又は第二鉄イオンの発生源、及び析出した銅の物理・機械的特性を制御するための少なくとも1つの添加剤とを含み

前記銅金属の発生源からの銅イオンを溶解することによって電着されることになる付附加的な銅イオンを与えるために、前記槽内で Fe^{2+} / Fe^{3+} レドックス系が、確立されることを特徴とする。

【0008】

一実施形態では、前記電圧を印加することは、前記高純度の銅を電着し、前記ビアを完全に充填して、完成したデバイスにおいてその機能を妨げる空隙及び欠陥をなくすのに有効である。別の実施形態では、前記電圧を印加することは、前記高純度の銅を電着し、前記ビアの内側を、TSVとしての役割を果たすことができるだけの十分な厚みで覆う銅を形成するのに有効である。

【0009】

一実施形態では、前記析出した高純度の銅は、実質的に内部応力がないか、又は後続の処理において結果として前記シリコン基板の撓みを生じないレベルの内部応力を含む。

【0010】

一実施形態では、前記析出した銅は、実質的に空隙がないか、又は銅以外の含有物を含まない。

【0011】

一実施形態では、前記基礎金属層は、無電解めっき法、物理堆積法、化学気相成長法、又はプラズマ化学気相成長法のうちの1つ又は複数によって前記障壁層上に形成される。

10

20

30

40

50

【0012】

一実施形態では、前記基礎金属層は、約0.02μm～約0.5μmの範囲内の厚みを有する。

【0015】

一実施形態では、障壁層は、障壁層としての役割を果たすことに加えて、誘電体の役割もする誘電体材料である材料である。

【0016】

一実施形態では、前記電解槽において、

前記酸は、約50g/l～約350g/lの範囲内の濃度にある硫酸であり、

前記銅イオンの前記発生源は、約20g/l～約250g/lの範囲内の濃度にある硫酸銅五水和物であり、10

前記第一鉄イオン及び／又は前記第二鉄イオンの前記発生源は、約1g/l～約120g/lの範囲内の濃度にある硫酸第一鉄七水和物及び／又は硫酸第二鉄九水和物であり、
前記少なくとも1つの添加物は、酸素含有高分子化合物、有機硫黄化合物、チオ尿素化合物及び高分子フェナゾニウム化合物のうちの1つ又は複数を含む。

【0017】

一実施形態では、前記電圧はパルス電流又はパルス電圧で印加される。

【0018】

一実施形態では、前記電圧は、両極性パルスによって形成された逆パルスの形で印加される。20

【図面の簡単な説明】**【0019】**

【図1】本発明の一実施形態に係るプロセスによって電着された銅充填TSVを含む2つのウェハーがその上に実装されている基板を含む3Dデバイスの概略的な断面図である。

【図2】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図3】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。30

【図4】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図5】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図6】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図7】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。40

【図8】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図9】本発明の一実施形態に係る、図1に示されるような3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図10】本発明の別の実施形態に係る、3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概50

略的な断面図である。

【図11】本発明の別の実施形態に係る、3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【図12】本発明の別の実施形態に係る、3Dデバイスの一部を形成するためにウェハー内にTSVを形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【発明を実施するための形態】

【0020】

本明細書において用いられるときに、本発明に従って電着される銅を参照する用語「高純度の銅」は、標準的な化学的 / 機器分析的方法によって特定されるような、少なくとも 99 % の純度を有する銅を指しており、一実施形態では、少なくとも 99.5 % の純度を有する銅を指しており、別の実施形態では、少なくとも 99.9 % の純度を有する銅を指しており、さらに別の実施形態では、少なくとも 99.99 % の純度を有する銅を指している。一実施形態において、銅原料を分析するために、ICP-MS（誘導結合プラズマ質量分析）が用いられる。理解されるように、銅析出物の純度は、本明細書において開示されるプロセス及びシステムに加えて、銅原料の純度によって主に決定される。

10

【0021】

本明細書において用いられるときに、本発明に係る電着される金属層に適用されるときの用語「物理 - 機械的特性」は、明度、延性、粒径、硬度、抵抗率、接触抵抗及び信頼性性能のうちの 1 つ又は複数を指している。

20

【0022】

TSVの形成

TSVを利用する3Dデバイスを製作する際に、シリコン基板内に滑らかな側壁を有するビアを形成することが 1 つの重要なステップである。既知のように、側壁角を制御可能にし、マスクアンダーカットを最小限に抑えながら、高いエッティング速度で、滑らかな側壁を有するビアを形成することが望ましい。ウエットエッティング、電気化学エッティング、レーザドリーリング及び深掘り反応性イオンエッティング(Deep Reactive Ion Etching, DRIE)を含む、複数の方法が用いられており、本発明との関連において、それらの方法のうちのいずれか 1 つを用いることができる。現在、最適な特徴を有する TSV を形成するのに、DRIE が最も適した方法のようである。DRIE は、高いエッティング速度で、比較的滑らかな表面を有する概ね垂直なスルーホールを形成する。したがって、一実施形態では、DRIE を用いて、本発明の TSV が形成されることになる初期ビアを形成する。

30

【0023】

TSV は製造の流れの種々の時点、たとえば、前工程ウェハーファブ(FEOL プロセスの前又は後)、又は BEOL 後の組立及びパッケージング設備(ボンディングの前又は後)において形成することができる。このように見ると、考慮中の集積方式は、ビアが形成される時点に応じて、ビアファースト又はビアラストと分類することができる。プロセス内の種々の時点において形成されるビアの目的又は用途は異なる場合があるので、TSV のサイズは、ビア形成のタイミングと共に、若干変化する。以下は TSV 形成の種々のタイミングの場合の TSV の例示的なサイズである。FEOL 前のビアファーストでは、TSV は、より高密度のインターノクトのために用いられる場合があるので、相対的に小さく、直径が約 1 μm ~ 約 5 μm、深さが約 5 μm ~ 50 μm の範囲にあり、高いアスペクト比を有する。FEOL 後のビアファーストでは、TSV は通常若干大きく、直径は 2 μm ~ 20 μm であり、深さが約 10 μm ~ 約 150 μm である。ビアファーストの応用例では、TSV の数及び密度は非常に高い場合がある。ビアラストの応用例では、前工程のウェハーファブの処理が完了しており、一般的に、ビアはシリコン基板に加えて、BEOL 絶縁体及び導体のスタック全体を貫通する。ボンディング前のビアラストでは、約 5 μm ~ 約 50 μm の直径及び約 20 μm ~ 約 400 μm の深さを有する最も大きな T

40

50

TSVが形成される。インターフェクト密度はビームファーストの応用例の場合よりも低い場合があり、たとえば、ダイ当たり約100TSVの場合がある。最後に、ボンディング後のビアラストでは、TSVはボンディング前のビアラストよりも小さい場合があるが、それでもビアファーストよりも大きくすることができ、約2μm～約50μmの範囲の直径及び約10μm～約150μmの範囲の深さを有する場合がある。上記の直径及び深さは近似であり、例示にすぎず、将来大きく変わる可能性がある。ボンディング後ビアラストにおいて用いるためのTSVの密度は、ダイ当たり約100以上とすることができます。ボンディング後ビアラストのTSVは、既に薄片化されているウェハーの背面からエッチングすることができる。

【0024】

10

TSV形成及び充填の流れ及びタイミングは、以下の表に示されるように要約することができる。

【0025】

【表1】

プロセスのステップ					
FEOL前 ビアファースト	エッチング	充填	FEOL+ BEOL	薄片化 キャリア追加	ボンディング
FEOL後 ビアファースト	FEOL	エッチング	充填	BEOL	ボンディング 薄片化
ボンディング前 ビアラスト	FEOL+ BEOL	エッチング	充填	薄片化 キャリア追加	ボンディング
ボンディング後 ビアラスト	FEOL+ BEOL	ボンディング	薄片化	エッチング	充填

【0026】

本発明の一実施形態によれば、この表に示されるプロセスの流れにおいて、「充填」ステップは、後にさらに詳細に説明されるように、鉄イオンに基づくレドックス系を用いて、電着によってTSVを充填するプロセスを含む。

【0027】

電着によるTSVの充填

TSVを組み込むデバイスの製造において、高純度の銅を用いて、TSVを完全に、空隙も含有物もなく充填することは、非常に重要なステップである。TSV内の金属充填が不完全であり、たとえば、充填時に空隙が形成されるか、又は含有物が形成されると、短絡が生じる可能性があり、デバイス全体の電気的性能に影響を及ぼすことになる。粒が粗いと、TSVの電気抵抗率、エレクトロマイグレーション抵抗及び内部応力のような電気的特性に直に影響を及ぼす可能性があるので、析出する銅の粒径は非常に重要である。本明細書において言及されるように、TSV内に内部応力がある結果として、TSVが形成されるウェハー又はシリコン基板の撓み又は変形を引き起こす場合には、深刻な問題を生じる可能性がある。その応力は、たとえば、粗い粒子又は他の欠陥から生じる可能性があり、結果として生じる変形又は撓みによって、デバイス全体が機械的に故障する可能性がある。したがって、高アスペクト比のTSVにおいて、滑らかで、空隙や含有物がなく、細かい粒径の金属を析出させることができるのである。本発明は、高純度の銅のそのような析出物を提供する。

20

【0028】

したがって、本発明によれば、たとえば、半導体基板（ウェハー）を貫通して形成されるスルーシリコンビア（TSV）において高純度の銅の充填を実現するプロセスを提供し、それを実施することができる。

【0029】

上記プロセスは、本発明による1つの実施形態によれば、シリコン基板内のビア内に高純度の銅を電着し、スルーシリコンビア（TSV）を形成することを提供し、該プロセスは以下のステップ（1）～（6）（後述するようにステップ（2）はオプションであるこ

40

50

とに留意されたい)を含む。

(1) 少なくとも1つのビアを含むシリコン基板を設けることであって、該ビアは、約1.5ミクロン～約30ミクロンの範囲の内部幅寸法と、約5ミクロン～約450ミクロンの深さと、少なくとも3:1の深さ：幅アスペクト比とを有する内面を含むこと、

(2) オプションで、上記ビアの上記内面上に誘電体層を形成すること、

(3) 上記誘電体層が存在するときには上記誘電体層上に、又は上記ビアの上記内面上に障壁層を形成することであって、該障壁層は、銅が上記シリコン基板内に拡散するのを阻止する材料であるか又は該材料を含むこと、

(4) 後続の銅の電解析出に十分なコンダクタンスを得るために、上記障壁層上に、上記ビアの上記内面の十分な厚さ及びカバレッジの基礎金属層を形成すること、

(5) 電解銅めっきシステム内の電解槽内に上記シリコン基板を浸漬することであって、上記基礎金属層は陰極として接続され、上記システムは、不溶性の寸法的に安定な陽極(dimensionally stable anode)と、銅金属の材料源とをさらに備え、該電解槽は酸、銅イオンの発生源、第一鉄イオン及び/又は第二鉄イオンの発生源、及び析出した銅の物理・機械的特性を制御するための少なくとも1つの添加剤とを含むこと、並びに

(6) 上記不溶性の寸法安定な陽極と上記基礎金属層との間に電圧を印加することであって、それにより、電流がその間を、高純度の銅を電着してT SVを形成するのに十分な時間の間流れ、上記銅金属の発生源からの銅イオンを溶解することによって電着されることになる付加的な銅イオンを提供するために、上記槽内で $\text{Fe}^{2+}/\text{Fe}^{3+}$ レドックス系が確立されること。

【0030】

一実施形態では、そのプロセスのステップ(1)において、既にビアが形成されているシリコン基板が配設される。上記で言及されたように、ビアは任意の適切な方法によって形成することができ、大抵の場合には、反応性イオンエッティングによって形成される。シリコン基板が配設される、プロセスのその時点において、数百個、さらには数千個のビアが既に形成されている場合がある。これは当然、プロセスのどの時点においてビアが充填されることになるか、及び基板タイプ、基板が使用されることになる用途等の容易に認識される他の要因に依存する。一般的に、ビアの内面はシリコン基板のシリコンから形成されるか、又は反応性イオンエッティングから生じる反応生成物から形成される場合がある。したがって、たとえば、反応性イオンエッティングがフッ化物のようなハロゲンが存在する中で実行された場合、ビアの内面は、六フッ化シリコンのような、ハロゲン化シリコンを含むか、又はハロゲン化シリコンから構成される場合がある。同様に、反応性イオンエッティングが、酸素が存在する中で実行された場合、そのビアの内面は二酸化シリコンを含むか、又は二酸化シリコンから構成される。したがって、そのような実施形態では、プロセスの後続のステップを開始する前に、誘電体層を形成する必要はないであろう。

【0031】

一実施形態では、障壁層は、窒化シリコンのような材料から形成され、その場合、障壁層は上記のような障壁として、かつ誘電体としての両方の役割を果たし、別の誘電体層を設ける必要はなく、上記のステップ(2)は省くことができる。当然、障壁層が誘電体であるか、又は誘電体としての役割を果たす場合であっても、別の誘電体層を形成することが望ましい場合もある。一部の実施の形態では、ビアが形成される方法にもよるが、いくつかの実施形態では、ビアは、誘電体層が存在する状況で形成することができる。たとえば、ビア形成ステップにおいて、シリコンと反応するときに誘電性シリコン化合物を形成するガスが存在する場合には、ビアは、誘電体層が存在する状況で形成することができる。

【0032】

一実施形態では、印加するステップは、高純度の銅を電着し、ビアを完全に充填するのに有效である。したがって、この実施形態では、不溶性で寸法安定な陽極と基礎金属層との間に電流が流れるように、その間に電圧を印加するステップは、高純度の銅を電着して、ビアを完全に充填し、かつ内部空隙のないT SVを形成するのに十分な時間にわたって

10

20

30

40

50

実行される。

【0033】

一実施形態では、印加するステップは、高純度の銅を電着し、ビアの内側を、T S Vとしての役割を果たすことができるだけの十分な厚みで覆う銅を形成するのに有効である。したがって、この実施形態では、不溶性で寸法安定な陽極と基礎金属層との間に電流が流れるように、その間に電圧を印加するステップは、高純度の銅を電着して、ビアの内側を、必要とされるコンダクタンスを与えるのに十分な高純度の銅の層で覆うのに十分な時間にわたって実行される。この実施形態では、内部空洞(Inner Cavity)を有するビアが形成され、ビアが十分な銅で電気めっきされた後に、どのサイズの内部空洞も残存する。

【0034】

10

一実施形態では、上記析出した高純度の銅は、実質的に内部応力がないか、又は後続の処理において結果として上記シリコン基板の撓みを生じないレベルの内部応力を含む。析出した高純度の銅内に内部応力が存在する結果として、後続のプロセスステップ中の加熱時に基板の撓み又は変形が生じる可能性がある。一般的に、高純度の銅析出物は内部応力が概ねないことが望ましい。全ての内部応力の存在を完全に避けることはできない場合があるので、内部応力のレベルが、後続の処理中に基板の撓み又は変形が生じないほど十分に低い限り、その応力のレベルは許容可能である。

【0035】

20

一実施形態では、上記析出した銅は、実質的に空隙(Void)がないか、又は銅以外の含有物を含まない。析出した高純度の銅は空隙がなく、銅以外の含有物を含まないことが非常に望ましい。空隙が存在する場合には、後続の加熱時に、空隙が変形を引き起こす可能性があるか、又は場合によっては、結果としてガス圧の爆発的放出を引き起こす可能性がある。変形及び爆発的放出はいずれも、満足のいかない状況を引き起こすであろう。銅以外の含有物が存在する可能性がある結果として、銅の導電率が変化し、それゆえ、T S Vの機能を妨げることになるであろう。これらの理由から、高純度の銅析出物は、銅以外の含有物を大量に含むべきではない。

【0036】

30

一実施形態では、基礎金属層は、無電解めっき法、物理堆積法、化学気相成長法、プラズマ化学気相成長法のうちの1つ又は複数によって障壁層上に形成される。基礎金属層は高純度の銅の電着のために適した導電性表面を与えるために、ビアの表面に被着される。したがって、ビアの内面を完全に覆うようにして、基礎金属層をさせることが非常に望ましい。このため、化学気相成長法及びプラズマ化学気相成長法は、スパッタリング又は無電解めっき法のような、物理堆積法よりも好ましい場合がある。しかしながら、理解されるように、物理堆積方法及び無電解めっき法はいずれも、適切に適用されるときに使用するのに適している。

【0037】

40

基礎金属層は、後続のステップにおいて、銅を電着することができる導電性表面を与えるのに十分な厚みがありさえすればよい。この厚みは、数ナノメートル程度に、たとえば、約1 nm～約10 nmまで薄くすることができる。しかしながら、十分に覆われた状態を確保するために、やや厚みのある基礎金属の層を被着することが望ましい場合がある。したがって、一実施形態では、基礎金属層は、約0.01ミクロン～約0.5ミクロン(約10 nm～約500 nm)の範囲の厚みを有する。別の実施形態では、基礎金属層は、約0.02ミクロン～約0.25ミクロンの範囲の厚みを有し、さらに別の実施形態では、基礎金属層は、約0.05ミクロン～約0.2ミクロンの範囲の厚みを有する。

【0038】

50

一実施形態では、基礎金属層は銅を含む。別の実施形態では、基礎金属層は高純度の銅を含み、その銅は、ビアを充填するために用いられる後に析出する銅と概ね同じ純度である。基礎金属層は、その金属がビアの内壁に十分なカバレッジを提供し、また、電着される銅が接着するのに十分な導電率を提供するという条件で、銅以外の金属を含むこともできる。したがって、たとえば、種々の実施形態において、銅以外の金属には、金、銀、ブ

ラチナ、パラジウム、アルミニウム、又は遷移金属のいずれかが含まれ得る。しかしながら、当業者に容易に理解できる理由から、銅が、基礎金属層に用いるのに最も好ましい金属である。

【0039】

上記で言及されたように、ビア内に障壁層が形成される。障壁層は、T S V の高純度の銅が、T S V が配置された基板のシリコンの中に拡散するのを防ぐために必要とされる。障壁層は、銅が基板内に拡散しないようにするのに十分な障壁を提供する任意の材料から作製することができる。障壁層は、銅原子が基板内に拡散するのを防ぐか、又は障壁層が全体としてそのような拡散を阻止できるようにする、任意の適切な材料から構成することができる。たとえば、障壁層は、タンタル、窒化タンタル、チタン、窒化チタン及び／又は他の適切な材料を含む、1つ又は複数の層から構成することができる。したがって、障壁層は、銅が、T S V が形成された基板内に拡散するのを阻止する材料であるか、若しくはそのような材料を含むか、又は障壁層は、そのような銅の拡散を阻止する材料又は副層を含む。一実施形態では、障壁層はタンタルである。一実施形態では、障壁層は、窒化シリコン、炭化シリコン、又は窒化炭化シリコンのような材料から形成することができる。通常、障壁層は、デバイス及びプロセスの要件に応じて、高度な十分確立されたスパッタ堆積法によって、又は原子層堆積（A L D）法によって形成することができる。10

【0040】

一実施形態では、誘電体層が存在し、二酸化シリコンを含む。一実施形態では、誘電体層が存在し、窒化シリコンを含む。この実施形態では、窒化シリコンは、銅マイグレーションに対する障壁、及び電流漏れを防ぐための誘電体層の両方を形成することによって、二重の役目を果たすことができる。そのような場合、言及されたように、障壁層は、電気的絶縁を与えるための誘電体としての役割、及び、銅（あるいはビアを充填するために用いられる他の金属）のマイグレーションに対する障壁としての役割の両方を果たすことができる。20

【0041】

少なくとも1つの銅イオン源、好ましくは、無機又は有機アニオンを有する銅塩、たとえば、硫酸銅、メタンスルホン酸銅、ニリン酸銅、フルオロホウ酸銅及びスルファミン酸銅を含むことに加えて、銅析出のために用いられる槽はさらに、槽のコンダクタンスを高めるための少なくとも1つの物質、たとえば、硫酸、メタンスルホン酸、ニリン酸、フルオロホウ酸又はアミド硫酸を含む。30

【0042】

一実施形態では、電解槽内では、

酸は、約50g/l～約350g/l、又は約180g/l～約280g/l、又は約100g/l～約250g/l、又は約50g/l～約90g/lの範囲内の槽濃度にある濃硫酸であり、

銅イオン源は、約20g/l～約250g/l、又は約80g/l～約140g/l、又は約180g/l～約220g/lの範囲内の槽濃度にある硫酸銅五水和物（CuSO₄·5H₂O）であり、

第一鉄及び／又は第二鉄イオン源は、約1g/l～約120g/l、又は約1g/l～約20g/lの範囲内の槽濃度にある硫酸第一鉄七水和物及び／又は硫酸第二鉄九水和物であり、40

少なくとも1つの添加物は、酸素含有高分子化合物、有機硫黄化合物、チオ尿素化合物、又は高分子フェナゾニウム化合物のうちの1つ又は複数を含む。

【0043】

槽及びプロセスに関するさらに細かい事柄は、以下のように与えられる。

【0044】

本発明による電気めっき槽は、銅層の物理・機械的特性を制御するための少なくとも1つの添加化合物を含む。適切な添加化合物は、たとえば、酸素含有高分子化合物、有機硫黄化合物、チオ尿素化合物、高分子フェナゾニウム化合物、及び高分子窒素化合物、並び50

にこれらの添加化合物のいずれかの任意の 2 つ以上の混合物又は組み合わせである。

【 0 0 4 5 】

好適で例示的な、ポリマー性酸素含有化合物（酸素含有高分子化合物）は、以下のうちの 1 つ又は複数を含む：

カルボキシメチルセルロース

ノニルフェノール - ポリグリコールエーテル

オクタンジオール - ビス - (ポリアルキレングリコールエーテル)

オクタノールポリアルキレングリコールエーテル

オレイン酸ポリグリコールエステル

ポリエチレン - プロピレングリコールコポリマー

10

ポリエチレングリコール

ポリエチレングリコール - ジメチルエーテル

ポリオキシプロピレングリコール

ポリプロピレングリコール

ポリビニルアルコール

ステアリン酸ポリグリコールエステル

ステアリルアルコールポリグリコールエーテル

- ナフトールポリグリコールエーテル。

【 0 0 4 6 】

酸素含有高分子化合物添加化合物は、約 0 . 0 0 5 g / l ~ 約 2 0 g / l 、及び一実施形態では、約 0 . 0 1 g / l ~ 約 5 g / l の範囲内の濃度で電着槽内に含まれる場合がある。

20

【 0 0 4 7 】

好適で例示的な、水溶性をもたらすのに好適な官能基を有する硫黄化合物は、以下のうちの 1 つ又は複数を含む：

3 - (ベンゾチアゾリル - 2 - チオ) - プロピルスルホン酸ナトリウム塩

3 - メルカプトプロパン - 1 - スルホン酸ナトリウム塩

エチレンジチオジプロピルスルホン酸ナトリウム塩

ビス - (p - スルホフェニル) - ジスルフィドニナトリウム塩

ビス - (- スルホブチル) - ジスルフィドニナトリウム塩

30

ビス - (- スルホヒドロキシプロピル) - ジスルフィドニナトリウム塩

ビス - (- スルホプロピル) - ジスルフィドニナトリウム塩

ビス - (- スルホプロピル) - スルフィドニナトリウム塩

メチル - (- スルホプロピル) - ジスルフィドニナトリウム塩

メチル - (- スルホプロピル) - トリスルフィドニナトリウム塩

0 - エチル - ジチオカルボン酸 - S - (- スルホプロピル) - エステルカリウム塩

チオグリコール酸

チオホスホン酸 - 0 - エチル - ビス - (- スルホプロピル) - エステルニナトリウム塩

チオホスホン酸 - トリス - (- スルホプロピル) - エステル三ナトリウム塩。

【 0 0 4 8 】

40

水溶性有機硫黄添加化合物は、約 0 . 0 0 0 5 g / l ~ 約 0 . 4 g / l 、及び一実施形態では、約 0 . 0 0 1 g / l ~ 約 0 . 1 5 g / l の範囲内の濃度で電着槽内に含まれる場合がある。

【 0 0 4 9 】

好適で例示的な、チオウレア（チオ尿素）系化合物は、以下のうちの 1 つ又は複数を含む：

チオウレア

N - アセチルチオウレア

N - トリフルオロアセチルチオウレア

N - エチルチオウレア

50

N - シアノアセチルチオウレア

N - アリルチオウレア

o - トリルチオウレア

N , N ' - ブチレンチオウレア

チアゾリジンチオール

4 - チアゾリンチオール

イミダゾリジンチオール (N , N ' - エチレンチオウレア)

4 - メチル - 2 - ピリミジンチオール

2 - チオウラシル。

【0050】

好適で例示的な、フェナゾリウム化合物は、以下のうちの1つ又は複数を含む：

ポリ(6 - メチル - 7 - ジメチルアミノ - 5 - フェニルフェナゾリウムスルフェート)

ポリ(2 - メチル - 7 - ジエチルアミノ - 5 - フェニルフェナゾリウムクロリド)

ポリ(2 - メチル - 7 - ジメチルアミノ - 5 - フェニルフェナゾリウムスルフェート)

ポリ(5 - メチル - 7 - ジメチルアミノフェナゾリウムアセテート)

ポリ(2 - メチル - 7 - アニリノ - 5 - フェニルフェナゾリウムスルフェート)

ポリ(2 - メチル - 7 - ジメチルアミノフェナゾリウムスルフェート)

ポリ(7 - メチルアミノ - 5 - フェニルフェナゾリウムアセテート)

ポリ(7 - エチルアミノ - 2 , 5 - ジフェニルフェナゾリウムクロリド)

ポリ(2 , 8 - ジメチル - 7 - ジエチルアミノ - 5 - p - トリル - フェナゾリウムクロリド)

ポリ(2 , 5 , 8 - トリフェニル - 7 - ジメチルアミノフェナゾリウムスルフェート)

ポリ(2 , 8 - ジメチル - 7 - アミノ - 5 - フェニルフェナゾリウムスルフェート)

ポリ(7 - ジメチルアミノ - 5 - フェニルフェナゾリウムクロリド)。

【0051】

好適で例示的な、ポリマー性窒素含有化合物は、以下のうちの1つ又は複数を含む：

ポリエチレンイミン

ポリエチレンイミド

ポリアクリル酸アミド

ポリプロピレンイミン

ポリブチレンイミン

N - メチルポリエチレンイミン

N - アセチルポリエチレンイミン

N - ブチルポリエチレンイミン。

【0052】

添加化合物としてのチオ尿酸タイプ化合物、高分子フェナゾニウム化合物及び窒素含有高分子化合物は、約0 . 0 0 0 1 g / l ~ 約0 . 5 0 g / l 、及び一実施形態では、約0 . 0 0 0 5 g / l ~ 約0 . 0 4 g / l の範囲内の濃度で用いられる場合がある。

【0053】

上記で言及されたように、その効果を達成するために、本発明によれば、特許請求されるプロセスを用いるときに、Fe (II) 及び / 又は Fe (III) 化合物が槽内に含有される。適切なイオン塩は、硫酸鉄(II)七水和物及び硫酸鉄(III)九水和物の両方であり、その一方又は両方から、短い動作時間後に、有効な Fe^{2+} / Fe^{3+} (Fe (II) / Fe (III)) レドックス系が形成される。これらの塩は、水性酸性銅槽の場合に主に適している。他の水溶性イオン塩、たとえば、過塩素酸鉄を用いることもできる。錯体形成剤を全く(ほとんど)含まない塩が好都合である。そのような錯体形成剤は、生物学的に分解不可能である場合があるか、又は分解するのに困難を伴う場合があり、それゆえ、そのような塩は、すすぎ水を廃棄するときに問題を引き起こす場合がある(たとえば、鉄アンモニウムミョウバン)。たとえば、塩化物又は硝酸塩のような銅析出溶液の場合に望ましくない二次反応に繋がるアニオンを有する鉄化合物は、できる限り用いる

10

20

30

40

50

べきではない。それゆえ、酢酸塩、プロピオン酸塩及び安息香酸塩のような、鉄イオンのカルボン酸塩、並びにヘキサフルオロケイ酸塩も好都合である。 Fe^{2+} / Fe^{3+} レドックス系を用いる適切なシステムが、たとえば、米国特許第5,976,341号及び同第6,099,711号において開示されており、それらの開示はこのシステムに関するさらに細かい事柄を得るために参考にされる場合がある。 Fe^{2+} / Fe^{3+} レドックス系の使用に関連するこれらの米国特許のいずれの開示も参考により本明細書に組み込まれる。

【0054】

鉄イオン物質（複数の場合もある）の濃縮は以下のように行なうことができる。一実施形態では、鉄イオンが、約1g/l～約120g/l、及び一実施形態では、約20g/l～約80g/lの範囲内の濃度において硫酸鉄（II）（ $\text{FeSO}_4 \cdot 7\text{H}_2\text{O}$ ）として追加される。一実施形態では、槽は、約1g/l～約30g/lの第一鉄イオン（たとえば、硫酸第一鉄七水和物として添加される実際の Fe^{2+} 含量に基づく）、及び約1g/l～約30g/lの第二鉄イオン、一実施形態では、約2g/l～約10g/l、また、別の実施形態では、約3g/l～約5g/lの第二鉄イオン（たとえば、硫酸第二鉄九水和物として追加される実際の Fe^{2+} 含量に基づく）を最初に含むように準備される。一実施形態では、槽は、約2g/l～約20g/lの第一鉄イオン（たとえば、硫酸第一鉄七水和物として添加される実際の Fe^{2+} 含量に基づく）、及び約4g/l～約20g/lの第二鉄イオン（たとえば、硫酸第二鉄九水和物として追加される実際の Fe^{2+} 含量に基づく）を最初に含むように準備される。一実施形態では、槽は、約3g/l～約10g/lの第一鉄イオン（たとえば、硫酸第一鉄七水和物として付加される実際の Fe^{2+} 含量に基づく）、及び約5g/l～約20g/lの第二鉄イオン（たとえば、硫酸第二鉄九水和物として追加される実際の Fe^{2+} 含量に基づく）を最初に含むように準備される。認識されるように、そのレドックス系において第一鉄及び第二鉄イオンの連続したサイクルが存在するので、両方のイオンの実際の濃度は初期濃度とは異なる場合がある。

【0055】

析出溶液からの析出中に消費される銅イオンは、不溶性の陽極が用いられるときに溶解により陽極によって直に供給されることがないので、これらの銅イオンは、対応する銅断片又は銅含有成形体を化学的に溶解することによって補充される。そのレドックス系では、銅イオンは、析出溶液内に含まれる $\text{Fe}(\text{III})$ 化合物の酸化作用によってレドックス反応において銅断片又は成形体から形成され、その反応では、上記のように、 $\text{Fe}(\text{III})$ イオンは、電気めっき槽において、 $\text{Cu}(\text{II})$ イオンを形成するように酸化されている銅金属によって $\text{Fe}(\text{II})$ イオンに還元される。銅イオンのこの形成によって、析出溶液内に含まれる銅イオンの全濃度は相対的に一定に保持され、陽極は同じ均一なサイズのままである。析出溶液は、銅イオン発生器から、ウェハー及び陽極と接触している電解液室に戻る。認識されるように、以下の反応が行なわれる。

陽極において、



銅発生源において、



陰極（たとえば、半導体基板）において、



【0056】

したがって、その過程が進むにつれて、レドックス反応は第一鉄及び第二鉄のイオンを互いに変換するので、その系は第一鉄イオンの発生源又は第二鉄イオンの発生源の一方又は両方によって初期化ができる。一実施形態では、その系は、第一鉄イオンの発生源及び第二鉄イオンの発生源の両方によって初期化される。この過程の結果として、析出溶液内の銅イオンの濃度は極めて容易に一定に保持することができ、それは、銅析出物の均一性を維持するのを助ける。

10

20

30

40

50

【0057】

一実施形態では、電着槽は、付加的な塩化物、たとえば、塩化ナトリウム又は塩化水素酸を概ね含まない。同様な電気めっき槽には塩化物が用いられてきたが、本発明のこの実施形態によれば、塩化物は省かれる。本明細書において用いられるときに、可能な槽成分が槽から省かれるとき、又は槽がある成分を「含まない」と言うとき、それは、その成分が槽に故意に追加されないことを意味する。そのような少量の成分が不純物として存在する場合があるが、それらの成分は故意には追加されない。

【0058】

本発明の電解による銅析出の場合、半導体基板と陽極との間に電圧が印加され、その電圧は、 $0.05\text{アンペア}/\text{dm}^2$ (A/dm^2) ~ $20\text{A}/\text{dm}^2$ の電流、一実施形態では、 $0.2\text{A}/\text{dm}^2$ ~ $10\text{A}/\text{dm}^2$ の電流、そして別の実施形態では、 $0.5\text{A}/\text{dm}^2$ ~ $5\text{A}/\text{dm}^2$ の電流が流れるように選択され、ただし、めっきが基板の表面全体に施されると仮定して、その電流は、たとえば、半導体基板表面の 1dm^2 当たりのアンペアとして表される。10

【0059】

一実施形態では、パルス電流又はパルス電圧法が用いられる。パルス電流法では、陰極として分極された加工物と陽極との間の電流が、定電流に設定され、適切な手段によって単位時間毎に調節される。パルス電圧法では、陰極としてのウェハーと、陽極としての対向電極との間の電圧が定電圧に設定され、単位時間毎に可変の電流が設定されるように、電圧が単位時間毎に調節される。20

【0060】

一実施形態では、逆パルス法として知られる方法が両極性パルスと共に用いられる。それらの方法は、両極性パルスが 20ミリ秒 から 100ミリ秒 まで続く陰極パルス、及び 0.3ミリ秒 から 10ミリ秒 まで続く陽極パルスのシーケンスを含む場合に特に適している。一実施形態では、陽極パルスのピーク電流は陰極パルスのピーク電流と少なくとも同じ値に設定される。一実施形態では、陽極パルスのピーク電流は、陰極パルスのピーク電流の $2 \sim 3$ 倍程度大きく設定される。

【0061】

一実施形態では、パルス電流又はパルス電圧において電圧が印加される。一実施形態では、電圧は、両極性パルスより形成された逆パルスの形で印加される。これらの過程は当該技術分野において周知であり、本発明のいくつかの実施形態と共に用いるための詳細なパラメーターが後にさらに詳細に説明される。30

【0062】

一実施形態では、電圧は、順方向電流パルス及び逆方向電流パルスを含む、両極性パルスより形成された逆パルスの形で印加される。一実施形態では、逆方向電流パルスの持続時間は、約 1ミリ秒 ~ 約 20ミリ秒 に調整され、別の実施形態では、逆方向電流パルスの持続時間は、約 2ミリ秒 ~ 約 10ミリ秒 に調整される。一実施形態では、順方向電流パルスの持続時間は、約 10ミリ秒 ~ 約 200ミリ秒 に調整され、別の実施形態では、順方向電流パルスの持続時間は、約 20ミリ秒 ~ 約 100ミリ秒 に調整される。

【0063】

一実施形態では、加工物表面における順方向電流パルスのピーク電流密度は、最大約 $15\text{アンペア}/\text{平方デシメートル}$ (A/dm^2) に設定され、別の実施形態では、加工物表面における順方向電流パルスのピーク電流密度は、最大約 $1.5\text{A}/\text{dm}^2$ ~ 約 $8\text{A}/\text{dm}^2$ に設定される。一実施形態では、工作物表面における逆方向電流パルスのピーク電流密度は、最大約 $60\text{A}/\text{dm}^2$ に設定され、別の実施形態では、工作物表面における逆方向電流パルスのピーク電流密度は、最大約 $30\text{A}/\text{dm}^2$ ~ $50\text{A}/\text{dm}^2$ に設定される。40

【0064】

一実施形態では、第1の電流パルスが第2の電流パルスに対して約 180 度だけシフトされる。第1の電流パルスと第2の電流パルスとの間に、適切な持続時間の休止を含める50

ことができる。適切な持続時間は、たとえば、約1ミリ秒～約5ミリ秒の範囲とすることができます、一実施形態では、約2ミリ秒～約4ミリ秒であり、また、一実施形態では、約4ミリ秒である。

【0065】

一実施形態では、本発明のレドックス系が用いられないか、又は存在しない銅電着システムと比べられるとき、本発明によるレドックス系は、消費される有機添加物が少ない。この思いもよらない利点は、陽極における有機添加物の酸化が少ないと考えられる。一実施形態では、本発明のレドックス系が用いられないか、又は存在しない銅電着システムと比べられるとき、本発明によるレドックス系は、非レドックス系によって消費される有機添加物の約30%しか消費しない。

10

【0066】

一実施形態では、銅から作製される可溶性の陽極が、陽極として用いられない。むしろ、寸法的に安定な不溶性の陽極が用いられる。寸法的に安定な不溶性の陽極を用いることによって、陽極とウェハーとの間に一定の間隔を設定することができる。陽極は、その幾何学的形状のためウェハーに容易に適応可能であり、可溶性陽極とは対照的に、それらの陽極はその幾何学的な外側寸法を概ね変更しない。それゆえ、ウェハーの表面上の層厚の分布に影響を及ぼす可能性がある、陽極とウェハーとの間の間隔は一定のままである。そのような一定の間隔を有しない場合、層厚及び品質が変化する結果として、銅析出物が不均一になる可能性がある。

【0067】

不溶性の陽極を形成するために、たとえば、ステンレス鋼又は鉛のような、電解液に対して耐性がある（不活性）材料が用いられる。基礎材料としてチタン又はタンタルを含む陽極を用いることができ、その材料は貴金属又は貴金属の酸化物でコーティングすることができる。たとえば、陽極コーティングとして、プラチナ、イリジウム又はルテニウム、及びこれらの金属の酸化物又は混合酸化物を用いることができる。プラチナ、イリジウム又はルテニウムに加えて、陽極コーティングのために、ロジウム、パラジウム、オスミウム、銀及び金、並びにそれぞれの酸化物又は混合酸化物を用いることもできる。たとえば、酸化イリジウム表面を有するチタン陽極において、電解条件に対して特に高い耐性を得ることができ、その表面は、細かい粒子、たとえば、球体によって照射され、それにより、細孔がなくなるように圧縮される。一実施形態では、貴金属、たとえば、プラチナ、金若しくはロジウム、又はこれらの金属の合金から形成される陽極を用いることができる。炭素（グラファイト）のような、他の不活性の導電性材料を用いることもできる。

20

【0068】

一実施形態では、ウェハーは、銅を析出させるために水平な向きにおいて処理される。同じく水平に保持される、析出槽内の陽極が、ウェハーの真正面に配置される。寸法的に安定な不溶性電極が用いられるので、陽極と、ウェハー又は半導体デバイスの陰極部分との間の距離は概ね一定に保持される。

30

【0069】

本発明によるプロセスは、たとえば、半導体デバイス、シリコンウェハー及びMEMSデバイス内のシリコン基板内にTSVを形成するためにビアを充填するのに特に適している。

40

【0070】

一実施形態では、初期ビアを形成するためのエッティングのステップ中に、又はそのステップの後に、ビアの内面上に誘電体層が形成される。シリコンが酸化する結果として、二酸化シリコンが形成され、この誘電体材料を用いて、TSVを周囲のシリコン基板、チップ又はウェハーから電気的に絶縁することができる。任意の適切なプロセスによって、誘電体層を形成することができる。別の実施形態では、たとえば、TEOSプロセスによって、又はビアのシリコン側壁の酸化によって、二酸化シリコン層が形成される。そのような誘電体材料の層を形成するのに適している方法は、当該技術分野において知られており、必要に応じて、当業者が選択することができる。

50

【0071】

本発明によれば、T S Vが高純度の銅で充填されることになるので、T S Vに隣接して配置されるシリコン基板内に銅原子が拡散するのを防ぐために、適切な措置が講じられるべきである。したがって、一実施形態では、後に析出される銅が、T S Vが形成された基板のシリコンの中に拡散するのを防ぐ障壁を設けるために、T S Vの内側側壁に障壁層が形成される。一実施形態では、障壁層は、その中を通って銅が拡散するのを低減するか、又は阻止することができるタンタル含有材料である。それゆえ、一実施形態では、銅層とシリコン基板との間に拡散障壁を形成するために、たとえば、スパッタリング法によって、窒化物層（たとえば、窒化タンタル層）が形成される。そのような障壁材料の層を形成するのに適している方法は、当該技術分野において知られており、必要に応じて、当業者が選択することができる。10

【0072】

障壁層の誘電体表面上に銅を電解によって析出できるようにするために、障壁層上に適切な基礎金属層を堆積することによって、障壁層を導電性にすることができる。一実施形態では、基礎金属層が後に被着され、後続の電解による金属被覆のための導電性支持層を形成する。一実施形態では、約0.02μm～約0.3μmの範囲内の厚みを有する全面層が基礎金属層として被着される。一実施形態では、基礎金属層は、物理的な金属堆積法によって、及び／又はCVD法によって、及び／又はPECVD法によって被着される。それに加えて、又はそれとは別に、めっき法、たとえば、無電解金属析出法を用いることもできる。たとえば、銅から形成される基礎金属層を析出することができる。他の導電層も適している場合があり、それは一般的には金属層である。そのような導電層は、たとえば、タンゲステン、銀、金、プラチナ、亜鉛、錫若しくは任意の他の金属のような金属、又は、非導電性基板上に銅を電着するためのシード層として用いるために知られているケイ化物を含むことができる。20

【0073】

基礎金属層が形成された後に、上記のプロセスに従って、T S Vのための銅充填物を電解によって析出させる。

【0074】

一実施形態では、本発明のプロセスは半導体製造プロセスの中に組み込まれ、それはエッチングプロセスのためのリソグラフィ及びマスキング、30
T S Vを形成するためのDRIE又はレーザーエッチング、
酸化による誘電体絶縁層の形成、
物理気相成長、熱及び／又はCVDによる障壁層の形成、
銅無電解プロセスのような、適切な方法による基礎金属層又はシード層の形成、
本明細書において詳細に説明されるようなT S Vの銅電着充填、
充填されたT S Vの形成を完了するための、CMP及びクリーニングのような適切な処理を含む。

【0075】

その後、そのウェハー又は半導体デバイスは、CMOSのような標準的な技術を用いて処理することができ、後に、種々の既知の方法による、薄片化、リソグラフィ、はんだバンプ、ダイシング、そしてその後、ダイ間、ダイ-ウェハー間、ウェハー間又は他の適切な3D構成のようなプロセスにかけられる。一般的に、T S Vに関連する製造態様は、ビア形成、金属被覆、ウェハー薄片化、位置合わせ及びボンディングを含む場合がある。40

【0076】

以下の非制限的な実施例は、本発明の実施形態を例示し、本発明を理解しやすくするために提供されるが、本発明の範囲を制限することを意図するものではなく、本発明の範囲は、添付の特許請求の範囲によって規定される。

【0077】

実施例1

高純度の銅析出物で充填されたT S Vを形成するために、約10ミクロンの直径及び約50

50ミクロンの深さを有するビアが設けられたウェハーを用意する。ビアは最初に、ビアの内側側壁の高温酸化によって形成される二酸化シリコンの誘電体層でコーティングされる。ビアの内側側壁上の誘電体層は、次に、スパッタリングによって被着される窒化タンタルから形成される拡散障壁層でコーティングされる。次に、拡散障壁層はスパッタリングプロセスによって銅基礎金属層でコーティングされ、銅基礎金属層は約0.1ミクロンの厚みを有する。その後、ウェハーは以下に説明される銅析出槽内に浸漬され、その槽内で、ウェハーは陰極として接続され、不溶性の陽極が含まれている。本発明によるTSVを形成するために、以下の成分を有する槽での電着によって、ビアは高純度の銅で充填される。水中に、

H_2SO_4 、重量比で98%	130g / l
$CuSO_4 \cdot 5H_2O$	70g / l
$FeSO_4 \cdot 7H_2O$	15g / l
ポリエチレングリコール	8g / l

10

高純度の銅は以下の条件下で電着される。室温において、

陰極電流密度 4A/dm²

槽の循環 5l/分

以下の表に示されるパラメーターを有するパルス電流が加えられる。

【0078】

実施例2

本発明による上記で開示された槽を用い、 Fe^{2+}/Fe^{3+} イオンを追加しない類似の槽を用い、又は可溶性の銅陽極を用いる類似の槽を用い、種々のめっき方法によって析出されるTSV内の銅応力は以下のとおりであり、以下の表に示されるパラメーターを有するパルス電流が加えられる。

20

【0079】

【表2】

実施例	$I_{順方向}/I_{逆方向}$ (A/dm ²)	パルス (ミリ秒) 順方向/逆方向パルス	パルスギャップ (ミリ秒)	位相シフト (度)
1及び2	6/40	72/4	4	180

30

【0080】

電着方法

応力

可溶性銅陽極(従来技術) 163.2±34.3MPa

Fe^{2+}/Fe^{3+} レドックスを用いる可溶性銅陽極(従来技術) 113.4±40.1MPa

$Cu/Cu^{2+}/Fe^{2+}/Fe^{3+}$ レドックスを用いる不活性陽極(本発明) 66.9±9.8MPa

【0081】

その内部応力は、ポストアニーリングステップを用いることなく、析出したままの状態で測定された。測定はビアウェハーの反り及び曲がりである(LASER測定)。用いられた装置は、KLA-TENCOR FLX-2320薄膜応力測定システム、銅薄膜厚1ミクロン、ウェハー厚750ミクロンであった。

40

【0082】

実施例2からのデータによって明らかに示されるように、本発明に従ってTSVが充填されるとき、TSVにおいて、著しく低く、かつ著しくばらつきの小さい応力レベルが得られる。

【0083】

図1は、その上に2つのウェハー104及び106が実装されている基板102を含む3Dデバイス100の概略的な断面図であり、それらのウェハーは銅充填TSV108a、108b、108c、110a、110b及び110cを含み、TSVは本発明の実施

50

形態によるプロセスによって電着されている。基板 102 は、チップ、ウェハー、あるいはその上に 1つ若しくは複数のチップ若しくはウェハーが取り付けられて図 1 に示されている 3D デバイス 100 のような 3D デバイスを形成するいくつかの他の基板のような任意の適切な基板であってもよい。図 1 に示されているように、3D デバイス 100 は、はんたバンプ 112a、112b、112c、114a、114b 及び 114c をさらに含み、それらのはんたバンプによって、それぞれ充填された TSV 108a、108b、108c、110a、110b 及び 110c が互いに、かつ基板 102 内の電気配線 116 に電気的に相互接続される。最後に、図 1 に示されるように、3D デバイス 100 は、ウェハー 104 と基板 102 との間に、及びウェハー 104 とウェハー 106 との間に、アンダーフィル材料 118 をさらに含む。図 1 は、3D デバイスの極めて概略的な図であり、明確にするために、かつ簡単に説明するために、本発明の種々の実施形態を含むプロセスによって形成することができる 3D デバイスの重要な要素をより明確に図示できるように、3D デバイスの種々の要素内に存在することになる種々の機能要素を省いていることに留意されたい。10

【0084】

図 2 ~ 図 9 は、本発明の一実施形態による、図 1 に示される 3D デバイス 100 のような、3D デバイスの一部を形成するために、ウェハー内に TSV を形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。図 2 ~ 図 9 に示されているプロセスは、概略的に提示されており、理解されるように、F E O L 前又は後、及びボンディング前又は後の「ビアファースト」又は「ビアラスト」に関して上記で説明されたような適切に選択された順序で実行することができる。20

【0085】

図 2 は、たとえば、半導体デバイス内で用いられるウェハー、チップ又は他のシリコン基板のようなシリコン基板を示しており、この基板に TSV が形成されることになる。

【0086】

本発明の一実施形態によるプロセスの次のステップでは、シリコン基板 104 内に TSV が形成される。上記で開示されたように、TSV を形成する任意の適切な方法が用いられ、一実施形態では、その方法は D R I E である。この形成は、図 2 から図 3 への矢印によって示される。

【0087】

図 3 は、シリコン基板 104 の厚みの大部分を通して TSV 120a、120b 及び 120c が形成された後の図 2 のシリコン基板を示す。簡単にするために、図 1 ~ 図 8 には 3 つの TSV 120a、120b 及び 120c だけが示されるが、上記で開示されたように、所定のウェハー又は半導体デバイスは、そのような TSV を数百又は数千含むこともできることに留意されたい。簡単にするために、図 3、並びに図 1 及び図 3 ~ 図 9 の全てにおける TSV 120a ~ 120c は、垂直で平行な側壁を有するように示されるが、これは例示を容易にするためであり、要求される状況を図示することは意図していないことにさらに留意されたい。知られているように、いくつかの実施形態では、側壁は垂直、又は概ね垂直とすることができますが、TSV の側壁は一般的には、上から下に向かって、すなわち、ビアの開口部からビアの底面に向かってわずかに先細りであり、ビアの底面における直径が、ビアの上側開口部又は口における直径よりもわずかに小さくなるようにする。30

【0088】

TSV 120a ~ 120c を形成した後に、本発明の一実施形態によるプロセスの次のステップでは、図 4 及び図 4a に示されるように、各 TSV 120 の側壁の内面全体にオプションで誘電体層 122 を堆積することができる。図 4 は縮小されているので、TSV 120c 及び後続の被着される層の一部の拡大図が図 4a、図 4b、及び図 4c において示される。上記のように、誘電体層 122 は、TSV の後に形成される導電性充填物と隣接するシリコン基板 104 との間の絶縁層として設けられる。各 TSV 120a ~ 120c の内面全体が誘電体層 122 で覆われるべきである。理解されるように、層及び基板 14050

04の相対的な比率は縮尺通りではない。上記で言及されたように、誘電体層はオプションであり、適切な実施形態では、たとえば、後に形成される障壁層が誘電体としての役割も果たすとき、図4aに示されているステップは省くことができる。

【0089】

次に、図4bに示されるように、誘電体層122上に障壁層が堆積されるか、又は形成される。障壁層は、たとえば、タンタル(Ta)、タンタル/タングステン(TaW)若しくは窒化タンタル(TaN)、又は銅マイグレーションに対する障壁としての役割を果たすことが知られている他の材料のような材料から形成することができる。障壁層124は、隣接するシリコン基板104への銅のマイグレーションを防ぐために設けられる。障壁層は、そのような層を堆積するために当該技術分野において知られている任意の適切な方法によって堆積することができる。10

【0090】

障壁層124を形成した後に、図4cに示されるように、本発明の一実施形態によるプロセスの次のステップにおいて、障壁層24の表面上に、TSV120a～120cを覆う導電性基礎金属又はシード層126が堆積される。上記のように、導電性金属層126は、任意の適切な導電性金属層とすることができます、一実施形態では銅であり、別の実施形態では、高純度の銅である。基礎金属層126は、そのような層を堆積するために当該技術分野において知られている任意の適切な方法によって堆積することができます。基礎金属層126は、その上にTSV充填金属の電着を行なうことができる導電性表面を提供する。20

【0091】

本発明の実施形態によるプロセスの次のステップは、図5に示されるように、充填されたTSV108a～108cを形成するために、TSV120a～120cがそれぞれ、上記のような電着プロセスによって高純度の銅を充填される。本発明の実施形態に従って、基礎金属層126上に銅が析出し、概ね空隙又は含有物を生じることなく、高純度の銅がTSVを完全に充填するように、上記のレドックス系を用いて、高純度の銅を電着する。20

【0092】

図1及び図5～図9において、誘電体層122、障壁層124及び導電層126は、図の縮尺に起因して明確には示されていないが、それらの層は、上記のように形成されており、図4a、図4b及び図4cに示されるように存在すると見なされることに留意されたい。30

【0093】

図6～図9は、充填されたTSV108a～108cを含むシリコン基板104を基板102に取り付けるプロセスにおける所定のステップを説明する概略図である。また、この時点において、ウェハーの他の表面から種々の堆積された層を必要に応じて除去することが実行される場合がある。たとえば、銅電着はウェハーの上側表面全体を覆い、この場合、たとえば、化学機械研磨(CMP)によって除去することができる。本明細書において記述されるプロセスを実行する過程において堆積された余分な材料を除去するのに適した方法は、当業者が必要に応じて選択することができる。これらの層、及びそれらの層を除去するためのステップは、図には示されていないが、当業者であれば容易に理解し、認識するであろう。40

【0094】

図6では、新たに形成されたTSV108a～108cを含むウェハーが薄片化されており、それにより、TSV108a～108cの下端又は底端を露出し、後続のステップにおいてTSV108a～108cを電気的に接続できるようにする。薄片化は、半導体ウェハー、チップ等を薄くするための任意の既知の方法によって実行することができる。

【0095】

図7では、充填されたTSV108a～10cを含むシリコン基板104が、基板102上に、又は基板102に隣接して配置される。図示されるように、基板102は、図150

に示される配線に類似の電気配線層 116 を含む。図示されるように、図 7 では、TSV 108a ~ 10c が電気配線 116 の露出した部分と接触することになる箇所に、はんだビード又はボール 112a、112b 及び 112c が配置されている。はんだビード 112a ~ 112c は、錫 - 鉛はんだ、又はそのように取り付けるために用いられる任意の他の既知のはんだ材料のような任意の適切な材料から形成することができ、任意の既知の方法によって堆積することができる。

【0096】

図 8 に示されるように、次のステップは、基板 102 内の電気配線 116 と接触しているはんだビード 112a ~ 112c に TSV 108a ~ 108c をそれぞれ接触させることであり、それによって、それぞれのはんだビード 112a ~ 112c を介して、個々の TSV 108a ~ 108c と電気配線 116 との間に電気的接続が形成される。その接触は、任意の既知の方法によって行なうことができる。

【0097】

図 9 に示されるように、シリコン基板 104 と基板 102 との間に残った任意の空間を充填するために、アンダーフィル材料 118a を追加することができる。一実施形態では、アンダーフィル材料は、TSV をはんだビードに接触させるステップの後に配置され、別の実施形態では、アンダーフィル材料 118a は、接触させる前に基板に被着される。理解されるように、アンダーフィル材料 118a は、はんだビードの前又は後に被着することができる。

【0098】

「ピアラスト」手法においてボンディング後に TSV が形成される実施形態では、エッチングのステップは、シリコン基板（図示せず）の全厚を貫通する TSV を形成することができることに留意されたい。いくつかのそのような場合には、ウェハーが既にボンディングされている下側層は、エッチストップ層としての役割を果たすことができる。

【0099】

別の実施形態では、TSV が非常に大きい、すなわち、約 20 μm ~ 約 50 μm の直径を有するいくつかの応用例では、TSV を完全に充填する必要はない場合があり、代わりに、内側が厚く覆われる限り、銅の高い導電率が、TSV の必要とされる導電率を十分に与えることができる。

【0100】

図 10 ~ 図 12 は、本発明の別の実施形態による、3D デバイスの一部を形成するために、ウェハー内に TSV を形成し、そのウェハーを基板上に実装するプロセスのステップを説明する概略的な断面図である。

【0101】

図 10 は、ビア 220 が形成された後の、図 4c に対応するプロセスの時点における TSV が形成されているウェハーを示しており、誘電体層 222、障壁層 224 及び基礎金属導電層 226 が図 4、図 4a、図 4b 及び図 4c の実施形態に示されるような順序で側壁上に堆積されており、それゆえ、堆積される材料及び方法は、上記で説明されたのと同じである。

【0102】

本発明のこの実施形態によるプロセスの次のステップは、ウェハー 200 において、上記のような電着プロセスによって、ビア 220 の内側が相対的に厚くかつ均一な高純度の銅層でそれぞれ覆われるが、完全には充填されず、図 11 に示されるように、内側が覆われた TSV 208 を形成する。銅が基礎金属層 226 上に析出し、TSV の内壁が高純度の銅の厚い層によって完全に覆われるよう、高純度の銅が上記のレドックス系を用いて電着される。本発明の実施形態によれば、高純度の銅層自体は、空隙又は含有物を概ね含まない。その層は、相対的に大きなサイズの TSV と結合されるときに、TSV 208 を完全に充填することを必要とせずに、十分な導電率を与える厚みを有する。したがって、この実施形態では、図 11 に概略的に示されているように、TSV 208 は、1 つの大きな中央開口部 228 を含み、本発明のこの実施形態によるプロセスによって、ビア 220

10

20

30

40

50

は完全に充填されるのではなく、代わりに、高純度の銅の均一な厚い層で覆われる。

【0103】

T S V 2 0 8 を形成した後に、ウェハー 2 0 0 を薄片化して、図 1 2 に示される段階におけるウェハーを提供する。図 1 2 では、新たに形成された T S V 2 0 8 を含むウェハーが薄片化されており、それによって、T S V 2 0 8 の下端又は底端を露出させ、後続のステップにおいて T S V 2 0 8 を電気的に接続できるようにする。薄片化は、半導体ウェハー、チップ等を薄くするための任意の既知の方法によって実行することができる。

【0104】

図 1 2 に示される実施形態では、誘電体層 2 2 2 、障壁層 2 2 4 、基礎金属層 2 2 6 及び高純度の銅層 2 0 8 を含む層が、ウェハー 2 0 0 の上側表面から未だ除去されていないことに留意されたい。10これららの層は、図 2 ~ 図 9 に関して説明された本発明の実施形態においても存在するが、その実施形態を説明する際に、これらの層を除去するステップは具体的に示されなかった。そのようなステップは、本発明による高純度の銅を電気めっきするステップの後に実行されることになっており、図 5 に示されているプロセスの時点では既に完了している。その実施形態では、及び図 1 2 に関して説明される実施形態では、銅層は、たとえば、C M P によって単に除去することができるか、又はパターニングして、ウェハーのその表面上に電気回路を形成することができる。後者の場合に、パターニングされた電気回路が望まれる場合、そのパターンは、高純度の銅を電着するステップの前に、フォトレジストプロセスによって形成することができる。高純度の銅を電着するステップの後にパターン形成ステップを実行することもできるが、高純度の銅を電着するステップの前に、たとえば、フォトレジストプロセスによってパターンを形成する方が、より効率的であると考えられる。20

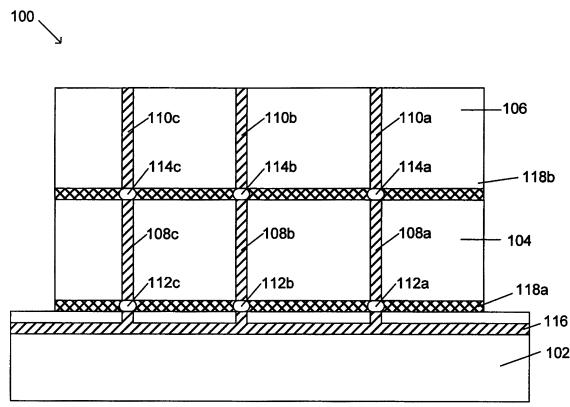
【0105】

本明細書及び特許請求の範囲全体を通して、開示される範囲及び比の数値的な限界は組み合わせることができ、間にに入る全ての値を含むものと見なされることに留意されたい。したがって、たとえば、1 ~ 1 0 0 及び 1 0 ~ 5 0 の範囲が具体的に開示された場合、1 ~ 1 0 、 1 ~ 5 0 、 1 0 ~ 1 0 0 及び 5 0 ~ 1 0 0 の範囲は、間にに入る整数値であるので、本開示の範囲内にあると見なされる。さらに、全ての数値は、「約」という修飾語が具体的に示される、示されないにかかわらず、「約」という語句が前置されると見なされる。最後に、開示される要素及び構成要素の全ての取り得る組み合わせは、具体的に言及される、言及されないにかかわらず、開示の範囲内にあると見なされる。すなわち、「一実施形態において」のような用語は、そのような実施形態が本明細書において開示されるありとあらゆる他の実施形態と組み合わせできることを当業者に明白に開示していると見なされる。30

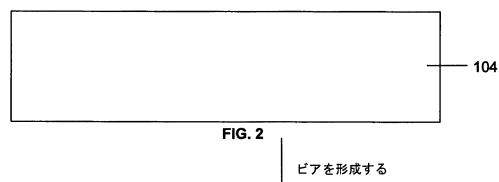
【0106】

本発明の原理が特定の実施形態との関連で説明され、実施形態は例示のために提供されるが、その種々の変更が、本明細書を読んだ当業者には明らかになることを理解されたい。それゆえ、本明細書において開示される発明は、添付の特許請求の範囲内に入るような変更を包含することを意図するものと理解されたい。本発明の範囲は、添付の特許請求の範囲によってのみ制限される。40

【図1】

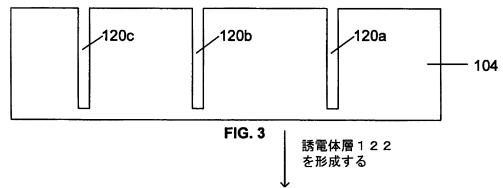


【図2】

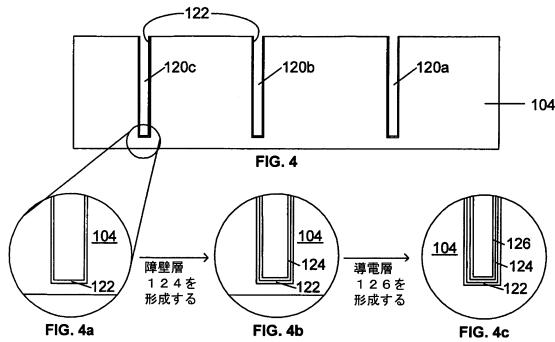


ビアを形成する
↓

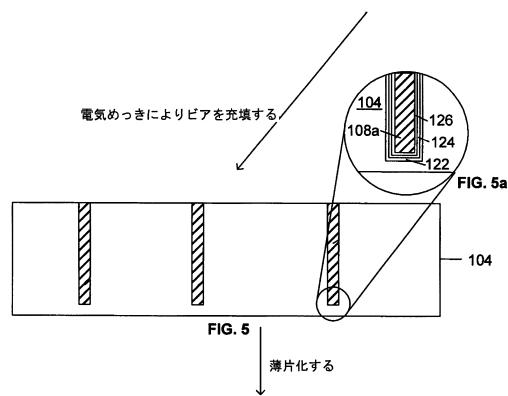
【図3】



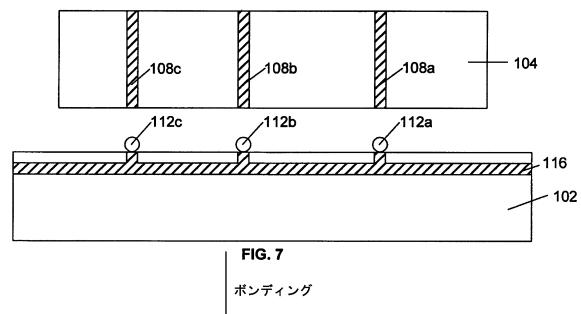
【図4】



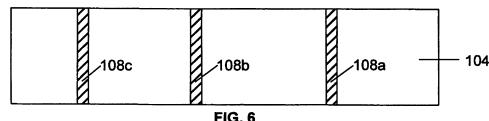
【図5】



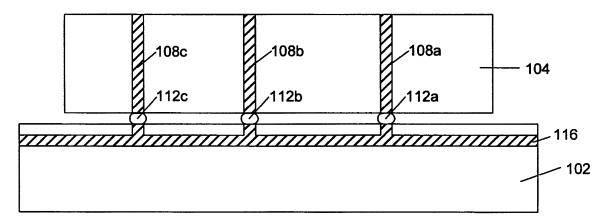
【図7】



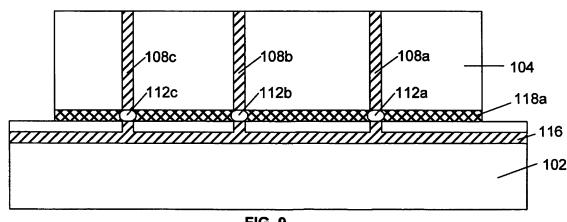
【図6】



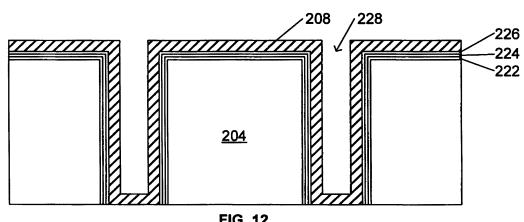
【図8】



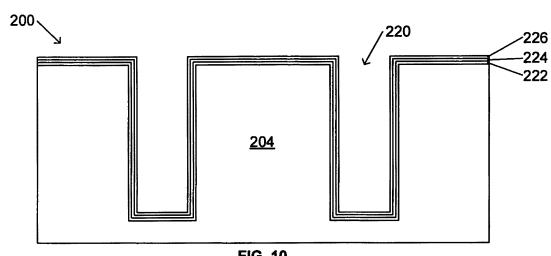
【図9】



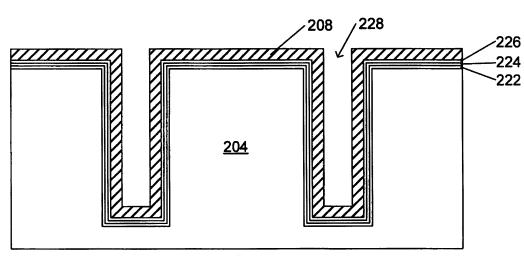
【図12】



【図10】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 01 L 21/288 (2006.01) C 25 D 5/18
C 25 D 3/38 (2006.01)
C 25 D 5/18 (2006.01)

(56)参考文献 国際公開第2009 / 018581 (WO , A1)
国際公開第2007 / 112971 (WO , A1)
特表2010 - 535289 (JP , A)
特表2002 - 535494 (JP , A)
特表2009 - 531542 (JP , A)
特開2001 - 267726 (JP , A)
特表2000 - 500529 (JP , A)
特開2006 - 269860 (JP , A)
特表2005 - 535787 (JP , A)
特開2004 - 119606 (JP , A)

(58)調査した分野(Int.Cl. , DB名)

C 25 D 5 / 0 0
C 25 D 7 / 0 0