



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 603 15 396 T2 2008.05.08**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 411 407 B1**

(21) Deutsches Aktenzeichen: **603 15 396.8**

(96) Europäisches Aktenzeichen: **03 022 468.7**

(96) Europäischer Anmeldetag: **08.10.2003**

(97) Erstveröffentlichung durch das EPA: **21.04.2004**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **08.08.2007**

(47) Veröffentlichungstag im Patentblatt: **08.05.2008**

(51) Int Cl.<sup>8</sup>: **G05F 3/20 (2006.01)**  
**G05F 1/46 (2006.01)**

(30) Unionspriorität:

**272404 15.10.2002 US**

(73) Patentinhaber:

**Samsung Electronics Co., Ltd., Suwon, Kyonggi,  
KR**

(74) Vertreter:

**Patentanwälte Ruff, Wilhelm, Beier, Dauster &  
Partner, 70174 Stuttgart**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(72) Erfinder:

**Lee, June, Seoul, KR**

(54) Bezeichnung: **Schaltung und Verfahren zum Erzeugen einer internen Betriebsspannung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

## Beschreibung

**[0001]** Die Erfindung bezieht sich auf eine Schaltung und ein Verfahren zum Erzeugen einer internen Betriebsspannung, die in einem Speicherbauelement, wie einem Halbleiterspeicherbauelement, verwendet wird, das einen internen Versorgungsspannungstreiber aufweist, um eine interne Versorgungsspannung zur Verfügung zu stellen.

**[0002]** Wenn die Integrationsdichte von Halbleiterspeicherbauelementen ansteigt und eine hohe Einschaltgeschwindigkeit erforderlich ist, ist die Struktur von internen Versorgungsspannungserzeugungsmitteln eines Speicherzellenfelds sehr wichtig, insbesondere in tragbaren Systemen. Wenn nämlich die interne Versorgungsspannung mit der externen Versorgungsspannung ansteigt, erreicht die interne Versorgungsspannung einen Pegel, an dem das Speicherbauelement in einem stabilen Zustand arbeiten kann, nachdem die externe Versorgungsspannung den angemessenen Pegel erreicht. Diese Differenz in der Anstiegszeit des Spannungspegels verursacht verschiedene Probleme.

**[0003]** Wenn beispielsweise ein System auf das Halbleiterspeicherbauelement zugreift, besteht die Möglichkeit, dass das System die interne Versorgungsspannung verwendet, die noch nicht den minimalen Spannungspegel für den Betrieb des Speicherbauelements erreicht hat, wenn das System nur entsprechend dem externen Versorgungsspannungspegel auf das Speicherbauelement zugreift. Dies bedeutet, dass sich das Halbleiterspeicherbauelement Fehler zuzieht.

**[0004]** [Fig. 1](#) ist ein Blockdiagramm eines herkömmlichen Speicherbauelements. In dieser Darstellung wird das Speicherbauelement als Flashspeicherbauelement betrachtet.

**[0005]** Das Speicherbauelement umfasst eine interne Schaltung **60**, einen internen Spannungskonverter (IVC) **500**, einen Bereitschafts-IVC-Treiber **200**, einen Leistungspegeldetektor **120**, einen CE-Puffer **140** und einen CMD-Puffer **160**. Während der Einschaltperiode erzeugt der Leistungspegeldetektor **120** ein Signal PDT mit der externen Versorgungsspannung. Das Signal PDT wird in die internen Schaltungen **60** und das CMD-Register **160** eingegeben, um den Pegel im Speicherbauelement zurückzusetzen. Der Bereitschafts-IVC-Treiber **200** konvertiert die externe Versorgungsspannung entsprechend dem Pegel einer Referenzspannung  $V_{ref}$  in die interne Versorgungsspannung. Der Bereitschafts-IVC-Treiber **200** stellt nach dem Einschalten die interne Spannung immer den internen Schaltungen zur Verfügung.

**[0006]** In [Fig. 1](#) umfasst der IVC **500** eine aktive

IVC-Steuereinheit und einen aktiven IVC-Treiber. Die aktive IVC-Steuerschaltung (**550** in [Fig. 3](#)) wird nur aktiviert, wenn der CE-Puffer **140** und das CMD-Register **160** ein Freigabesignal bzw. Beschäftigungssignal erzeugen. Der Fachmann versteht, dass ein Bereitschafts-IVC-Treiber **200** im Bereitschaftsmodus verwendet wird, um den Energieverbrauch zu reduzieren, und dass der aktive IVC-Treiber **550** während Perioden des aktiven Bauelementbetriebs verwendet wird, um das Speicherbauelement schnell mit einer ausreichend hohen Spannung zu versorgen, auch wenn der Energieverbrauch hoch ist.

**[0007]** Die in [Fig. 2](#) dargestellte Schaltung wird gewöhnlich im Bereitschafts-IVC-Treiber **200** verwendet. In [Fig. 2](#) empfängt der Bereitschafts-IVC-Treiber **200** während des Einschaltens eine Referenzspannung  $V_{ref}$  und eine externe Versorgungsspannung  $V_{ext}$ , um die interne Spannung  $V_{int}$  zu erzeugen. Im Bereitschafts-IVC-Treiber werden außer der Referenzspannung  $V_{ref}$  keine Signale in den Treiber **200** eingegeben.  $V_{ref}$  selbst umfasst keine anderen Signale.  $V_{ref}$  wird nur durch die externe Versorgungsspannung  $V_{ext}$  gesteuert. Da der Bereitschafts-IVC-Treiber **200** während der Periode des aktiven Bauelementbetriebs immer arbeitet, muss der Treiber **200** die interne Versorgungsspannung  $V_{int}$  entsprechend dem Pegel der Referenzspannung  $V_{ref}$  erzeugen. Während dieser Zeitspanne sind die Einschaltsteigungen der Spannungen  $V_{ext}$  und  $V_{int}$  voneinander verschieden, wie in [Fig. 4](#) dargestellt ist. Wenn die interne Versorgungsspannung entsprechend der externen Versorgungsspannung an das Speicherbauelement angelegt wird, wobei  $V_{ext}$  zum Zeitpunkt  $t_1$  in den Sättigungspegel  $V_{ext}$  geht, bleibt die interne Versorgungsspannung für den Zeitbereich A niedriger als die minimale Betriebsspannung  $V_{det}$ . Als Konsequenz kann ein Fehler im Speicherbauelement auftreten.

**[0008]** Allgemein dauert die Anstiegszeit der Spannung  $V_{int}$  bis zur Bereitstellung der minimalen Betriebsspannung  $V_{det}$  ungefähr  $6\mu s$ . Aber neuerdings ist es, insbesondere in tragbaren Systemen, erforderlich, dass der IVC-Treiber **200** dem Speicherbauelement die interne Versorgungsspannung  $V_{int}$  innerhalb  $1\mu s$  zur Verfügung stellt. Wie in [Fig. 3](#) dargestellt ist, wird die interne Spannung gemäß dem Stand der Technik während der Einschaltperiode nur durch den Bereitschafts-IVC-Treiber zur Verfügung gestellt, da kein Einschaltssignal in die aktive IVC-Steuerschaltung **550** eingegeben wird.

**[0009]** Die Offenlegungsschrift US 2002/0089370 A1 offenbart eine Schaltung zum Erzeugen einer internen Betriebsspannung gemäß dem Oberbegriff des Anspruchs 1, in welcher die Rampenspannungsgeneratormittel strukturiert sind, um eine Rampenspannung zu erzeugen, die höher als die externe Versorgungsspannung ist und während des Einschalt-

vorgangs von null auf einen Sättigungswert ansteigt, um jegliche Verzögerung bei der Bereitstellung der internen Spannung zu reduzieren oder zu vermeiden. Dieser Entwurf führt in einer letzten Stufe des Einschaltintervalls typischerweise zu einem Überschwingen der internen Spannung, von wo die interne Spannung wieder auf den gewünschten Wert abgesenkt werden muss.

[0010] Als technisches Problem liegt der Erfindung die Bereitstellung einer Schaltung und eines Verfahrens zugrunde, die in der Lage sind, die Erzeugung einer internen Betriebsspannung zur Verwendung in einem Speicherbauelement im Vergleich zu dem oben beschriebenen herkömmlichen Ansatz zu verbessern, und insbesondere eine interne Versorgungsspannung für das Speicherbauelement schneller als dieser herkömmliche Ansatz zur Verfügung stellen.

[0011] Die Erfindung löst dieses Problem durch die Bereitstellung einer Schaltung mit den Merkmalen des Patentanspruchs 1 und eines Verfahrens mit den Merkmalen des Patentanspruchs 14.

[0012] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben, deren Wortlaut hiermit durch Bezugnahme in die Beschreibung aufgenommen wird, um unnötige Textwiederholungen zu vermeiden.

[0013] Vorteilhafte, nachfolgend detaillierter beschriebene Ausführungsformen der Erfindung sowie das zu deren besserem Verständnis oben erläuterte, herkömmliche Ausführungsbeispiel sind in den Zeichnungen dargestellt. Es zeigen:

[0014] [Fig. 1](#) ein Blockdiagramm eines herkömmlichen Speicherbauelements,

[0015] [Fig. 2](#) einen herkömmlichen Bereitschafts-IVC-Treiber,

[0016] [Fig. 3](#) eine herkömmliche aktive IVC-Steuer-einheit zum Erzeugen eines aktiven IVC-Freigabesignals,

[0017] [Fig. 4](#) ein Zeitablaufdiagramm, das mit der Schaltung gemäß [Fig. 2](#) korrespondiert,

[0018] [Fig. 5](#) ein Blockdiagramm eines Speicherbauelements gemäß der vorliegenden Erfindung,

[0019] [Fig. 6](#) ein erstes Ausführungsbeispiel der vorliegenden Erfindung,

[0020] [Fig. 7](#) einen Leistungspegeldetektor,

[0021] [Fig. 8](#) ein Zeitablaufdiagramm, das mit der Schaltung gemäß [Fig. 7](#) korrespondiert,

[0022] [Fig. 9](#) eine aktive IVC-Treibersteuereinheit,

[0023] [Fig. 10](#) einen aktiven IVC-Treiber,

[0024] [Fig. 11](#) einen anderen aktiven IVC-Treiber,

[0025] [Fig. 12](#) einen Spannungsregler,

[0026] [Fig. 13](#) ein Zeitablaufdiagramm, das mit der Schaltung gemäß [Fig. 6](#) korrespondiert,

[0027] [Fig. 14](#) ein zweites Ausführungsbeispiel der vorliegenden Erfindung,

[0028] [Fig. 15](#) ein drittes Ausführungsbeispiel der vorliegenden Erfindung,

[0029] [Fig. 16](#) eine Vint- und Vext-Kurzschluss-schaltung und

[0030] [Fig. 17](#) ein Zeitablaufdiagramm entsprechend den [Fig. 14](#) und [Fig. 15](#).

[0031] Bezugnehmend auf [Fig. 5](#) umfasst das Speicherbauelement einen Leistungspegeldetektor **120**, einen internen Spannungskonverter (IVC) **600** und interne Schaltungen **60**. Die internen Schaltungen **60** können die gleichen sein wie in [Fig. 1](#). Während des Einschaltens erzeugt der Leistungspegeldetektor **120** ein Einschaltsignal PDT. Das Signal PDT aktiviert den IVC **600**, um eine interne Versorgungsspannung Vint zu erzeugen. Der IVC **600** stellt die erforderliche interne Versorgungsspannung Vint den internen Schaltungen **60** zur Verfügung.

[0032] Das Einschalten wird hier allgemein verwendet, um sich auf einen beliebigen Anstieg der Versorgung von nominal null Volt auf eine nominale Versorgungsspannung zu beziehen, unabhängig davon, ob dieser während eines anfänglichen Einschaltvorgangs oder Startvorgangs beispielsweise eines tragbaren flashspeicherbasierten Gerätes wie einer digitalen Kamera oder nach dem anfänglichen Startvorgang aber nach einer ruhenden Periode (oder so genannten Schlafperiode) erfolgt, während der die Energieversorgung der internen Schaltungen des Gerätes entweder reduziert (z.B. auf einen Bereitschaftspegel) oder entfernt worden ist.

[0033] [Fig. 6](#) ist ein Blockdiagramm, das ein erstes Ausführungsbeispiel der vorliegenden Erfindung zeigt. [Fig. 6](#) umfasst einen Leistungspegeldetektor **120**, einen CE-Puffer **140**, ein CMD-Register **160**, einen Spannungsregler **400** und einen IVC **600**, der eine aktive IVC-Steuerschaltung **650** und aktive Treiber **300** umfasst. Entsprechend dem Stand der Technik wird die aktive IVC-Steuerschaltung **650** nur aktiviert, wenn der CE-Puffer **140** oder das CMD-Register **160** freigegeben ist. Der CE-Puffer **140** stellt eine Chipfreigabeinformation zur Verfügung, und das

CMD-Register **160** stellt eine Lese-, Schreib- und Löschinformation zur Verfügung. Das Einschaltsignal PDT des Leistungspegeldetektors **120** wird nicht in die IVC-Steuerschaltung **650** eingegeben, sondern wird stattdessen zum Zurücksetzen des Speicherelementes nur in das CMD-Register **160** und die internen Schaltungen **60** eingegeben. Im Gegensatz zu den Lehren des Standes der Technik, bei denen kein Einschaltsignal PDT in die IVC-Steuerschaltung **650** eingegeben wird, wird gemäß der vorliegenden Erfindung das Signal PDT während der Einschaltperiode in die IVC-Steuerschaltung **650** eingegeben.

**[0034]** In anderen Worten ausgedrückt, die neue IVC-Steuerschaltung **650** wird aktiviert, wann immer eines der drei Signale, nämlich das Chipfreigabesignal vom CE-Puffer **140**, das Chipbeschäftigungssignal vom CMD-Register **160** oder das Einschaltsignal vom Leistungspegeldetektor **120**, aktiv ist.

**[0035]** Der Leistungspegeldetektor **120** der vorliegenden Erfindung ist in [Fig. 7](#) dargestellt. Es gibt viele Arten von Leistungspegeldetektoren. Obwohl auch andere Leistungspegeldetektoren als im Bereich und Umfang der Erfindung liegend angesehen werden, weist der vorgeschlagene Leistungspegeldetektor **120** gemäß der vorliegenden Erfindung einen PMOS-Transistor und einen NMOS-Transistor vom Verarmungstyp auf, die in Reihe geschaltet sind. Die Gates der beiden Transistoren sind gemeinsam mit Masse verbunden. Die Source des PMOS-Transistors MP3 ist mit der externen Versorgungsspannung Vext verbunden, und die Drain ist mit einem Knoten N1 und der Drain des NMOS-Transistors MN3 verbunden. Eine N-Typ-Mulde, die für den Bulk des PMOS-Transistors MP3 verwendet wird, ist mit der externen Versorgungsspannung Vext verbunden, die ein hohes Potential aufweist. Die Source des NMOS-Transistors MN3 ist mit Masse verbunden. Der NMOS-Transistor MN3 ist zwischen dem Knoten N1 und Masse eingeschleift und ist vom Verarmungstyp und weist einen langen Kanal auf, wodurch ein hoher Widerstand zur Verfügung gestellt wird.

**[0036]** Wie aus den [Fig. 7](#) und [Fig. 8](#) ersichtlich ist, ist der Pegel des Knotens N1 wegen des NMOS-Transistors MN3 vom Verarmungstyp der Massepegel. Wenn die externe Versorgungsspannung Vext die Schwellwertspannung Vth des PMOS-Transistors MP3 erreicht, wird der PMOS-Transistor MP3 zum Zeitpunkt t1 leitend geschaltet. Nach dem Zeitpunkt t1 nimmt der Knoten N1 von Masse auf die externe Versorgungsspannung Vext zu, erreicht aber wegen des NMOS-Transistors MN3 vom Verarmungstyp nicht die Spannung Vext. Gleichzeitig nimmt das Einschaltsignal PDT von Masse auf die Spannung Vext zu und erreicht die Spannung Vext nach einer kurzen Zeitspanne, da ein NMOS-Transistor (nicht dargestellt) eines Inverters INV1 sperrend geschaltet ist. Wenn Gate-Sour-

ce-Spannungen Vgs von NMOS- und PMOS-Transistoren (nicht dargestellt) im Inverter INV1 gleich sind, nimmt das Einschaltsignal PDT in Richtung Massepegel ab. In anderen Worten ausgedrückt, wenn der Pegel am Knoten N1 einen bestimmten Auslösepegel Va zum Zeitpunkt t2 erreicht, nimmt das Signal PDT logisch niedrigen Pegel „LOW“ an. Allgemein ist das Signal PDT vor dem Zeitpunkt t2 auf logisch hohem Pegel „HIGH“ und nach dem Zeitpunkt t2 auf logisch niedrigem Pegel LOW. Daraus resultiert, dass die Einschaltperiode nach dem Zeitpunkt t2 beendet ist.

**[0037]** Während der Einschaltperiode geht das Einschaltsignal PDT auf HIGH und wird in die IVC-Steuerschaltung eingegeben. Der IVC (**600** in [Fig. 6](#)), der die aktive IVC-Steuerschaltung **650**, die aktiven IVC-Treiber **300** und einen Bereitschafts-IVC-Treiber **200** umfasst, empfängt das Einschaltsignal PDT vom Leistungspegeldetektor **120**.

**[0038]** Wie in den [Fig. 5](#) und [Fig. 9](#) dargestellt ist, empfängt die aktive IVC-Steuerschaltung **650** (siehe [Fig. 9](#)) das Einschaltsignal PDT, das auf logisch HIGH ist. Die aktive IVC-Steuerschaltung **650** erzeugt ein aktives IVC-Freigabesignal AIVCen. Die aktive IVC-Steuerschaltung **650** umfasst eine Steuerlogik **800** (die mit der internen Versorgungsspannung Vint gekoppelt ist) und einen Pegelschieber **850**. Die Steuerlogik **800** umfasst ein NOR-Gatter **101** und einen Inverter **103**. Das NOR-Gatter **101** empfängt ein Einschaltsignal PDT, ein Chipfreigabesignal ChipEnable und ein Chipbeschäftigungssignal ChipBusy. Da der Leistungspegeldetektor (**120** in [Fig. 5](#)) das Einschaltsignal PDT mit logisch HIGH erzeugt, wechselt die Ausgabe des NOR-Gatters **101** erfindungsgemäß auf logisch LOW. Der Pegel am Gate eines NMOS-Transistors **106** ist auf logisch HIGH, wodurch der Transistor **106** leitend geschaltet wird, wenn die Ausgabe des Inverters **103** auf HIGH wechselt. Daher wechselt der Knoten N4 auf LOW und schaltet den PMOS-Transistor **107** leitend. Daraus resultiert, dass die externe Versorgungsspannung Vext an dem Knoten N5 zur Verfügung gestellt wird. Insbesondere wird die Ausgabe der Steuerlogik **800** durch den Pegelschieber **850** auf den anderen Pegel Vext geschoben, der gleich dem Pegel des aktiven IVC-Freigabesignals AIVCen ist.

**[0039]** Es gibt viele Typen von Pegelschiebern **850**. Bei dieser Erfindung verwendet der Pegelschieber eine externe Spannung Vext als Spannungsquelle. Das aktive IVC-Freigabesignal AIVCen wird nämlich auf den Pegel der Spannung Vext angehoben. Der Fachmann versteht, dass im Bereich und Umfang der Erfindung auch andere Typen verwendet werden können.

**[0040]** Wenn das aktive IVC-Freigabesignal AIVCen (das von der aktiven IVC-Steuerschaltung **650**

ausgegeben wird) in die aktiven IVC-Treiber (**300** in [Fig. 6](#)) eingegeben wird, erzeugen die Treiber **300** an einem Knoten N7 eine interne Spannung Vint. Ein repräsentativer der aktiven IVC-Treiber ist in [Fig. 10](#) dargestellt. Es gibt viele Typen von aktiven IVC-Treibern. Bei dieser Erfindung werden zwei solche Treibertypen beschrieben. Der Fachmann versteht, dass im Bereich und Umfang der Erfindung auch andere Typen verwendet werden können.

**[0041]** Einer der aktiven IVC-Treiber ist in [Fig. 10](#) dargestellt, und der andere ist in [Fig. 11](#) dargestellt. Der aktive IVC-Treiber **310** gemäß [Fig. 10](#) arbeitet wie folgt. Die externe Versorgungsspannung Vext wird durch einen PMOS-Transistor P1 als interne Versorgungsspannung Vint an den Knoten N7 angelegt. Analog wird im aktiven IVC-Treiber **320** gemäß [Fig. 11](#) die externe Versorgungsspannung Vext durch den NMOS-Transistor M1 als interne Versorgungsspannung Vint an den Knoten N7 angelegt. Jeder der beiden aktiven IVC-Treiber (**310** in [Fig. 10](#) und **320** in [Fig. 11](#)) empfängt das aktive IVC-Freigabesignal AIVCen und wird von diesem gesteuert. In beiden Fällen empfangen die Treiber **310**, **320** ein Referenzspannungssignal Vref ebenso wie das aktive IVC-Freigabesignal AIVCen.

**[0042]** Das Referenzspannungssignal wird vom Spannungsregler **400** erzeugt, wie in [Fig. 12](#) dargestellt ist. Da ein beliebiger von vielen bekannten Spannungsreglern **400** für diese Erfindung verwendet werden kann, wird dieser nicht näher beschrieben.

**[0043]** Als nächstes beziehend auf [Fig. 13](#) wird verständlich, dass der aktive IVC-Treiber (**310** in [Fig. 10](#), **320** in [Fig. 11](#)) im Vergleich mit dem Bereitschafts-IVC-Treiber (**200** in [Fig. 6](#)) eine hohe Ladungstreiberfähigkeit aufweist. Entsprechend ist der Anstieg der internen Versorgungsspannung Vint größer als beim Bereitschafts-IVC-Treiber **200**, wenn die interne Versorgungsspannung Vint durch den aktiven IVC-Treiber die externe Versorgungsspannung Vext übersteigt. Der Anstieg der internen Versorgungsspannung Vint ist sogar nahezu so groß wie der Anstieg der externen Versorgungsspannung Vext.

**[0044]** Es ist möglich, mehrere aktive IVC-Treiber (**300** in [Fig. 6](#)) zu verwenden, um die interne Versorgungsspannung Vint am Knoten N7 bereitzustellen. Vorzugsweise werden mehrere aktive IVC-Treiber **300** verwendet, um die interne Versorgungsspannung Vint zur Verfügung zu stellen. Dies erhöht die Anstiegsgeschwindigkeit (den Anstieg) der internen Versorgungsspannung und minimiert die Geschwindigkeitsdifferenz zwischen der externen Versorgungsspannung Vext und der internen Versorgungsspannung Vint. Daher kann die interne Versorgungsspannung Vint den internen Schaltungen in den neueren und anspruchsvolleren tragbaren Systemen in-

nerhalb der erforderlichen kürzeren Zeitspanne zur Verfügung gestellt werden.

**[0045]** Die Erfindung ermöglicht es tatsächlich, Anstiege der Einschaltspannungsrampen zu erzielen, die wenigstens um zwei Größenordnungen höher sind, als es auf herkömmliche Weise möglich war, was Wiedereinschaltzeiten des Speicherbauelements wesentlich kürzer als das erforderliche Maximum von  $1\mu\text{s}$  sein lässt. Dies erlaubt im Gegensatz zu den Anstiegszeiten von mehreren Mikrosekunden bis zu Millisekunden, die herkömmliche Bereitschaftsleistungstechniken zur Verfügung gestellt haben, die Verwendung der Erfindung in den anspruchsvollsten digitalen Kameraapplikationen, die eine Einschaltzeit bis herunter auf  $1\mu\text{s}$  erfordern können.

**[0046]** In den [Fig. 6](#), [Fig. 7](#) und [Fig. 13](#) erzeugt der Leistungspegeldetektor (**120** in [Fig. 6](#)) während des Einschaltvorgangs das Einschaltsignal PDT mit logisch HIGH.

**[0047]** Entsprechend dem Pegel des Leistungspegeldetektors erzeugt der IVC die interne Versorgungsspannung. Die interne Versorgungsspannung Vint steigt rampenförmig schnell an und folgt, bis die interne Versorgungsspannung die minimale Betriebsspannung Vdet erreicht, eng dem Anstieg der externen Versorgungsspannung Vext, wie aus [Fig. 13](#) ersichtlich ist.

**[0048]** Daraus resultiert, dass die interne Versorgungsspannung den Pegel Vdet schnell erreicht. Nachdem der Leistungspegeldetektor (**120** gemäß [Fig. 7](#)) logisch LOW erzeugt und der Pegel am Knoten N1 aus [Fig. 7](#) den Pegel Va übersteigt, stoppt der IVC-Treiber (**310** gemäß [Fig. 10](#), **320** gemäß [Fig. 11](#)) die Bereitstellung der internen Versorgungsspannung Vint an den Knoten N7. Danach wird die mit dem Knoten N7 verbundene interne Versorgungsspannung nur von der externen Versorgungsspannung Vext vom Bereitschafts-IVC-Treiber versorgt. Wie aus [Fig. 13](#) ersichtlich ist, ist der Anstieg der angelegten Spannung nach dem Passieren des Zeitpunktes  $t_1$ , wenn der Pegel von Vdet erreicht wird, gleich dem Anstieg der internen Versorgungsspannung Vint vom Bereitschafts-IVC-Treiber (**200** gemäß [Fig. 6](#)). Auch wenn der Anstieg der internen Versorgungsspannung Vint nach dem Zeitpunkt  $t_1$  dem des Bereitschafts-IVC-Treibers folgt, arbeitet das System richtig und ohne Fehler, da die interne Versorgungsspannung Vint bereits die minimale Betriebsspannung Vdet erreicht hat.

**[0049]** Im Gegensatz arbeitet der aktive IVC-Treiber des Standes der Technik nur, wenn das Speicherbauelement das Chipfreigabesignal oder das Chipbeschäftigungssignal empfängt (siehe [Fig. 1](#)). Des Weiteren stellt der Bereitschafts-IVC-Treiber (**200** gemäß

**Fig. 1)** den internen Schaltungen während der Einschaltperiode nur eine interne Spannung zur Verfügung. Daher ist es unmöglich, die interne Versorgungsspannung den internen Schaltungen innerhalb 1µs zur Verfügung zu stellen, was die erforderliche Zeitspanne in jüngeren Systemen ist.

**[0050]** **Fig. 14** zeigt ein zweites Ausführungsbeispiel der vorliegenden Erfindung. Bei diesem Ausführungsbeispiel umfasst der IVC **600** zudem eine Vint/Vext-Kurzschlusschaltung **130**. Das Einschalt-signal PDT des Leistungspegeldetektors **120** wird nicht in die aktive IVC-Steuerschaltung **650** eingegeben, sondern wird in die Vint/Vext-Kurzschlusschaltung **130** eingegeben. Die aktive IVC-Steuerschaltung wird wie im Stand der Technik durch den CE-Puffer **140** und das CMD-Register **160** aktiviert. Aber als wichtiger Unterschied wird durch die Vint/Vext-Kurzschlusschaltung gesteuert vom Einschalt-signal PDT der Knoten N7 mit der internen Versorgungsspannung Vint versorgt. Die Vint/Vext-Kurzschlusschaltung ist in **Fig. 16** dargestellt. Wie aus **Fig. 16** ersichtlich ist, wird das Einschalt-signal PowerUP (PDT) in einen Inverter IN2 eingegeben, um einen PMOS-Transistor MP4 leitend zu schalten, der effektiv Vext zu Vint kurzschließt (Während der Einschaltperiode wechselt das Einschalt-signal PowerUP (PDT) auf logisch HIGH. Das Gate des PMOS-Transistors wechselt über einen Inverter INV2 auf logisch LOW. Der PMOS-Transistor MP4 wird leitend geschaltet und die externe Versorgungsspannung Vext ist über den leitend geschalteten Transistor mit der internen Versorgungsspannung Vint verbunden, wodurch effektiv Vext zu Vint kurzgeschlossen wird). Innerhalb des Wissens und Umfangs der Erfindung kann der PMOS-Transistor MP4 durch einen NMOS-Transistor (vom Verarmungs-Typ oder Anreicherungs-Typ) ersetzt werden.

**[0051]** Das vorteilhafte Ergebnis des elektrischen Kurzschließens der zwei Spannungen Vext und Vint ist in **Fig. 17** dargestellt. Während des Einschaltens steigt die interne Versorgungsspannung Vint rampenförmig an und folgt bis zum Zeitpunkt t1 genau der externen Versorgungsspannung Vext. Zu diesem Zeitpunkt erreicht die interne Versorgungsspannung die minimale Betriebsspannung  $V_{det}$ . Nach dem Wechsel des Einschalt-signals PDT auf logisch LOW folgt der Anstieg der internen Versorgungsspannung Vint dem des Bereitschafts-IVC-Treibers (**200** gemäß **Fig. 14**), wie oben in Verbindung mit dem ersten Ausführungsbeispiel der Erfindung beschrieben.

**[0052]** Daraus resultiert, dass es möglich ist, eine schnell rampenförmig ansteigende interne Versorgungsspannung Vint innerhalb der erforderlichen Zeitspanne des Systems zur Verfügung zu stellen.

**[0053]** **Fig. 15** ist ein drittes Ausführungsbeispiel der vorliegenden Erfindung. Bei dieser Darstellung

wird das Einschalt-signal PDT des Leistungspegeldetektors **120** in die aktive IVC-Steuerschaltung und die Vint/Vext-Kurzschlusschaltung **130** eingegeben. Entsprechend steigt die interne, von der externen Versorgungsspannung Vext erzeugte Versorgungsspannung Vint schneller an, da das Einschalt-signal PDT gleichzeitig in die aktive IVC-Steuerschaltung und die Vint/Vext-Kurzschlusschaltung **130** eingegeben wird. Bei diesem Hybrid-ausführungsbeispiel weist die aktive IVC-Steuerschaltung **650** drei Eingänge PowerUp, ChipEnable und ChipBusy auf, wie aus **Fig. 9** ersichtlich und oben beschrieben.

**[0054]** Ein Fachmann ist in der Lage, die vorliegende Erfindung im Hinblick auf die in diesem Dokument präsentierte Beschreibung auszuführen, die als Gesamtes angesehen werden muss. Zahlreiche Details wurden ausgeführt, um ein besseres Verständnis der Erfindung zu ermöglichen. In anderen Fällen wurden allgemein bekannte Eigenschaften nicht im Detail beschrieben, um die Erfindung nicht unnötigerweise zu verschleiern.

**[0055]** Während die Erfindung durch ihre bevorzugten Ausführungsformen offenbart wurde, sollen die speziellen hier dargestellten und offenbarten Ausführungsformen nicht als Einschränkung angesehen werden. Es sollte dem Fachmann im Hinblick auf die vorliegende Beschreibung vielmehr deutlich sein, dass die Erfindung auf zahlreiche Arten modifiziert werden kann. Der Erfinder geht davon aus, dass der Gegenstand der Erfindung alle Kombinationen und Unterkombinationen der verschiedenen hier offenbarten Elemente, Fähigkeiten, Funktionen und/oder Eigenschaften umfasst.

**[0056]** Die nachfolgenden Ansprüche definieren bestimmte Kombinationen und Unterkombinationen, welche als neu und nicht nahe liegend angesehen werden. Zusätzliche Ansprüche für andere Kombinationen und Unterkombinationen von Fähigkeiten, Funktionen, Elementen und/oder Eigenschaften können in diesem oder einem zugehörigen Dokument präsentiert werden.

## Patentansprüche

1. Schaltung zum Erzeugen einer internen Betriebsspannung (Vint) zur Verwendung in einem Speicherbauelement, wobei die Schaltung umfasst:

- einen Leistungspegeldetektor (**120**), der eine externe Spannung (Vext) zum Erzeugen eines Einschalt-signals (PDT) empfängt, und
- ein Rampenspannungsgeneratormittel (**200, 600**), das mit dem Leistungspegeldetektor gekoppelt ist und strukturiert ist, um die interne Betriebsspannung in einem Einschaltvorgang, während dem die externe Spannung auf einen Sättigungspegel ansteigt, rampenförmig hochzufahren, **dadurch gekennzeichnet**, dass

– das Rampenspannungsgeneratormittel (**200, 600**) strukturiert ist, um die interne Betriebsspannung (Vint), wenn das Einschaltsignal (PDT) empfangen wird, mit einer ersten Rampensteigung bis auf eine minimale Betriebsspannung (Vdet) und mit einer zweiten Rampensteigung von der minimalen Betriebsspannung bis auf eine finale interne Betriebsspannung hochzufahren, wobei die erste Rampensteigung größer als die zweite Rampensteigung ist.

2. Schaltung nach Anspruch 1, wobei das Rampenspannungsgeneratormittel einen Bereitschaftsspannungsgenerator (**200**) und einen Rampenspannungsgenerator (**600**) umfasst, wobei der Bereitschaftsspannungsgenerator während des Einschaltvorgangs bis zum Erreichen der finalen internen Betriebsspannung betrieben wird, während der Rampenspannungsgenerator (**600**) bis zum Erreichen der minimalen Betriebsspannung betrieben wird.

3. Schaltung nach Anspruch 1 oder 2, wobei das Einschaltsignal ein Aufwachsensignal ist, das ein Ende einer Ruheperiode des Speicherbauelementbetriebs repräsentiert.

4. Schaltung nach Anspruch 2 oder 3, wobei der Rampenspannungsgenerator durch einen internen Spannungswandler (**600**) zur Verfügung gestellt wird, der folgende Komponenten umfasst:

- eine Spannungssteuereinheit (**650**), die einen Eingang zum Empfangen eines Einschaltsignals aufweist und ein Steuersignal erzeugt, wenn das Einschaltsignal empfangen wird, und
- einen oder mehrere Spannungs- oder Steuerungstreiber (**300**), die separate Eingänge und einen gemeinsamen Ausgang aufweisen, wobei jeder Spannungs- oder Steuerungstreiber strukturiert ist, um die interne Betriebsspannung an dem gemeinsamen Ausgang zu erhöhen, wenn das Steuersignal an seinem entsprechenden Eingang empfangen wird.

5. Schaltung nach Anspruch 4, wobei die Spannungssteuereinheit umfasst:

- einen Steuerlogiksatz, der eine Mehrzahl von Eingängen aufweist, und
- einen Spannungspegelschieber, der mit einem Ausgang der Steuerlogik gekoppelt ist.

6. Schaltung nach Anspruch 5, wobei einer der Mehrzahl von Eingängen das Einschaltsignal empfängt.

7. Schaltung nach Anspruch 5 oder 6, wobei der Spannungspegelschieber strukturiert ist, um eine Ausgabe der Steuerlogik zu empfangen und das Steuersignal zu erzeugen.

8. Schaltung nach einem der Ansprüche 5 bis 7, wobei wenigstens einer der Spannungstreiber umfasst:

- einen ersten Schaltungsteil, der mit einer externen Spannungsleitung gekoppelt ist, und
- einen Spannungserhöhungsschaltungsteil, der mit dem ersten Schaltungsteil gekoppelt ist und mit dem gemeinsamen Ausgang gekoppelt ist, wobei die Spannungserhöhungsschaltung strukturiert ist, um die Spannung an dem gemeinsamen Ausgang zu erhöhen, wenn das Steuersignal empfangen wird.

9. Schaltung nach einem der Ansprüche 2 bis 8, wobei der Rampenspannungsgenerator oder wenigstens einer oder alle der einen oder mehreren Spannungstreiber abgeschaltet sind, nachdem die minimale Betriebsspannung erreicht ist.

10. Schaltung nach einem der Ansprüche 4 bis 9, wobei der eine oder die mehreren Spannungstreiber eine größere Spannungserhöhungskapazität als der Bereitschaftsspannungsgenerator aufweisen.

11. Schaltung nach einem der Ansprüche 2 bis 10, wobei der Rampenspannungsgenerator eine Kurzschlusschaltung (**130**) umfasst, die mit einer externen Spannungsleitung gekoppelt und strukturiert ist, um die externe Spannungsleitung mit einer internen Spannungsleitung kurzzuschließen, wenn die Kurzschlusschaltung das Einschaltsignal empfängt.

12. Schaltung nach Anspruch 11, wobei die Kurzschlusschaltung (**130**) den gemeinsamen Ausgang der Spannungs- oder Steuerungstreiber mit der externen Spannung koppelt, wenn die Kurzschlusschaltung das Einschaltsignal empfängt.

13. Schaltung nach Anspruch 11 oder 12, wobei die Kurzschlusschaltung umfasst:

- einen PMOS-Transistor, der eine Source, die mit der externen Spannungsleitung oder der externen Spannung gekoppelt ist, ein Steuergate zum Empfangen des Einschaltsignals oder einer Ausgabe des Einschaltsignals und eine Drain aufweist, die mit der internen Spannungsleitung oder dem gemeinsamen Ausgang gekoppelt ist, und/oder
- einen NMOS-Transistor vom Verarmungstyp, der eine Source, die mit der externen Spannungsleitung oder der externen Spannung gekoppelt ist, ein Steuergate zum Empfangen des Einschaltsignals oder des Steuersignals und eine Drain aufweist, die mit der internen Spannungsleitung oder dem gemeinsamen Ausgang gekoppelt ist.

14. Verfahren zum Erzeugen einer internen Betriebsspannung zur Verwendung in einem Speicherbauelement, umfassend:

- Detektieren eines Einschaltsignals (PDT), das in Reaktion auf eine angelegte externe Spannung (Vext) erzeugt wird,
- Erzeugen eines Freigabesignals (AIVCen), wenn das Einschaltsignal detektiert wird, und

- Bereitstellen des Freigabesignals an eine oder mehrere Spannungsrampenschaltungen (**310, 320**), dadurch gekennzeichnet, dass
- Die interne Betriebsspannung ( $V_{int}$ ), wenn das Freigabesignal an die eine oder mehreren Spannungsrampenschaltungen (**310, 320**) angelegt wird, mit einer ersten Rampensteigung von null Volt bis auf eine minimale Betriebsspannung ( $V_{det}$ ) und dann mit einer zweiten Rampensteigung eines Bereitschaftsspannungsgenerators (**200**) bis auf eine finale interne Betriebsspannung rampenförmig hochgefahren wird, wobei die erste Rampensteigung größer als die zweite Rampensteigung ist.

15. Verfahren nach Anspruch 14, wobei die eine oder mehreren Spannungsrampenschaltungen abgeschaltet werden, wenn die interne Betriebsspannung den minimalen Betriebsspannungspegel erreicht hat.

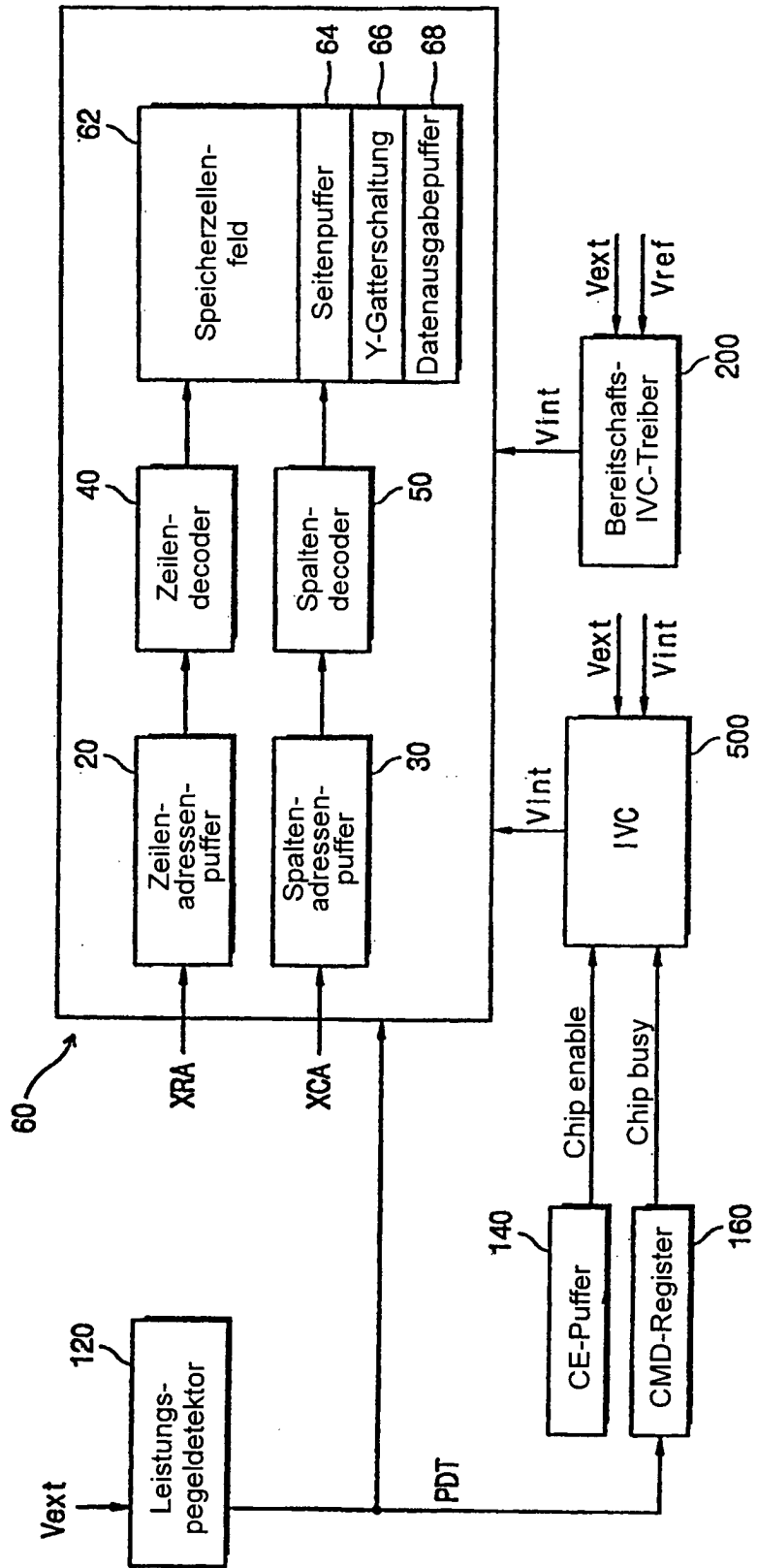
16. Verfahren nach Anspruch 14 oder 15, wobei zudem ein Bereitschaftsspannungsgenerator bereitgestellt wird, der gleichzeitig zum Betrieb der einen oder mehreren Spannungsrampenschaltungen wenigstens solange betrieben wird, bis die interne Betriebsspannung den minimalen Betriebspegel erreicht hat, wodurch die Anstiegsgeschwindigkeit der Spannungsrampe erhöht wird.

Es folgen 14 Blatt Zeichnungen



Fig 1

(Stand der Technik)



# Fig 2

(Stand der Technik)

200

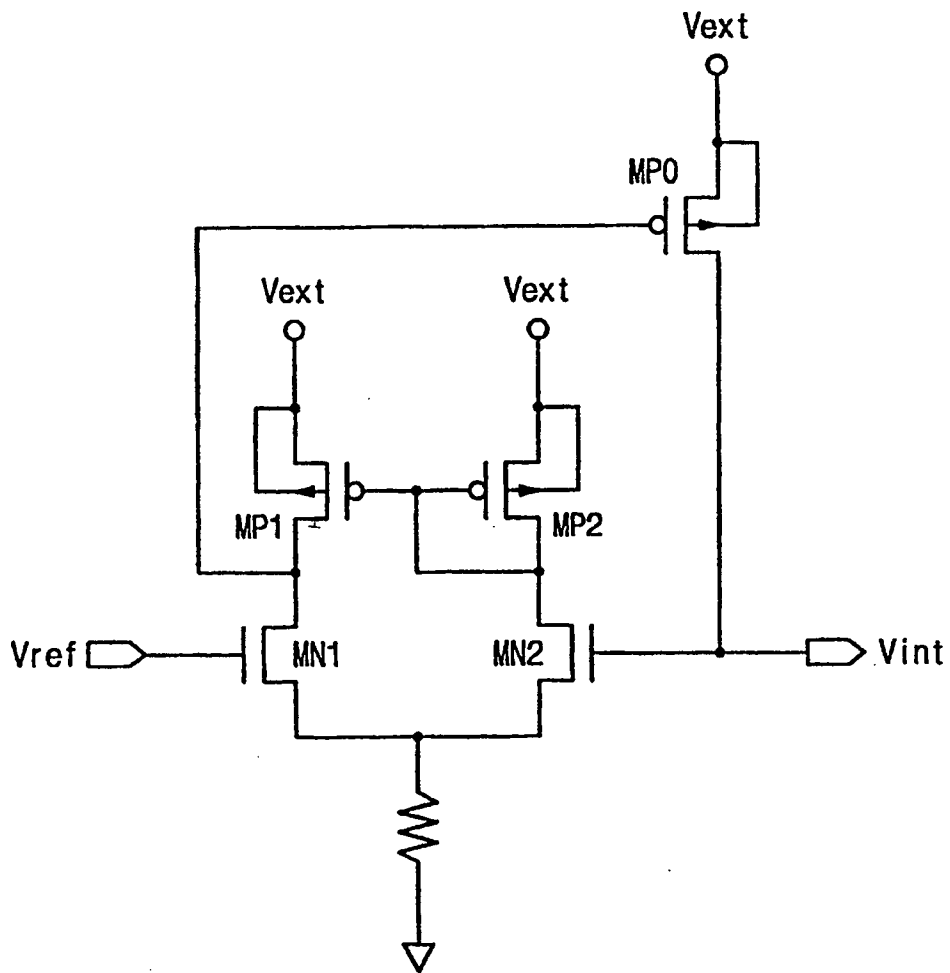
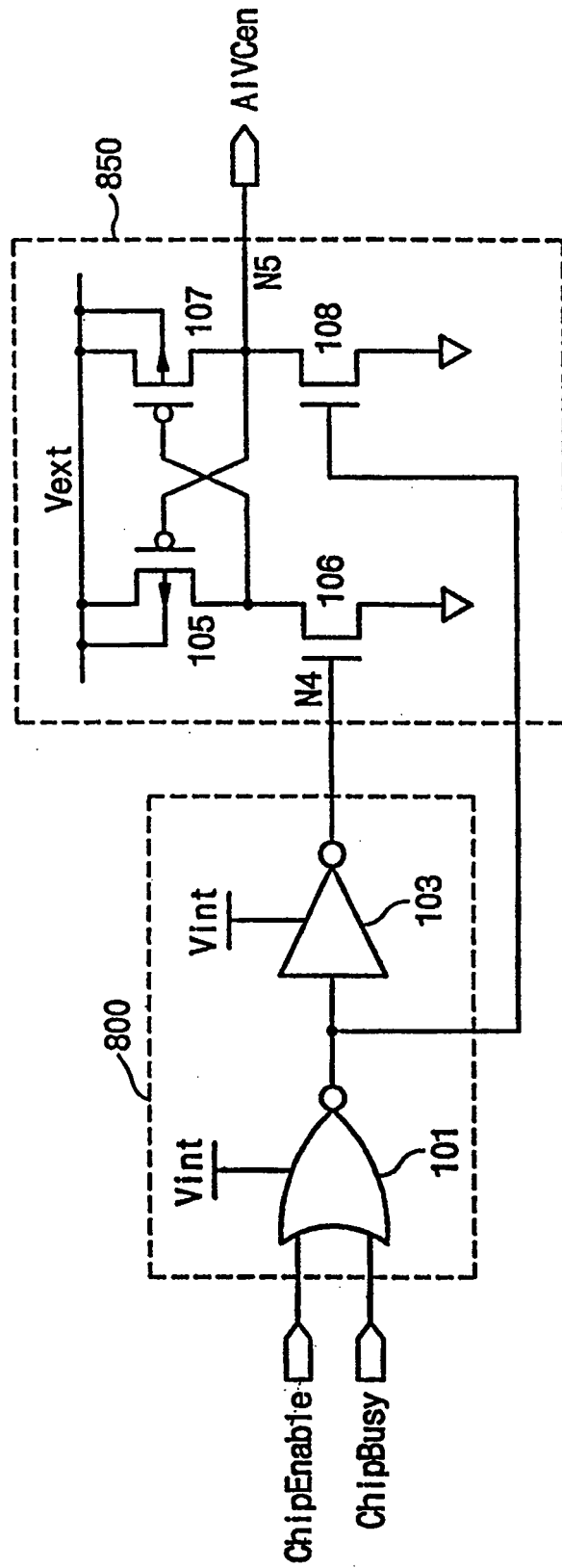


Fig 3  
(Stand der Technik)

550



**Fig 4**  
(Stand der Technik)

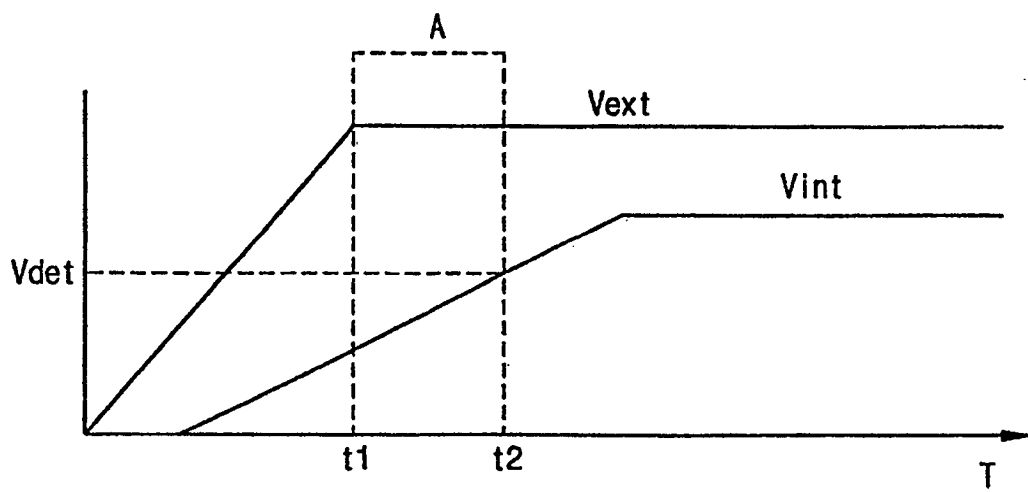


Fig 5

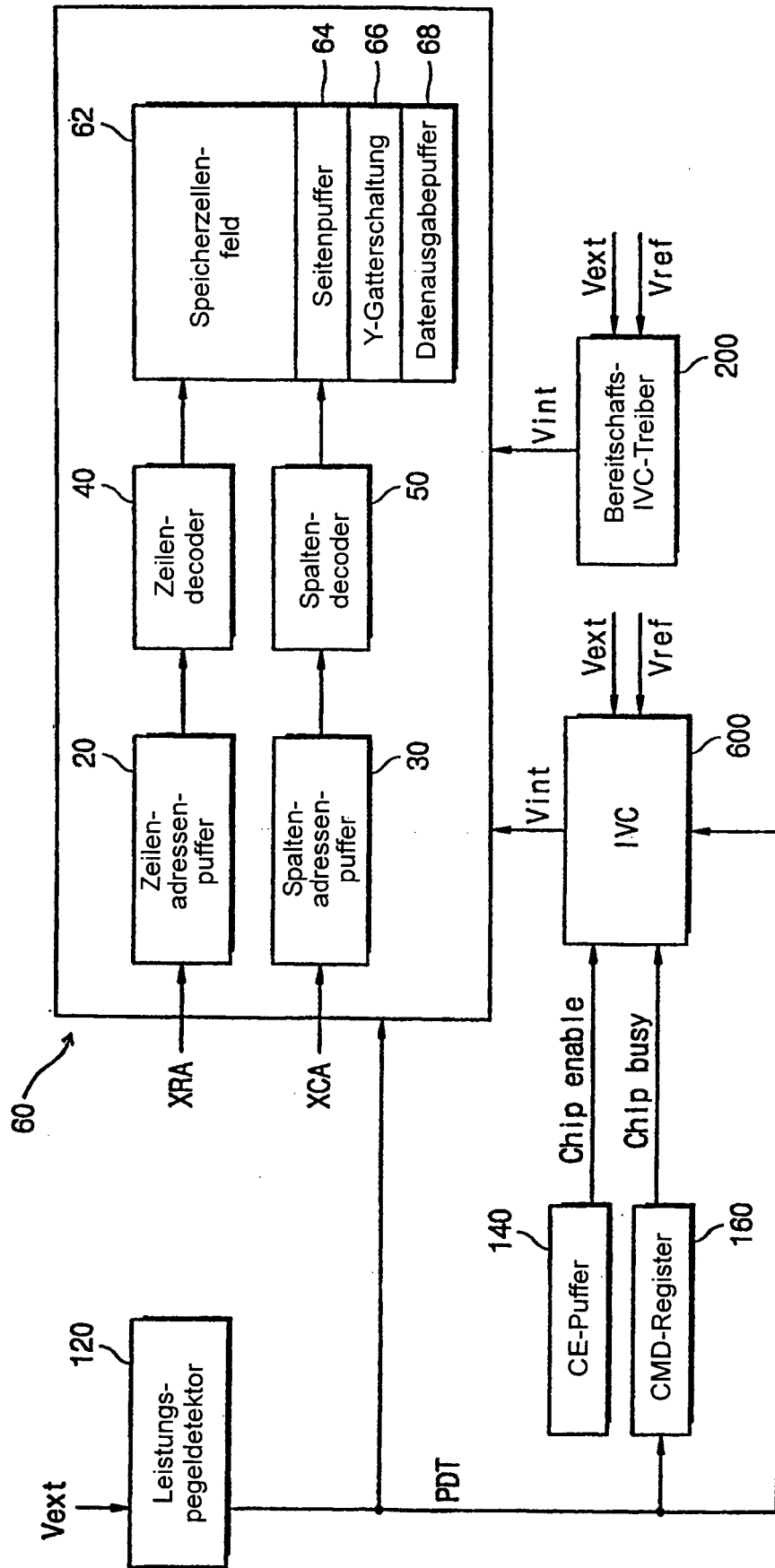


Fig 6

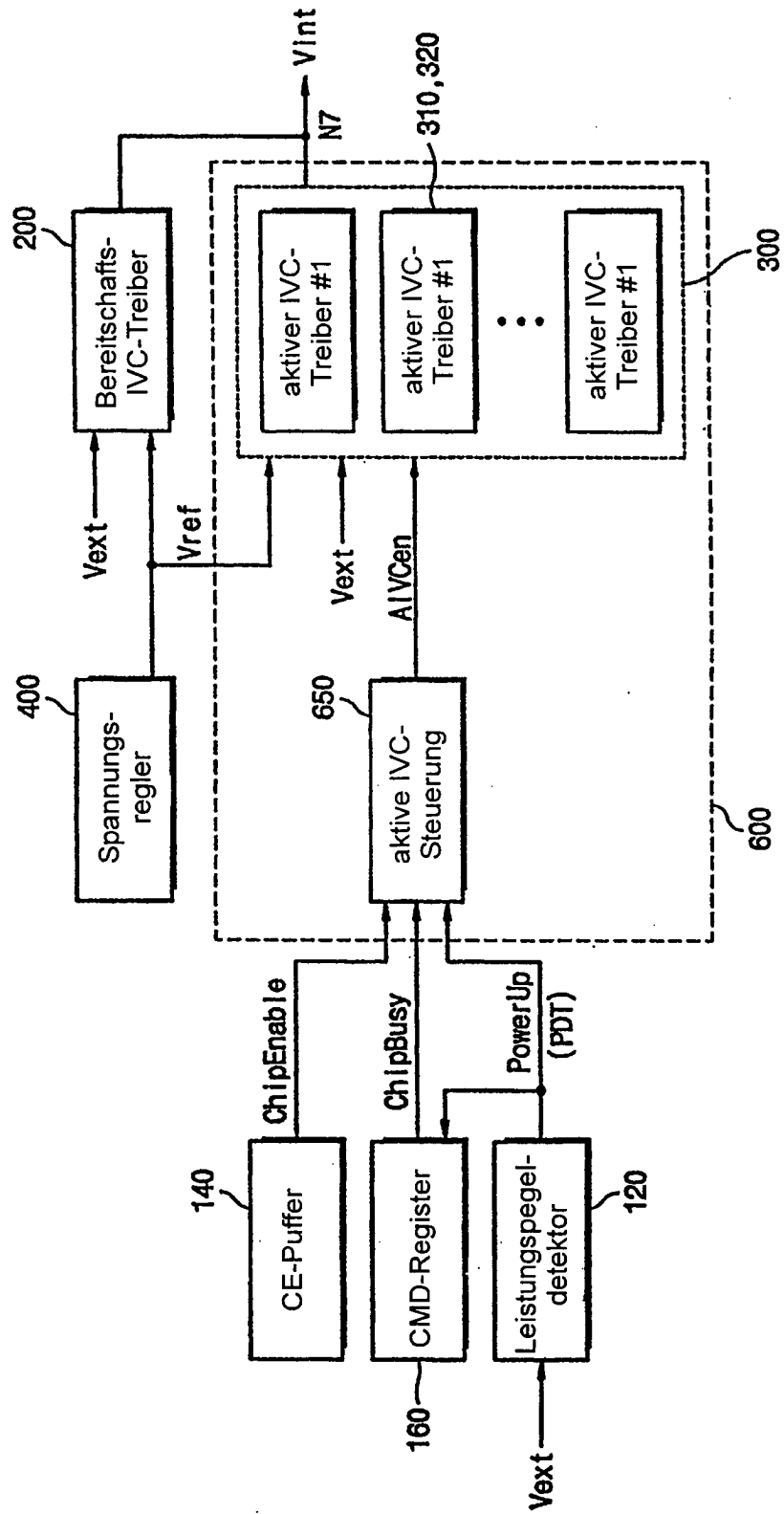


Fig 7

120

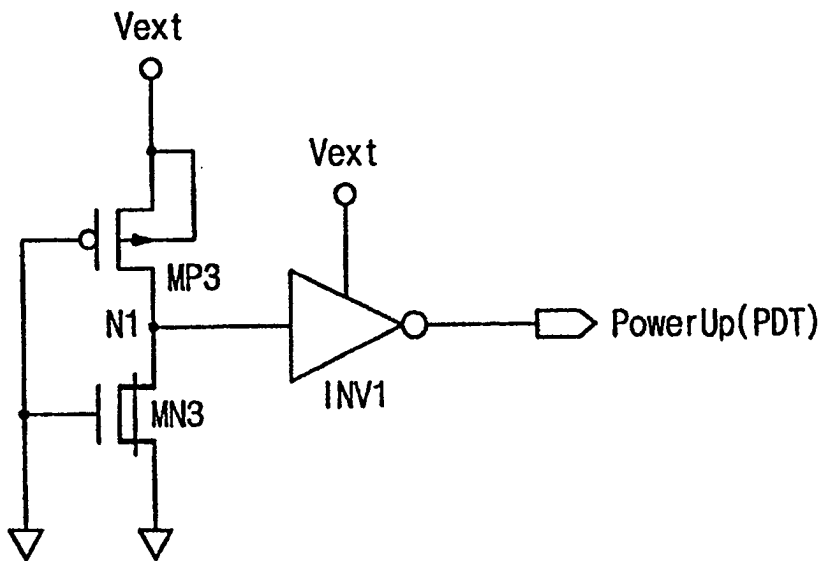


Fig 8

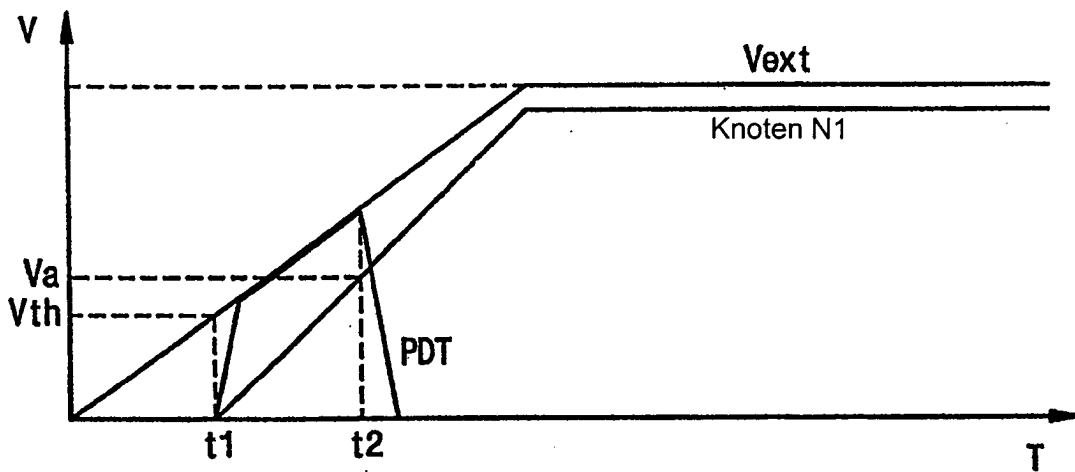


Fig 9

650

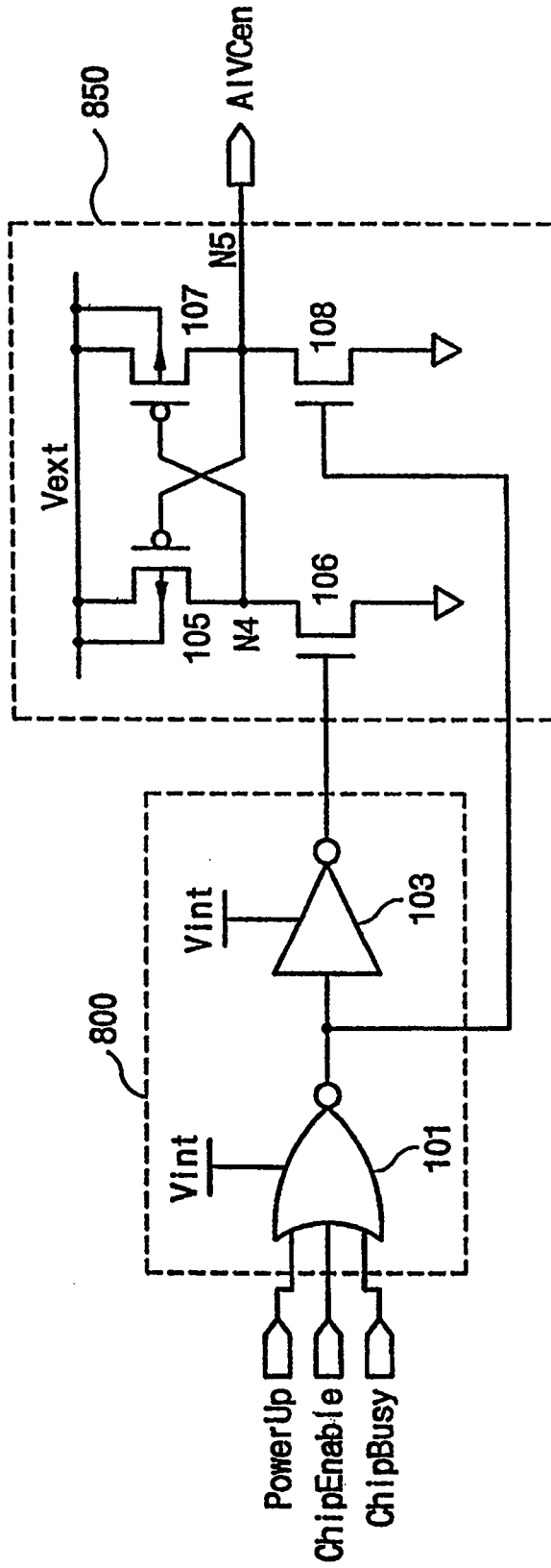




Fig 10

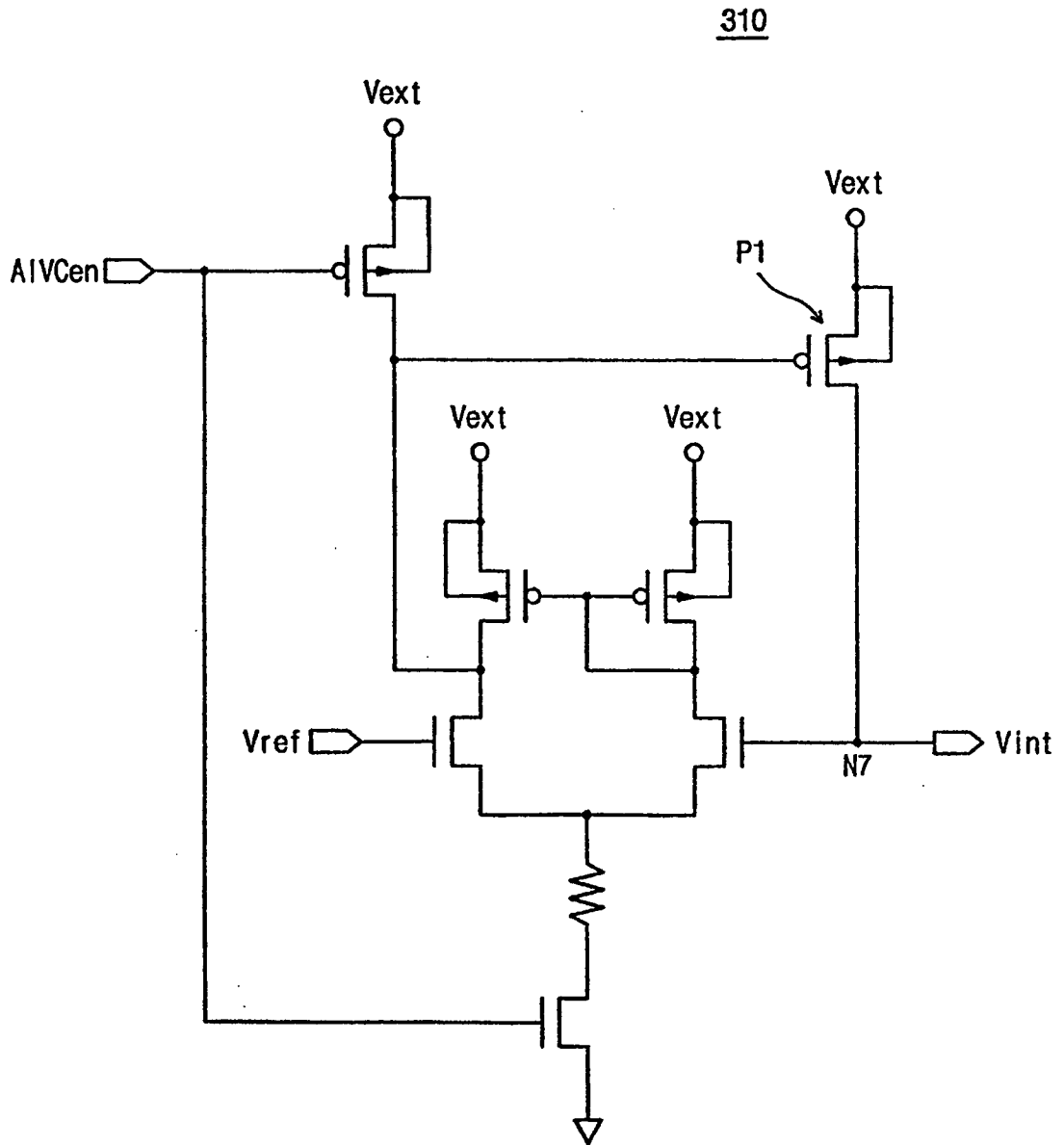


Fig 11

320

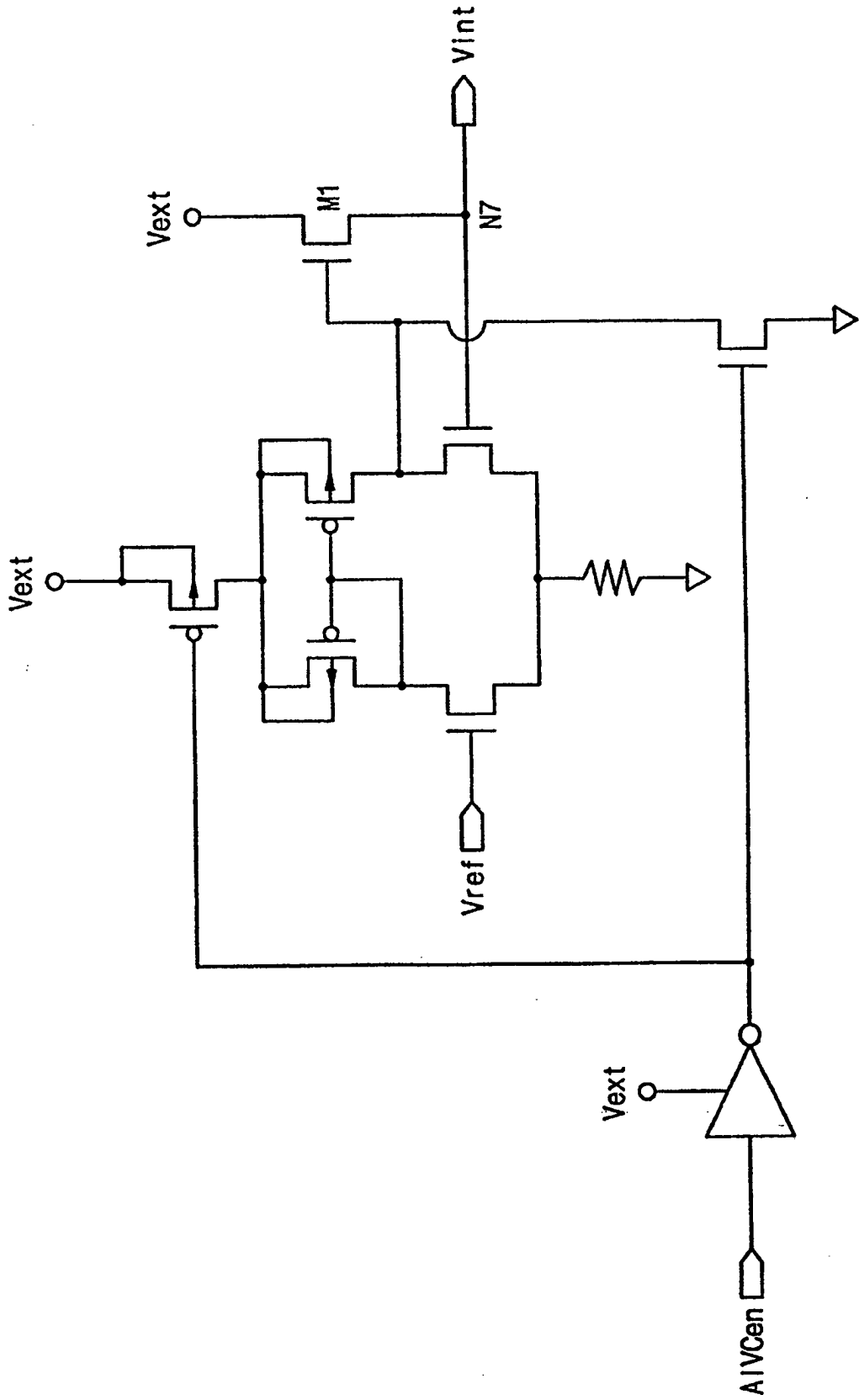


Fig 12

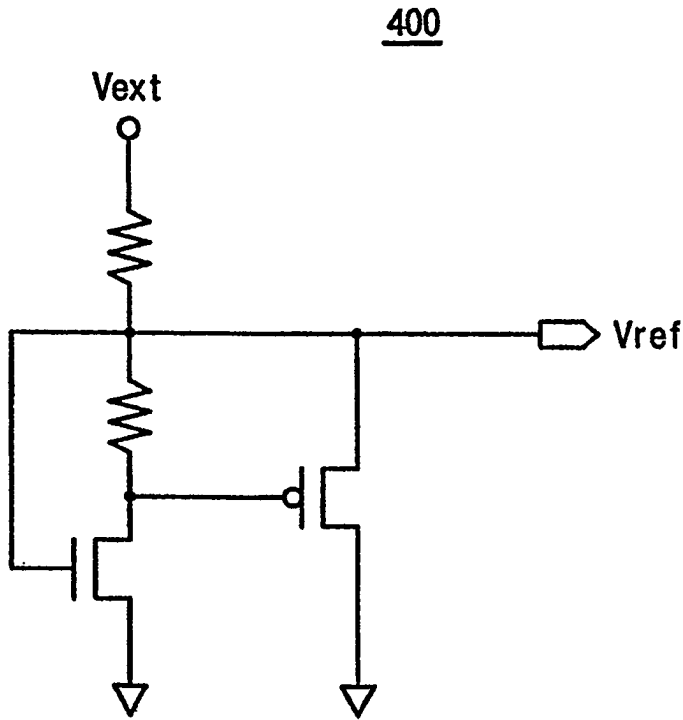


Fig 13

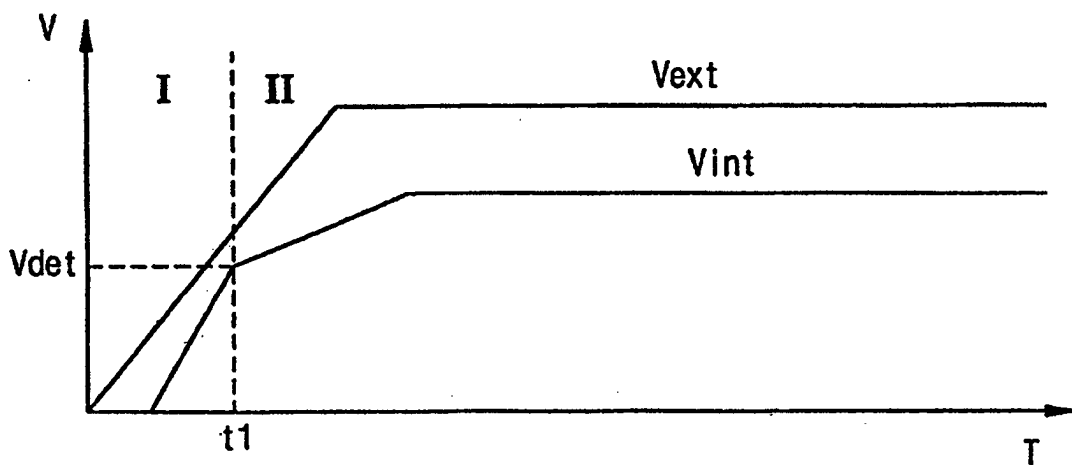




Fig 15

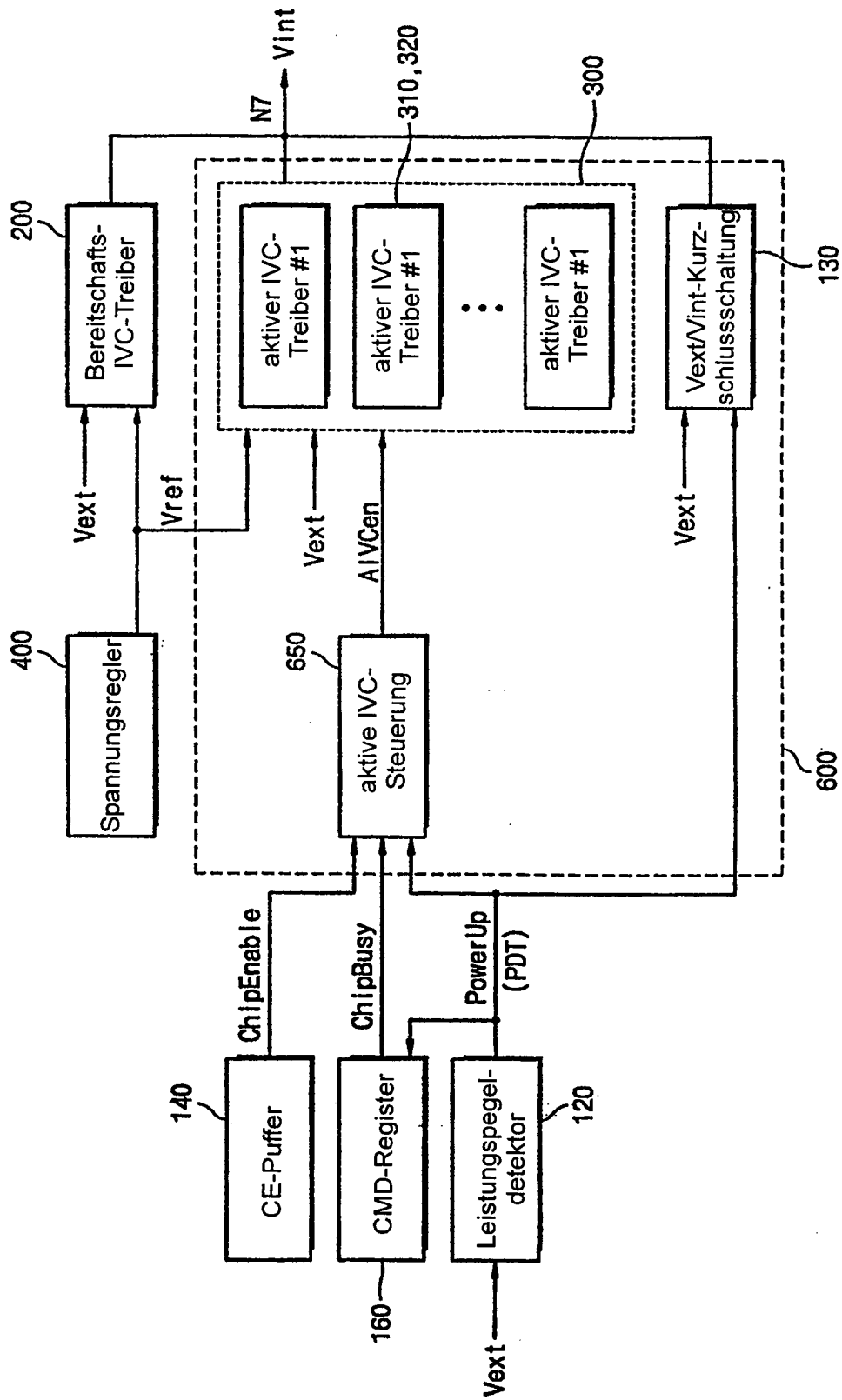


Fig 16

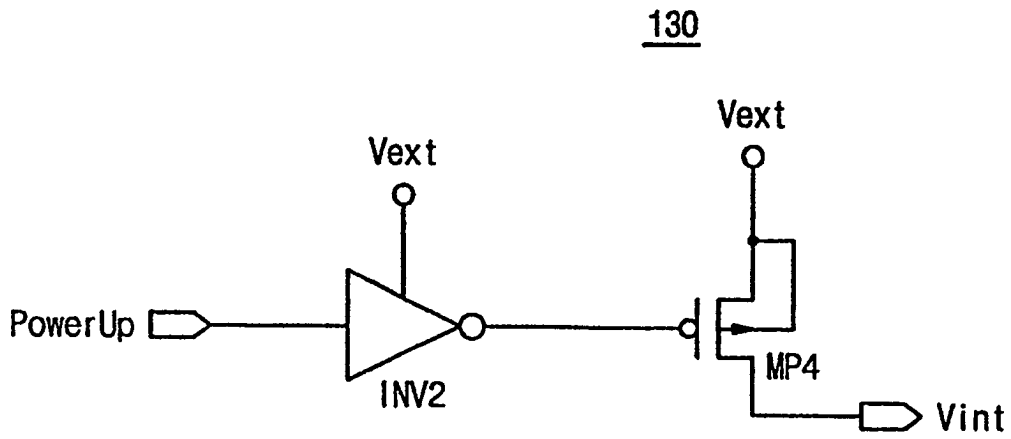


Fig 17

