



# (12)发明专利申请

(10)申请公布号 CN 107919324 A

(43)申请公布日 2018.04.17

(21)申请号 201610884440.7

(22)申请日 2016.10.10

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 周飞

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 徐文欣 吴敏

(51)Int. Cl.

H01L 21/8234(2006.01)

H01L 21/336(2006.01)

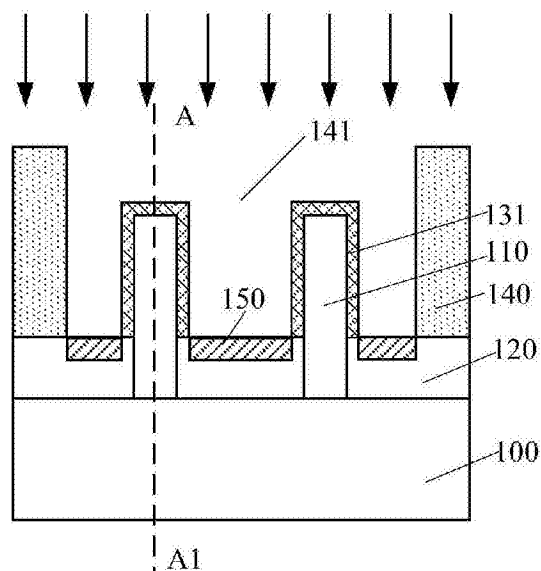
权利要求书2页 说明书9页 附图12页

## (54)发明名称

半导体器件的形成方法

## (57)摘要

一种半导体器件的形成方法,包括:提供半导体衬底,半导体衬底上具有鳍部和隔离结构,隔离结构覆盖鳍部部分侧壁;在隔离结构上形成横跨鳍部的第一伪栅极结构,第一伪栅极结构包括第一伪栅介质层和第一伪栅电极层,第一伪栅介质层覆盖鳍部的部分顶部表面和部分侧壁表面,第一伪栅电极层位于第一伪栅介质层和部分隔离结构上;在隔离结构和鳍部上形成覆盖第一伪栅极结构侧壁的层间介质层;之后去除第一伪栅电极层,形成开口;在开口底部的隔离结构中掺杂改性离子,在隔离结构中形成改性层,隔离结构与改性层的表面齐平;之后刻蚀去除第一伪栅介质层。所述方法能降低对隔离结构的损耗。使隔离结构和改性层对鳍部的隔离性能增强,满足工艺设计需求。



1. 一种半导体器件的形成方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底上具有鳍部和隔离结构,所述隔离结构覆盖鳍部部分的侧壁;

在所述隔离结构上形成横跨鳍部的第一伪栅极结构,所述第一伪栅极结构包括第一伪栅介质层和第一伪栅电极层,所述第一伪栅介质层覆盖鳍部的部分顶部表面和部分侧壁表面,所述第一伪栅电极层位于第一伪栅介质层和部分隔离结构上;

在所述隔离结构和鳍部上形成覆盖所述第一伪栅极结构侧壁(layer)的层间介质层;

去除第一伪栅电极层,在所述层间介质层中形成开口;

在所述开口底部的隔离结构中掺杂改性离子,在隔离结构中形成改性层,

所述隔离结构的表面与所述改性层的表面齐平;

形成所述改性层后,刻蚀去除所述第一伪栅介质层。

2. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述鳍部的底部宽度大于所述鳍部的顶部宽度。

3. 根据权利要求1所述的半导体器件的形成方法,其特征在于,在刻蚀去除所述第一伪栅介质层的过程中,对所述改性层的刻蚀速率小于对第一伪栅介质层的刻蚀速率。

4. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述隔离结构的材料密度小于所述第一伪栅介质层的材料密度;在刻蚀去除所述第一伪栅介质层的过程中,所述改性层相对于所述第一伪栅介质层的刻蚀选择比为1:1.5~2:1。

5. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述改性离子为硅离子或氮离子。

6. 根据权利要求1所述的半导体器件的形成方法,其特征在于,在所述开口底部的隔离结构中掺杂改性离子的方法包括:采用离子注入工艺在所述开口底部的隔离结构中注入改性离子。

7. 根据权利要求6所述的半导体器件的形成方法,其特征在于,当所述改性离子为硅离子时,所述离子注入工艺的参数包括:注入能量为0.5KeV~15KeV,注入剂量为 $1.0E13atom/cm^2$ ~ $5.0E18atom/cm^2$ ,注入角度为0度~30度。

8. 根据权利要求6所述的半导体器件的形成方法,其特征在于,当所述改性离子为氮离子时,所述离子注入工艺的参数包括:注入能量为0.5KeV~10KeV,注入剂量为 $1.0E13atom/cm^2$ ~ $5.0E18atom/cm^2$ ,注入角度为0度~30度。

9. 根据权利要求6所述的半导体器件的形成方法,其特征在于,在所述开口底部的隔离结构中掺杂改性离子的方法还包括:采用离子注入工艺在所述开口底部的隔离结构中注入改性离子后,进行退火处理。

10. 根据权利要求9所述的半导体器件的形成方法,其特征在于,所述退火处理的参数包括:采用的气体包括 $N_2$ ,退火温度为900摄氏度~1100摄氏度。

11. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述改性层的厚度为10埃~50埃。

12. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述隔离结构的材料为氧化硅。

13. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述第一伪栅介质层

的材料为氧化硅。

14. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述第一伪栅介质层还覆盖部分隔离结构的表面,所述第一伪栅介质层位于所述第一伪栅电极层和隔离结构之间。

15. 根据权利要求1所述的半导体器件的形成方法,其特征在于,去除所述第一伪栅介质层的工艺为湿法刻蚀工艺或干法刻蚀工艺。

16. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述半导体衬底包括核心区和边缘区;所述核心区和边缘区的半导体衬底上均具有所述鳍部和所述隔离结构;所述第一伪栅极结构横跨核心区的鳍部;所述第一伪栅介质层覆盖核心区鳍部的部分顶部表面和部分侧壁表面;所述第一伪栅电极层位于第一伪栅介质层和核心区部分隔离结构上。

17. 根据权利要求16所述的半导体器件的形成方法,其特征在于,还包括:形成横跨核心区鳍部的第一伪栅极结构的同时,形成横跨边缘区鳍部的第二伪栅极结构;所述层间介质层还覆盖所述第二伪栅极结构的侧壁;所述改性层位于核心区的隔离结构中。

18. 根据权利要求17所述的半导体器件的形成方法,其特征在于,所述第二伪栅极结构包括第二伪栅介质层和第二伪栅电极层,所述第二伪栅介质层覆盖边缘区鳍部的部分顶部表面和部分侧壁表面;所述第二伪栅电极层位于第二伪栅介质层和边缘区部分隔离结构上。

19. 根据权利要求18所述的半导体器件的形成方法,其特征在于,形成所述改性层后,去除第二伪栅电极层。

20. 根据权利要求19所述的半导体器件的形成方法,其特征在于,去除所述第一伪栅介质层后,去除所述第二伪栅电极层;或者:去除所述第二伪栅电极层后,去除所述第一伪栅介质层。

## 半导体器件的形成方法

### 技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体器件的形成方法。

### 背景技术

[0002] MOS(金属-氧化物-半导体)晶体管,是现代集成电路中最重要的元件之一。MOS晶体管的基本结构包括:半导体衬底;位于半导体衬底表面的栅极结构,所述栅极结构包括:位于半导体衬底表面的栅介质层以及位于栅介质层表面的栅电极层;位于栅极结构两侧半导体衬底中的源漏掺杂区。

[0003] 随着半导体技术的发展,传统的平面式的MOS晶体管对沟道电流的控制能力变弱,造成严重的漏电流。鳍式场效应晶体管(Fin FET)是一种新兴的多栅器件,它一般包括凸出于半导体衬底表面的鳍部,覆盖部分所述鳍部的顶部表面和侧壁的栅极结构,位于栅极结构两侧的鳍部中的源漏掺杂区。

[0004] 然而,现有技术中鳍式场效应晶体管形成的半导体器件的电学性能仍有待提高。

### 发明内容

[0005] 本发明解决的问题是提供一种半导体器件的形成方法,以降低对隔离结构的损耗程度,使得所述隔离结构和改性层对鳍部的隔离性能增强。

[0006] 为解决上述问题,本发明提供一种半导体器件的形成方法,包括:提供半导体衬底,所述半导体衬底上具有鳍部和隔离结构,所述隔离结构覆盖鳍部部分的侧壁;在所述隔离结构上形成横跨鳍部的第一伪栅极结构,所述第一伪栅极结构包括第一伪栅介质层和第一伪栅电极层,所述第一伪栅介质层覆盖鳍部的部分顶部表面和部分侧壁表面,所述第一伪栅电极层位于第一伪栅介质层和部分隔离结构上;在所述隔离结构和鳍部上形成覆盖所述第一伪栅极结构侧壁的第一层间介质层;去除第一伪栅电极层,在所述第一层间介质层中形成开口;在所述开口底部的隔离结构中掺杂改性离子,在隔离结构中形成改性层,所述隔离结构的表面与所述改性层的表面齐平;形成所述改性层后,刻蚀去除所述第一伪栅介质层。

[0007] 可选的,所述鳍部的底部宽度大于所述鳍部的顶部宽度。

[0008] 可选的,在刻蚀去除所述第一伪栅介质层的过程中,对所述改性层的刻蚀速率小于对第一伪栅介质层的刻蚀速率。

[0009] 可选的,所述隔离结构的材料密度小于所述第一伪栅介质层的材料密度;在刻蚀去除所述第一伪栅介质层的过程中,所述改性层相对于所述第一伪栅介质层的刻蚀选择比为1:1.5~2:1。

[0010] 可选的,所述改性离子为硅离子或氮离子。

[0011] 可选的,在所述开口底部的隔离结构中掺杂改性离子的方法包括:采用离子注入工艺在所述开口底部的隔离结构中注入改性离子。

[0012] 可选的,在所述开口底部的隔离结构中掺杂改性离子的方法还包括:采用离子注入工艺在所述开口底部的隔离结构中注入改性离子后,进行退火处理。

[0013] 可选的,所述改性层的厚度为10埃~50埃。

[0014] 可选的,所述第一伪栅介质层还覆盖部分隔离结构的表面,所述第一伪栅介质层位于所述第一伪栅电极层和隔离结构之间。

[0015] 可选的,所述半导体衬底包括核心区和边缘区;所述核心区和边缘区的半导体衬底上均具有所述鳍部和所述隔离结构;所述第一伪栅极结构横跨核心区的鳍部;所述第一伪栅介质层覆盖核心区鳍部的部分顶部表面和部分侧壁表面;所述第一伪栅电极层位于第一伪栅介质层和核心区部分隔离结构上。

[0016] 可选的,还包括:形成横跨核心区鳍部的第一伪栅极结构的同时,形成横跨边缘区鳍部的第二伪栅极结构;所述层间介质层还覆盖所述第二伪栅极结构的侧壁;所述改性层位于核心区的隔离结构中。

[0017] 可选的,形成所述改性层后,去除第二伪栅电极层。

[0018] 与现有技术相比,本发明的技术方案具有以下优点:

[0019] 本发明技术方案提供的半导体器件的形成方法中,去除第一伪栅电极层,从而在所述层间介质层中形成开口,所述开口用于形成第一金属栅电极层。在所述开口底部的隔离结构中掺杂改性离子而形成改性层。隔离结构中掺杂改性离子后,改性离子填充于隔离结构材料的原子间隙中,使得形成的改性层的致密性较大,使得所述改性层的耐刻蚀性能优于隔离结构的耐刻蚀性能。在刻蚀去除伪栅介质层的过程中,对所述改性层的刻蚀损耗较小。使得所述隔离结构和改性层对鳍部的隔离性能增强,满足工艺设计的需求。

[0020] 进一步的,在所述开口底部的隔离结构中掺杂改性离子的方法包括:采用离子注入工艺在所述开口底部的隔离结构中注入改性离子后,进行退火处理。所述退火处理使得改性离子的分布更加均匀,保证改性离子能够扩散至隔离结构表面。能够使得退火处理后改性层表面附近的改性离子浓度相对于退火处理之前改性层表面附近的改性离子浓度增加,使得退火处理后改性层的致密性进一步变大。从而使得所述改性层的耐刻蚀性能优于隔离结构的耐刻蚀性能的程度增加。所述隔离结构和改性层对鳍部的隔离性能进一步增强。

## 附图说明

[0021] 图1至图11是本发明一实施例中半导体器件形成过程的结构示意图;

[0022] 图12至图23是本发明另一实施例中半导体器件形成过程的结构示意图。

## 具体实施方式

[0023] 正如背景技术所述,现有技术中形成的半导体器件的性能有待提高。

[0024] 一种半导体器件的形成方法,包括:提供半导体衬底,所述半导体衬底上具有鳍部和覆盖鳍部部分侧壁的隔离结构;在所述隔离结构上形成横跨鳍部的伪栅极结构,所述伪栅极结构包括伪栅介质层和伪栅电极层,所述伪栅介质层覆盖部分鳍部的顶部表面和侧壁表面,所述伪栅电极层位于伪栅介质层和部分隔离结构上;在所述隔离结构上形成覆盖所述伪栅极结构侧壁的层间介质层;形成所述层间介质层后,去除伪栅电极层;去除伪栅电极层后,刻蚀去除伪栅介质层。

[0025] 上述方法中,所述伪栅介质层的材料为氧化硅,所述隔离结构的材料为氧化硅。所

述伪栅介质层的初始膜采用等离子体化学气相沉积工艺形成,所述隔离结构的初始膜采用流体化学气相沉积工艺形成。因此隔离结构的致密性相对于伪栅介质层的致密性低。因此在刻蚀去除所述伪栅介质层的过程中,伪栅介质层相对于隔离结构的刻蚀选择比过低,对隔离结构的损耗程度较大。导致所述隔离结构对鳍部的隔离性能降低。

[0026] 当鳍部的顶部宽度小于底部宽度、且对隔离结构的损耗程度较大时,还会导致鳍式场效应晶体管的关态漏电流较大。具体的,由于对隔离结构的损耗程度较大,因此隔离结构暴露出的鳍部的高度较大。又由于鳍部的顶部宽度小于底部宽度,因此隔离结构暴露出的鳍部中鳍部底部区域的宽度较大。在隔离结构暴露出的鳍部中的鳍部底部区域,鳍部中的耗尽层在平行于鳍部宽度方向由鳍部侧壁向鳍部内的深度占据鳍部宽度的比例过小,从而使得关态下鳍部中沟道区的可移动的载流子过多,从而使得鳍式场效应晶体管的关态漏电流过大。

[0027] 在此基础上,本发明提供一种半导体器件的形成方法,包括:提供半导体衬底,所述半导体衬底上具有鳍部和隔离结构,所述隔离结构覆盖鳍部部分的侧壁;在所述隔离结构上形成横跨鳍部的第一伪栅极结构,所述第一伪栅极结构包括第一伪栅介质层和第一伪栅电极层,所述第一伪栅介质层覆盖鳍部的部分顶部表面和部分侧壁表面,所述第一伪栅电极层位于第一伪栅介质层和部分隔离结构上;在所述隔离结构和鳍部上形成覆盖所述第一伪栅极结构侧壁的第一层间介质层;形成所述第一层间介质层后,去除第一伪栅电极层,在所述第一层间介质层中形成开口;在所述开口底部的隔离结构中掺杂改性离子,在隔离结构中形成改性层,所述隔离结构的表面与所述改性层的表面齐平;形成所述改性层后,刻蚀去除所述第一伪栅介质层。

[0028] 所述方法中,去除第一伪栅电极层,从而在所述第一层间介质层中形成开口,所述开口用于形成第一金属栅电极层。在所述开口底部的隔离结构中掺杂改性离子而形成改性层。隔离结构中掺杂改性离子后,改性离子填充于隔离结构材料的原子间隙中,使得形成的改性层的致密性较大,使得所述改性层的耐刻蚀性能优于隔离结构的耐刻蚀性能。在刻蚀去除伪栅介质层的过程中,对所述改性层的刻蚀损耗较小。使得所述隔离结构和改性层对鳍部的隔离性能增强,满足工艺设计的需求。

[0029] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0030] 图1至图11是本发明一实施例中半导体器件形成过程的结构示意图。

[0031] 参考图1,提供半导体衬底100,所述半导体衬底100上具有鳍部110和隔离结构120,所述隔离结构120覆盖鳍部110的部分侧壁。

[0032] 所述半导体衬底100为后续形成半导体器件提供工艺平台。

[0033] 本实施例中,所述半导体衬底100的材料为单晶硅。所述半导体衬底100还可以是多晶硅或非晶硅。所述半导体衬底100的材料还可以为锗、锗化硅、砷化镓等半导体材料。

[0034] 本实施例中,所述鳍部110通过图形化所述半导体衬底100而形成。在其它实施例中,可以是:在所述半导体衬底上形成鳍部材料层,然后图形化所述鳍部材料层,从而形成鳍部。

[0035] 本实施例中,受到形成鳍部110的刻蚀工艺的影响,所述鳍部110的底部宽度大于所述鳍部110的顶部宽度。所述底部宽度和顶部宽度均指的是平行于半导体衬底100且垂直

于鳍部110延伸方向上的尺寸。

[0036] 在其它实施例中,所述鳍部的顶部宽度和底部宽度一致。

[0037] 所述隔离结构120的材料为氧化硅。所述隔离结构120覆盖鳍部110的部分侧壁,隔离结构120的表面低于鳍部110的顶部表面。

[0038] 形成隔离结构120的方法为:形成覆盖半导体衬底100和鳍部110的隔离结构材料层,所述隔离结构材料层的整个表面高于鳍部110的顶部表面;去除高于鳍部110顶部表面的隔离结构材料层;之后,回刻蚀隔离结构材料层,形成隔离结构120。

[0039] 本实施例中,形成隔离结构材料层的工艺为流体化学气相沉积工艺,使得对相邻鳍部110之间的区域的填充效果较好。在其它实施例中,形成隔离结构材料层的工艺可以选择为等离子体化学气相沉积工艺、低压化学气相沉积工艺或亚大气压化学气相沉积工艺。

[0040] 结合参考图2和图3,图2为在图1基础上的示意图,图3为沿着图2中切割线A-A1获得的示意图,在隔离结构120上形成横跨鳍部110的第一伪栅极结构130,第一伪栅极结构130包括第一伪栅介质层131和第一伪栅电极层132,第一伪栅介质层131覆盖鳍部110的部分顶部表面和部分侧壁表面,第一伪栅电极层132位于第一伪栅介质层131和部分隔离结构120上。

[0041] 所述第一伪栅电极层132的材料为多晶硅。所述第一伪栅介质层131的材料为氧化硅。

[0042] 本实施例中,所述第一伪栅介质层131覆盖鳍部110的部分顶部表面和部分侧壁表面,所述第一伪栅电极层132位于第一伪栅介质层131和部分隔离结构120上。

[0043] 相应的,形成所述第一伪栅极结构130的方法包括:采用氧化工艺在鳍部110的表面形成伪栅介质材料层;采用沉积工艺在所述伪栅介质材料层和隔离结构120上形成伪栅电极材料层;图形化所述伪栅电极材料层和所述伪栅介质材料层,形成第一伪栅介质层131和第一伪栅电极层132,第一伪栅介质层131和第一伪栅电极层132构成第一伪栅极结构130。

[0044] 在其它实施例中,所述第一伪栅介质层位于部分隔离结构的表面、覆盖鳍部的部分顶部表面和部分侧壁表面,所述第一伪栅介质层位于所述第一伪栅电极层和隔离结构之间。

[0045] 相应的,形成所述第一伪栅极结构的方法包括:采用沉积工艺在隔离结构表面和鳍部表面形成伪栅介质材料层;采用沉积工艺在所述伪栅介质材料层上形成伪栅电极材料层;图形化所述伪栅电极材料层和所述伪栅介质材料层,形成第一伪栅介质层和第一伪栅电极层,第一伪栅介质层和第一伪栅电极层构成第一伪栅极结构。

[0046] 所述第一伪栅介质层对应伪栅介质材料层;所述第一伪栅电极层对应伪栅电极材料层。

[0047] 结合参考图4和图5,图5为沿着图4中切割线A-A1获得的示意图,在所述隔离结构120和鳍部110上形成覆盖所述第一伪栅极结构130侧壁的层间介质层140。

[0048] 所述层间介质层140的材料为氧化硅、氮氧化硅或碳氧化硅。

[0049] 本实施例中,在形成层间介质层140之前,还包括:在第一伪栅极结构130侧壁形成第一侧墙(未图示);在所述第一伪栅极结构130和第一侧墙两侧的鳍部110中形成第一源漏掺杂区(未图示)。

[0050] 形成层间介质层140后,所述层间介质层140覆盖所述第一侧墙的侧壁。

[0051] 本实施例中,形成层间介质层140的方法包括:在隔离结构120和鳍部110上形成覆盖第一伪栅极结构130和第一侧墙的层间介质材料层,所述层间介质材料层的整个表面高于第一伪栅极结构130的顶部表面;去除高于第一伪栅极结构130顶部表面的层间介质材料层,从而形成层间介质层140。

[0052] 所述层间介质层140对应层间介质材料层。

[0053] 在其它实施例中,为了降低后续形成接触孔的过程中对第一源漏掺杂区的刻蚀损伤,还可以在所述层间介质层和所述第一源漏掺杂区之间形成刻蚀阻挡层。所述刻蚀阻挡层和层间介质层在一道工艺制程中形成。所述刻蚀阻挡层的材料为氮化硅。

[0054] 具体的:形成所述层间介质层和刻蚀阻挡层的方法包括:在隔离结构和鳍部上形成覆盖第一伪栅极结构和第一侧墙的刻蚀阻挡材料层;在所述刻蚀阻挡材料层上形成层间介质材料层,所述层间介质材料层的整个表面高于第一伪栅极结构的顶部表面;去除高于第一伪栅极结构顶部表面的层间介质材料层和刻蚀阻挡材料层,从而形成层间介质层和刻蚀阻挡层。所述层间介质层对应层间介质材料层,所述刻蚀阻挡层对应刻蚀阻挡材料层。

[0055] 结合参考图6和图7,图7为沿着图6中切割线A-A1获得的示意图,形成所述层间介质层140后,去除第一伪栅电极层132(参考图4和图5),在所述层间介质层140中形成开口141。

[0056] 所述开口141为后续在隔离结构120中掺杂改性离子提供了工艺窗口。

[0057] 去除所述第一伪栅电极层132的工艺为湿刻工艺、干刻工艺或者湿刻工艺和干刻工艺的结合。所述开口141为后续形成第一金属栅电极层。

[0058] 接着,在所述开口141底部的隔离结构120中掺杂改性离子,在隔离结构120中形成改性层,所述隔离结构120的表面与所述改性层的表面齐平。

[0059] 所述改性层的耐刻蚀性能较大,原因在于:所述改性层由在所述开口141底部的隔离结构中掺杂改性离子而形成。隔离结构120中掺杂改性离子后,改性离子填充于隔离结构120材料的原子间隙中,使得形成的改性层的致密性较大,使得所述改性层的耐刻蚀性能优于隔离结构120的耐刻蚀性能。

[0060] 若改性层的厚度过小,导致在后续刻蚀去除第一伪栅介质层131的过程中,损耗全部的改性层而暴露出改性层底部的隔离结构120,改性层对隔离结构120的保护作用减弱。若改性层的厚度过大,造成工艺成本过高。故改性层的厚度需要选择合适的范围。本实施例中,改性层的厚度为10埃~50埃。

[0061] 下面结合图8和图9具体介绍形成所述改性层的方法。

[0062] 参考图8,图8为在图6基础上的示意图,采用离子注入工艺在所述开口141底部的隔离结构120中注入改性离子,形成改性层150。

[0063] 所述改性离子为硅离子或者氮离子。

[0064] 在部分改性离子扩散进入鳍部110中的情况下,由于所述改性离子采用硅离子或者氮离子,所述硅离子或者氮离子即不属于N型离子,也不属于P型离子,因此对鳍部110的电学性能的影响较小。

[0065] 若所述离子注入工艺的注入能量过高,导致改性离子注入隔离结构120的深度过大,改性层150中改性离子浓度最高区域到改性层150表面的距离过大,相应的,改性离子在



改性层150表面附近的区域的浓度过小。导致改性层150表面附近区域的耐刻蚀性能相对于隔离结构120的耐刻蚀性能的差别过小；若所述离子注入工艺的注入能量过低，不能有效的将改性离子注入到隔离结构120中。

[0066] 若所述离子注入工艺的注入剂量过高，导致工艺成本增加；若所述离子注入工艺的注入剂量过低，离子注入后改性离子在隔离结构120的浓度过小，后续形成改性层后，改性层中的改性离子的浓度过小，对改性层的耐刻蚀性能相对于隔离结构120的耐刻蚀性能的差别过小。

[0067] 所述离子注入工艺的注入角度和注入能量有关，所述注入角度为与半导体衬底100法线方向之间的锐角夹角。在一定的注入深度的情况下，注入能量越大，需要的注入角度越小。

[0068] 综上，所述离子注入工艺的注入能量、注入剂量和注入角度需要选择合适的范围。且不同的改性离子对应的原子质量不同。在相同的注入深度的情况下，原子质量较大的改性离子需要损耗的能量较大，故需要较大的注入能量。

[0069] 当所述改性离子为硅离子时，所述离子注入工艺的参数包括：注入能量为0.5KeV~15KeV，注入剂量为 $1.0E13\text{atom}/\text{cm}^2\sim 5.0E18\text{atom}/\text{cm}^2$ ，注入角度为0度~30度。

[0070] 当所述改性离子为氮离子时，所述离子注入工艺的参数包括：注入能量为0.5KeV~10KeV，注入剂量为 $1.0E13\text{atom}/\text{cm}^2\sim 5.0E18\text{atom}/\text{cm}^2$ ，注入角度为0度~30度。

[0071] 上述改性离子中，硅离子相对于氮离子对应的原子质量较大，因此硅离子相对于氮离子的离子注入能量较大。

[0072] 参考图9，注入改性离子后，进行退火处理。

[0073] 所述退火处理的参数包括：采用的气体包括 $\text{N}_2$ ，退火温度为900摄氏度~1100摄氏度。

[0074] 退火处理的作用为：使得改性离子的分布更为均匀，且保证改性离子能够扩散至隔离结构120表面。

[0075] 所述改性离子分布的区域为所述改性层150所在的区域。

[0076] 进行退火处理后，改性层150表面附近的改性离子浓度相对于退火处理之前改性层150表面附近的改性离子浓度增加，使得退火处理后改性层150的致密性进一步变大。从而使得所述改性层150的耐刻蚀性能优于隔离结构120的耐刻蚀性能的程度增加。所述隔离结构120和改性层150对鳍部110的隔离性能进一步增强。

[0077] 在所述改性层150的厚度要求一定的情况下，相比单纯采用所述离子注入以形成改性层150，采用所述离子注入后进行退火处理以形成改性层150对离子注入的深度要求较小，相应的注入能量得到降低，使得所述离子注入的工艺成本降低。

[0078] 结合参考图10和图11，图11为沿着图10中切割线A-A1获得的示意图，形成所述改性层150后，去除所述第一伪栅介质层131。

[0079] 去除所述第一伪栅介质层131的工艺为湿法刻蚀工艺或干法刻蚀工艺。

[0080] 本实施例中，采用湿法刻蚀工艺去除所述第一伪栅介质层131，具体的参数包括：采用的刻蚀溶液为氢氟酸溶液，氢氟酸的质量百分比为1:100~1:1000，刻蚀温度为15摄氏度~75摄氏度。

[0081] 本实施例中，所述隔离结构材料层的形成工艺为流体化学气相沉积工艺，所述伪

栅介质材料层的形成工艺为氧化工艺、等离子体化学气相沉积工艺或原子层沉积工艺。因此隔离结构120的材料密度小于所述第一伪栅介质层131的材料密度。在此情况下,在刻蚀去除所述第一伪栅介质层131的过程中,所述改性层150相对于所述第一伪栅介质层131的刻蚀选择比为1:1.5~2:1。

[0082] 由于在所述隔离结构120中形成了改性层150,所述改性层150的耐刻蚀性能优于隔离结构120的耐刻蚀性能,因此在去除所述伪栅介质层131的过程中,对所述改性层150的刻蚀损耗较小。使得所述隔离结构120和改性层150对鳍部110的隔离性能增强,满足工艺设计的需求。

[0083] 由于所述改性层150的损耗程度较小,因此隔离结构120暴露出的鳍部110的高度较小。当鳍部110的顶部宽度小于鳍部110的底部宽度时,由于隔离结构120暴露出的鳍部110的高度较小,因此隔离结构120暴露出的鳍部110中鳍部110底部的区域宽度较小。在隔离结构120暴露出的鳍部110中的鳍部110底部区域,避免鳍部110中的耗尽层在平行于鳍部110宽度方向由鳍部110侧壁向鳍部110内的深度占据鳍部110宽度的比例过小,从而避免关态下鳍部110中沟道区的可移动的载流子过多,避免鳍式场效应晶体管的关态漏电流过大。

[0084] 接着,在所述开口141中形成位于开口141侧壁和底部的第一栅介质层(未图示)和位于第一栅介质层上的第一金属栅电极层(未图示);然后在所述层间介质层中形成接触孔,所述接触孔暴露出所述第一源漏掺杂区;在所述接触孔中形成导电插塞。

[0085] 所述栅介质层的材料为高K(K大于3.9)介质材料。

[0086] 图12至图23是本发明另一实施例中半导体器件形成过程的结构示意图。

[0087] 参考图12,提供半导体衬底200,所述半导体衬底200包括核心区I和边缘区II,核心区I和边缘区II的半导体衬底200上分别具有鳍部210、以及分别具有隔离结构220,所述隔离结构220覆盖鳍部210部分侧壁。

[0088] 所述半导体衬底200的材料参照前述实施例。

[0089] 所述半导体衬底200包括核心区I和边缘区II,边缘区II位于核心区I的外围。核心区I用于形成核心器件,边缘区II用于形成外围逻辑电路。

[0090] 所述鳍部210和隔离结构220的材料和形成方法参照前述实施例。

[0091] 结合参考图13和图14,图14中核心区I对应的示图为沿图13中切割线A2-A3而获得的剖面图,图14中边缘区II对应的示图为沿图13中切割线A4-A5而获得的剖面图,形成横跨核心区I的鳍部210的第一伪栅极结构230;形成横跨边缘区II鳍部210的第二伪栅极结构233。

[0092] 本实施例中,在形成第一伪栅极结构230的同时形成第二伪栅极结构233。

[0093] 所述第一伪栅极结构230包括第一伪栅介质层231和第一伪栅电极层232。所述第一伪栅介质层231覆盖核心区I鳍部210的部分顶部表面和部分侧壁表面,所述第一伪栅电极层232位于第一伪栅介质层231和核心区I部分隔离结构220上。

[0094] 所述第二伪栅极结构233包括第二伪栅介质层234和第二伪栅电极层235。所述第二伪栅介质层234覆盖边缘区II鳍部210的部分顶部表面和部分侧壁表面,所述第二伪栅电极层235位于第二伪栅介质层234和边缘区II部分隔离结构220上。

[0095] 所述第一伪栅介质层231和第二伪栅介质层234的材料为氧化硅。所述第一伪栅电极层232和第二伪栅电极层235的材料为多晶硅。

[0096] 在其它实施例中,所述第一伪栅介质层位于核心区部分隔离结构的表面、覆盖核心区鳍部的部分顶部表面和部分侧壁表面,所述第一伪栅介质层位于所述第一伪栅电极层和核心区的隔离结构之间。所述第二伪栅介质层位于边缘区部分隔离结构的表面、覆盖边缘区鳍部的部分顶部表面和部分侧壁表面,所述第二伪栅介质层位于所述第二伪栅电极层和边缘区的隔离结构之间。

[0097] 结合参考图15和图16,图16中核心区I对应的示图为沿图15中切割线A2-A3而获得的剖面图,图16中边缘区II对应的示图为沿图15中切割线A4-A5而获得的剖面图,在所述隔离结构220和鳍部210上形成覆盖所述第一伪栅极结构230侧壁和第二伪栅极结构233侧壁的层间介质层240。

[0098] 本实施例中,在形成层间介质层240之前,还包括:在第一伪栅极结构230侧壁形成第一侧墙(未图示);在所述第二伪栅极结构233侧壁形成第二侧墙(未图示);形成所述第一侧墙和第二侧墙后,在所述第一伪栅极结构230和第一侧墙两侧的鳍部210中形成第一源漏掺杂区,在所述第二伪栅极结构233和第二侧墙两侧的鳍部210中形成第二源漏掺杂区。

[0099] 形成层间介质层240后,所述层间介质层240覆盖所述第一侧墙和第二侧墙的侧壁。在其它实施例中,可以不形成第一侧墙和第二侧墙。

[0100] 所述层间介质层240的材料和形成方法参照前述实施例,不再详述。

[0101] 在其它实施例中,为了降低后续形成接触孔的过程中对第一源漏掺杂区和第二源漏掺杂区的刻蚀损伤,还可以在所述层间介质层和所述第一源漏掺杂区之间、以及所述层间介质层和所述第二源漏掺杂区之间形成刻蚀阻挡层。

[0102] 所述刻蚀阻挡层的材料的形成方法参照前述实施例,不再详述。

[0103] 结合参考图17和图18,图18中核心区I对应的示图为沿图17中切割线A2-A3而获得的剖面图,图18中边缘区II对应的示图为沿图17中切割线A4-A5而获得的剖面图,形成所述层间介质层240后,去除第一伪栅介质层231,在核心区I的层间介质层240中形成开口241。

[0104] 接着,在所述开口241底部的隔离结构220中掺杂改性离子,在核心区I的隔离结构220中形成改性层,所述隔离结构220的表面与所述改性层的表面齐平。

[0105] 形成所述改性层的作用和厚度参照前述实施例。

[0106] 下面结合图19和图20具体介绍形成所述改性层的方法。

[0107] 参考图19,图19为在图17基础上的示意图,采用离子注入工艺在所述开口241底部的隔离结构220中注入改性离子,形成改性层250。

[0108] 本实施例中,在进行所述离子注入工艺之前,形成图形化的光刻胶层,所述图形化的光刻胶层覆盖边缘区II的层间介质层240、第二伪栅极结构233和第二侧墙,所述图形化的光刻胶层暴露出核心区I的层间介质层240、第一伪栅介质层231和第一侧墙;以所述图形化的光刻胶层为掩膜,进行所述离子注入;进行所述离子注入之后,去除所述图形化的光刻胶层。

[0109] 本实施例中离子注入工艺的参数和作用参照前述实施例中离子注入工艺的参数和作用,不再详述。

[0110] 参考图20,注入改性离子后,进行退火处理。

[0111] 本实施例中退火处理的参数和作用参照前述实施例中退火处理的参数和作用,不再详述。

[0112] 本实施例中,在进行退火处理之前,去除所述图形化的光刻胶层。

[0113] 参考图21,形成所述改性层250后,去除第二伪栅电极层235(参考图20),形成边缘开口242。

[0114] 去除第二伪栅电极层235的工艺为干刻工艺或湿刻工艺。

[0115] 结合参考图22和图23,图23中核心区I对应的示图为沿图22中切割线A2-A3而获得的剖面图,图23中边缘区II对应的示图为沿图22中切割线A4-A5而获得的剖面图,去除第二伪栅电极层235(参考图20)后,去除所述第一伪栅介质层231(参考图21)。

[0116] 去除所述第一伪栅介质层231的工艺为干刻工艺或湿刻工艺。

[0117] 在其它实施例中,可以是:去除所述第一伪栅介质层后,去除所述第二伪栅电极层。

[0118] 由于在所述核心区I的隔离结构220中形成了改性层250,所述改性层250的耐刻蚀性能优于隔离结构220的耐刻蚀性能,因此在去除所述伪栅介质层231的过程中,对核心区I的改性层250的损耗较小。使得所述核心区I的隔离结构220和改性层150对核心区I鳍部210的隔离性能增强,满足工艺设计的需求。

[0119] 由于核心区I的隔离结构220的损耗程度较小,因此核心区I的隔离结构220暴露出的核心区I鳍部210的高度较小。当核心区I鳍部210的顶部宽度小于底部宽度时,由于核心区I的隔离结构220暴露出的核心区I鳍部210的高度较小,因此核心区I的隔离结构220暴露出的核心区I鳍部210中鳍部210底部的区域宽度较小。核心区I的隔离结构220暴露出的核心区I鳍部210中的鳍部210底部区域,避免鳍部210中的耗尽层在平行于鳍部210宽度方向由鳍部210侧壁向鳍部210内的深度占据鳍部210宽度的比例过小,从而避免关态下核心区I鳍部210中沟道区的可移动的载流子过多,避免核心区I鳍式场效应晶体管的关态漏电流过大。

[0120] 接着,在所述开口241中形成位于开口241侧壁和底部的第一栅介质层(未图示)和位于第一栅介质层上的第一金属栅电极层(未图示);在所述边缘开口242中形成位于边缘开口242侧壁和底部的第二栅介质层(未图示)和位于第二栅介质层上的第二金属栅电极层(未图示);然后在所述层间介质层中形成接触孔,所述接触孔暴露出所述第一源漏掺杂区和第二源漏掺杂区。在所述接触孔中形成导电插塞。

[0121] 所述第一栅介质层和第二栅介质层的材料为高K(K大于3.9)介质材料。

[0122] 所述第一栅介质层构成核心区I对应形成的鳍式场效应晶体管的栅介质层,所述第二伪栅介质层234和第二栅介质层共同构成边缘区II对应形成的鳍式场效应晶体管的栅介质层。因此边缘区II对应形成的鳍式场效应晶体管的栅介质层的厚度大于核心区I对应形成的鳍式场效应晶体管的栅介质层的厚度,边缘区II对应形成的鳍式场效应晶体管的栅介质层的耐击穿性强于核心区I对应形成的鳍式场效应晶体管的栅介质层的耐击穿性。因此能够满足边缘区II对应形成的鳍式场效应晶体管的驱动电压大于核心区I对应形成的鳍式场效应晶体管的驱动电压的设计需求。

[0123] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

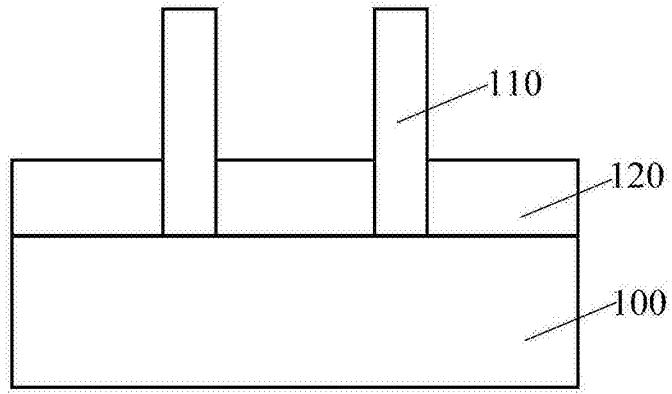


图1

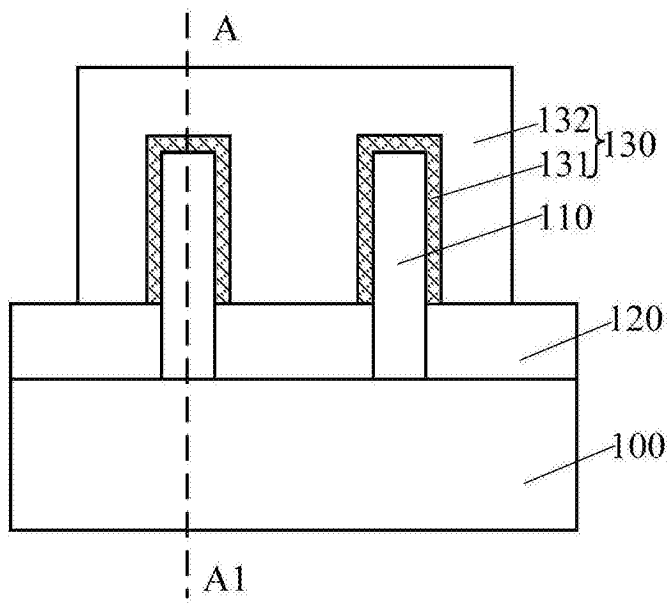


图2

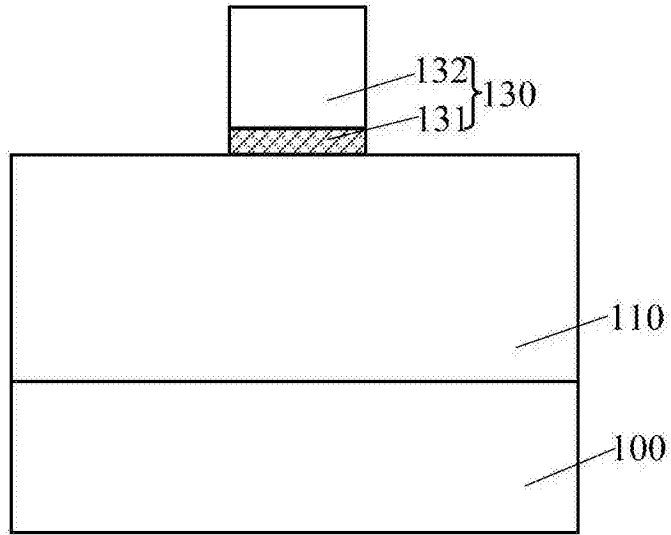


图3

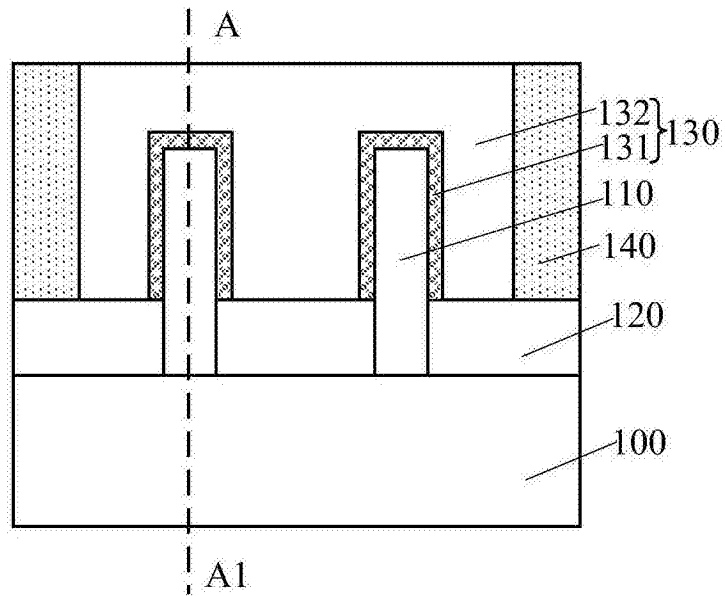


图4

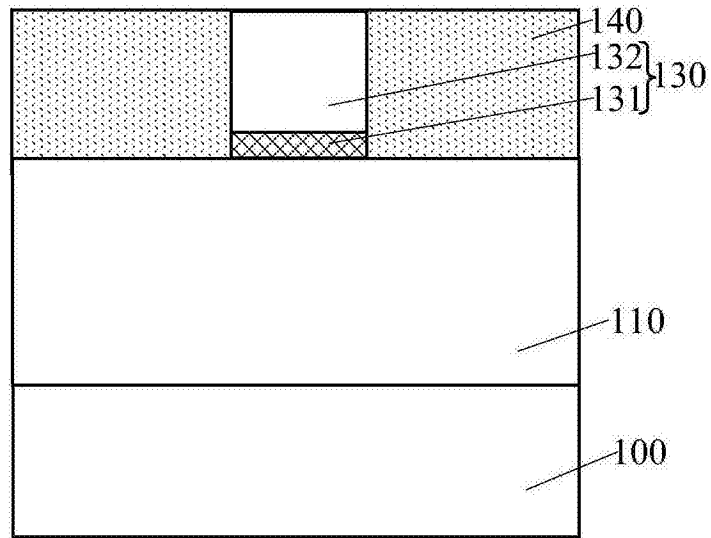


图5

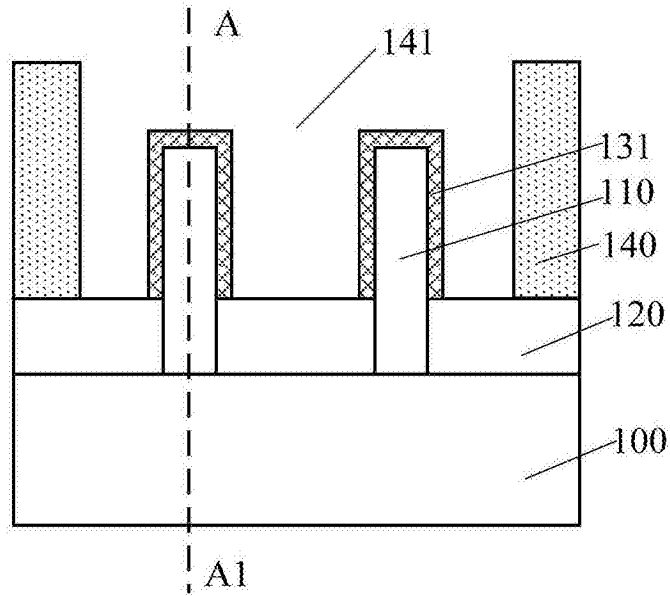


图6

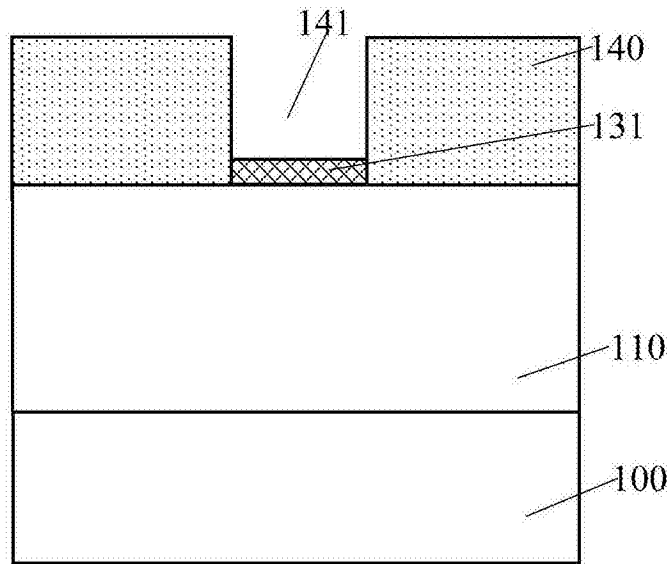


图7

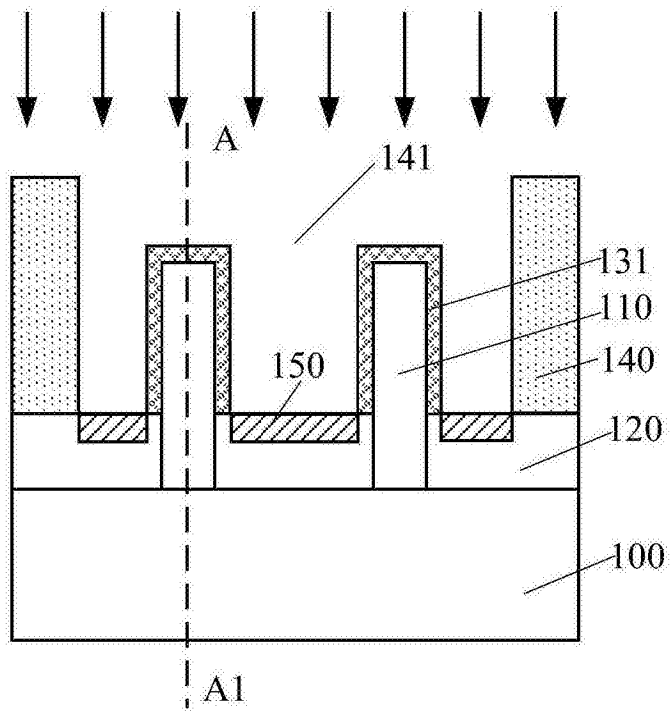


图8



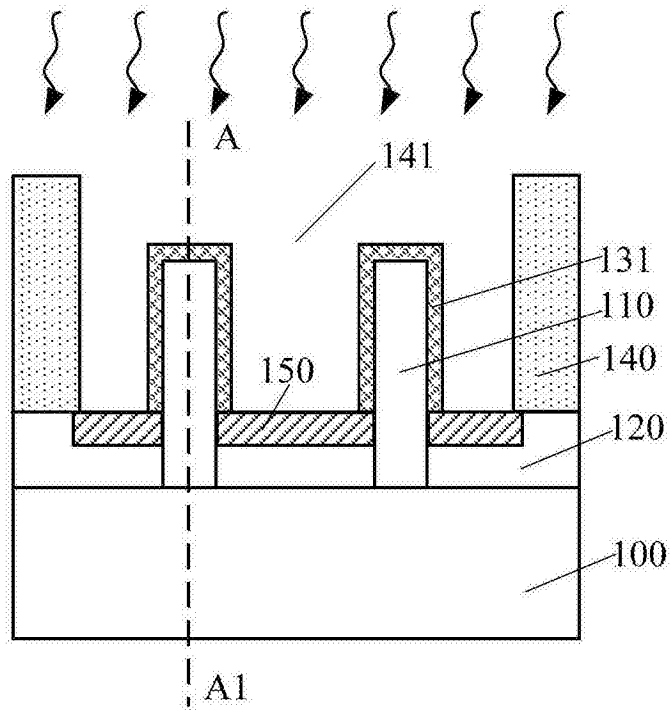


图9

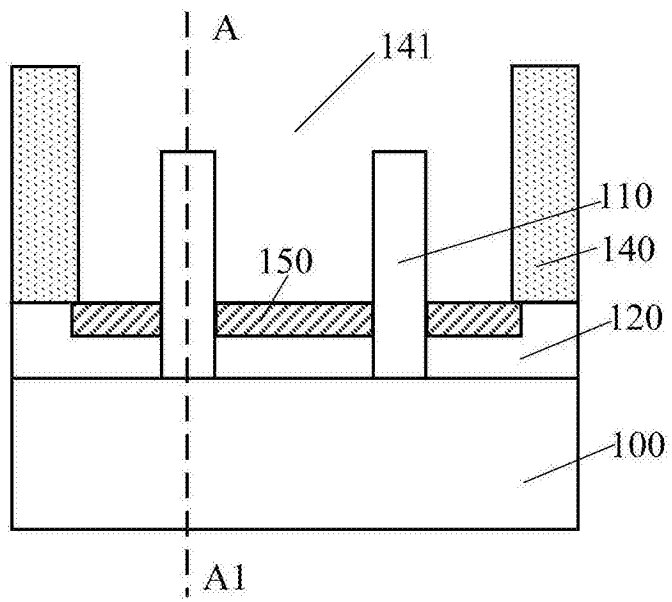


图10

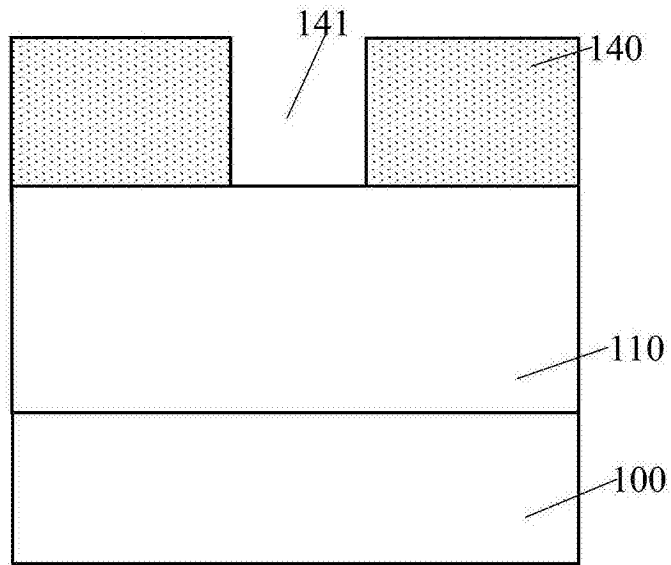


图11

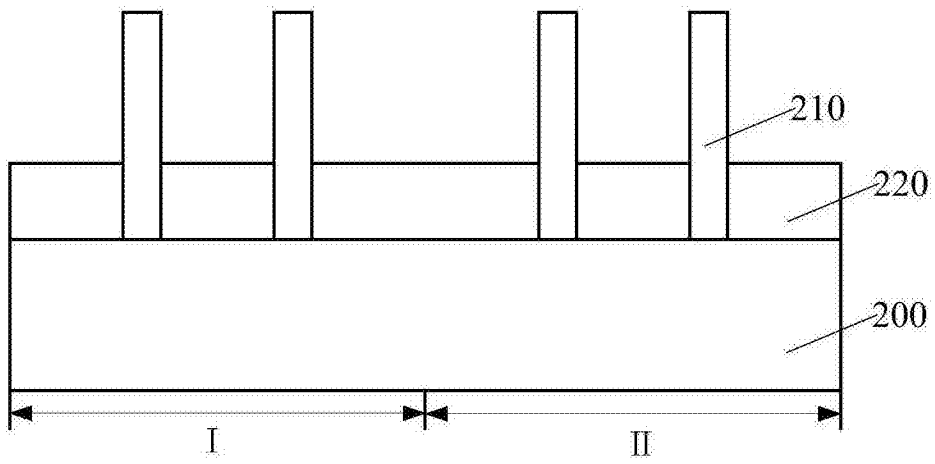


图12

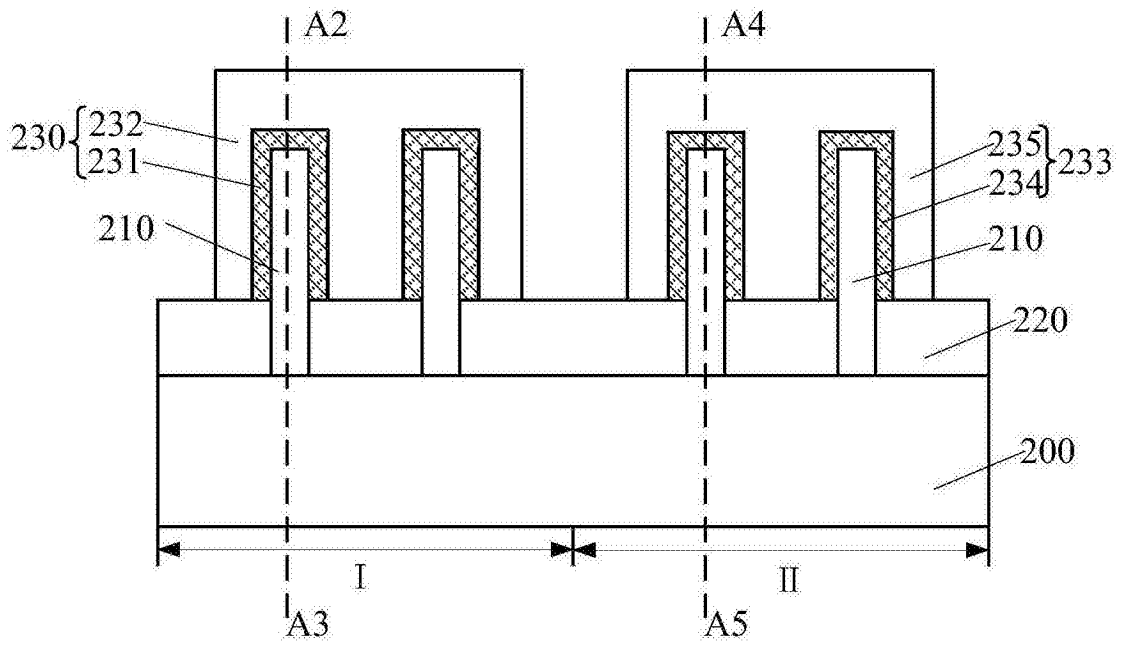


图13

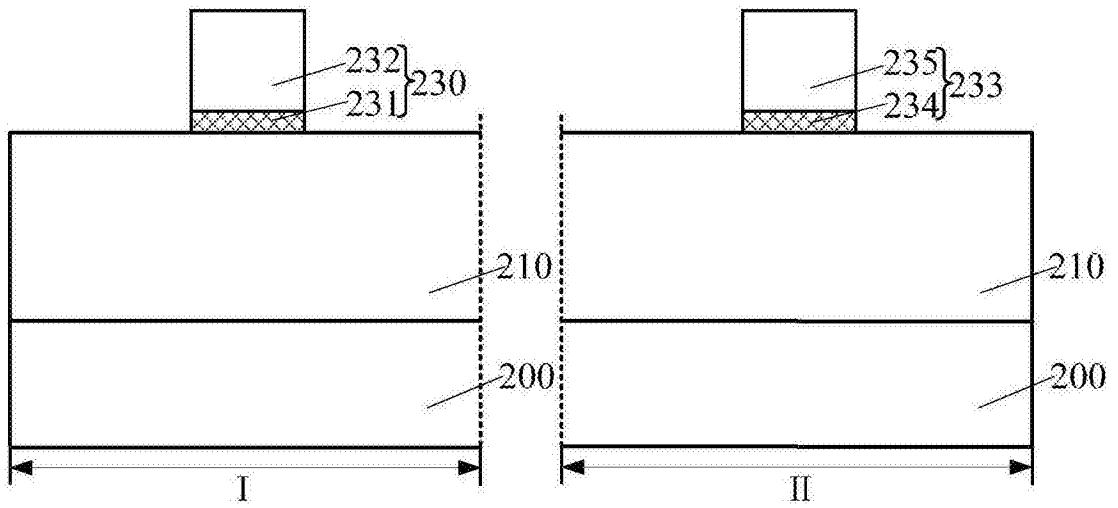


图14

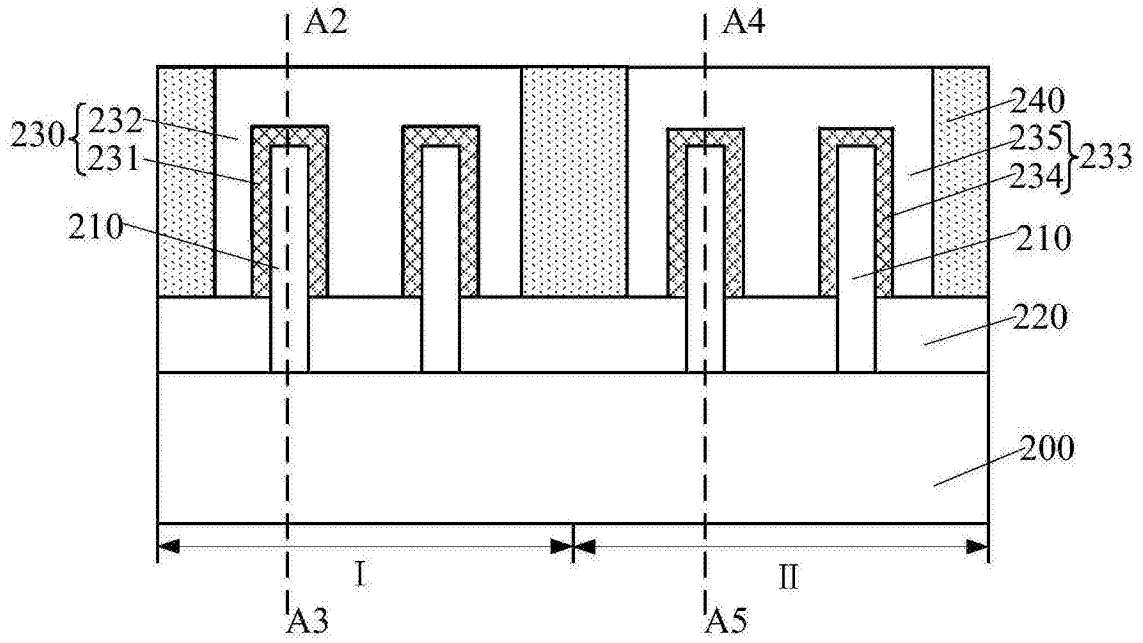


图15

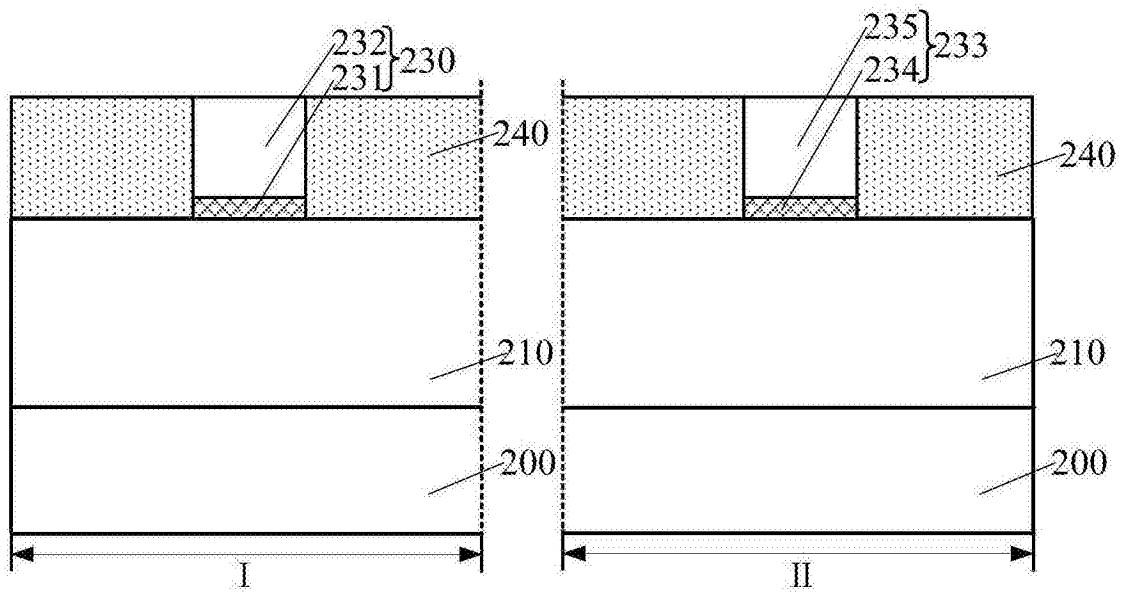


图16

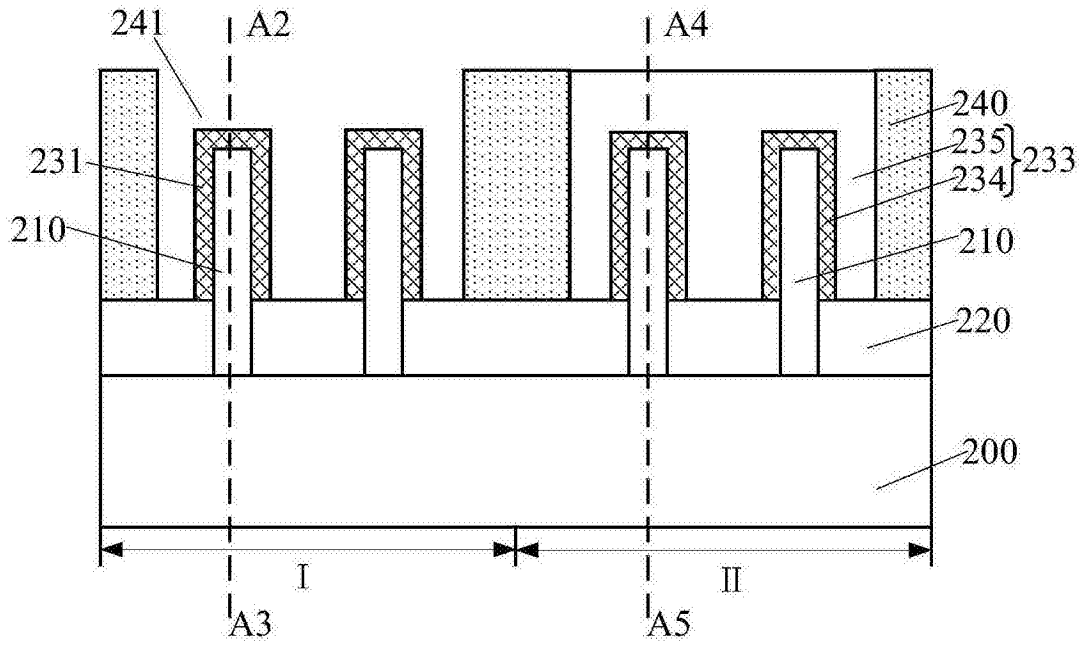


图17

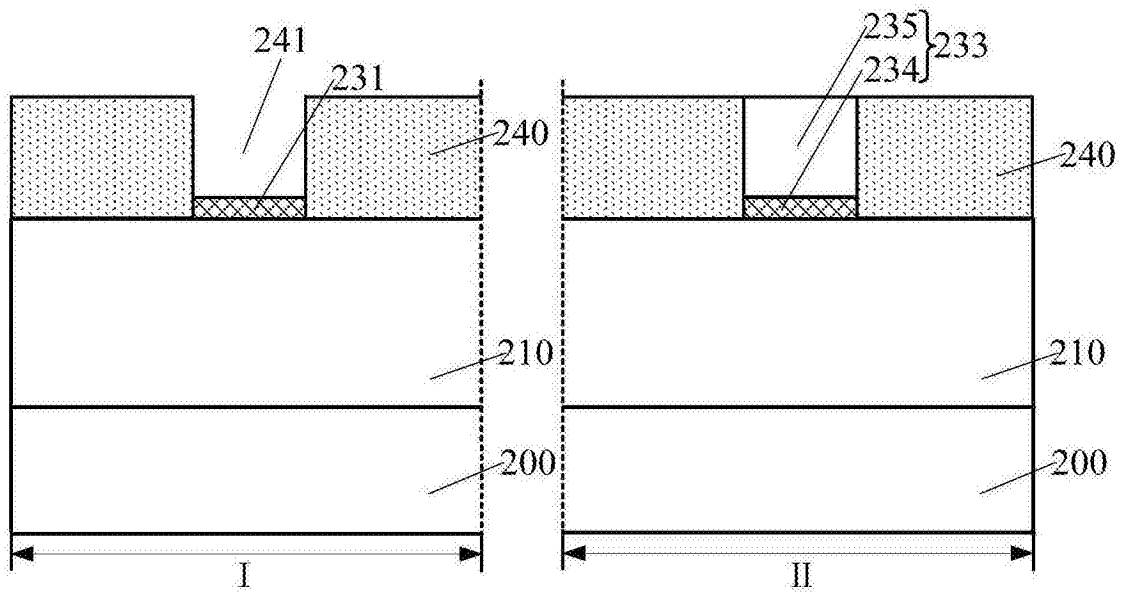


图18

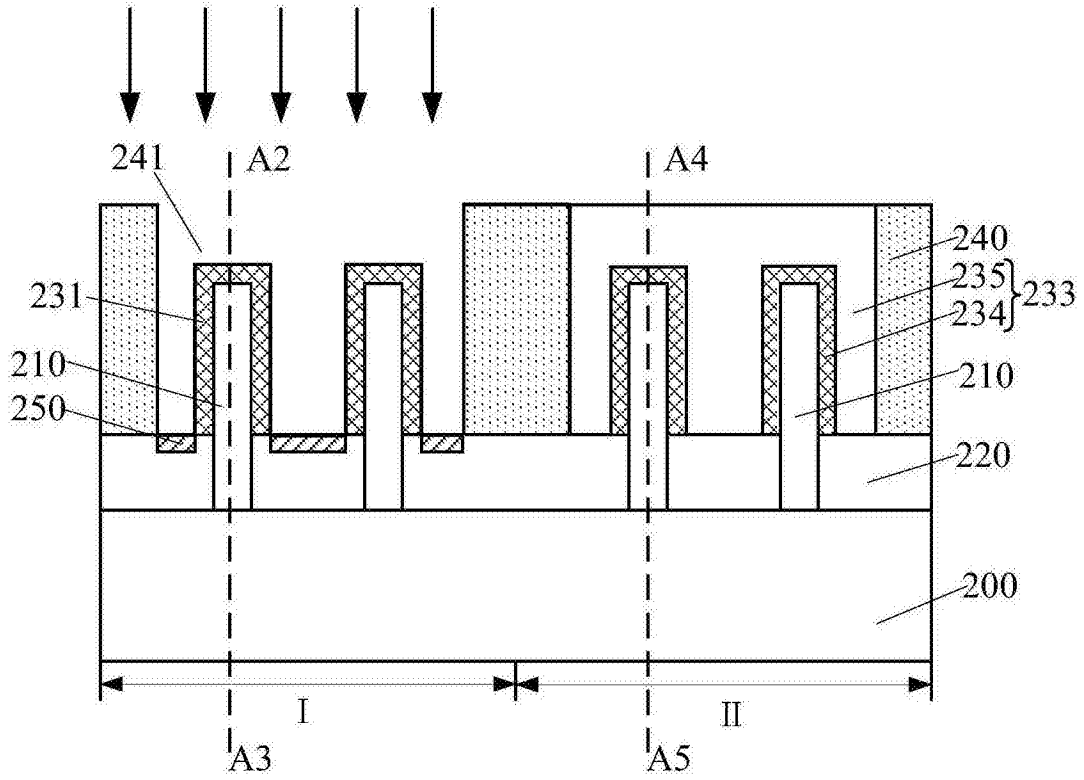


图19

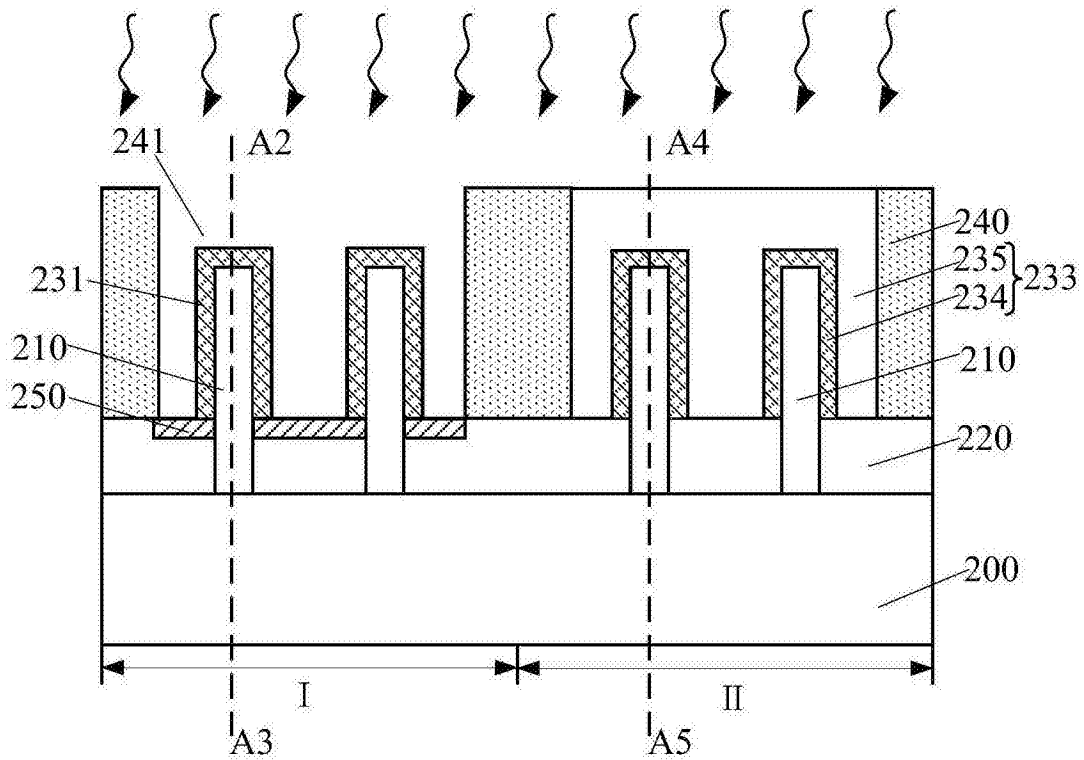


图20

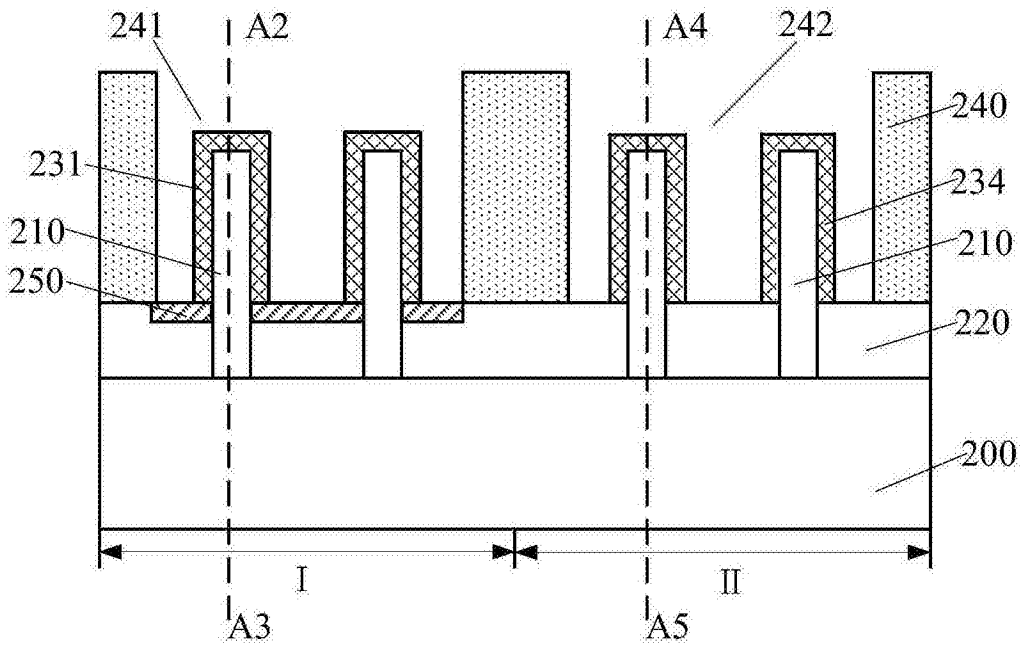


图21

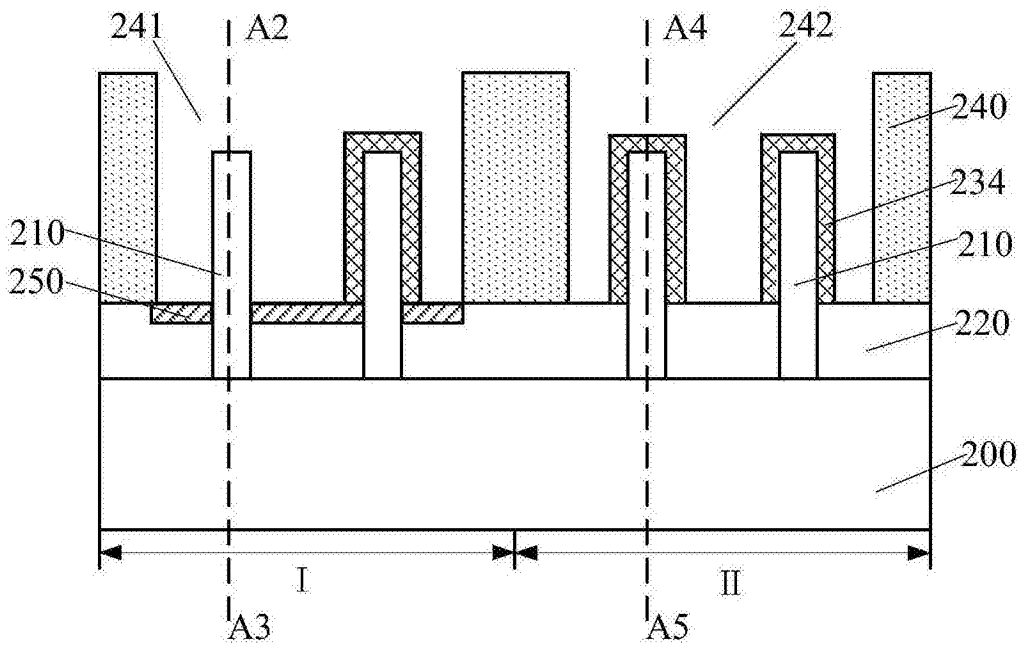


图22

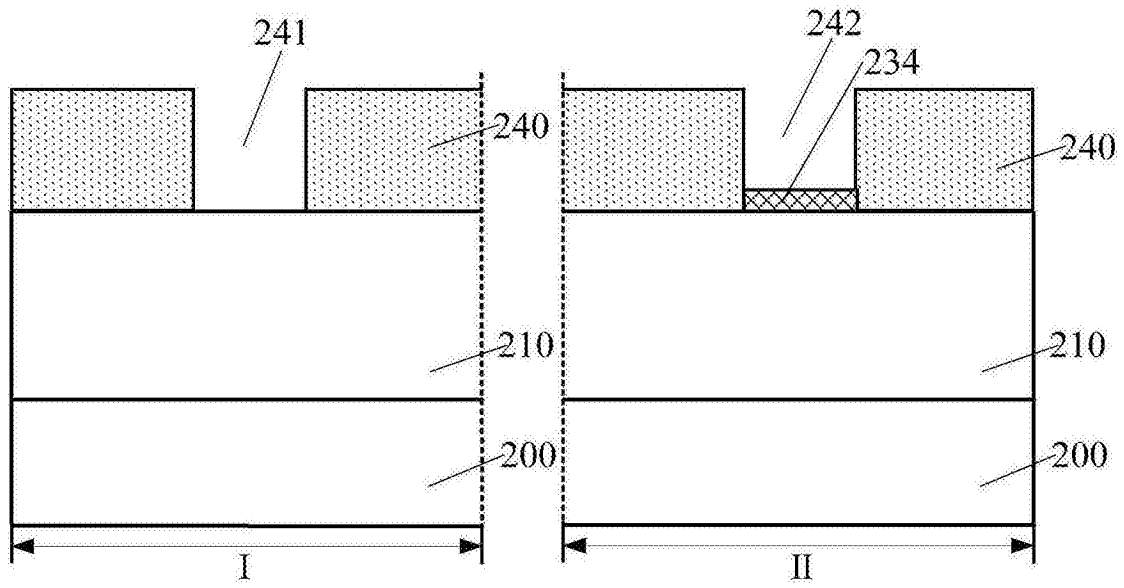


图23