

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年1月8日(2009.1.8)

【公開番号】特開2002-252352(P2002-252352A)

【公開日】平成14年9月6日(2002.9.6)

【出願番号】特願2001-45840(P2001-45840)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/1343 (2006.01)

G 0 9 F 9/30 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【 F I 】

H 0 1 L 29/78 6 1 6 A

G 0 2 F 1/1343

G 0 9 F 9/30 3 3 8

H 0 1 L 21/28 3 0 1 R

H 0 1 L 27/08 3 3 1 E

H 0 1 L 21/88 R

H 0 1 L 21/90 A

H 0 1 L 21/90 C

H 0 1 L 29/58 G

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 7 L

H 0 1 L 29/78 6 1 7 K

【手続補正書】

【提出日】平成20年1月24日(2008.1.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置の作製方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画素 T F T を有する画素部と、該画素部の周辺に設けられた、 p チャネル型 T F T および第 1 の n チャネル型 T F T とを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFTは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFTは、マルチゲート構造の第2のnチャネル型TFTであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFTは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極の上面および側面を覆う第2のレジストマスクをそれぞれ形成し、

前記第2のレジストマスク、後に前記第1のゲート電極となる第1の形状の導電層および該第1の形状の導電層上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、

前記第1の島状半導体層中であって、前記第1のゲート電極と重なっていない部分に、

前記第2の島状半導体層中であって、後に前記3つの第2のソース領域および第2のドレイン領域となる部分に、

並びに前記第3の島状半導体層中であって、前記第2のレジストマスクに覆われていない部分に、高濃度のn型不純物を添加し、

前記第2のレジストマスクを保持したまま、第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

第2のドーピング処理を行って、

前記第1の島状半導体層中に、低濃度のn型不純物を添加して、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、低濃度のn型不純物を添加して、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成し、

並びに前記第3の島状半導体層中に、前記第3のゲート電極と重なっていない部分に低濃度のn型不純物を添加し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第3のレジストマスクを形成し、

前記第3のレジストマスクおよび前記第3のゲート電極をドーピングマスクとして、第3のドーピング処理によりp型不純物を添加して、

前記第3の半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成することを特徴とする半導体装置の作製方法。

#### 【請求項2】

画素TFEと保持容量とを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFEおよび第1のnチャネル型TFEとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFEは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFEは、マルチゲート構造の第2のnチャネル型TFEであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFEは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第 3 のソース領域および前記第 3 のドレイン領域は前記第 3 のゲート電極と重なっておらず、

前記保持容量は第 4 の島状半導体層、ゲート絶縁膜、容量配線を有し、

前記第 4 の島状半導体層は、前記容量電極と重ならない領域に 2 つの第 4 の不純物領域を有し、

前記第 4 の不純物領域は前記第 p チャネル型 T F T の前記第 3 のソース領域または前記第 3 のドレイン領域と同濃度の n 型不純物を含み、前記 p チャネル型 T F T の前記第 3 のソース領域または前記第 3 のドレイン領域と同濃度の p 型不純物を含み、

前記第 2 の L D D 領域に含まれる n 型不純物濃度は、前記第 1 の L D D 領域に含まれる n 型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第 1 ~ 第 4 の島状半導体層を形成し、

前記第 1 ~ 第 4 の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第 1 の導電膜および該第 1 の導電膜上に第 2 の導電膜を積層形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

第 1 のプラズマエッチング処理を行って前記第 1 の導電膜および前記第 2 の導電膜をエッチングすることにより、

前記第 1 の島状半導体層上に、後に前記第 1 のゲート電極となる、端部がテーパ形状である第 1 の形状の導電層を形成し、

前記第 2 の島状半導体層上に、端部がテーパ形状である前記第 2 のゲート電極を形成し、

前記第 3 の島状半導体層上に、端部がテーパ形状である前記第 3 のゲート電極を形成し、

並びに前記第 4 の島状半導体層上に、端部がテーパ形状である前記容量配線を形成し、

前記第 2 のゲート電極の上面および側面を覆い、前記第 3 のゲート電極の上面および側面を覆い、および前記第 4 の島状半導体層を覆う第 2 のレジストマスクをそれぞれ形成し、

前記第 2 のレジストマスク、後に前記第 1 のゲート電極となる第 1 の形状の導電層および該第 1 の形状の導電層上の前記第 1 のレジストマスクをドーピングマスクとして第 1 のドーピング処理を行って、

前記第 1 の島状半導体層中であって、前記第 1 のゲート電極と重なっていない部分に、

前記第 2 の島状半導体層中であって、後に前記 3 つの第 2 のソース領域および第 2 のドレイン領域となる部分に、

並びに前記第 3 の島状半導体層中であって、前記第 2 のレジストマスクに覆われていない部分に、高濃度の n 型不純物を添加し、

前記第 2 のレジストマスクを保持したまま、第 2 のプラズマエッチング処理を行って、後に前記第 1 のゲート電極となる第 1 の形状の導電層中の前記第 2 の導電膜をエッチングして細くすることにより、該エッチングされた第 2 の導電膜および該第 2 の導電膜の端部から突出した突出部を有する第 1 の導電膜からなる前記第 1 のゲート電極を形成し、

前記第 1 のレジストマスクおよび前記第 2 のレジストマスクを除去し、

第 2 のドーピング処理を行って、

前記第 1 の島状半導体層中に、低濃度の n 型不純物を添加して、前記第 1 のゲート電極の前記突出部と重なる前記第 1 の L D D 領域、前記第 1 のソース領域および前記第 1 のドレイン領域を形成し、

前記第 2 の島状半導体層中に、低濃度の n 型不純物を添加して、前記 4 つの第 2

の L D D 領域、前記 3 つの第 2 のソース領域および第 2 のドレイン領域を形成し、

前記第 3 の島状半導体層中に、前記第 3 のゲート電極と重なっていない部分に低濃度の n 型不純物を添加し、

並びに前記第 4 の島状半導体層中に、前記容量配線と重なっていない部分に低濃度の n 型不純物を添加し、

前記第 1 の島状半導体層および前記第 2 の島状半導体層を覆う第 3 のレジストマスクを形成し、

前記第 3 のレジストマスク、前記第 3 のゲート電極および前記容量配線をドーピングマスクとして、第 3 のドーピング処理により p 型不純物を添加して、

前記第 3 の半導体層中に、前記第 3 のソース領域および前記第 3 のドレイン領域を形成し、

並びに前記第 4 の半導体層中に、前記 2 つの第 4 の不純物領域を形成し、

前記第 1 ~ 第 4 の島状半導体層、前記ゲート絶縁膜および前記第 1 ~ 第 3 のゲート電極および前記容量配線を覆って、第 1 の層間絶縁膜を形成し、

前記第 1 ~ 第 4 の島状半導体層に添加された前記 n 型不純物および前記 p 型不純物を活性化し、

前記第 1 の層間絶縁膜上に有機絶縁膜からなる第 2 の層間絶縁膜を形成し、

前記第 1 ~ 第 3 の島状半導体層の各ソース領域およびドレイン領域に達するコンタクトホール並びに前記第 4 の島状半導体層の第 4 の不純物領域に達するコンタクトホールを形成し、

前記第 1 ~ 第 3 の島状半導体層の各ソース領域またはドレイン領域と電氣的に接続されるソース配線またはドレイン配線をそれぞれ形成するとともに、前記第 1 の島状半導体層の前記第 1 のソース領域または前記第 1 のドレイン領域並びに前記第 4 の島状半導体層の前記第 4 の不純物領域と電氣的に接続される画素電極を形成することを特徴とする半導体装置の作製方法。

#### 【請求項 3】

画素 T F T を有する画素部と、該画素部の周辺に設けられた、p チャネル型 T F T および第 1 の n チャネル型 T F T とを有する駆動回路と、を同一の基板上に有し、

前記第 1 の n チャネル型 T F T は、第 1 の島状半導体層、第 1 のゲート電極、ゲート絶縁膜を有し、

前記第 1 の島状半導体層は、第 1 のチャネル形成領域と、該第 1 のチャネル形成領域に接して 2 つの第 1 の L D D 領域と、該 2 つの第 1 の L D D 領域に接して第 1 のソース領域または第 1 のドレイン領域を有し、

前記 2 つの第 1 の L D D 領域は前記第 1 のゲート電極と一部重なっており、前記第 1 のソース領域および前記第 1 のドレイン領域は前記第 1 のゲート電極と重なっておらず、

前記画素 T F T は、マルチゲート構造の第 2 の n チャネル型 T F T であって、第 2 の島状半導体層、2 つの第 2 のゲート電極、ゲート絶縁膜を有し、

前記第 2 の島状半導体層は、2 つの第 2 のチャネル形成領域、該 2 つの第 2 のチャネル形成領域のそれぞれに接して形成された 4 つの第 2 の L D D 領域と、該 4 つの第 2 の L D D 領域のそれぞれに接して形成された 3 つの第 2 のソース領域または第 2 のドレイン領域を有し、

前記 2 つの第 2 のチャネル形成領域の間に接して、4 つのうち 2 つの前記第 2 の L D D 領域が形成され、該 2 つの第 2 の L D D 領域の間に接して、3 つのうち 1 つの前記第 2 のソース領域または前記第 2 のドレイン領域が形成され、

前記 4 つの第 2 の L D D 領域並びに前記 3 つの第 2 のソース領域または第 2 のドレイン領域は前記第 2 のゲート電極と重なっておらず、

前記 p チャネル型 T F T は第 3 の島状半導体層、第 3 のゲート電極、ゲート絶縁膜を有し、

前記第 3 の島状半導体層は、第 3 のチャネル形成領域と、該第 3 のチャネル形成

領域に接して第 3 のソース領域または第 3 のドレイン領域を有し、

前記第 3 のソース領域および前記第 3 のドレイン領域は前記第 3 のゲート電極と重なっておらず、

前記第 2 の L D D 領域に含まれる n 型不純物濃度は、前記第 1 の L D D 領域に含まれる n 型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第 1 ~ 第 3 の島状半導体層を形成し、

前記第 1 ~ 第 3 の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第 1 の導電膜および該第 1 の導電膜上に第 2 の導電膜を積層形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

第 1 のプラズマエッチング処理を行って前記第 1 の導電膜および前記第 2 の導電膜をエッチングすることにより、

前記第 1 の島状半導体層上に、後に前記第 1 のゲート電極となる、端部がテーパ形状である第 1 の形状の導電層を形成し、

前記第 2 の島状半導体層上に、端部がテーパ形状である前記第 2 のゲート電極を形成し、

並びに前記第 3 の島状半導体層上に、端部がテーパ形状である前記第 3 のゲート電極を形成し、

前記後に第 1 のゲート電極となる第 1 の形状の導電層、前記第 2 のゲート電極、前記第 3 のゲート電極およびそれぞれの前記第 1 のレジストマスクをドーピングマスクとして第 1 のドーピング処理を行って、

前記第 1 の島状半導体層中であって、前記後に第 1 のゲート電極となる第 1 の形状の導電層と重なっていない部分に、

前記第 2 の島状半導体層中であって、前記第 2 のゲート電極と重なっていない部分に、

並びに前記第 3 の島状半導体層中であって、前記第 3 のゲート電極と重なっていない部分に、低濃度の n 型不純物を添加し、

前記第 1 の島状半導体層および前記第 2 の島状半導体層を覆う第 2 のレジストマスクを形成し、

前記第 2 のレジストマスク、前記第 3 のゲート電極および前記第 3 のゲート電極上の第 1 のレジストマスクをドーピングマスクとして、第 2 のドーピング処理により p 型不純物を添加して、

前記第 3 の島状半導体層中に、前記第 3 のソース領域および前記第 3 のドレイン領域を形成し、

前記第 1 のレジストマスクおよび前記第 2 のレジストマスクを除去し、

第 3 のレジストマスクを、前記後に第 1 のゲート電極となる第 1 の形状の導電層上面に形成するとともに前記第 2 のゲート電極の上面および側面を覆い、前記第 3 の島状半導体層を覆うように形成し、

第 2 のプラズマエッチング処理を行って、後に前記第 1 のゲート電極となる第 1 の形状の導電層中の前記第 2 の導電膜をエッチングして細くすることにより、該エッチングされた第 2 の導電膜および該第 2 の導電膜の端部から突出した突出部を有する第 1 の導電膜からなる前記第 1 のゲート電極を形成し、

第 2 のドーピング処理により高濃度の n 型不純物を添加して、

前記第 1 の島状半導体層中に、前記第 1 のゲート電極の前記突出部と重なる前記第 1 の L D D 領域、前記第 1 のソース領域および前記第 1 のドレイン領域を形成し、

前記第 2 の島状半導体層中に、前記 4 つの第 2 の L D D 領域、前記 3 つの第 2 のソース領域および第 2 のドレイン領域を形成することを特徴とする半導体装置の作製方法

。

【請求項 4】

画素 T F T を有する画素部と、該画素部の周辺に設けられた、p チャネル型 T F T および第 1 の n チャネル型 T F T とを有する駆動回路と、を同一の基板上に有し、

前記第 1 の n チャネル型 T F T は、第 1 の島状半導体層、第 1 のゲート電極、ゲート絶縁膜を有し、

前記第 1 の島状半導体層は、第 1 のチャンネル形成領域と、該第 1 のチャンネル形成領域に接して 2 つの第 1 の L D D 領域と、該 2 つの第 1 の L D D 領域に接して第 1 のソース領域または第 1 のドレイン領域を有し、

前記 2 つの第 1 の L D D 領域は前記第 1 のゲート電極と一部重なっており、前記第 1 のソース領域および前記第 1 のドレイン領域は前記第 1 のゲート電極と重なっておらず、

前記画素 T F T は、マルチゲート構造の第 2 の n チャネル型 T F T であって、第 2 の島状半導体層、2 つの第 2 のゲート電極、ゲート絶縁膜を有し、

前記第 2 の島状半導体層は、2 つの第 2 のチャンネル形成領域、該 2 つの第 2 のチャンネル形成領域のそれぞれに接して形成された 4 つの第 2 の L D D 領域と、該 4 つの第 2 の L D D 領域のそれぞれに接して形成された 3 つの第 2 のソース領域または第 2 のドレイン領域を有し、

前記 2 つの第 2 のチャンネル形成領域の間に接して、4 つのうち 2 つの前記第 2 の L D D 領域が形成され、該 2 つの第 2 の L D D 領域の間に接して、3 つのうち 1 つの前記第 2 のソース領域または前記第 2 のドレイン領域が形成され、

前記 4 つの第 2 の L D D 領域並びに前記 3 つの第 2 のソース領域または第 2 のドレイン領域は前記第 2 のゲート電極と重なっておらず、

前記 p チャネル型 T F T は第 3 の島状半導体層、第 3 のゲート電極、ゲート絶縁膜を有し、

前記第 3 の島状半導体層は、第 3 のチャンネル形成領域と、該第 3 のチャンネル形成領域に接して第 3 のソース領域または第 3 のドレイン領域を有し、

前記第 3 のソース領域および前記第 3 のドレイン領域は前記第 3 のゲート電極と重なっておらず、

前記第 2 の L D D 領域に含まれる n 型不純物濃度は、前記第 1 の L D D 領域に含まれる n 型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第 1 ~ 第 3 の島状半導体層を形成し、

前記第 1 ~ 第 3 の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第 1 の導電膜および該第 1 の導電膜上に第 2 の導電膜を積層形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

第 1 のプラズマエッチング処理を行って前記第 1 の導電膜および前記第 2 の導電膜をエッチングすることにより、

前記第 1 の島状半導体層上に、後に前記第 1 のゲート電極となる、端部がテーパ形状である第 1 の形状の導電層を形成し、

前記第 2 の島状半導体層上に、端部がテーパ形状である前記第 2 のゲート電極を形成し、

並びに前記第 3 の島状半導体層上に、端部がテーパ形状である前記第 3 のゲート電極を形成し、

前記後に第 1 のゲート電極となる第 1 の形状の導電層、前記第 2 のゲート電極、前記第 3 のゲート電極およびそれぞれの前記第 1 のレジストマスクをドーピングマスクとして第 1 のドーピング処理を行って、

前記第 1 の島状半導体層中であって、前記後に第 1 のゲート電極となる第 1 の形状の導電層と重なっていない部分に、

前記第 2 の島状半導体層中であって、前記第 2 のゲート電極と重なっていない部分に、

並びに前記第 3 の島状半導体層中であって、前記第 3 のゲート電極と重なっていない部分に、低濃度の n 型不純物を添加し、

第 2 のレジストマスクを、前記第 2 のゲート電極の上面および側面を覆い、前記第 3 の島状半導体層を覆うように形成し、

第 2 のプラズマエッチング処理を行って、後に前記第 1 のゲート電極となる第 1 の形状の導電層中の前記第 2 の導電膜をエッチングして細くすることにより、該エッチングされた第 2 の導電膜および該第 2 の導電膜の端部から突出した突出部を有する第 1 の導電膜からなる前記第 1 のゲート電極を形成し、

第 2 のドーピング処理により高濃度の n 型不純物を添加して、

前記第 1 の島状半導体層中に、前記第 1 のゲート電極の前記突出部と重なる前記第 1 の LDD 領域、前記第 1 のソース領域および前記第 1 のドレイン領域を形成し、

前記第 2 の島状半導体層中に、前記 4 つの第 2 の LDD 領域、前記 3 つの第 2 のソース領域および第 2 のドレイン領域を形成し、

前記第 1 のレジストマスクおよび前記第 2 のレジストマスクを除去し、

前記第 1 の島状半導体層および前記第 2 の島状半導体層を覆う第 3 のレジストマスクを形成し、

第 3 のドーピング処理により p 型不純物を添加して、

前記第 3 の島状半導体層中に、前記第 3 のソース領域および前記第 3 のドレイン領域を形成することを特徴とする半導体装置の作製方法。

#### 【請求項 5】

画素 TFT を有する画素部と、該画素部の周辺に設けられた、p チャネル型 TFT および第 1 の n チャネル型 TFT とを有する駆動回路と、を同一の基板上に有し、

前記第 1 の n チャネル型 TFT は、第 1 の島状半導体層、第 1 のゲート電極、ゲート絶縁膜を有し、

前記第 1 の島状半導体層は、第 1 のチャネル形成領域と、該第 1 のチャネル形成領域に接して 2 つの第 1 の LDD 領域と、該 2 つの第 1 の LDD 領域に接して第 1 のソース領域または第 1 のドレイン領域を有し、

前記 2 つの第 1 の LDD 領域は前記第 1 のゲート電極と一部重なっており、前記第 1 のソース領域および前記第 1 のドレイン領域は前記第 1 のゲート電極と重なっておらず、

前記画素 TFT は、マルチゲート構造の第 2 の n チャネル型 TFT であって、第 2 の島状半導体層、2 つの第 2 のゲート電極、ゲート絶縁膜を有し、

前記第 2 の島状半導体層は、2 つの第 2 のチャネル形成領域、該 2 つの第 2 のチャネル形成領域のそれぞれに接して形成された 4 つの第 2 の LDD 領域と、該 4 つの第 2 の LDD 領域のそれぞれに接して形成された 3 つの第 2 のソース領域または第 2 のドレイン領域を有し、

前記 2 つの第 2 のチャネル形成領域の間に接して、4 つのうち 2 つの前記第 2 の LDD 領域が形成され、該 2 つの第 2 の LDD 領域の間に接して、3 つのうち 1 つの前記第 2 のソース領域または前記第 2 のドレイン領域が形成され、

前記 4 つの第 2 の LDD 領域並びに前記 3 つの第 2 のソース領域または第 2 のドレイン領域は前記第 2 のゲート電極と重なっておらず、

前記 p チャネル型 TFT は第 3 の島状半導体層、第 3 のゲート電極、ゲート絶縁膜を有し、

前記第 3 の島状半導体層は、第 3 のチャネル形成領域と、該第 3 のチャネル形成領域に接して第 3 のソース領域または第 3 のドレイン領域を有し、

前記第 3 のソース領域および前記第 3 のドレイン領域は前記第 3 のゲート電極と



重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第2のレジストマスクを形成し、

前記第2のレジストマスク、前記第3のゲート電極および前記第3のゲート電極上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、p型不純物を添加して、

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

前記後に前記第1のゲート電極となる第1の形状の導電層、前記第2のゲート電極および前記第3のゲート電極をドーピングマスクとして第2のドーピング処理を行って、

前記第1の島状半導体層中であって、前記後に第1のゲート電極となる第1の形状の導電層と重なっていない部分に、

前記第2の島状半導体層中であって、前記第2のゲート電極と重なっていない部分に、

並びに前記第3の島状半導体層中であって、前記第3のゲート電極と重なっていない部分に、低濃度のn型不純物を添加し、

第3のレジストマスクを、前記後に第1のゲート電極となる第1の形状の導電層上面に形成するとともに前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極および前記第3の島状半導体層を覆うように形成し、

第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

第3のドーピング処理により高濃度のn型不純物を添加して、

前記第1の島状半導体層中に、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成することを特徴とする半導体装置の作製方法。

#### 【請求項6】

画素TFEを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFEおよ

び第1のnチャネル型TFTとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFTは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFTは、マルチゲート構造の第2のnチャネル型TFTであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFTは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第2のレジストマスクを形成し、

前記第2のレジストマスク、前記第3のゲート電極および前記第3のゲート電極上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、p型不純物を添加して、

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン

領域を形成し、

前記第1のレジストマスクを除去し、

第2のレジストマスクを、前記後に第1のゲート電極となる第1の形状の導電層上面に形成するとともに前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極および前記第3の島状半導体層を覆うように形成し、

第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

第2のドーピング処理を行って、

前記第1の島状半導体層中であって、前記第1のゲート電極と重なっていない部分に、

前記第2の島状半導体層中であって、前記第2のレジストマスクに覆われていない部分に、高濃度のn型不純物を添加し、

前記第2のレジストマスクを除去し、

第3のドーピング処理を行って、低濃度のn型不純物を添加し、

前記第1の島状半導体層中に、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成することを特徴とする半導体装置の作製方法。

#### 【請求項7】

画素TFETを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFETおよび第1のnチャネル型TFETとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFETは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFETは、マルチゲート構造の第2のnチャネル型TFETであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFETは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれる

n 型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第 1 ~ 第 3 の島状半導体層を形成し、

前記第 1 ~ 第 3 の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第 1 の導電膜および該第 1 の導電膜上に第 2 の導電膜を積層形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

第 1 のプラズマエッチング処理を行って前記第 1 の導電膜および前記第 2 の導電膜をエッチングすることにより、

前記第 1 の島状半導体層上に、後に前記第 1 のゲート電極となる、端部がテーパ形状である第 1 の形状の導電層を形成し、

前記第 2 の島状半導体層上に、端部がテーパ形状である前記第 2 のゲート電極を形成し、

並びに前記第 3 の島状半導体層上に、端部がテーパ形状である前記第 3 のゲート電極を形成し、

前記第 2 のゲート電極の上面および側面を覆い、前記第 3 の島状半導体層を覆う第 2 のレジストマスクを形成し、

前記後に第 1 のゲート電極となる第 1 の形状の導電層、前記後に第 1 のゲート電極となる第 1 の形状の導電層上の第 1 のレジストマスクおよび第 2 のレジストマスクをドーピングマスクとして、第 1 のドーピング処理を行って

前記第 1 の島状半導体層中であって、前記第 1 のゲート電極と重なっていない部分に、

前記第 2 の島状半導体層中であって、前記第 2 のレジストマスクに覆われていない部分に、高濃度の n 型不純物を添加し、

前記第 1 のレジストマスクおよび前記第 2 のレジストマスクを残したまま、第 2 のプラズマエッチング処理を行って、後に前記第 1 のゲート電極となる第 1 の形状の導電層中の前記第 2 の導電膜をエッチングして細くすることにより、該エッチングされた第 2 の導電膜および該第 2 の導電膜の端部から突出した突出部を有する第 1 の導電膜からなる前記第 1 のゲート電極を形成し、

前記第 1 のレジストマスクおよび前記第 2 のレジストマスクを除去し、

前記第 1 の島状半導体層および前記第 2 の島状半導体層を覆う第 3 のレジストマスクを形成し、

前記第 3 のレジストマスク、前記第 3 のゲート電極および前記第 3 のゲート電極上の前記第 1 のレジストマスクをドーピングマスクとして第 2 のドーピング処理を行って、p 型不純物を添加して、

前記第 3 の島状半導体層中に、前記第 3 のソース領域および前記第 3 のドレイン領域を形成し、

前記第 3 のレジストマスクを除去し、

第 3 のドーピング処理を行って、低濃度の n 型不純物を添加し、

前記第 1 の島状半導体層中に、前記第 1 のゲート電極の前記突出部と重なる前記第 1 の LDD 領域、前記第 1 のソース領域および前記第 1 のドレイン領域を形成し、

前記第 2 の島状半導体層中に、前記 4 つの第 2 の LDD 領域、前記 3 つの第 2 のソース領域および第 2 のドレイン領域を形成することを特徴とする半導体装置の作製方法

。