

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成18年9月28日(2006.9.28)

【公開番号】特開2005-295315(P2005-295315A)  
 【公開日】平成17年10月20日(2005.10.20)  
 【年通号数】公開・登録公報2005-041  
 【出願番号】特願2004-109077(P2004-109077)  
 【国際特許分類】

**H 0 3 M 1/46 (2006.01)**

**H 0 3 K 5/08 (2006.01)**

【F I】

H 0 3 M 1/46

H 0 3 K 5/08 T

【手続補正書】

【提出日】平成18年8月11日(2006.8.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

アナログ入力電圧と比較電圧とを逐次比較して比較結果を生成する比較手段を備えた逐次比較型A/D変換器において、前記比較手段は、

前記アナログ入力電圧と前記比較電圧とが順次入力される第1のインバータと、  
 該第1のインバータの出力に一方の電極が接続され電荷を蓄電するキャパシタと、  
 該キャパシタの他方の電極に接続された第2のインバータと、

前記第1のインバータの入出力端に並列に接続された第1の帰還スイッチと、

前記第2のインバータの入出力端に並列に接続された第2の帰還スイッチとを含み、

前記第1の帰還スイッチは、前記第1のインバータの入出力端に互いに並列に接続した第1および第2のトランジスタを含み、前記第1のトランジスタは前記第2のトランジスタよりもドライブ能力が大きく形成され、

前記第2の帰還スイッチはさらに、前記第2のインバータの入出力端に互いに並列に接続した第3および第4のトランジスタを含み、前記第3のトランジスタは前記第4のトランジスタよりもドライブ能力が大きく形成され、

前記第1および第3のトランジスタのゲートは共に接続されて第1の制御信号が入力される第1の制御入力端子に接続され、

前記第2および第4のトランジスタのゲートは共に接続されて第2の制御信号が入力される第2の制御入力端子に接続され、

逐次比較動作を行う際に、前記第1および第3のトランジスタのオン/オフ切替タイミングと、ドライブ能力が小さいドライブ能力が大きい前記第2および第4のトランジスタのオン/オフ切替タイミングとを異ならせて、前記アナログ入力電圧と前記比較電圧との比較を行うことを特徴とする逐次比較型A/D変換器。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項3

【補正方法】変更

【補正の内容】

【請求項3】

請求項 1 に記載の逐次比較型 A/D 変換器において、前記第 1 および第 3 のトランジスタのゲート幅とゲート長との比 (W/L 比) が、それぞれ前記第 2 および第 4 のトランジスタのゲート幅とゲート長との比 (W/L 比) よりも大きく形成されていることにより、前記ドライブ能力が異なることを特徴とする逐次比較型 A/D 変換器。

【手続補正 3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 6

【補正方法】変更

【補正の内容】

【請求項 6】

アナログ入力電圧と比較電圧とを逐次比較して比較結果を生成する比較手段を備えた逐次比較型 A/D 変換器において、前記比較手段は、

前記アナログ入力電圧と前記比較電圧とが順次入力される第 1 のインバータと、  
該第 1 のインバータの出力に一方の電極が接続され電荷を蓄電するキャパシタと、  
該キャパシタの他方の電極に接続された第 2 のインバータと、

前記第 1 のインバータの入出力端に並列に接続された第 1 の帰還スイッチと、

前記第 2 のインバータの入出力端に並列に接続された第 2 の帰還スイッチとを含み、

前記第 1 の帰還スイッチは、前記第 1 のインバータの入出力端に互いに並列に接続した第 1 および第 2 のトランジスタを含み、前記第 1 のトランジスタは前記第 2 のトランジスタよりもドライブ能力が大きく形成され、

前記第 2 の帰還スイッチはさらに、前記第 2 のインバータの入出力端に互いに並列に接続した第 3 および第 4 のトランジスタを含み、前記第 3 のトランジスタは前記第 4 のトランジスタよりもドライブ能力が大きく形成され、

前記第 1 のトランジスタのゲートは第 1 の制御信号が入力される第 1 の制御入力端子に接続され、

前記第 3 のトランジスタのゲートは第 2 の制御信号が入力される第 2 の制御入力端子に接続され、

前記第 2 および第 4 のトランジスタのゲートは共に接続されて第 3 の制御信号が入力される第 3 の制御入力端子に接続され、

逐次比較動作を行う際に、前記第 1 および第 3 のトランジスタのオン/オフ切替タイミングと、前記第 2 および第 4 のトランジスタのオン/オフ切替タイミングとを異ならせて、さらに、第 1 のトランジスタと第 2 のトランジスタとのオン/オフ切替タイミングを異ならせて、前記アナログ入力電圧と前記比較電圧との比較を行うことを特徴とする逐次比較型 A/D 変換器。

【手続補正 4】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 1

【補正方法】変更

【補正の内容】

【請求項 1 1】

アナログ入力電圧と比較電圧とを逐次比較するコンパレータにおいて、

前記アナログ入力電圧と前記比較電圧とが順次入力される第 1 のインバータと、  
該第 1 のインバータの出力に一方の電極が接続され電荷を蓄電するキャパシタと、  
該キャパシタの他方の電極に接続された第 2 のインバータと、

前記第 1 のインバータの入出力端に並列に接続された第 1 の帰還スイッチと、

前記第 2 のインバータの入出力端に並列に接続された第 2 の帰還スイッチとを含み、

前記第 1 の帰還スイッチは、前記第 1 のインバータの入出力端に互いに並列に接続した第 1 および第 2 のトランジスタを含み、前記第 1 のトランジスタは前記第 2 のトランジスタよりもドライブ能力が大きく形成され、

前記第 2 の帰還スイッチはさらに、前記第 2 のインバータの入出力端に互いに並列に接

続した第3および第4のトランジスタを含み、前記第3のトランジスタは前記第4のトランジスタよりもドライブ能力が大きく形成され、

前記第1および第3のトランジスタのゲートは共に接続されて第1の制御信号が入力される第1の制御入力端子に接続され、

前記第2および第4のトランジスタのゲートは共に接続されて第2の制御信号が入力される第2の制御入力端子に接続され、

逐次比較動作を行う際に、ドライブ能力が大きい前記第1および第3のトランジスタのオン/オフ切替タイミングと、ドライブ能力が小さい前記第2および第4のトランジスタのオン/オフ切替タイミングとを異ならせて、前記アナログ入力電圧と前記比較電圧との比較を行うことを特徴とするコンパレータ。

【**手続補正5**】

【**補正対象書類名**】特許請求の範囲

【**補正対象項目名**】請求項12

【**補正方法**】変更

【**補正の内容**】

【**請求項12**】

アナログ入力電圧と比較電圧とを逐次比較するコンパレータにおいて、  
前記アナログ入力電圧と前記比較電圧とが順次入力される第1のインバータと、  
該第1のインバータの出力に一方の電極が接続され電荷を蓄電するキャパシタと、  
該キャパシタの他方の電極に接続された第2のインバータと、  
前記第1のインバータの入出力端に並列に接続された第1の帰還スイッチと、  
前記第2のインバータの入出力端に並列に接続された第2の帰還スイッチとを含み、  
前記第1の帰還スイッチは、前記第1のインバータの入出力端に互いに並列に接続した第1および第2のトランジスタを含み、前記第1のトランジスタは前記第2のトランジスタよりもドライブ能力が大きく形成され、

前記第2の帰還スイッチはさらに、前記第2のインバータの入出力端に互いに並列に接続した第3および第4のトランジスタを含み、前記第3のトランジスタは前記第4のトランジスタよりもドライブ能力が大きく形成され、

前記第1のトランジスタのゲートは第1の制御信号が入力される第1の制御入力端子に接続され、

前記第3のトランジスタのゲートは第2の制御信号が入力される第2の制御入力端子に接続され、

前記第2および第4のトランジスタのゲートは共に接続されて第3の制御信号が入力される第3の制御入力端子に接続され、

逐次比較動作を行う際に、ドライブ能力が大きい前記第1および第3のトランジスタのオン/オフ切替タイミングと、ドライブ能力が小さい前記第2および第4のトランジスタのオン/オフ切替タイミングとを異ならせて、さらに、第1のトランジスタと第2のトランジスタとのオン/オフ切替タイミングを異ならせて、前記アナログ入力電圧と前記比較電圧との比較を行うことを特徴とするコンパレータ。

【**手続補正6**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0049

【**補正方法**】変更

【**補正の内容**】

【**0049**】

以上の構成で本実施例における逐次比較型A/D変換器200に内蔵される比較電圧生成回路210およびコンパレータ600の動作を説明する。

【**手続補正7**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0052

## 【補正方法】変更

## 【補正の内容】

## 【0052】

次に制御信号654によりPchTr 651,652をオフする。PchTr 651,652はそれぞれ並列に接続された他方のトランジスタよりもドライブ能力(W/Lが小さい)が小さいため、スイッチングノイズを最小限に抑えた状態でスイッチをオフすることができる。これにより、インバータ603,604はノード212に電位変化が生じた場合、出力(OUT) 222に"H"または"L"を出力する。このとき各インバータ603,604の閾値電圧の差(オフセット電圧差)はキャパシタ629にてキャンセルされる。