



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 601 31 164 T2** 2008.08.14

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 292 078 B1**

(51) Int Cl.⁸: **H04L 25/06** (2006.01)

(21) Deutsches Aktenzeichen: **601 31 164.7**

(96) Europäisches Aktenzeichen: **01 440 292.9**

(96) Europäischer Anmeldetag: **10.09.2001**

(97) Erstveröffentlichung durch das EPA: **12.03.2003**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **31.10.2007**

(47) Veröffentlichungstag im Patentblatt: **14.08.2008**

(73) Patentinhaber:

Alcatel Lucent, Paris, FR

(84) Benannte Vertragsstaaten:

**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,
LI, LU, MC, NL, PT, SE, TR**

(74) Vertreter:

**Patentanwälte U. Knecht und Kollegen, 70435
Stuttgart**

(72) Erfinder:

**Wedding, Berthold, 70825 Korntal-Münchingen,
DE**

(54) Bezeichnung: **Empfänger mit drei Entscheidungsschaltungen**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die Erfindung betrifft das Gebiet der Telekommunikation und konkret einen Empfänger für ein binäres Signal mit hoher Bitrate.

Hintergrund der Erfindung

[0002] Bei der Datenübertragung, insbesondere bei hoher Bitrate, ist die Datenentscheidung ein kritischer Aspekt, um für jedes Bit eines empfangenen Übertragungssignals zu entscheiden, ob der Bitinhalt logisch 1 oder logisch 0 ist. Das liegt daran, dass das Signal durch lineare und nichtlineare Effekte im Übertragungspfad verzerrt wird und zu einem idealen binären Signal mit steilen steigenden Flanken wiederhergestellt werden muss. Das gilt insbesondere für optische binäre Signale, die der Dispersion im Übertragungspfad unterliegen und die von optischen in elektrische Signale umgewandelt und anschließend elektrisch wiederhergestellt werden müssen.

[0003] Normalerweise wird die Datenentscheidung mit einem Entscheider durchgeführt, der den Signalpegel der aufeinander folgenden Bits mit einem Schwellenwert vergleicht. Das Bit enthält logisch 1, wenn der Signalpegel den Schwellenwert überschreitet; andernfalls enthält es logisch 0. Ein Problem dabei ist, dass eine Datenentscheidung in unmittelbarer Nähe des Schwellenwerts fehlerhaft sein kann.

[0004] Aus der Patentschrift EP 0 923 204 ist ein verbesserter Entscheider bekannt, der zusätzlich einen Pseudo-Fehlermonitor umfasst, der den Schwellenwert des Entscheiders steuert.

[0005] Eine weitere, aus der Patentschrift EP 0 912 020 bekannte Entscheiderschaltung umfasst drei parallele Entscheider, die mit einem Multiplexer gekoppelt sind. Der Ausgang des Multiplexers wird in verschiedene Verzögerungselemente eingespeist, die mit dem Multiplexer rückgekoppelt sind. Diese Entscheidungsschaltung dient zur Kompensation von Unterschieden bei der Weitergabe-Zeitverzögerung verschiedener Signalbestandteile bei verschiedenen Polarisierungsmodi eines empfangenen optischen Signals aufgrund der Dispersion des Polarisierungsmodus.

[0006] Ein spezieller Empfänger für vierstufige optische Signale ist aus der Patentschrift EP 0 656 700 bekannt. Ein vierstufiges optisches Signal umfasst Datensymbole bei verschiedenen Amplitudenpegeln, wobei jedes Symbol zwei Daten-Bits darstellt. Das optisch/elektrisch umgewandelte Signal wird parallel in drei Entscheider mit jeweils unterschiedlichen Schwellenwerten eingespeist. Der Ausgang der drei Entscheider wird in einen Multiplexer eingespeist, der

die vier möglichen Statusangaben in die beiden darin enthaltenen Bits umsetzt. Der Entscheider und der Multiplexer dienen somit der Umwandlung des mehrstufigen Signals zurück in ein binäres Signal. Die Bitrate des umgewandelten binären Signals entspricht dem Doppelten der Symbolrate des empfangenen optischen Signals. Dieser Empfänger und das entsprechende Verfahren wurden auch auf der ECOC 1996 beschrieben (siehe B. Wedding et al, "Multi-Level Dispersion Supported Transmission at 20 Gbit/s over 46 km Installed Standard Single Mode Fiber", Protokoll der ECOC 1996, Oslo, MoB.4.4, S. 1.91–1.94).

[0007] Bei Übertragungssystemen mit einer hohen Bitrate von 10 Gbit/s oder sogar 40 Gbit/s ist es von entscheidender Bedeutung, die Empfindlichkeit optischer Empfänger zu erhöhen. Dies gilt insbesondere für unterseeische Übertragungssysteme oder für Übertragungssysteme mit einer reduzierten Anzahl von Regeneratoren entlang des Signalpfads.

Zusammenfassung der Erfindung

[0008] Es ist daher Aufgabe der vorliegenden Erfindung, einen Empfänger und eine Entscheidungsschaltung mit einer höheren Empfindlichkeit bereitzustellen.

[0009] Diese Aufgabe wird erfüllt durch einen Empfänger und eine Soft-Entscheidungsschaltung mit drei parallelen Entscheidern, die mit einem 2:1-Multiplexer gekoppelt sind. Diese drei Entscheider haben unterschiedliche Schwellenwerte und erzeugen vier potenzielle Statusangaben. Der 2:1-Multiplexer setzt die vier verschiedenen Statusangaben zu einem wiederhergestellten Datensignal und einem Zuverlässigkeitssignal um, das die Zuverlässigkeit der Entscheidung angibt.

[0010] In einer vorteilhaften Ausführungsform der Erfindung wird eine vierte Entscheidungsschaltung bereitgestellt, deren Ausgangssignal mit dem wiederhergestellten Datensignal verglichen wird mithilfe einer EXOR-Funktion zum Erzeugen eines Pseudo-Fehlersignals, das zum Anpassen des Schwellenwerts und/oder der Taktphase der Entscheider verwendet wird.

[0011] Weitere vorteilhafte Entwicklungen sind in den abhängigen Ansprüchen definiert.

[0012] Ein Vorteil der vorliegenden Erfindung liegt darin, dass die Entscheidungsschaltung vollständig integriert werden kann, z. B. als SiGe-Chip für die 10-Gbit/s-Anwendung.

Kurzbeschreibung der Zeichnungen

[0013] Bevorzugte Ausführungsformen der vorlie-

genden Erfindung sind nachfolgend beschrieben mit Bezug auf die beigefügten Zeichnungen, wobei gilt:

[0014] [Fig. 1](#) zeigt ein Blockdiagramm einer ersten Entscheidungsschaltung gemäß der vorliegenden Erfindung;

[0015] [Fig. 2](#) zeigt ein Schaltbild einer zweiten Entscheidungsschaltung gemäß der vorliegenden Erfindung; und

[0016] [Fig. 3](#) zeigt einen bekannten 2:1-Multiplexer, der in der Entscheidungsschaltung von [Fig. 2](#) verwendet werden kann.

Ausführliche Beschreibung der Erfindung

[0017] Das Prinzip einer Soft-Entscheidungsschaltung gemäß der vorliegenden Erfindung ist in [Fig. 1](#) dargestellt. Ein Dateneingang D1 ist mit drei parallelen Entscheidern D1, D2, D3 verbunden. Die Ausgänge der Entscheider sind mit einem 2:1-Multiplexer M verbunden. Ein Ausgang des Multiplexers M ist der Datenausgang DO für das wiederhergestellte Datensignal, der andere Ausgang ist der Ausgang DR für das Zuverlässigkeitssignal. Der Dateneingang DI ist ebenfalls mit einer Taktwiederherstellungsschaltung CLK gekoppelt, die ein wiederhergestelltes Taktsignal aus dem empfangenen Signal ableitet und den Entscheidern D1–D3 den wiederhergestellten Takt bereitstellt. Die Entscheider können einfache D-Flip-Flops oder eine andere beliebige andere Art von Taktsignalamplituden-Vergleichseinheit sein.

[0018] Jeder der drei Entscheider hat einen anderen Schwellenwert für den Vergleich mit dem Signalpegel des empfangenen Signals an jedem Taktzyklus. Der Schwellenwert des zweiten Entscheiders D2 ist niedriger als der Schwellenwert des ersten Entscheiders D1, jedoch höher als der Schwellenwert des dritten Entscheiders D3. Damit können vier potenzielle Statusangaben auftreten:

- (1) unterhalb des Schwellenwerts von D3 (000),
- (2) unterhalb des Schwellenwerts von D2, aber oberhalb des Schwellenwerts von D3 (001)
- (3) unterhalb des Schwellenwerts von D1, aber oberhalb des Schwellenwerts von D2 (011); oder
- (4) oberhalb des Schwellenwerts von D1 (111).

[0019] Der 2:1-Multiplexer dekodiert diese vier potenziellen Statusangaben in die folgenden entsprechenden Zwei-Bit-Darstellungen:

- (1) 000 = 01,
- (2) 001 = 00,
- (3) 011 = 10, oder
- (4) 111 = 11.

[0020] Das Bit mit der höchsten Signifikanz wird als wiederhergestelltes Datensignal DO verwendet, während das Bit mit der niedrigsten Signifikanz das

Zuverlässigkeitssignal DR darstellt.

[0021] Eine zweite Ausführungsform der vorliegenden Erfindung ist in [Fig. 2](#) als Schaltbild dargestellt. Gleiche Elemente sind mit den gleichen Bezugszeichen dargestellt wie in [Fig. 1](#).

[0022] Der 2:1-Multiplexer M hat zwei Dateneingänge D1in und D2in, einen Takteingang Clin und einen Datenausgang Dout. Der Ausgang von Entscheider D1 ist mit D1in gekoppelt, der Ausgang von Entscheider D3 ist mit D2in gekoppelt, und der Ausgang von Entscheider D2 ist mit Clin gekoppelt. Dout stellt das Zuverlässigkeitssignal DR dar, und der Ausgang von D2 ist der Datenausgang DO.

[0023] Ein für die Verwendung in der Entscheidungsschaltung in [Fig. 2](#) gut geeigneter Multiplexer ist in [Fig. 3](#) dargestellt. Diese Multiplexerschaltung als solche ist bekannt aus dem Artikel "Demonstration of Retiming Capability of Silicon Bipolar Time-Division Multiplexer Operating to 24 Gbit/s" ("Demonstration der Neuterminierungskapazität von bipolarem Silizium-Zeitmultiplexing mit bis zu 24 Gbit/s") von J. Nauenschild et al., Electronics Letters Band. 27, Nr. 11, S.978–979, 23. Mai 1991. Dieser Multiplexer hat den Vorteil, dass er vollständig in bipolaren Si-Ge-Chips implementiert werden kann zur Verwendung mit einer sehr hohen Bitrate von 20 Gbit und darüber hinaus. Die Erfindung ist jedoch nicht auf diesen bestimmten Multiplexer begrenzt, sondern kann jeden gemäß dem Stand der Technik bekannten 2:1 Multiplexer verwenden.

[0024] Der Multiplexer M ist jedoch durch die logische Verarbeitung an den Ausgangssignalen der drei Entscheider D1–D3 definiert und kann somit auch logische Schaltungen umfassen wie beispielsweise EXORs, die die Ausgangssignale der drei Entscheider in einer Weise logisch kombinieren, dass sich dadurch die gleiche logische Verarbeitung ergibt wie oben beschrieben.

[0025] Das Zuverlässigkeitssignal DR dient als Mittel zur Entscheidung, wie zuverlässig die Entscheidungsschaltung ist. Es kann von einer Logikschaltung wie beispielsweise einem Zähler oder einem programmierbaren Prozessor (nicht dargestellt) ausgewertet werden, um Leitungs- oder Vorrichtungsfehler im Übertragungspfad zu ermitteln. Wenn das Zuverlässigkeitssignal DR den Wert 1 hat, ist die Zuverlässigkeit der Entscheidung hoch, hat das Signal dagegen den Wert 0, so ist die Zuverlässigkeit niedrig. Die Anzahl der Nullen in einem definierten Zeitintervall kann gezählt werden; wenn die Anzahl einen vordefinierten Schwellenwert überschreitet, kann ein Alarm wie "Signalverlust" oder AIS erzeugt werden. Der Zähler wird mit jedem Ablauf des Zeitintervalls zurückgesetzt und beginnt die Zählung von neuem. Gelegentliche Nullen im Zuverlässigkeitssignal kön-

nen ignoriert werden.

[0026] Bevorzugt wird der Zählerwert der Nullen in DR mit Leistungsüberwachungsdaten verglichen, die von einer bei der Signalverarbeitung in den aufeinander folgenden Komponenten eines Empfängers durchgeführten Fehlerprüfung berechnet werden. Solche Leistungsüberwachungsdaten kennzeichnen Prüfsummenfehler, die im Signal erkannt wurden, und wenn diese Fehler mit einer niedrigen Zuverlässigkeit des Entscheidungsprozesses zusammenfallen, so weist dies auf einen Fehler in den vorangegangenen Einrichtungen im Entscheidungspfad hin.

[0027] Eine weitere vorteilhafte Entwicklung der Erfindung ist ebenfalls in [Fig. 2](#) dargestellt. Die Verbesserung umfasst einen Pseudo-Fehlermonitor, der zum Abstimmen der Schwellenwerte der Entscheider D1–D3 oder der Taktphasen des den Entscheidern bereitgestellten Taktsignals oder beiden Aktionen verwendet wird. Ein Pseudo-Fehlermonitor als solcher ist aus der Patentschrift EP 0 923 204 bekannt.

[0028] Für das Erzeugen von Pseudo-Fehlern wird ein vierter Entscheider PED mit dem Dateneingang DI gekoppelt. Er hat einen Schwellenwert, der bevorzugt zwischen den Schwellenwerten der Entscheider D2 und D1 oder der Entscheider D2 und D3 liegt. Dem Entscheider PED wird außerdem ein wiederhergestelltes Taktsignal bereitgestellt. Der Ausgang des Entscheiders PED wird in einen ersten Eingang eines logischen EXOR-Gatters C eingespeist. Ein zweiter Eingang des EXOR-Gatters C ist mit dem Datenausgang DO gekoppelt. Der Ausgang des EXOR-Gatters C stellt ein Pseudo-Fehlensignal dar, das gemäß vordefinierter Regeln von einer Logikschaltung wie beispielsweise einem programmierbaren Prozessor (nicht dargestellt) ausgewertet wird.

[0029] Solche Regeln werden auf der Basis von Signal- und Übertragungseigenschaften bestimmt oder empirisch ermittelt. Die Auswertung der Pseudofehler wird jedoch zum Abstimmen der Schwellenwerte von einigen oder allen vier Entscheidern D1–D3, PED oder den Phasen von einigen oder allen den vier Entscheidern D1–D3, PED bereitgestellten Taktsignalen verwendet oder für beides. Die Phasenabstimmung wird über konventionelle Phasenverschieber PS1-4 erzielt.

[0030] Die Anpassung der Schwellenwerte und Phasen ergibt hinsichtlich der Rate und der Zuverlässigkeit eine verbesserten Erkennung. Die Regeln können daher in einer Lernphase in einer Weise bestimmt werden, die die Optimierung der Erkennungsqualität ermöglicht. Eine speziell für eine solche Lernphase geeignete Logikschaltung ist die Prozessorlogik eines neuronalen Netzwerks.

[0031] Die Entscheidungsschaltung ist Teil eines

Empfängers für Signale mit hoher Bitrate. Der Empfänger kann zusätzlich zur Entscheidungsschaltung weitere Elemente enthalten wie beispielsweise O/E-Wandler, Leitungsabschluss- und Signalauswertungseinrichtungen, die gemäß dem Stand der Technik bekannt sind.

Figur 2

Data	DI-Daten
Threshold	Schwellenwert
Data out	Ausgangsdaten
Decision Reliability	Entscheidungs-Zuverlässigkeit
Pseudo Errors	Pseudo-Fehler
Clock	Takt
in	Eingang
out	Ausgang

Figur 3

data in	Eingangsdaten
clock	Takt
data out	Ausgangsdaten
input stages	Eingangsphasen
MUX core	MUX-Kern
PRIOR ART	STAND DER TECHNIK

Patentansprüche

1. Empfänger für binäre Signale mit hoher Bitrate, wobei dieser Empfänger Folgendes umfasst:

- drei Entscheider (D1–D3), die parallel mit einem Dateneingang (DI) gekoppelt sind, wobei jeder der Entscheider (D1–D3) einen anderen Schwellenwert hat zur Entscheidung, ob das empfangene Signal oberhalb eines jeweiligen Schwellenwerts liegt, und
- einen 2:1-Multiplexer, der mit diesen drei Entscheidern gekoppelt ist, zum Erzeugen eines binären Ausgangssignals (DO) und zum Erzeugen eines Zuverlässigkeitssignals (DR), das einen Hinweis auf die Zuverlässigkeit des binären Ausgangssignals darstellt, aus den Ausgangssignalen dieser drei Entscheider (D1–D3).

2. Empfänger gemäß Anspruch 1, der des Weiteren einen mit dem Dateneingang (DI) gekoppelten Taktgenerator (CLK) umfasst zum Erzeugen eines wiederhergestellten Taktsignals aus diesem Eingangssignal, wobei dieses wiederhergestellte Taktsignal den Takteingängen dieser Entscheider (D1–D3) bereitgestellt wird.

3. Empfänger gemäß Anspruch 1, der des Weiteren einen Pseudo-Fehlermonitor (PED, C) umfasst zum Abstimmen der ein oder mehreren Schwellenwerte der Entscheider (D1–D3).

4. Empfänger gemäß Anspruch 3, wobei der

Pseudo-Fehlermonitor einen vierten Entscheider (PED) umfasst, dessen Ausgang in ein EXOR-Gatter (C) eingespeist wird, wobei dieses EXOR-Gatter (C) des Weiteren mit diesem binären Ausgangssignal (DO) zum Erzeugen von Pseudo-Fehlern versorgt wird und wobei diese Pseudo-Fehler von einer Logikschaltung zur Abstimmung dieser Schwellenwerte ausgewertet werden.

5. Empfänger gemäß Anspruch 2, der des Weiteren einen Pseudo-Fehlermonitor (PED, C) umfasst zum Abstimmen der Taktphasen der Taktversorgung von einem oder mehreren der Entscheider (D1–D3).

6. Empfänger gemäß Anspruch 5, wobei der Pseudo-Fehlermonitor einen vierten Entscheider (PED) umfasst, dessen Ausgang in ein EXOR-Gatter (C) eingespeist wird, wobei dieses EXOR-Gatter (C) des Weiteren mit diesem binären Ausgangssignal (DO) zum Erzeugen von Pseudo-Fehlern versorgt wird und wobei diese Pseudo-Fehler von einer Logikschaltung zur Abstimmung dieser Taktphasen ausgewertet werden.

7. Verfahren zur Wiederherstellung binärer Signale mit hoher Bitrate, das die folgenden Schritte umfasst:

- Vergleichen des erhaltenen Signals mit drei verschiedenen Schwellenwerten und dadurch Erzielen von vier möglichen Statusangaben;
- Dekodieren der vier möglichen Statusangaben zu einem 2-Bit-Signal, wobei das am meisten signifikante Bit das wiederhergestellte Signal darstellt und das am wenigsten signifikante Bit das Ende des wiederhergestellten Signals darstellt.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

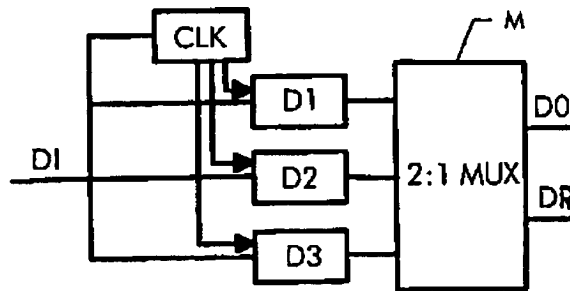


Fig. 1

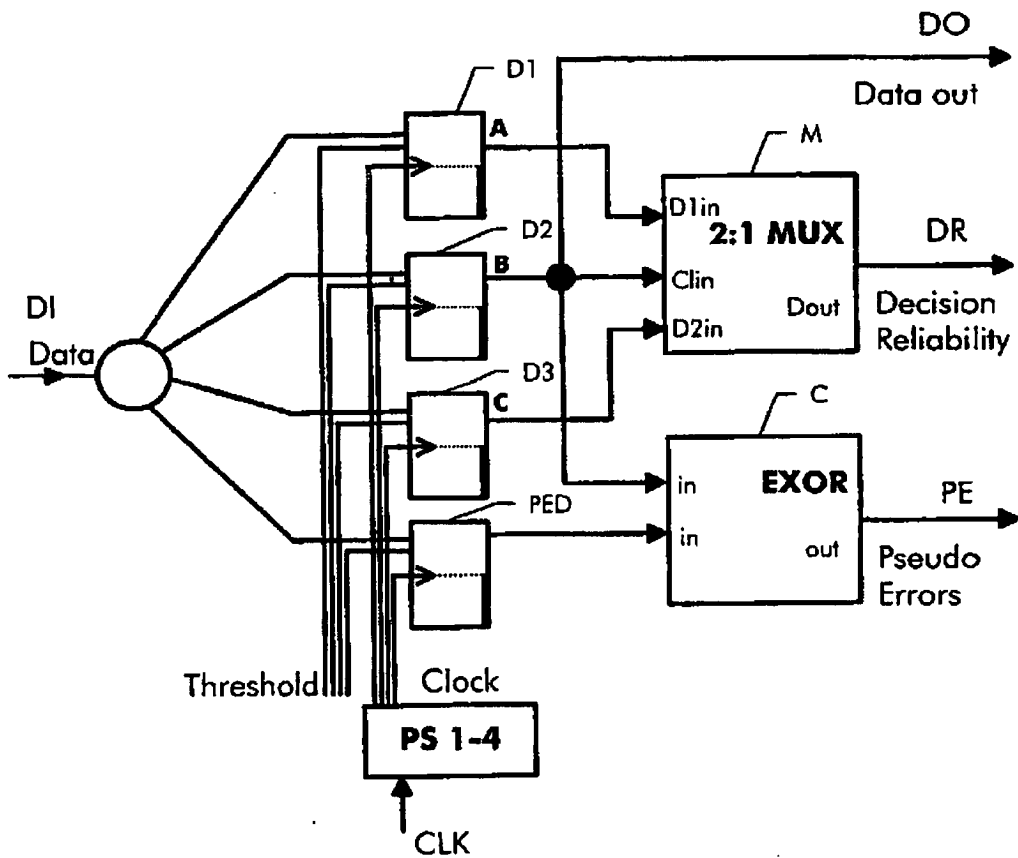
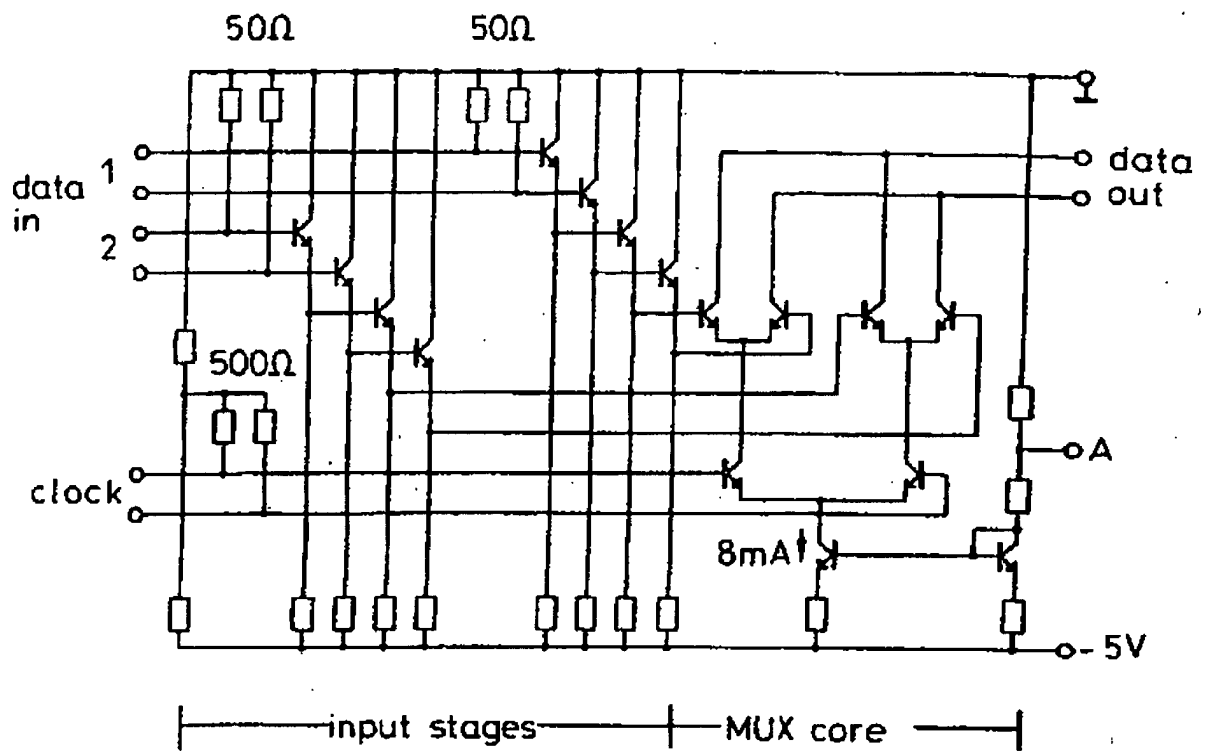


Fig. 2



PRIOR ART

Fig. 3