

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4843268号  
(P4843268)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 611E
G02F 1/133 (2006.01)	G09G 3/20 621B
	G09G 3/20 621E
	G09G 3/20 624Z
請求項の数 4 (全 16 頁) 最終頁に続く	

(21) 出願番号 特願2005-200679 (P2005-200679)  
 (22) 出願日 平成17年7月8日(2005.7.8)  
 (65) 公開番号 特開2007-17797 (P2007-17797A)  
 (43) 公開日 平成19年1月25日(2007.1.25)  
 審査請求日 平成20年6月18日(2008.6.18)

(73) 特許権者 302020207  
 東芝モバイルディスプレイ株式会社  
 埼玉県深谷市幡羅町一丁目9番地2  
 (74) 代理人 100105809  
 弁理士 木森 有平  
 (72) 発明者 森山 直己  
 東京都港区港南四丁目1番8号 東芝松下  
 ディスプレイテクノロジー株式会社内  
 (72) 発明者 飯塚 哲也  
 東京都港区港南四丁目1番8号 東芝松下  
 ディスプレイテクノロジー株式会社内  
 (72) 発明者 田島 弘志  
 東京都港区港南四丁目1番8号 東芝松下  
 ディスプレイテクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の信号線と当該信号線に直交して配設された複数の走査線との各交差部における画素毎に、各画素電極を駆動する複数のスイッチング素子と、前記複数のスイッチング素子のそれぞれに接続された複数の蓄積容量とを備え、前記蓄積容量に接続された蓄積容量線と前記画素電極との容量結合による電圧を前記画素電極に印加する容量結合駆動を行い、1つの表示画面が、異なる構造の画素を用いて構成した複数の画面に分割されている液晶表示装置の駆動方法において、

前記複数の画面のうち、任意数の画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを異ならせるように駆動し、残りの画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを同じくするように駆動することを特徴とする液晶表示装置の駆動方法。

【請求項2】

前記容量結合駆動の補償電圧として、ローレベル側電位、ハイレベル側電位、及び所定の補正用電位を用意し、前記画素電極に表示信号を書き込んでいる間だけ、前記蓄積容量線に前記補正用電位を印加することを特徴とする請求項1記載の液晶表示装置の駆動方法

## 【請求項 3】

前記画素電極に正極性又は負極性のうちいずれか一方の極性の表示信号を書き込んでい  
る間だけ、前記蓄積容量線に前記補正用電位を印加することを特徴とする請求項 2 記載の  
液晶表示装置の駆動方法。

## 【請求項 4】

複数の信号線と当該信号線に直交して配設された複数の走査線との各交差部における画  
素毎に、各画素電極を駆動する複数のスイッチング素子と、前記複数のスイッチング素子  
のそれぞれに接続された複数の蓄積容量と、前記蓄積容量に接続された蓄積容量線と前記  
画素電極との容量結合による電圧を前記画素電極に印加する容量結合駆動を行うため前記  
蓄積容量線に容量結合駆動の補償電圧を印加する蓄積容量線駆動回路を備え、1つの表示  
画面が、異なる構造の画素を用いて構成した複数の画面に分割されている液晶表示装置で  
あって、

10

前記蓄積容量線駆動回路によって、前記複数の画面のうち、任意数の画面については、  
前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ  
幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位  
の振れ幅とが異なるように駆動され、残りの画面については、前記画素電極に正極性の表  
示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極  
性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とが同じとなるよ  
うに駆動されることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

20

## 【技術分野】

## 【0001】

本発明は、蓄積容量に接続された蓄積容量線と画素電極との容量結合による電圧を画素  
電極に印加する容量結合駆動を行う液晶表示装置の駆動方法及び液晶表示装置に関する。

## 【背景技術】

## 【0002】

近年、パーソナルコンピュータやテレビ等に用いられる表示装置においては、薄型化且  
つ軽量化を目的とした開発がすすめられ、これにともない広く普及しているが、特に液晶  
表示装置は、薄型化、軽量化及び低消費電力化が容易であることから開発が盛んに行われ  
ており、PDA (Personal Digital Assistance) や携帯電話機等の携帯端末機にも適用  
されている。

30

## 【0003】

かかる携帯端末機に用いられる液晶表示装置においては、さらなる低消費電力化が要求  
されている。ここで、低消費電力を実現する方法の1つとして、画素内に透過表示を行う  
領域と反射表示を行う領域とを設け、外光が少ない場所ではバックライトを光源とした透  
過表示を行う一方で、外光が多い場所ではその外光による反射表示を行うように、状況に  
よって表示形態を切り替える半透過型表示装置が知られている。また、半透過型表示装置  
を用いた機器としては、1つの表示画面をメイン画面とサブ画面とに分割し、メイン画面  
とサブ画面とで異なる構造の画素を用いて構成するものも知られている。例えば、携帯電  
話機においては、1つの表示画面のうち一部領域をサブ画面とし、メイン画面については  
透過型画素を用いて構成するとともに、サブ画面については半透過型画素を用いて構成し  
、待受時にはサブ画面による反射表示を行うことにより、バックライトを用いずに消費電  
力の低下を図るものも提案されている(例えば、特許文献1等参照。)

40

## 【0004】

【特許文献1】特開2002-55337号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

ところで、液晶表示装置の駆動方式としては、液晶に印加する直流電圧成分を補償して  
低消費電力化を図るために、画素電極と蓄積容量線との間に蓄積容量を形成し、この蓄積

50

容量に印加する電圧の極性を1水平走査期間毎に正負方向に反転させることにより、蓄積容量に接続された蓄積容量線と画素電極との容量結合によるオフセット電圧を、その極性を正負方向に反転させながら画素電極に印加するライン反転容量結合駆動方式が知られている。

#### 【0006】

ここで、上述した1つの表示画面を異なる構造の画素を用いて構成する液晶表示装置の駆動方式として、かかるライン反転容量結合駆動方式を採用した場合には、当該液晶表示装置は、画素を駆動するスイッチング素子のゲート端子に接続される走査線を駆動する走査線駆動回路及び蓄積容量線に容量結合駆動の補償電圧を印加する蓄積容量線駆動回路として、例えば図7に示すような回路構成からなるものを備えることになる。なお、同図においては、表示画面が320ラインからなり、そのうち、第1ライン及び第2ラインがサブ画面101として構成され、第3ラインから第320ラインがメイン画面102として構成される場合について示している。また、同図において、レベルシフト回路103、104は、それぞれ、図8及び図9に示す論理回路である。

10

#### 【0007】

具体的には、この走査線駆動回路及び蓄積容量線駆動回路においては、当該走査線駆動回路及び蓄積容量線駆動回路のスタートパルスSTV、及び奇数ライン及び偶数ライン用のクロック信号CKV1、CKV2が外部回路から与えられると、これら信号に基づいて、画素を駆動するスイッチング素子のゲート端子に接続される走査線に所定の電位Gateが印加される。また、この走査線駆動回路及び蓄積容量線駆動回路においては、1水平走査期間に画素に書き込む表示信号の極性を指定する極性指定信号FRが外部回路から供給されるとともに、容量結合駆動の補償電圧として、そのローレベル側電位としてのグラウンド電位GND及びそのハイレベル側電位VcsHが与えられ、これらに基づいて、蓄積容量線に所定の蓄積容量線電位Csが印加される。

20

#### 【0008】

このように、従来の走査線駆動回路及び蓄積容量線駆動回路は、半透過型画素を用いて構成されるサブ画面101と透過型画素を用いて構成されるメイン画面102とに対して同一の回路を用い、走査線及び蓄積容量線に対してそれぞれ同一の電圧が印加されるように構成される。

#### 【0009】

なお、このような走査線駆動回路及び蓄積容量線駆動回路を備える従来の液晶表示装置においては、メイン画面とサブ画面とで異なる構造の画素を用いていることから、メイン画面を構成する液晶とサブ画面を構成する液晶とに印加する電圧をそれぞれ異なるものとする必要がある。これに対して、従来の液晶表示装置においては、容量結合駆動方式を採用するのにともない、1画素毎に蓄積容量を設けていることから、この蓄積容量の容量値を透過型画素と半透過型画素とで異なるものとするにより、容易に印加電圧を変えることができ、問題となることはない。

30

#### 【0010】

ここで、従来の液晶表示装置においては、表示信号を正極性と負極性とに反転しながら液晶に印加して保持させることにより、表示画面の焼き付けの防止を図っているが、正極性時と負極性時とで液晶に印加される電圧が異なる場合には、液晶分子が劣化して焼き付けが生じる。そのため、従来の液晶表示装置においては、対向電極の電位を正極性時の画素電極電位と負極性時の画素電極電位との中央値とするのが望ましい。

40

#### 【0011】

しかしながら、従来の液晶表示装置においては、主に、メイン画面を構成する画素電極とサブ画面を構成する画素電極とが異なる材質からなることに起因して、同じ電圧の表示信号を画素に書き込んだとしても、その表示信号を保持している期間中に、画素電極電位が、最適値、すなわち、正極性時の画素保持電位と負極性時の画素保持電位との中央値が対向電極電位と一致しないことがあった。

#### 【0012】

50

この現象について、図10及び図11を用いて説明する。図10には、図7に示した走査線駆動回路及び蓄積容量線駆動回路を用いた場合における各信号の波形変化を示すタイミングチャートを示し、図11には、図7に示したサブ画面101についての画素駆動信号と画素電極電位の波形変化を示すタイミングチャートを示している。

#### 【0013】

図10に示すように、走査線駆動回路及び蓄積容量線駆動回路においては、クロック信号CKV1, CKV2の反転タイミングに応じて、シフトパルスが1ライン毎にシフトされ、ゲート線、すなわち、走査線の電位Gateがハイレベルとなるとスイッチング素子が1ライン毎にオン状態となつてその間に表示信号が書き込まれ、当該走査線の電位Gateがローレベルとなると、その間だけ当該スイッチング素子がオフ状態となり、その画素電極電位を保持する。また、液晶表示装置においては、正極性の表示信号が書き込まれている画素の蓄積容量線には、蓄積容量線電位Csとしてグラウンド電位が印加され、表示信号の書き込みが終了した後に、当該蓄積容量線電位Csがハイレベル、すなわち、上述したハイレベル側電位VcsHに反転する。そして、液晶表示装置においては、蓄積容量線電位Csの立ち上がりとともに、画素電極電位Vpixも上昇し、1フレームの間、その画素電極電位Vpixが保持される。一方、液晶表示装置においては、負極性の表示信号が書き込まれている画素の蓄積容量線には、蓄積容量線電位Csとしてハイレベル側電位VcsHが印加され、表示信号の書き込みが終了した後に、当該蓄積容量線電位Csがグラウンド電位に反転する。そして、液晶表示装置においては、蓄積容量線電位Csの立ち下がりとともに、画素電極電位Vpixも下降し、1フレームの間、その画素電極電位Vpixが保持される。すなわち、液晶表示装置においては、蓄積容量線と画素電極との容量結合により、液晶に対する印加電圧の振幅を増大させている。

#### 【0014】

ここで、液晶表示装置においては、容量結合駆動によるサブ画面の画素電極電位Vpix1, Vpix2の電圧変化V1と、メイン画面の画素電極電位Vpix3, …, Vpix320の電圧変化V2とが、互いに異なる値となる。これは、メイン画面とサブ画面とにおいて、1つの画素内での蓄積容量値と全容量値との比率が異なることに起因するものである。

#### 【0015】

また、液晶表示装置においては、図11に示すように、画素電極電位Vpixが、  
 $(VcsH - GND) * (1 \text{画素の蓄積容量}) / (1 \text{画素の全容量})$   
 で表される電位差だけ変化する。すなわち、液晶表示装置においては、蓄積容量線電位Csの立ち上がり前の画素電極電位Vsig1、当該蓄積容量線電位Csの立ち上がりによって上昇した画素電極電位Vpix1、当該蓄積容量線電位Csの立ち下がり前の画素電極電位Vsig2、及び当該蓄積容量線電位Csの立ち下がりによって下降した画素電極電位Vpix2を用いると、容量結合駆動によるサブ画面の画素電極電位の電圧変化V1は、

$$(Vpix1 - Vsig1) = (Vsig2 - Vpix2) = V1$$

となる。したがって、液晶表示装置においては、外部回路から供給される補償電圧の設定によって液晶印加電圧については制御することができるものの、画素電極電位の中央値  $(Vpix1 + Vpix2) / 2$  を制御することはできない。

#### 【0016】

なお、画素電極電位の中央値を決定する要因としては、これら以外に、画素を駆動するスイッチング素子のソース端子に接続される信号線を駆動する信号線駆動回路内部の選択スイッチの突き抜け電圧や、スイッチング素子の突き抜け電圧等も考えられるが、同じ階調の表示信号を同じ構造からなる画素に書き込む場合には、これら突き抜け電圧は一定であり、ここでは考慮する必要はないため、同図においては省略している。

#### 【0017】

このように、従来の液晶表示装置においては、画素電極電位の中央値を制御することができないことから、表示画面が異なる画素を用いて構成される場合には、画素電極電位の

10

20

30

40

50

中央値と対向電極電位との関係を適切な値に設定できない場合があり、その場合、液晶に直流電圧成分が印加されることによって焼き付けが生じ、正極性の表示信号保持時と負極性の表示信号保持時とで表示画面の輝度が変化することにより、フリッカを招来するという問題があった。

【0018】

かかる問題を解決する対策としては、対向電極をメイン画面用とサブ画面用に複数に分割し、それぞれの対向電極電位を調整することが考えられる。しかしながら、この方法は、対向電極の加工精度を大幅に向上させる必要があり、製造コストの高騰を招来することになる。

【0019】

また、かかる問題を解決する対策としては、上述した信号線駆動回路によって表示信号の出力電圧の中央値を調整することが考えられる。しかしながら、この方法は、1フレーム内で表示画面の画素構造に合わせて表示信号の出力電圧の中央値を変えるために、信号線駆動回路の回路構成が極めて複雑化するという問題を招来し、結果として、製造コストを高騰させることになる。

【0020】

本発明は、このような実情に鑑みてなされたものであり、低コストのもとに、最適な画素電極電位の中央値を設定して焼き付けを防止することができ、正極性の表示信号保持時と負極性の表示信号保持時とで表示画面の輝度が変化することによるフリッカを防止することができる液晶表示装置の駆動方法及び液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0021】

上述した目的を達成する本発明にかかる液晶表示装置の駆動方法は、複数の信号線と当該信号線に直交して配設された複数の走査線との各交差部における画素毎に、各画素電極を駆動する複数のスイッチング素子と、前記複数のスイッチング素子のそれぞれに接続された複数の蓄積容量とを備え、前記蓄積容量に接続された蓄積容量線と前記画素電極との容量結合による電圧を前記画素電極に印加する容量結合駆動を行い、1つの表示画面が、異なる構造の画素を用いて構成した複数の画面に分割されている液晶表示装置の駆動方法において、前記複数の画面のうち、任意数の画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを異ならせるように駆動し、残りの画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを同じくするように駆動することを特徴とする。

【0022】

このような本発明にかかる液晶表示装置の駆動方法においては、画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とが異なることから、画素電極電位の中央値を制御することができる。

【0023】

これにより、本発明にかかる液晶表示装置の駆動方法においては、回路構成の複雑化を招来することなく、画素電極電位の中央値と対向電極電位との関係を最適なものに設定することができることから、低コストのもとに、液晶に直流電圧成分が印加されないことから焼き付けを防止することができ、正極性の表示信号保持時と負極性の表示信号保持時とで表示画面の輝度が変化しないことから、フリッカが生じるのを防止することができる。

【0024】

具体的には、本発明にかかる液晶表示装置の駆動方法においては、容量結合駆動の補償電圧として、ローレベル側電位、ハイレベル側電位、及び所定の補正用電位を用意し、前記画素電極に表示信号を書き込んでいる間だけ、前記蓄積容量線に前記補正用電位を印加

10

20

30

40

50

すればよい。特に、本発明にかかる液晶表示装置の駆動方法においては、前記画素電極に正極性又は負極性のうちいずれか一方の極性の表示信号を書き込んでいる間だけ、前記蓄積容量線に前記補正用電位を印加すればよい。

【0025】

このような本発明にかかる液晶表示装置の駆動方法は、1つの表示画面が、異なる構造の画素を用いて構成した複数の画面に分割されたものに適用して極めて有効である。すなわち、本発明にかかる液晶表示装置の駆動方法においては、前記画素電極に正極性又は負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅が、前記複数の画面で互いに異なるものとなるように駆動することにより、分割された複数の画面の画素電極電位の中央値を互いに同じ値とすることができる。したがって、本発明にかかる液晶表示装置の駆動方法においては、複数の画面について、対向電極電位が正極性時の画素電極電位と負極性時の画素電極電位との中央値からずれるのを防止することができる。

10

【0026】

なお、本発明にかかる液晶表示装置の駆動方法においては、前記複数の画面のうち、任意数の画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを異なるものとするように駆動する一方で、残りの画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを同じものとするように駆動する、すなわち、画素書き込み中の蓄積容量線電位の補正を行わないことにより、回路規模の削減を図ることができる。

20

【0027】

また、上述した目的を達成する本発明にかかる液晶表示装置は、複数の信号線と当該信号線に直交して配設された複数の走査線との各交差部における画素毎に、各画素電極を駆動する複数のスイッチング素子と、前記複数のスイッチング素子のそれぞれに接続された複数の蓄積容量と、前記蓄積容量に接続された蓄積容量線と前記画素電極との容量結合による電圧を前記画素電極に印加する容量結合駆動を行うため前記蓄積容量線に容量結合駆動の補償電圧を印加する蓄積容量線駆動回路を備え、1つの表示画面が、異なる構造の画素を用いて構成した複数の画面に分割されている液晶表示装置であって、前記蓄積容量線駆動回路によって、前記複数の画面のうち、任意数の画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とが異なるように駆動され、残りの画面については、前記画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、前記画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とが同じとなるように駆動されることを特徴とする。

30

【0028】

このような本発明にかかる液晶表示装置においては、画素電極に正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、画素電極に負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とが異なることから、画素電極電位の中央値を制御することができる。

40

【0029】

これにより、本発明にかかる液晶表示装置においては、回路構成の複雑化を招来することなく、画素電極電位の中央値と対向電極電位との関係を最適なものに設定することができることから、低コストのもとに、液晶に直流電圧成分が印加されないことから焼き付けを防止することができ、正極性の表示信号保持時と負極性の表示信号保持時とで表示画面の輝度が変化しないことから、フリッカが生じるのを防止することができる。

【発明の効果】

【0030】

本発明によれば、低コストのもとに、液晶に直流電圧成分が印加されないことから焼き

50

付けを防止することができ、正極性の表示信号保持時と負極性の表示信号保持時とで表示画面の輝度が変化しないことから、フリッカが生じるのを防止することができ、高信頼性且つ高画像品位の液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0031】

以下、本発明を適用した具体的な実施の形態について図面を参照しながら詳細に説明する。

【0032】

この実施の形態は、複数の信号線と当該信号線に直交して配設された複数の走査線との各交差部における画素毎に、各画素電極を駆動する複数のスイッチング素子を備えたアクティブマトリクス型の液晶表示装置である。特に、この液晶表示装置は、ライン反転容量結合駆動を行うものであり、画素電極電位の中央値を最適化することができるものである。なお、以下では、説明の便宜上、1つの表示画面をメイン画面とサブ画面とに分割し、メイン画面については透過型画素を用いて構成するとともに、サブ画面については半透過型画素を用いて構成した液晶表示装置について説明するものとする。

【0033】

液晶表示装置は、図1に示すように、所定のアレイ基板の上に、各画素電極を駆動するスイッチング素子として、 $n$ チャネルのMOS (Metal Oxide Semiconductor) トランジスタ等からなる画素トランジスタ1がマトリクス状に配列されて構成される。なお、ここでこの画素とは、液晶表示装置に表示される画像の最小構成単位を指すものである。また、液晶表示装置においては、アレイ基板と、このアレイ基板と所定間隔をもって所定のシール材によって貼着された対向基板との間に、容量性の負荷である液晶層3が封入されている。なお、特に図示しないが、液晶層3を挟んで画素電極と対向して配設される対向電極は、対向基板上に形成され、当該液晶層3は、画素電極と対向電極との間に所定の配向膜を介して保持される。

【0034】

画素トランジスタ1は、例えば多結晶シリコン膜を半導体層とする多結晶シリコンTFT (Thin Film Transistor) 等から構成される。フルカラー表示が可能な液晶表示装置においては、赤色、緑色、青色3色の画素で構成され、それぞれの画素が画素トランジスタ1によって駆動される。これらマトリクス状に配列された画素トランジスタ1のドレイン端子には、それぞれ、蓄積容量線駆動回路11から容量結合駆動の補償電圧が印加される蓄積容量線12に接続された蓄積容量2と、液晶層3とが接続されている。また、蓄積容量2の他方の端子は、蓄積容量線12に接続され、液晶層3の他方の端子は、対向電極に接続されている。さらに、画素トランジスタ1のソース端子には、それぞれ、信号線駆動回路8によって駆動される信号線4が接続され、そのゲート端子には、それぞれ、走査線駆動回路7によって駆動される走査線5が接続されている。

【0035】

このような液晶表示装置においては、走査線駆動回路7によって走査線5を同図上段から順次走査し、同一の走査線5に接続された画素トランジスタ1をオン状態又はオフ状態とさせる電圧を当該走査線5に印加する。ここで、液晶表示装置においては、同一の走査線5に接続された画素トランジスタ1をオン状態とした場合には、信号線駆動回路8によって表示したい画像信号に応じた電圧を信号線4に印加することにより、画素トランジスタ1を介して蓄積容量2と液晶層3とを所望の電圧に印加する。一方、液晶表示装置においては、同一の走査線5に接続された画素トランジスタ1をオフ状態とすると、蓄積容量2と液晶層3とに印加された電圧が次の走査まで保持される。液晶表示装置においては、このような走査線5の走査を順次行い、当該走査線5に接続された画素トランジスタ1を順次オン状態とさせることにより、画面全体の表示を行う。

【0036】

なお、液晶表示装置においては、メイン画面とサブ画面とで異なる構造の画素を用いていることから、蓄積容量2の容量値が透過型画素と半透過型画素とで異なるものとされ、

10

20

30

40

50

メイン画面を構成する液晶とサブ画面を構成する液晶とに印加する電圧をそれぞれ異なるものとしている。

【 0 0 3 7 】

このような液晶表示装置は、走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 として、図 2 に示すような回路構成からなるものを備える。なお、同図においては、説明の便宜上、表示画面が 3 2 0 ラインからなり、そのうち、第 1 ライン及び第 2 ラインがサブ画面 5 1 として構成され、第 3 ラインから第 3 2 0 ラインがメイン画面 5 2 として構成される場合について示しているが、液晶表示装置においては、サブ画面 5 1 及びメイン画面 5 2 のライン数に限定されるものではない。また、同図において、レベルシフト回路 5 3 , 5 4 は、それぞれ、図 3 及び図 4 に示すような論理回路から構成されるものである。

10

【 0 0 3 8 】

すなわち、この走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 においては、所定の外部回路から、当該走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 のスタートパルス S T V、及び奇数ライン及び偶数ライン用のクロック信号 C K V 1 , C K V 2 が供給される。走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 は、これら信号に基づいて、画素トランジスタ 1 のゲート端子に接続される走査線 5 に所定の電位 G a t e を印加する。

【 0 0 3 9 】

また、走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 においては、1 水平走査期間に画素に書き込む表示信号の極性を指定する極性指定信号 F R が外部回路から供給されるとともに、容量結合駆動の補償電圧として、そのローレベル側電位としてのグラウンド電位 G N D 及びそのハイレベル側電位 V c s H の他に、サブ画面 5 1 を構成する画素電極電位の中央値を補正する補正用電位 V c s L が与えられる。すなわち、走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 は、従来の走査線駆動回路及び蓄積容量線駆動回路に対して、補正用電位 V c s L を印加する信号線が追加されて構成される。この補正用電位 V c s L は、グラウンド電位 G N D よりも大きく且つハイレベル側電位 V c s H よりも小さい値をとり、グラウンド電位 G N D を 0 V とした場合には、例えば 1 0 0 m V ~ 2 0 0 m V 程度とされる。

20

【 0 0 4 0 】

さらに、走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 においては、メイン画面 5 2 を構成する画素を駆動する構成は従来の走査線駆動回路及び蓄積容量線駆動回路と同様であるが、サブ画面 5 1 を構成する画素を駆動する構成が異なる。具体的には、走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 においては、蓄積容量線 1 2 に印加する蓄積容量線電位 C s として補正用電位 V c s L を追加したのにともない、この補正用電位 V c s L を選択的に蓄積容量線 1 2 に印加する選択回路 5 5 を設けている。この選択回路 5 5 は、レベルシフト回路 5 4 と、このレベルシフト回路 5 4 からの出力を入力とする N A N D 回路や、この N A N D 回路の出力を入力とする N O T 回路等の複数の論理回路とを用いて構成され、サブ画面 5 1 を構成する画素に、正極性の表示信号を書き込んでいる間だけ、蓄積容量線 1 2 に補正用電位 V c s L を印加する。したがって、走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 は、メイン画面 5 2 については、従来と同様に、極性指定信号 F R に基づいて、蓄積容量線電位 C s として、グラウンド電位 G N D とハイレベル側電位 V c s H とを

30

40

【 0 0 4 1 】

このような走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 を備える液晶表示装置においては、図 5 に示すように、各信号波形が遷移する。なお、同図においては、サブ画面 5 1 を構成する第 1 ライン及び第 2 ライン、並びに、メイン画面 5 2 を構成する第 3 ライン、第 3 1 9 ライン、及び第 3 2 0 ラインについての走査線駆動回路 7 及び蓄積容量線駆動回路 1 1 のスタートパルス S T V、クロック信号 C K V 1 , C K V 2、極性指定信号 F R、走査線電位 G a t e、1 ライン目の選択回路 5 5 を構成するレベルシフト回路 5 4 に入力される信号 n 1、蓄積容量線電位 C s、及び画素電極電位 V p i x を示している。

50

## 【 0 0 4 2 】

すなわち、液晶表示装置においては、クロック信号 C K V 1 , C K V 2 の反転タイミングに応じて、シフトパルスが 1 ライン毎にシフトされ、走査線電位 G a t e がハイレベルとなると画素トランジスタ 1 が 1 ライン毎にオン状態となってその間に表示信号が書き込まれる。また、液晶表示装置においては、走査線電位 G a t e がローレベルとなると、その間だけ画素トランジスタ 1 がオフ状態となり、その画素電極電位 V p i x を保持する。

## 【 0 0 4 3 】

ここで、液晶表示装置においては、サブ画面 5 1 を構成する第 1 ラインを走査する際に、その画素に正極性の表示信号の書き込む場合には、走査線電位 G a t e 1 がハイレベルに遷移して画素に対する表示信号の書き込みが開始されると、グラウンド電位 G N D である蓄積容量線 1 2 に補正用電位 V c s L が印加される。これにより、液晶表示装置においては、蓄積容量線電位 C s 1 がグラウンド電位 G N D から補正用電位 V c s L に上昇する。そして、液晶表示装置においては、表示信号の書き込みが終了した後に、蓄積容量線 1 2 にハイレベル側電位 V c s H が印加されることにより、蓄積容量線電位 C s 1 が補正用電位 V c s L からハイレベル側電位 V c s H に上昇する。すなわち、液晶表示装置においては、蓄積容量線電位 C s 1 がグラウンド電位 G N D からハイレベル側電位 V c s H に上昇するのではなく、補正用電位 V c s L からハイレベル側電位 V c s H に上昇する。液晶表示装置においては、蓄積容量線電位 C s 1 の立ち上がりにともない、蓄積容量線 1 2 と画素電極との容量結合により、ハイレベル側電位 V c s H と補正用電位 V c s L との電位差に応じて、画素電極電位 V p i x 1 も V 3 だけ上昇し、1 フレームの間、その画素電極電位 V p i x 1 が保持される。

## 【 0 0 4 4 】

一方、液晶表示装置においては、サブ画面 5 1 を構成する第 2 ラインを走査する際には、走査線電位 G a t e 2 がハイレベルに遷移するのにともない、画素に対する負極性の表示信号の書き込みが開始される。このとき、液晶表示装置においては、蓄積容量線電位 C s 2 がハイレベル側電位 V c s H の状態とされる。そして、液晶表示装置においては、表示信号の書き込みが終了した後に、蓄積容量線 1 2 にグラウンド電位 G N D が印加されることにより、蓄積容量線電位 C s 2 がハイレベル側電位 V c s H からグラウンド電位 G N D に下降する。すなわち、液晶表示装置においては、従来と同様に、蓄積容量線電位 C s 2 がハイレベル側電位 V c s H からグラウンド電位 G N D に下降する。液晶表示装置においては、蓄積容量線電位 C s 2 の立ち下がりにともない、蓄積容量線 1 2 と画素電極との容量結合により、ハイレベル側電位 V c s H とグラウンド電位 G N D との電位差に応じて、画素電極電位 V p i x 2 も V 4 だけ下降し、1 フレームの間、その画素電極電位 V p i x 2 が保持される。

## 【 0 0 4 5 】

同様に、液晶表示装置においては、次のフレームでサブ画面 5 1 を構成する第 1 ラインを走査する際に、その画素に負極性の表示信号の書き込む場合には、蓄積容量線電位 C s 1 がハイレベル側電位 V c s H の状態とされ、表示信号の書き込みが終了した後に、蓄積容量線 1 2 にグラウンド電位 G N D が印加されることにより、蓄積容量線電位 C s 1 がハイレベル側電位 V c s H からグラウンド電位 G N D に下降する。これにより、液晶表示装置においては、画素電極電位 V p i x 1 も V 4 だけ下降し、1 フレームの間、その画素電極電位 V p i x 1 が保持される。また、液晶表示装置においては、サブ画面 5 1 を構成する第 2 ラインを走査する際に、その画素に正極性の表示信号の書き込む場合には、画素に対する表示信号の書き込みが開始されると、グラウンド電位 G N D である蓄積容量線 1 2 に補正用電位 V c s L が印加され、表示信号の書き込みが終了した後に、蓄積容量線 1 2 にハイレベル側電位 V c s H が印加されることにより、蓄積容量線電位 C s 2 が補正用電位 V c s L からハイレベル側電位 V c s H に上昇する。これにより、液晶表示装置においては、画素電極電位 V p i x 2 も V 3 だけ上昇し、1 フレームの間、その画素電極電位 V p i x 2 が保持される。

## 【 0 0 4 6 】

10

20

30

40

50

また、液晶表示装置においては、メイン画面52を構成する各ラインを走査する際には、走査線電位 Gate がハイレベルに遷移するのにもともない、画素に対する正極性又は負極性の表示信号の書き込みが開始される。液晶表示装置においては、正極性の表示信号が書き込まれている画素の蓄積容量線12には、蓄積容量線電位 Cs としてグラウンド電位 GND が印加され、表示信号の書き込みが終了した後に、当該蓄積容量線電位 Cs がハイレベル側電位 VcsH に反転する。そして、液晶表示装置においては、蓄積容量線電位 Cs の立ち上がりにもともない、画素電極電位 Vpix も V5 だけ上昇し、1フレームの間、その画素電極電位 Vpix が保持される。一方、液晶表示装置においては、負極性の表示信号が書き込まれている画素の蓄積容量線12には、蓄積容量線電位 Cs としてハイレベル側電位 VcsH が印加され、表示信号の書き込みが終了した後に、当該蓄積容量線電位 Cs がグラウンド電位 GND に反転する。そして、液晶表示装置においては、蓄積容量線電位 Cs の立ち下がりにもともない、画素電極電位 Vpix も V5 だけ下降し、1フレームの間、その画素電極電位 Vpix が保持される。

10

## 【0047】

このように、容量結合駆動によるメイン画面52の画素電極電位 Vpix の電圧変化は、正極性の表示信号保持時も負極性の表示信号保持時もともに V5 となる。これに対して、容量結合駆動によるサブ画面51の画素電極電位 Vpix1, Vpix2 の電圧変化は、それぞれ、V3, V4 となり、互いに異なる値となる。なお、容量結合駆動によるサブ画面51の画素電極電位 Vpix2 の電圧変化 V4 とメイン画面52の画素電極電位 Vpix の電圧変化 V5 は、互いに異なる値となるが、これは、メイン画面52とサブ画面51とにおいて、1つの画素内での蓄積容量値と全容量値との比率が異なることに起因するものである。

20

## 【0048】

ここで、容量結合駆動によるサブ画面51の画素電極電位 Vpix1 の電圧変化 V3 は、図6に示すように、

$$(VcsH - VcsL) * (1 \text{ 画素の蓄積容量}) / (1 \text{ 画素の全容量})$$

で表される。一方、容量結合駆動によるサブ画面51の画素電極電位 Vpix2 の電圧変化 V4 は、

$$(VcsH - GND) * (1 \text{ 画素の蓄積容量}) / (1 \text{ 画素の全容量})$$

で表される。すなわち、電圧変化 V3, V4 の間には、 $V3 < V4$  が成立することになる。

30

## 【0049】

これにより、液晶表示装置においては、表示信号保持時におけるサブ画面51の画素電極電位の中央値  $(Vpix1 + Vpix2) / 2$  を、従来に比べて小さくすることができる。これは、サブ画面51の画素電極電位の中央値  $(Vpix1 + Vpix2) / 2$  を制御することができることを意味している。すなわち、液晶表示装置においては、従来と同様に、 $V3 = V4$  が成立する場合には、画素電極電位の中央値はメイン画面52とサブ画面51とで等しくなり、 $V3 < V4$  が成立することにより、画素電極電位の中央値はメイン画面52 > サブ画面51となる。

40

## 【0050】

したがって、液晶表示装置においては、サブ画面51を構成する画素についての最適な対向電極電位が、メイン画面52を構成する画素についての最適な対向電極電位よりも高い場合には、補正用電位を  $VcsL > GND$  とすることにより、サブ画面51の画素電極電位の中央値を下げるることができる。これにより、液晶表示装置においては、メイン画面52とサブ画面51との間の、画素電極材料等の構造の違いによって生じる最適対向電極電位の差を補正することができ、表示画面内の全ての画素に対して、画素電極電位の中央値と対向電極電位との関係を最適なものに設定することができる。

## 【0051】

以上説明したように、本発明の実施の形態として示す液晶表示装置においては、容量結合駆動の補償電圧として、そのローレベル側電位としてのグラウンド電位 GND 及びその

50

ハイレベル側電位 $V_{csH}$ の他に、サブ画面51を構成する画素電極電位の中央値を補正する補正用電位 $V_{csL}$ を設け、サブ画面51を構成する画素に、正極性の表示信号を書き込んでいる間だけ、その画素の蓄積容量線12に補正用電位 $V_{csL}$ を印加することにより、回路構成の複雑化を招来することなく、画素電極電位の中央値と対向電極電位との関係を適切な値に設定することができる。

【0052】

したがって、この液晶表示装置においては、低コストのもとに、液晶に直流電圧成分が印加されないことから焼き付けを防止することができ、正極性の表示信号保持時と負極性の表示信号保持時とで表示画面の輝度が変化しないことから、フリッカが生じるのを防止することができ、高信頼性且つ高画像品位を実現することができる。

10

【0053】

なお、本発明は、上述した実施の形態に限定されるものではない。例えば、上述した実施の形態では、正極性の表示信号の書き込み時に、その画素の蓄積容量線12に補正用電位 $V_{csL}$ を印加するものとして説明したが、本発明は、負極性の表示信号の書き込み時に、その画素の蓄積容量線12に補正用電位 $V_{csL}$ を印加するようにしてもよい。

【0054】

すなわち、液晶表示装置においては、サブ画面51を構成する画素についての最適な対向電極電位が、メイン画面52を構成する画素についての最適な対向電極電位よりも高い場合には、上述したように、正極性の表示信号の書き込み時に、その画素の蓄積容量線12にグラウンド電位 $GND$ よりも大きい値をとる補正用電位 $V_{csL}$ を印加することにより、従来の補償電圧のローレベル側を高くして表示信号保持時における画素電極電位を下げ、画素電極電位の中央値を下げる方法の他に、負極性の表示信号の書き込み時に、その画素の蓄積容量線12にハイレベル側電位 $V_{csH}$ よりも大きい値をとる補正用電位 $V_{csL}$ を印加することにより、従来の補償電圧のハイレベル側を高くして表示信号保持時における画素電極電位を下げ、画素電極電位の中央値を下げる方法を採用するようにしてもよい。

20

【0055】

また、液晶表示装置においては、サブ画面51を構成する画素についての最適な対向電極電位が、メイン画面52を構成する画素についての最適な対向電極電位よりも低い場合には、負極性の表示信号の書き込み時に、その画素の蓄積容量線12にハイレベル側電位 $V_{csH}$ よりも小さい値をとる補正用電位 $V_{csL}$ を印加することにより、従来の補償電圧のハイレベル側を低くして表示信号保持時における画素電極電位を上げ、画素電極電位の中央値を上げるようにしてもよく、また、正極性の表示信号の書き込み時に、その画素の蓄積容量線12にグラウンド電位 $GND$ よりも小さい値をとる補正用電位 $V_{csL}$ を印加することにより、従来の補償電圧のローレベル側を低くして表示信号保持時における画素電極電位を上げ、画素電極電位の中央値を上げるようにしてもよい。

30

【0056】

このように、本発明は、画素電極電位の中央値と対向電極電位との関係を適切な値に設定するように、補正用電位 $V_{csL}$ を印加する表示信号の極性を決定し、その極性に応じた補正用電位 $V_{csL}$ の値を調整すればよい。

40

【0057】

さらに、上述した実施の形態では、正極性又は負極性のうちいずれか一方の極性の表示信号を書き込んでいる間だけ、その画素の蓄積容量線12に補正用電位 $V_{csL}$ を印加するものとして説明したが、本発明は、正極性及び負極性の双方の表示信号を書き込んでいる間に、補正用電位 $V_{csL}$ を蓄積容量線12に印加するようにしてもよい。すなわち、本発明は、画素電極に対する正極性の表示信号の書き込み時と当該表示信号の保持時とにおける蓄積容量線12の電位差と、画素電極に対する負極性の表示信号の書き込み時と当該表示信号の保持時とにおける蓄積容量線12の電位差とを異なるものとし、正極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅と、負極性の表示信号を書き込む際の容量結合駆動による画素電極電位の振れ幅とを異なるものとするように、補

50

正用電位  $V_{csL}$  を印加するものであれば、適用することができる。ただし、液晶表示装置においては、正極性及び負極性の双方の表示信号を書き込んでいる間に、補正用電位  $V_{csL}$  を蓄積容量線 12 に印加する場合には、複数種類の補正用電位を出力する複数の電源が必要となることから、正極性又は負極性のうちいずれか一方の極性の表示信号を書き込んでいる間だけ、補正用電位  $V_{csL}$  を蓄積容量線 12 に印加するのが望ましい。

【0058】

さらにまた、上述した実施の形態では、サブ画面 51 を構成する画素の蓄積容量線 12 に補正用電位  $V_{csL}$  を印加するものとして説明したが、本発明は、メイン画面 52 を構成する画素の蓄積容量線 12 に補正用電位  $V_{csL}$  を印加する場合にも適用することができる。すなわち、本発明は、サブ画面 51 又はメイン画面 52 のうち、一方の画面を構成する画素の画素電極電位の中央値を基準とし、他方の画面を構成する画素の画素電極電位の中央値を制御すればよい。ただし、液晶表示装置においては、通常、メイン画面 52 の方がライン数が多いことから、回路規模の削減を図るために、サブ画面 51 を構成する画素の蓄積容量線 12 に補正用電位  $V_{csL}$  を印加するのが望ましい。

【0059】

また、上述した実施の形態では、1つの表示画面をサブ画面 51 とメイン画面 52 とに 2 分割した場合について説明したが、本発明は、画面の分割数に拘泥するものではなく、分割数に応じて補正用電位  $V_{csL}$  の入力数を変えればよい。さらに、本発明は、分割された複数の画面を互いに異なる構造の画素を用いて構成しない場合にも適用することができる。

【0060】

このように、本発明は、その趣旨を逸脱しない範囲で適宜変更が可能であることはいうまでもない。

【図面の簡単な説明】

【0061】

【図1】本発明の実施の形態として示す液晶表示装置の回路構成を示す図である。

【図2】同液晶表示装置が備える走査線駆動回路及び蓄積容量線駆動回路の構成を示す図である。

【図3】図2に示す走査線駆動回路及び蓄積容量線駆動回路におけるレベルシフト回路の構成を示す図である。

【図4】図2に示す走査線駆動回路及び蓄積容量線駆動回路における他のレベルシフト回路の構成を示す図である。

【図5】図2に示す走査線駆動回路及び蓄積容量線駆動回路を用いた場合における各信号の波形変化を示すタイミングチャートである。

【図6】図2に示すサブ画面についての画素駆動信号と画素電極電位の波形変化を示すタイミングチャートである。

【図7】従来の液晶表示装置が備える走査線駆動回路及び蓄積容量線駆動回路の構成を示す図である。

【図8】図7に示す走査線駆動回路及び蓄積容量線駆動回路におけるレベルシフト回路の構成を示す図である。

【図9】図7に示す走査線駆動回路及び蓄積容量線駆動回路における他のレベルシフト回路の構成を示す図である。

【図10】図7に示す走査線駆動回路及び蓄積容量線駆動回路を用いた場合における各信号の波形変化を示すタイミングチャートである。

【図11】図7に示すサブ画面についての画素駆動信号と画素電極電位の波形変化を示すタイミングチャートである。

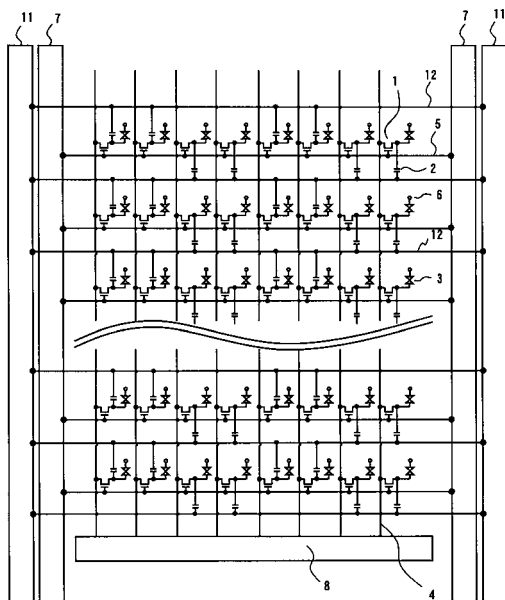
【符号の説明】

【0062】

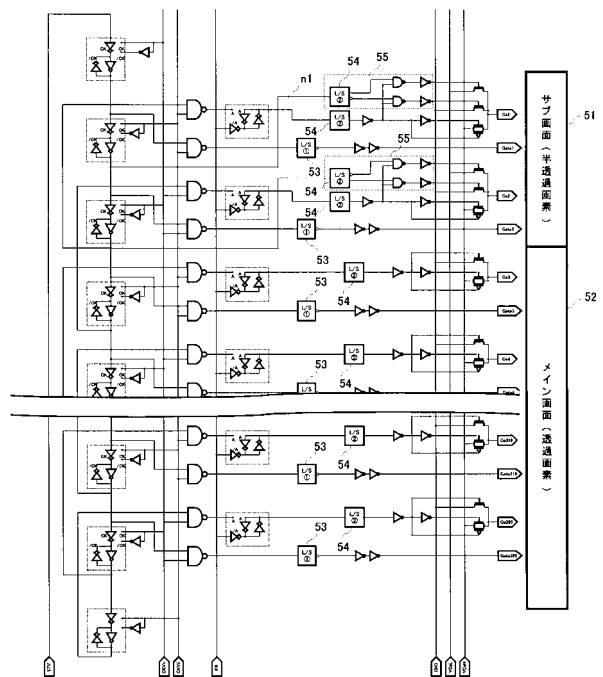
- 1 画素トランジスタ
- 2 蓄積容量

- 3 液晶層
- 4 信号線
- 5 走査線
- 6 対向電極線
- 7 走査線駆動回路
- 8 信号線駆動回路
- 1 1 蓄積容量線駆動回路
- 1 2 蓄積容量線
- 5 1 サブ画面
- 5 2 メイン画面
- 5 3 , 5 4 レベルシフト回路
- 5 5 選択回路
- C s 蓄積容量線電位
- V c s L 補正用電位
- V p i x 画素電極電位

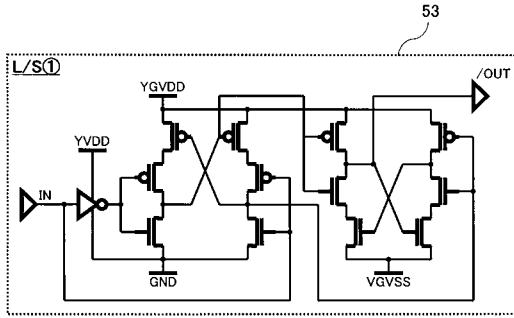
【図1】



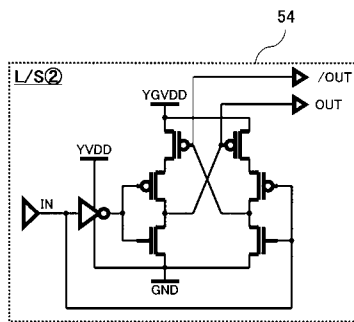
【図2】



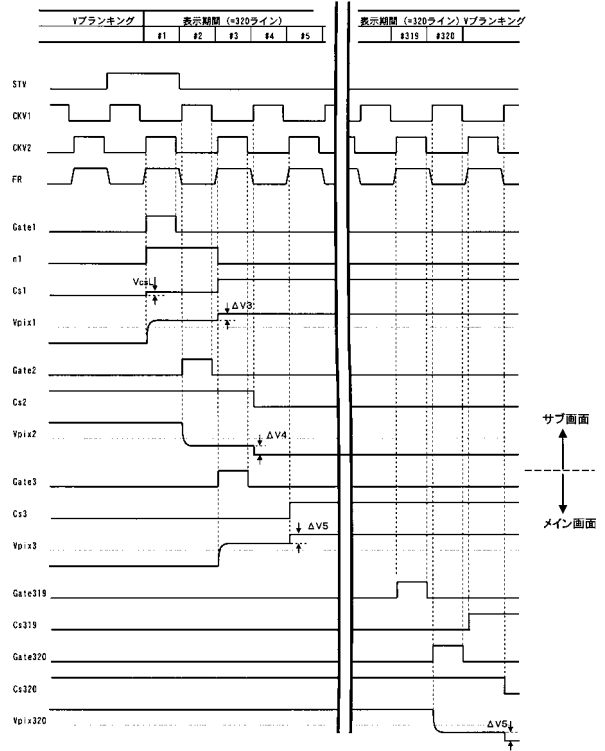
【図3】



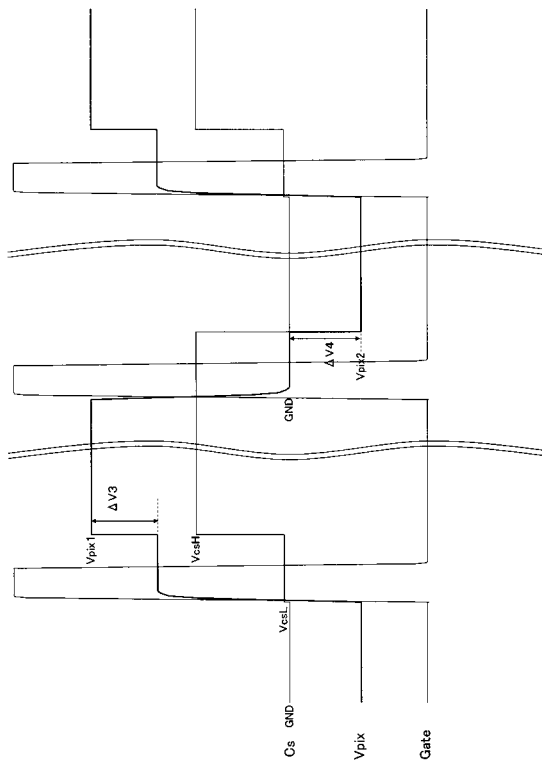
【図4】



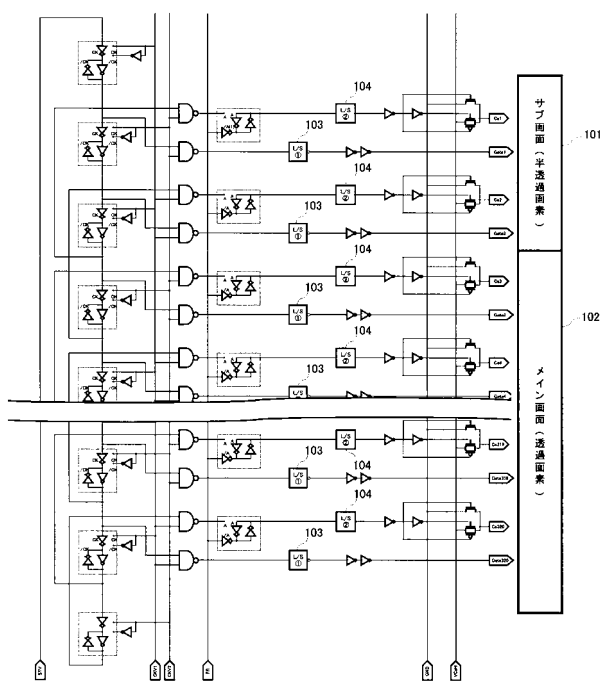
【図5】



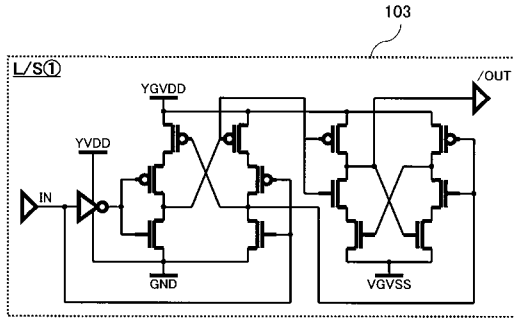
【図6】



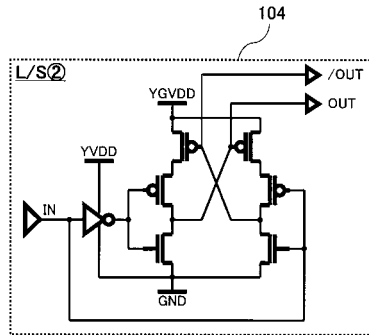
【図7】



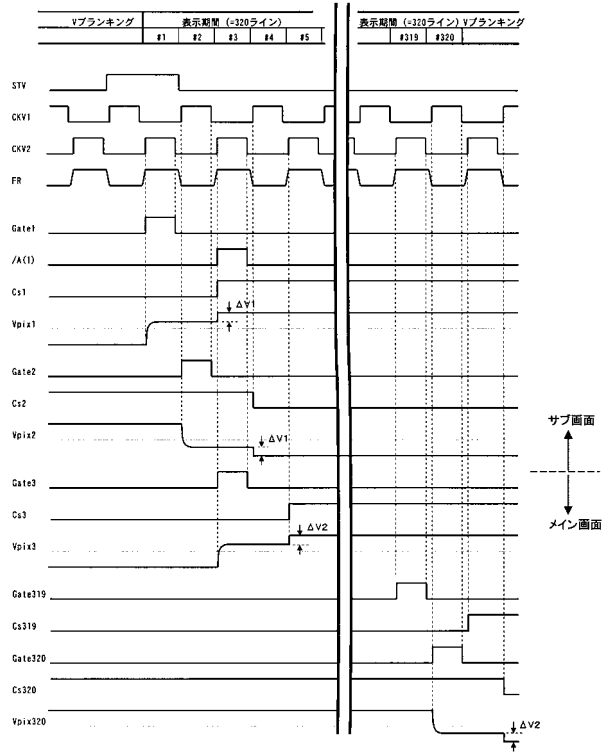
【図8】



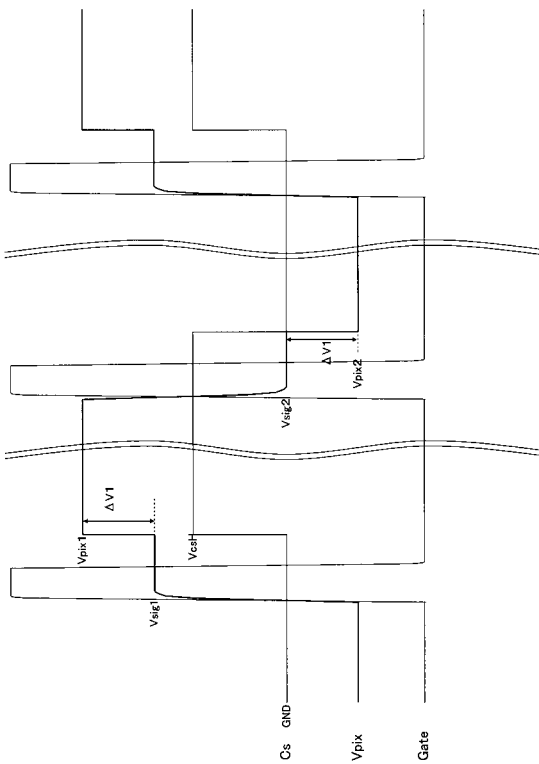
【図9】



【図10】



【図11】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 4 2 B  
G 0 9 G 3/20 6 7 0 K  
G 0 9 G 3/20 6 8 0 H  
G 0 2 F 1/133 5 2 5  
G 0 2 F 1/133 5 5 0

審査官 森口 忠紀

(56)参考文献 特開平02 - 157815 (JP, A)  
特開2003 - 315764 (JP, A)  
特開2004 - 117749 (JP, A)  
特開2002 - 055337 (JP, A)  
特開2000 - 081606 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3 , 5 0 5 - 1 / 1 3 3 , 5 8 0