

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016年10月20日 (20.10.2016)



(10) 国际公布号  
WO 2016/165185 A1

- (51) 国际专利分类号:  
H01L 29/786 (2006.01) H01L 27/32 (2006.01)
- (21) 国际申请号: PCT/CN2015/079471
- (22) 国际申请日: 2015年5月21日 (21.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510175761.5 2015年4月14日 (14.04.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 葛世民 (GE, Shimin); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。张合静 (ZHANG, Hejing); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。曾志远 (TSENG, Chihyuan); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。苏智昱 (SU, Chihyu); 中国广东省深圳市光明新区塘

明大道9-2号, Guangdong 518132 (CN)。李文辉 (LI, Wenhui); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。石龙强 (SHI, Longqiang); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。吕晓文 (LV, Xiaowen); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: MANUFACTURING METHOD FOR DUAL-GATE OXIDE SEMICONDUCTOR TFT SUBSTRATE, AND STRUCTURE OF DUAL-GATE OXIDE SEMICONDUCTOR TFT SUBSTRATE

(54) 发明名称: 双栅极氧化物半导体 TFT 基板的制作方法及其结构

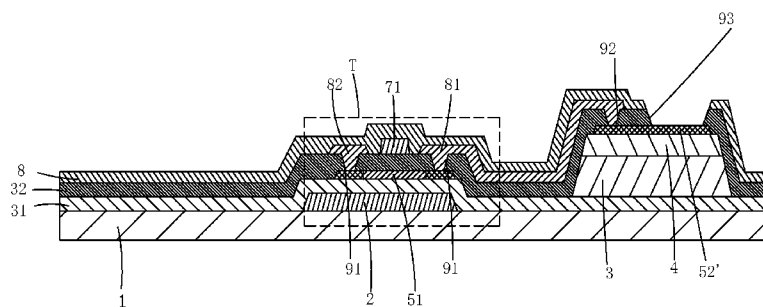


图10

(57) Abstract: Provided are a manufacturing method for a dual-gate oxide semiconductor TFT substrate, and a structure of the dual-gate oxide semiconductor TFT substrate. The manufacturing method for the dual-gate oxide semiconductor TFT substrate uses a halftone mask plate to perform a photomask process to both complete patterning of an oxide semiconductor layer and prepare an oxide conductor layer (52') via ion doping. The oxide conductor layer (52') acts as a pixel electrode of an LCD and replaces ITO pixel electrodes in the prior art. A source (81), a drain (82) and a top gate (71) are prepared simultaneously via a photomask process. Patterning processing is performed on a passivation layer (8) and a top gate insulating layer (32) via a photomask process. The number of photomask processes is reduced to nine, a manufacturing process flow is shortened, production efficiency is increased, and production costs are decreased.

(57) 摘要:

[见续页]



WO 2016/165185 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

提供一种双栅极氧化物半导体 TFT 基板的制作方法及其结构。该双栅极氧化物半导体 TFT 基板的制作方法使用半色调掩膜板进行一道光罩制程, 既能够完成氧化物半导体层的图案化、又能够通过离子掺杂制得氧化物导体层 (52'), 该氧化物导体层 (52') 作为 LCD 的像素电极替代现有技术中的 ITO 像素电极; 通过一道光罩制程同时制得源极 (81)、漏极 (82) 与顶栅极 (71); 通过一道光罩制成钝化层 (8) 及顶栅绝缘层 (32) 进行图案化处理, 光罩制程减少至九道, 缩短了制作工序流程, 提高了生产效率, 降低了生产成本。

## 双栅极氧化物半导体 TFT 基板的制作方法及其结构

### 技术领域

5 本发明涉及显示技术领域，尤其涉及一种适用于 LCD 的双栅极氧化物半导体 TFT 基板的制作方法及其结构。

### 背景技术

10 平面显示装置具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有的平面显示装置主要包括液晶显示装置 (Liquid Crystal Display, LCD) 及有机发光二极管显示装置 (Organic Light Emitting Display, OLED)。

薄膜晶体管 (TFT) 是平面显示装置的重要组成部分。TFT 可形成在玻璃基板或塑料基板上，通常作为开关部件和驱动部件用在诸如 LCD、OLED 等平面显示装置上。

15 氧化物半导体 TFT 技术是当前的热门技术。由于氧化物半导体具有较高的电子迁移率，而且相比低温多晶硅 (LTPS)，氧化物半导体制程简单，与非晶硅制程相容性较高，可以应用于 LCD、OLED 平面显示装置等，且与高世代生产线兼容，可应用于大中小尺寸显示，具有良好的应用发展前景。

20 目前，在有源阵列平面显示装置中，TFT 基板通常采用单栅极氧化物半导体薄膜晶体管 (Single-Gate TFT)。双栅极氧化物半导体薄膜晶体管 (Dual-Gate) 相比单栅极氧化物半导体薄膜晶体管具有更优的性能，如电子迁移率更高，开态电流较大、亚阈值摆幅更小、阈值电压的稳定性及均匀性更好、栅极偏压及照光稳定性更好等。

25 在 LCD 的制程中，可将彩色滤光片在 TFT 基板的阵列制程中完成，即采用 COA (Color Filter On Array) 技术。如图 1 所示，现有的采用 COA 技术的适用于 LCD 的双栅极氧化物半导体 TFT 基板结构包括基板 100，位于基板 100 上的底栅极 200，位于基板 100 与底栅极 200 上的栅极绝缘层 300，位于底栅极 200 上方设于栅极绝缘层 300 上的氧化物半导体层 400，设于氧化物半导体层 400、与栅极绝缘层 300 上的刻蚀阻挡层 500，设于刻蚀阻挡层 500 上的源/漏极 600，设于源/漏极 600、与刻蚀阻挡层 500 上的钝化层 700，位于源/漏极 600 上方设于钝化层 700 上的顶栅极 800，设于顶栅极 800、与钝化层 700 上的红/绿/蓝色阻层 900，设于红/绿/蓝色阻层 900 及钝化层 700 上的第一平坦层 910，及设于第一平坦层 910 上的 ITO 像素电极

1100。

所述刻蚀阻挡层 500 对应氧化物半导体层 400 上方形成有第一过孔 510、及第二过孔 520，所述源/漏极 600 分别经由第一过孔 510、及第二过孔 520 与氧化物半导体层 400 相接触；所述钝化层 700、及第一平坦层 910 对应源/漏极 600 上方形成有第三过孔 530，ITO 像素电极 1100 经由第三过孔 530 与源/漏极 600 相接触。

制作上述双栅极氧化物半导体 TFT 基板时，除基板 100 与栅极绝缘层 300 外，其它的每一结构层均通过一道光罩制程来进行图案化处理，所需的光罩制程次数较多。显然，现有的采用 COA 技术的适用于 LCD 的双栅极氧化物半导体 TFT 基板的结构较复杂，其制作方法的工序流程较长，生产效率较低，制程成本较高。

## 发明内容

本发明的目的在于提供一种适用于 LCD 的双栅极氧化物半导体 TFT 基板的制作方法，能够减少光罩制程次数，缩短制作工序流程，提高生产效率，降低生产成本。

本发明的另一目的在于提供一种适用于 LCD 的双栅极氧化物半导体 TFT 基板结构，能够使得光罩制程次数减少，制作工序流程缩短，生产效率提高，生产成本降低。

为实现上述目的，本发明首先提供一种双栅极氧化物半导体 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在该基板上沉积第一金属层，通过第一道光罩制程对所述第一金属层进行图案化处理，形成底栅极；

步骤 2、在所述底栅极、及基板上沉积底栅绝缘层；

步骤 3、在所述底栅绝缘层上沉积色阻层，分别通过第二、第三、第四道光罩制程依次对所述色阻层进行图案化处理，形成红/绿/蓝色阻层；接着在所述红/绿/蓝色阻层上沉积平坦层，通过第五道光罩制程对所述平坦层进行图案化处理，形成分别覆盖所述红/绿/蓝色阻层的平坦层；

步骤 4、在所述底栅绝缘层、及平坦层上沉积氧化物半导体层，在氧化物半导体层上涂覆光阻层，使用半色调掩模板进行第六道光罩制程：先对所述光阻层进行曝光、显影，得到分别位于所述底栅极、及平坦层上方覆盖所述氧化物半导体层的第一光阻层、及第二光阻层；所述第一光阻层的两侧区域、及第二光阻层的厚度小于所述第一光阻层的中间区域的厚度；

再利用所述第一光阻层、及第二光阻层对所述氧化物半导体层进行刻

蚀，使所述氧化物半导体层图案化，得到分别位于所述底栅极、及平坦层上方的第一氧化物半导体层、及第二氧化物半导体层；

5 步骤 5、先去除所述第一光阻层的两侧区域、及第二光阻层；以余下的第一光阻层的中间区域为遮蔽层，对所述第一氧化物半导体层的两侧、及第二氧化物半导体层进行离子掺杂，使所述第一氧化物半导体层的两侧区域转变为导体，使所述第二氧化物半导体层转变为氧化物导体层；然后去除余下的第一光阻层的中间区域；

10 步骤 6、在所述第一氧化物半导体层、氧化物导体层、及底栅绝缘层上沉积顶栅绝缘层，通过第七道光罩制程对所述顶栅绝缘层进行图案化处理，形成分别位于所述第一氧化物半导体层两侧区域上方的第一过孔、及位于所述氧化物导体层上方的第二过孔；

步骤 7、在所述顶栅绝缘层上沉积第二、第三金属层，通过第八道光罩制程对第二、第三金属层进行图案化处理，分别得到位于所述第一氧化物半导体层上方的顶栅极、位于所述顶栅极两侧的源极与漏极；

15 所述源极与漏极分别经由所述第一过孔与所述第一氧化物半导体层的两侧区域相接触，所述源极经由所述第二过孔与所述氧化物导体层相接触；

步骤 8、在所述顶栅极、源极、漏极及顶栅绝缘层上沉积钝化层；通过第九道光罩制程对所述钝化层、及顶栅绝缘层同时进行图案化处理，得到位于所述氧化物导体层上方的第三过孔，以暴露出部分氧化物导体层；

20 所述底栅极、第一氧化物半导体层、源极、漏极、及顶栅极构成双栅极 TFT；所述氧化物导体层构成 LCD 的像素电极。

所述步骤 3 还包括对所述底栅绝缘层进行等离子处理。

所述步骤 4 采用物理气相沉积法沉积所述氧化物半导体层。

所述步骤 6 采用干法刻蚀对所述顶栅绝缘层进行图案化处理。

25 所述氧化物半导体层的材料为 IGZO。

所述底栅极、源极、漏极、及顶栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述底栅绝缘层及顶栅绝缘层的材料为氮化硅、氧化硅、或二者的组合。

30 本发明还提供一种双栅极氧化物半导体 TFT 基板结构，包括基板、设于基板上的底栅极、设于基板与底栅极上的底栅绝缘层、设于底栅绝缘层上的红/绿/蓝色阻层、对应覆盖所述红/绿/蓝色阻层的平坦层、位于底栅极上方设于底栅绝缘层上的第一氧化物半导体层、位于红/绿/蓝色阻层上方设于平坦层上的氧化物导体层、位于所述第一氧化物半导体层、氧化物导体

层、及底栅绝缘层上的顶栅绝缘层、位于所述氧化物半导体层上方设于顶栅绝缘层上的顶栅极、位于顶栅极两侧设于顶栅绝缘层上的源极与漏极、及设于所述顶栅极、源极、漏极、与顶栅绝缘层上的钝化层；

5 所述第一氧化物半导体层的两侧区域为离子掺杂的导体层；所述顶栅绝缘层对应第一氧化物半导体层两侧区域的上方分别设有第一过孔，所述顶栅绝缘层对应氧化物导体层上方设有第二过孔，所述顶栅绝缘层、及钝化层对应氧化物导体层上方设有第三过孔；

10 所述源极、漏极分别经由所述第一过孔与所述第一氧化物半导体层的两侧区域相接触；所述源极经由所述第二过孔与所述氧化物导体层相接触；所述第三过孔暴露出部分氧化物导体层；

所述底栅极、第一氧化物半导体层、源极、漏极、及顶栅极构成双栅极 TFT；所述氧化物导体层构成 LCD 的像素电极。

所述第一氧化物半导体层的材料为 IGZO，所述氧化物导体层通过对 IGZO 半导体层进行离子掺杂制得。

15 所述底栅绝缘层及顶栅绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述底栅极、顶栅极、源极、及漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

20 本发明还提供一种双栅极氧化物半导体 TFT 基板结构，包括基板、设于基板上的底栅极、设于基板与底栅极上的底栅绝缘层、设于底栅绝缘层上的红/绿/蓝色阻层、对应覆盖所述红/绿/蓝色阻层的平坦层、位于底栅极上方设于底栅绝缘层上的第一氧化物半导体层、位于红/绿/蓝色阻层上方设于平坦层上的氧化物导体层、位于所述第一氧化物半导体层、氧化物导体层、及底栅绝缘层上的顶栅绝缘层、位于所述氧化物半导体层上方设于顶栅绝缘层上的顶栅极、位于顶栅极两侧设于顶栅绝缘层上的源极与漏极、  
25 及设于所述顶栅极、源极、漏极、与顶栅绝缘层上的钝化层；

所述第一氧化物半导体层的两侧区域为离子掺杂的导体层；所述顶栅绝缘层对应第一氧化物半导体层两侧区域的上方分别设有第一过孔，所述顶栅绝缘层对应氧化物导体层上方设有第二过孔，所述顶栅绝缘层、及钝化层对应氧化物导体层上方设有第三过孔；

30 所述源极、漏极分别经由所述第一过孔与所述第一氧化物半导体层的两侧区域相接触；所述源极经由所述第二过孔与所述氧化物导体层相接触；所述第三过孔暴露出部分氧化物导体层；

所述底栅极、第一氧化物半导体层、源极、漏极、及顶栅极构成双栅极 TFT；所述氧化物导体层构成 LCD 的像素电极；

其中，所述第一氧化物半导体层的材料为 IGZO，所述氧化物导体层通过对 IGZO 半导体层进行离子掺杂制得；

其中，所述底栅绝缘层及顶栅绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述底栅极、顶栅极、源极、及漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

本发明的有益效果：本发明提供一种双栅极氧化物半导体 TFT 基板的制作方法，使用半色调掩模板进行一道光罩制程，既能够完成氧化物半导体层的图案化、又能够通过离子掺杂制得氧化物导体层，该氧化物导体层作为 LCD 的像素电极替代现有技术中的 ITO 像素电极；通过一道光罩制程同时制得源极、漏极、与顶栅极；通过一道光罩制程同时对钝化层、及顶栅绝缘层进行图案化处理，光罩减少至九道，缩短了制作工序流程，提高了生产效率，降低了生产成本。本发明提供一种双栅极氧化物半导体 TFT 基板结构，通过设置氧化物导体层来作为 LCD 的像素电极，并将源极、漏极与顶栅极均设置于顶栅绝缘层上，一方面能够简化 TFT 基板结构，一方面能够使得光罩制程次数减少，制作工序流程缩短，生产效率提高，生产成本降低。

## 附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为现有的采用 COA 技术的适用于 LCD 的双栅极氧化物半导体 TFT 基板结构的剖面示意图；

图 2 为本发明双栅极氧化物半导体 TFT 基板的制作方法的流程图；

图 3 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 1 的示意图；

图 4 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 2 的示意图；

图 5 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 3 的示意图；

图 6 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 4 的示意图；

图 7 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 5 的示

意图；

图 8 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 6 的示意图；

5 图 9 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 7 的示意图；

图 10 为本发明双栅极氧化物半导体 TFT 基板的制作方法的步骤 8 的示意图暨本发明双栅极氧化物半导体 TFT 基板结构的剖面示意图。

### **具体实施方式**

10 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 2，本发明首先提供一种适用于 LCD 的双栅极氧化物半导体 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 3 所示，提供一基板 1，在该基板 1 上沉积第一金属层，  
15 通过第一道光罩制程对所述第一金属层进行图案化处理，形成底栅极 2。

具体地，所述基板 1 为透明基板，优选地，所述基板 1 为玻璃基板。

所述第一金属层的材料为钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合，即所述底栅极 2 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

20 步骤 2、如图 4 所示，在所述底栅极 2、及基板 1 上沉积底栅绝缘层 31。

具体地，所述底栅绝缘层 31 的材料为氮化硅 (SiN<sub>x</sub>)、氧化硅 (SiO<sub>x</sub>)、或二者的组合。

步骤 3、如图 5 所示，在所述底栅绝缘层 31 上沉积色阻层，分别通过  
25 第二、第三、第四道光罩制程依次对所述色阻层进行图案化处理，形成红/绿/蓝色阻层 3；接着在所述红/绿/蓝色阻层 3 上沉积平坦层，通过第五道光罩制程对所述平坦层进行图案化处理，形成分别覆盖所述红/绿/蓝色阻层 3 的平坦层 4。

所述平坦层 4 的材料为有机光阻，能够对红/绿/蓝色阻层 3 起到覆盖保护作用。

30 进一步地，该步骤 3 还包括对所述底栅绝缘层 31 进行等离子处理 (Plasma Treatment)，以改善所述底栅绝缘层 31 的膜质。

步骤 4、如图 6 所示，在所述底栅绝缘层 31、及平坦层 4 上沉积氧化物半导体层，在氧化物半导体层上涂覆光阻层，使用半色调掩膜板 (Half-Tone) 进行第六道光罩制程：先对所述光阻层进行曝光、显影，得

到分别位于所述底栅极 2、及平坦层 4 上方覆盖所述氧化物半导体层的第一光阻层 41、及第二光阻层 42；所述第一光阻层 41 的两侧区域、及第二光阻层 42 的厚度小于所述第一光阻层 41 的中间区域的厚度。

再利用所述第一光阻层 41、及第二光阻层 42 对所述氧化物半导体层进行刻蚀，使所述氧化物半导体层图案化，得到分别位于所述底栅极 2、及平坦层 4 上方的第一氧化物半导体层 51、及第二氧化物半导体层 52。

具体地，该步骤 4 采用物理气相沉积法（Physical Vapor Deposition, PVD）沉积透明的氧化物半导体层。

所述氧化物半导体层的材料为铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO）。

步骤 5、如图 7 所示，先去除所述第一光阻层 41 的两侧区域、及第二光阻层 42；以余下的第一光阻层 41 的中间区域为遮蔽层，对所述第一氧化物半导体层 51 的两侧、及第二氧化物半导体层 52 进行离子掺杂，使所述第一氧化物半导体层 51 的两侧区域转变为导体，使所述第二氧化物半导体层 52 转变为氧化物导体层 52'；然后去除余下的第一光阻层 41 的中间区域。

步骤 6、如图 8 所示，在所述第一氧化物半导体层 51、氧化物导体层 52'、及底栅绝缘层 31 上沉积顶栅绝缘层 32，通过第七道光罩制程对所述顶栅绝缘层 32 进行图案化处理，形成分别位于所述第一氧化物半导体层 51 两侧区域上方的第一过孔 91、及位于所述氧化物导体层 52' 上方的第二过孔 92。

具体地，该步骤 6 采用干法刻蚀对所述顶栅绝缘层 32 进行图案化处理。所述顶栅绝缘层 32 的材料为氮化硅、氧化硅、或二者的组合。

步骤 7、如图 9 所示，在所述顶栅绝缘层 32 上沉积第二、第三金属层，通过第八道光罩制程对第二、第三金属层进行图案化处理，分别得到位于所述第一氧化物半导体层 51 上方的顶栅极 71、位于所述顶栅极 71 两侧的源极 81 与漏极 82。

所述源极 81 与漏极 82 分别经由所述第一过孔 91 与所述第一氧化物半导体层 51 的两侧区域相接触，所述源极 81 经由所述第二过孔 92 与所述氧化物导体层 52' 相接触。

具体地，所述第二、及第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合，即所述源极 81、漏极 82、及顶栅极 71 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

步骤 8、如图 10 所示，在所述顶栅极 71、源极 81、漏极 82 及顶栅绝缘层 32 上沉积钝化层 8；通过第九道光罩制程对所述钝化层 8、及顶栅绝

缘层 32 同时进行图案化处理, 得到位于所述氧化物导体层 52' 上方的第三过孔 93, 以暴露出部分氧化物导体层 52'。

所述底栅极 2、第一氧化物半导体层 51、源极 81、漏极 82、及顶栅极 71 构成双栅极 TFT T; 所述氧化物导体层 52' 构成 LCD 的像素电极。

5 上述双栅极氧化物半导体 TFT 基板的制作方法, 使用半色调掩膜板进行一道光罩制程, 既能够完成氧化物半导体层的图案化、又能够通过离子掺杂制得氧化物导体层 52'; 通过一道光罩制程同时制得源极 81、漏极 82、与顶栅极 71; 通过一道光罩制程同时对钝化层 8、及顶栅绝缘层 32 进行图案化处理, 光罩制程减少至九道, 缩短了制作工序流程, 提高了生产效率, 10 降低了生产成本。

请参阅图 10, 本发明还提供一种适用于 LCD 的双栅极氧化物半导体 TFT 基板结构, 包括基板 1、设于基板 1 上的底栅极 2、设于基板 1 与底栅极 2 上的底栅绝缘层 31、设于底栅绝缘层 31 上的红/绿/蓝色阻层 3、对应覆盖所述红/绿/蓝色阻层 3 的平坦层 4、位于底栅极 2 上方设于底栅绝缘层 15 31 上的第一氧化物半导体层 51、位于红/绿/蓝色阻层 3 上方设于平坦层 4 上的氧化物导体层 52'、位于所述第一氧化物半导体层 51、氧化物导体层 52'、及底栅绝缘层 31 上的顶栅绝缘层 32、位于所述氧化物半导体层 51 上方设于顶栅绝缘层 32 上的顶栅极 71、位于顶栅极 71 两侧设于顶栅绝缘层 32 上的源极

20 81 与漏极 82、及设于所述顶栅极 71、源极 81、漏极 82、与顶栅绝缘层 32 上的钝化层 8。

具体地, 所述第一氧化物半导体层 51 的两侧区域为离子掺杂的导体层; 所述顶栅绝缘层 32 对应第一氧化物半导体层 51 两侧区域的上方分别设有第一过孔 91, 所述顶栅绝缘层 32 对应氧化物导体层 52' 上方设有第二过孔 25 92, 所述顶栅绝缘层 32、及钝化层 8 对应氧化物导体层 52' 上方设有第三过孔 93。

所述源极 81、漏极 82 分别经由所述第一过孔 91 与所述第一氧化物半导体层 51 的两侧区域相接触; 所述源极 81 经由所述第二过孔 92 与所述氧化物导体层 52' 相接触; 所述第三过孔 93 暴露出部分氧化物导体层 52'。

30 所述底栅极 21、第一氧化物半导体层 51、源极 81、漏极 82、及顶栅极 71 构成双栅极 TFT T; 所述氧化物导体层 52' 构成 LCD 的像素电极。

具体地, 所述第一氧化物半导体层 51 的材料为 IGZO, 所述氧化物导体层 52' 通过对 IGZO 半导体层进行离子掺杂制得。所述底栅绝缘层 31 及顶栅绝缘层 32 的材料为氮化硅、氧化硅、或二者的组合; 所述底栅极 2、

顶栅极 71、源极 81、及漏极 82 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

上述双栅极氧化物半导体 TFT 基板结构,设置氧化物导体层 52'来作为 LCD 的像素电极,且该氧化物导体层 52'与所述第一氧化物半导体层 51 经一道光罩制程制作;将源极 81、漏极 82、及顶栅极 71 均设置于顶栅绝缘层 32 上,一方面能够简化 TFT 基板结构,一方面能够使得光罩制程次数减少,制作工序流程缩短,生产效率提高,生产成本降低。

综上所述,本发明的双栅极氧化物半导体 TFT 基板的制作方法,使用半色调掩模板进行一道光罩制程,既能够完成氧化物半导体层的图案化,又能够通过离子掺杂制得氧化物导体层,该氧化物导体层作为 LCD 的像素电极替代现有技术中的 ITO 像素电极;通过一道光罩制程同时制得源极、漏极、与顶栅极;通过一道光罩制程同时对钝化层、及顶栅绝缘层进行图案化处理,光罩制程减少至九道,缩短了制作工序流程,提高了生产效率,降低了生产成本。本发明的双栅极氧化物半导体 TFT 基板结构,通过设置氧化物导体层来作为 LCD 的像素电极,并将源极、漏极与顶栅极均设置于顶栅绝缘层上,

一方面能够简化 TFT 基板结构,一方面能够使得光罩制程次数减少,制作工序流程缩短,生产效率提高,生产成本降低。

以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

## 权 利 要 求

1、一种双栅极氧化物半导体 TFT 基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在该基板上沉积第一金属层，通过第一道光罩制程对所述第一金属层进行图案化处理，形成底栅极；

步骤 2、在所述底栅极、及基板上沉积底栅绝缘层；

10 步骤 3、在所述底栅绝缘层上沉积色阻层，分别通过第二、第三、第四道光罩制程依次对所述色阻层进行图案化处理，形成红/绿/蓝色阻层；接着在所述红/绿/蓝色阻层上沉积平坦层，通过第五道光罩制程对所述平坦层进行图案化处理，形成分别覆盖所述红/绿/蓝色阻层的平坦层；

15 步骤 4、在所述底栅绝缘层、及平坦层上沉积氧化物半导体层，在氧化物半导体层上涂覆光阻层，使用半色调掩模板进行第六道光罩制程：先对所述光阻层进行曝光、显影，得到分别位于所述底栅极、及平坦层上方覆盖所述氧化物半导体层的第一光阻层、及第二光阻层；所述第一光阻层的两侧区域、及第二光阻层的厚度小于所述第一光阻层的中间区域的厚度；

再利用所述第一光阻层、及第二光阻层对所述氧化物半导体层进行刻蚀，使所述氧化物半导体层图案化，得到分别位于所述底栅极、及平坦层上方的第一氧化物半导体层、及第二氧化物半导体层；

20 步骤 5、先去除所述第一光阻层的两侧区域、及第二光阻层；以余下的第一光阻层的中间区域为遮蔽层，对所述第一氧化物半导体层的两侧、及第二氧化物半导体层进行离子掺杂，使所述第一氧化物半导体层的两侧区域转变为导体，使所述第二氧化物半导体层转变为氧化物导体层；然后去除余下的第一光阻层的中间区域；

25 步骤 6、在所述第一氧化物半导体层、氧化物导体层、及底栅绝缘层上沉积顶栅绝缘层，通过第七道光罩制程对所述顶栅绝缘层进行图案化处理，形成分别位于所述第一氧化物半导体层两侧区域上方的第一过孔、及位于所述氧化物导体层上方的第二过孔；

30 步骤 7、在所述顶栅绝缘层上沉积第二、第三金属层，通过第八道光罩制程对第二、第三金属层进行图案化处理，分别得到位于所述第一氧化物半导体层上方的顶栅极、位于所述顶栅极两侧的源极与漏极；

所述源极与漏极分别经由所述第一过孔与所述第一氧化物半导体层的两侧区域相接触，所述源极经由所述第二过孔与所述氧化物导体层相接触；

步骤 8、在所述顶栅极、源极、漏极及顶栅绝缘层上沉积钝化层；通过

第九道光罩制程对所述钝化层、及顶栅绝缘层同时进行图案化处理，得到位于所述氧化物导体层上方的第三过孔，以暴露出部分氧化物导体层；

所述底栅极、第一氧化物半导体层、源极、漏极、及顶栅极构成双栅极 TFT；所述氧化物导体层构成 LCD 的像素电极。

5 2、如权利要求 1 所述的双栅极氧化物半导体 TFT 基板的制作方法，其中，所述步骤 3 还包括对所述底栅绝缘层进行等离子处理。

3、如权利要求 1 所述的双栅极氧化物半导体 TFT 基板的制作方法，其中，所述步骤 4 采用物理气相沉积法沉积所述氧化物半导体层。

10 4、如权利要求 1 所述的双栅极氧化物半导体 TFT 基板的制作方法，其中，所述步骤 6 采用干法刻蚀对所述顶栅绝缘层进行图案化处理。

5、如权利要求 1 所述的双栅极氧化物半导体 TFT 基板的制作方法，其中，所述氧化物半导体层的材料为 IGZO。

15 6、如权利要求 1 所述的双栅极氧化物半导体 TFT 基板的制作方法，其中，所述底栅极、源极、漏极、及顶栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

7、如权利要求 1 所述的双栅极氧化物半导体 TFT 基板的制作方法，其中，所述底栅绝缘层及顶栅绝缘层的材料为氮化硅、氧化硅、或二者的组合。

20 8、一种双栅极氧化物半导体 TFT 基板结构，包括基板、设于基板上的底栅极、设于基板与底栅极上的底栅绝缘层、设于底栅绝缘层上的红/绿/蓝色阻层、对应覆盖所述红/绿/蓝色阻层的平坦层、位于底栅极上方设于底栅绝缘层上的第一氧化物半导体层、位于红/绿/蓝色阻层上方设于平坦层上的氧化物导体层、位于所述第一氧化物半导体层、氧化物导体层、及底栅绝缘层上的顶栅绝缘层、位于所述氧化物半导体层上方设于顶栅绝缘层上的顶栅极、位于顶栅极两侧设于顶栅绝缘层上的源极与漏极、及设于所述顶栅极、源极、漏极、与顶栅绝缘层上的钝化层；

25 所述第一氧化物半导体层的两侧区域为离子掺杂的导体层；所述顶栅绝缘层对应第一氧化物半导体层两侧区域的上方分别设有第一过孔，所述顶栅绝缘层对应氧化物导体层上方设有第二过孔，所述顶栅绝缘层、及钝化层对应氧化物导体层上方设有第三过孔；

所述源极、漏极分别经由所述第一过孔与所述第一氧化物半导体层的两侧区域相接触；所述源极经由所述第二过孔与所述氧化物导体层相接触；所述第三过孔暴露出部分氧化物导体层；

所述底栅极、第一氧化物半导体层、源极、漏极、及顶栅极构成双栅

极 TFT；所述氧化物导体层构成 LCD 的像素电极。

9、如权利要求 8 所述的双栅极氧化物半导体 TFT 基板结构，其中，所述第一氧化物半导体层的材料为 IGZO，所述氧化物导体层通过对 IGZO 半导体层进行离子掺杂制得。

5 10、如权利要求 8 所述的双栅极氧化物半导体 TFT 基板结构，其中，所述底栅绝缘层及顶栅绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述底栅极、顶栅极、源极、及漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

10 11、一种双栅极氧化物半导体 TFT 基板结构，包括基板、设于基板上的底栅极、设于基板与底栅极上的底栅绝缘层、设于底栅绝缘层上的红/绿/蓝色阻层、对应覆盖所述红/绿/蓝色阻层的平坦层、位于底栅极上方设于底栅绝缘层上的第一氧化物半导体层、位于红/绿/蓝色阻层上方设于平坦层上的氧化物导体层、位于所述第一氧化物半导体层、氧化物导体层、及底栅绝缘层上的顶栅绝缘层、位于所述氧化物半导体层上方设于顶栅绝缘层上的顶栅极、位于顶栅极两侧设于顶栅绝缘层上的源极与漏极、及设于所述顶栅极、源极、漏极、与顶栅绝缘层上的钝化层；

20 所述第一氧化物半导体层的两侧区域为离子掺杂的导体层；所述顶栅绝缘层对应第一氧化物半导体层两侧区域的上方分别设有第一过孔，所述顶栅绝缘层对应氧化物导体层上方设有第二过孔，所述顶栅绝缘层、及钝化层对应氧化物导体层上方设有第三过孔；

所述源极、漏极分别经由所述第一过孔与所述第一氧化物半导体层的两侧区域相接触；所述源极经由所述第二过孔与所述氧化物导体层相接触；所述第三过孔暴露出部分氧化物导体层；

25 所述底栅极、第一氧化物半导体层、源极、漏极、及顶栅极构成双栅极 TFT；所述氧化物导体层构成 LCD 的像素电极；

其中，所述第一氧化物半导体层的材料为 IGZO，所述氧化物导体层通过对 IGZO 半导体层进行离子掺杂制得；

30 其中，所述底栅绝缘层及顶栅绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述底栅极、顶栅极、源极、及漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

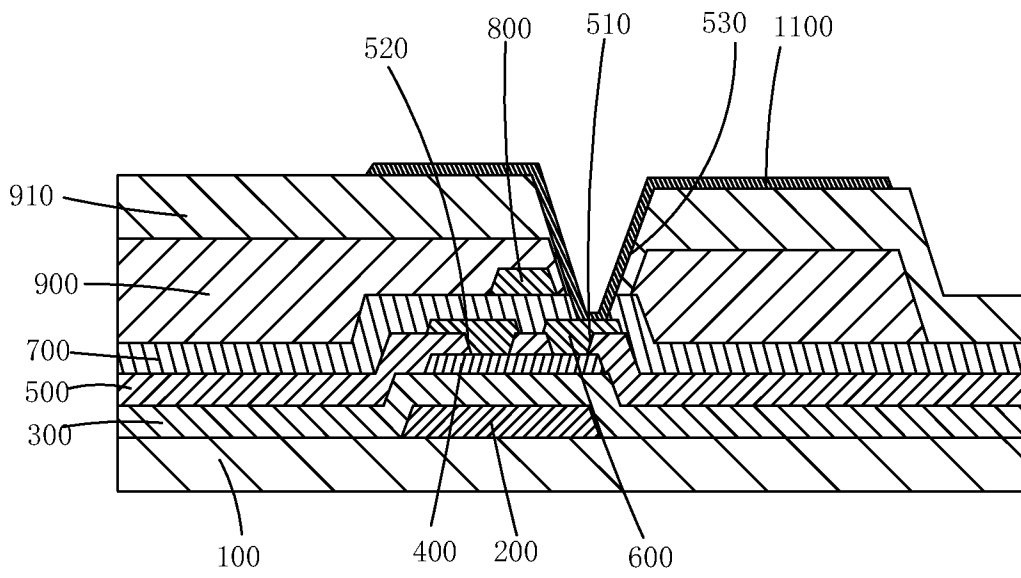


图1

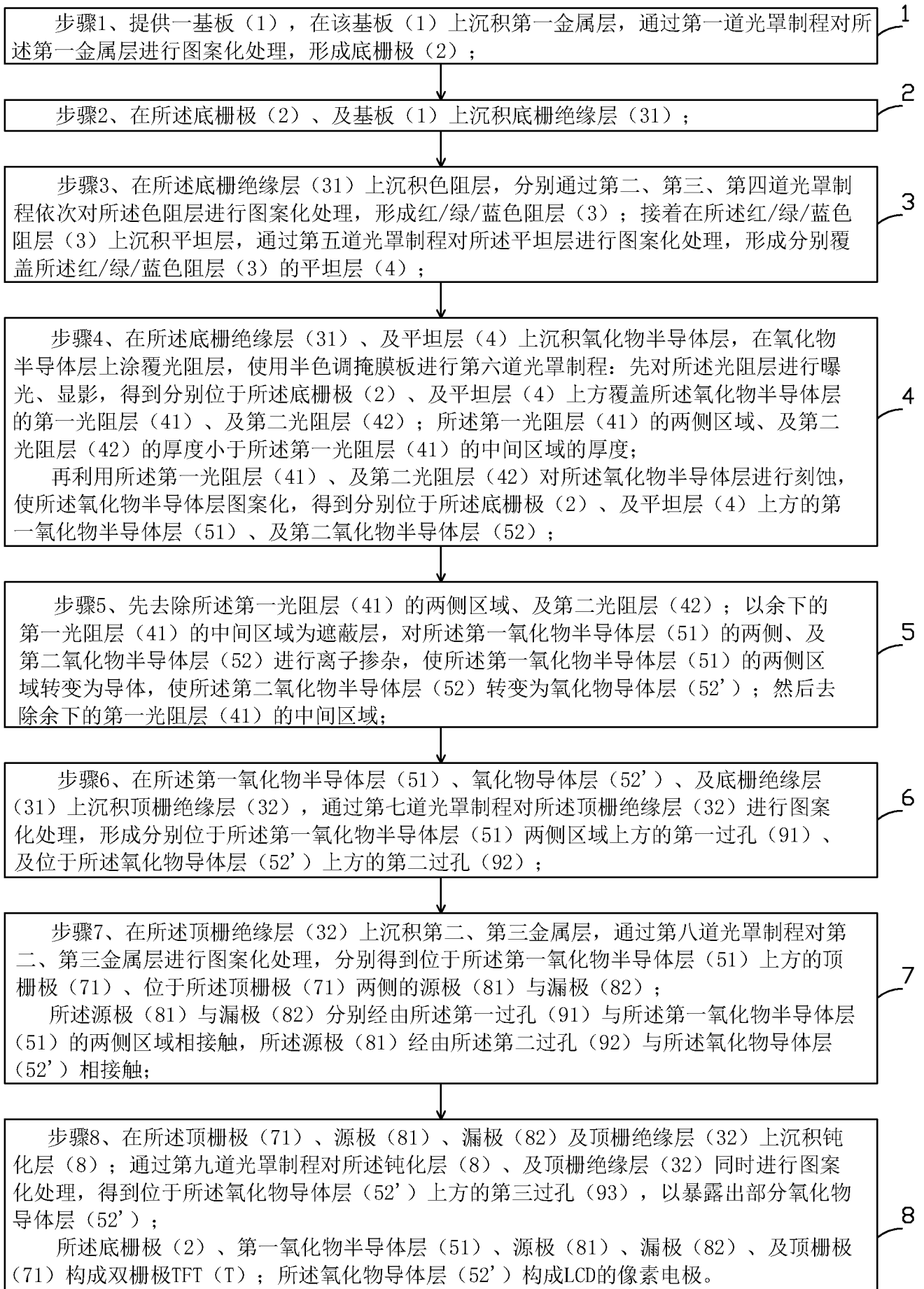


图2

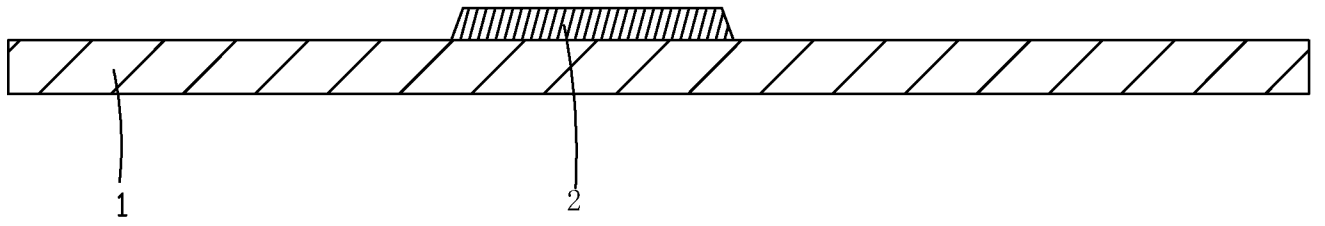


图3

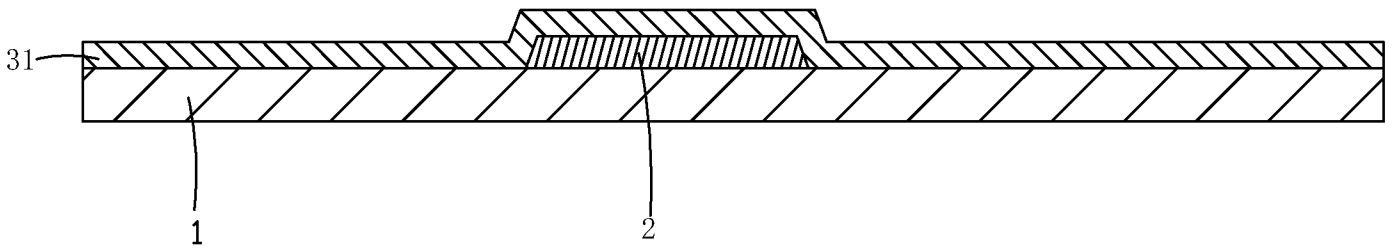


图4

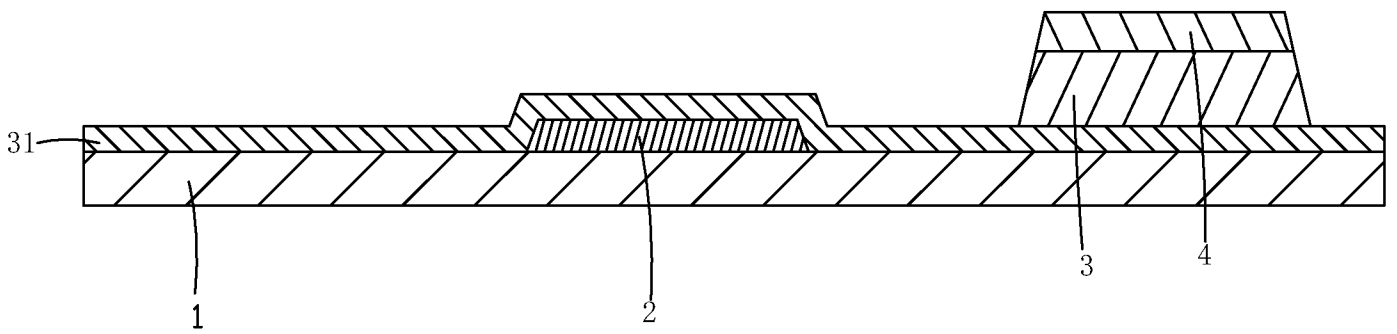


图5

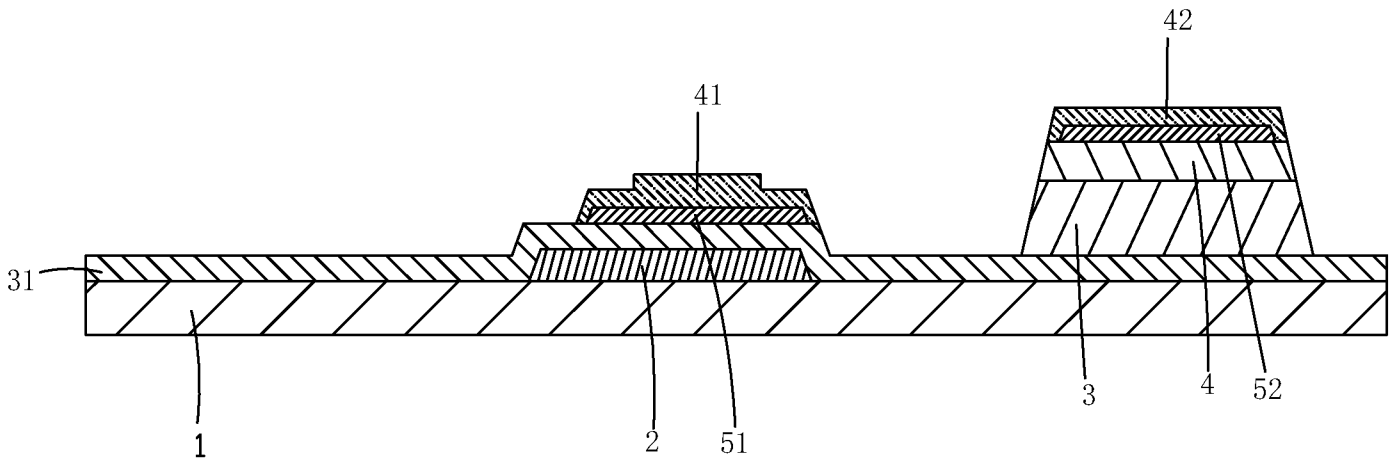


图6

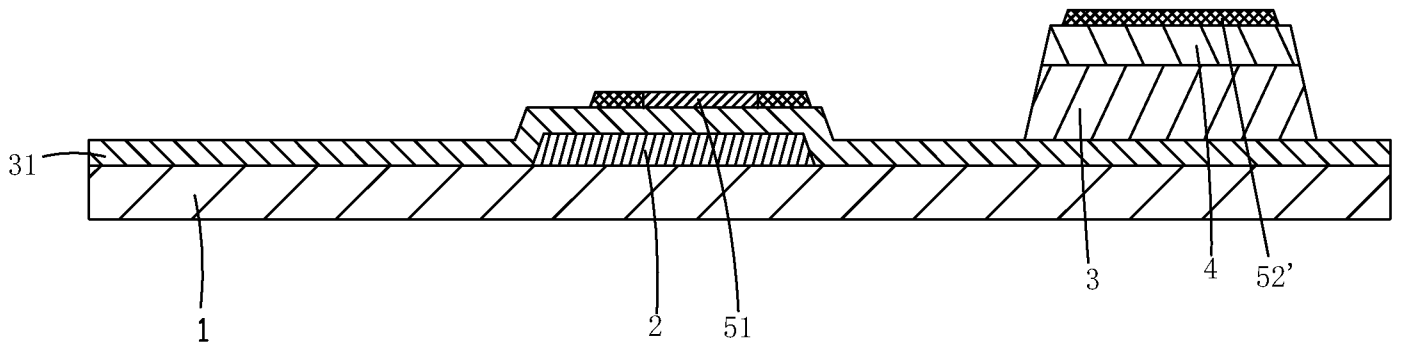


图7

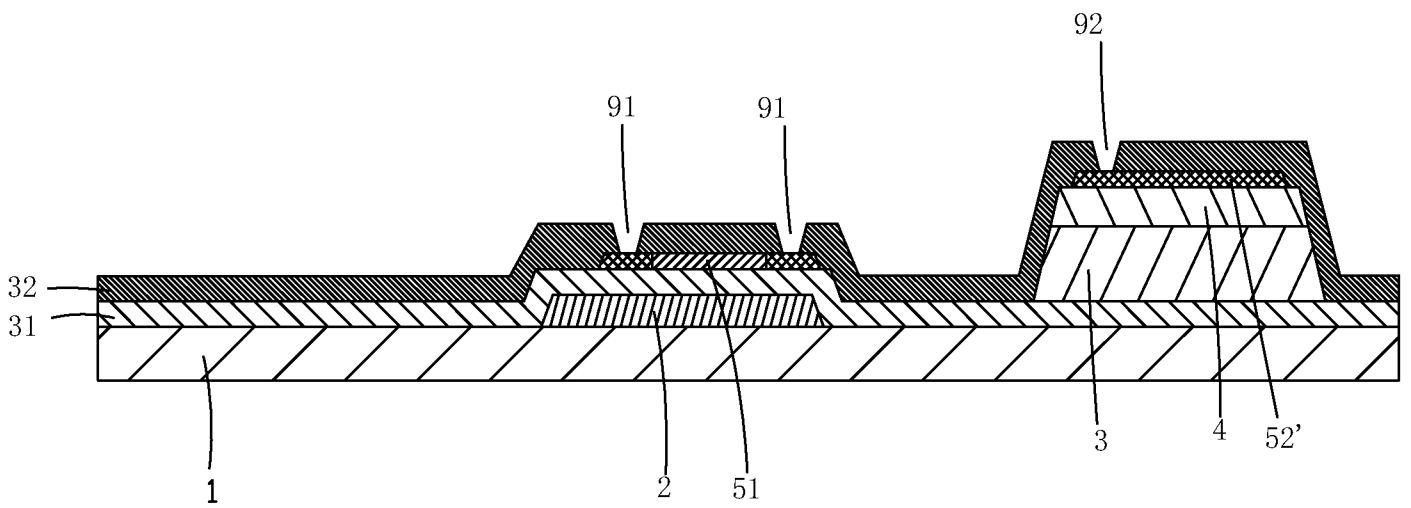


图8

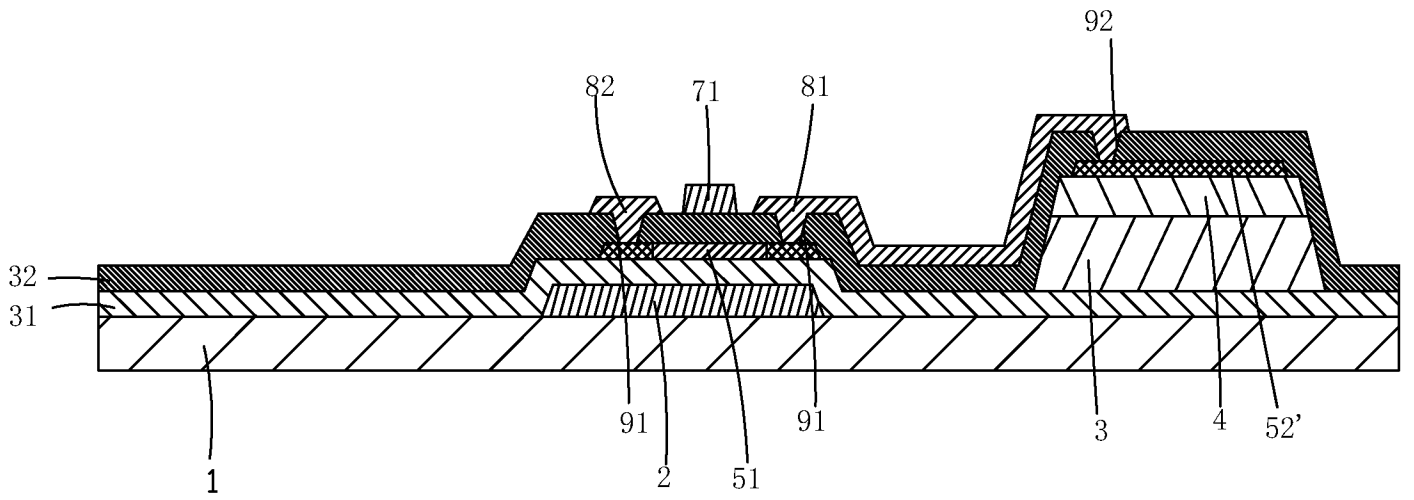


图9

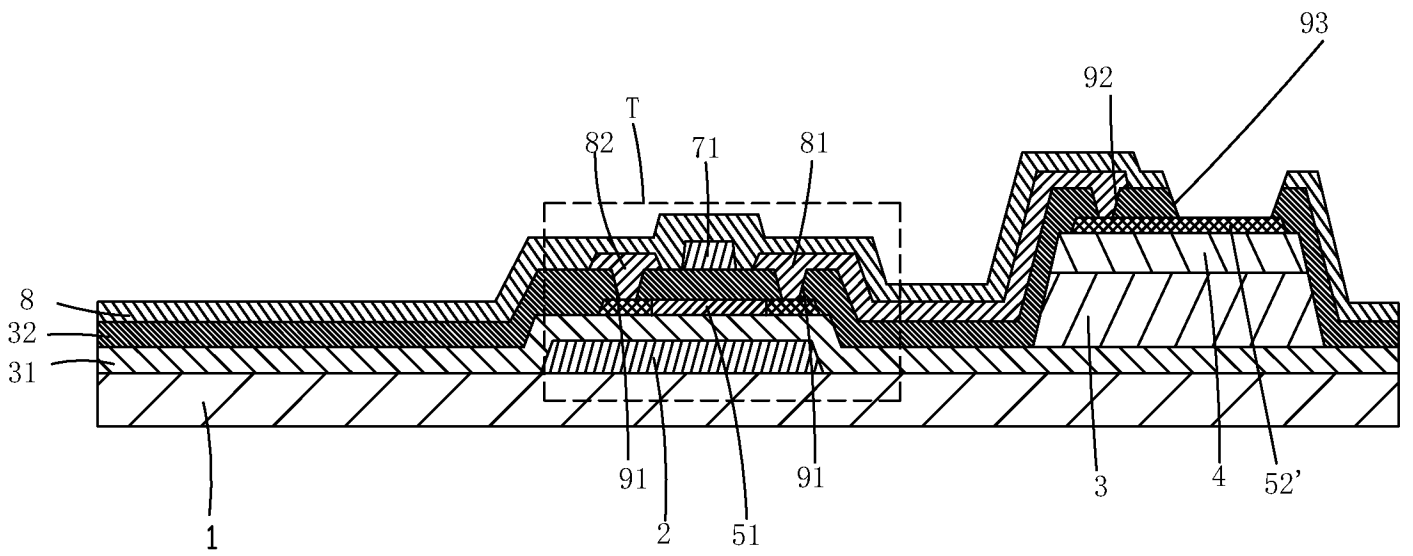


图10

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079471

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 27/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/-; H01L 27/-; G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: dual? gate?, top gate, bottom gate, TFT, color, barrier, pixel electrode, oxide semiconductor, top, bottom, RGB, pixel, oxid+, IGZO

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 104867959 A (SHENZHEN CHINA STAR OPTOELECT) 26 August 2015 (26.08.2015) description, paragraphs [0069] to [0085] and figures 13 to 20	1-11
Y	BAEK Gwanghyeon et al. "Electrical Properties and Stability of Dual-Gate Coplanar Homojunction DC Sputtered A-IGZO TFT and Its Application to AM-OLEDs" IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 58, no. 12, 31 December 2011 (31.12.2011), page 4344, the left column, the first paragraph, page 4345, the left column, the second paragraph and figure 1	1-11
Y	CN 103309081 A (BOE TECHNOLOGY GROUP CO., LTD.) 18 September 2013 (18.09.2013) description, paragraphs [0068] to [0071] and figure 1	1-11
Y	CN 103681514 A (BOE TECHNOLOGY GROUP CO., LTD.) 26 March 2014 (26.03.2014) description, paragraphs [0043] to [0046] and figures 3 to 5	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
---	---

Date of the actual completion of the international search  
04 January 2016

Date of mailing of the international search report  
18 January 2016

Name and mailing address of the ISA  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No. (86-10) 62019451

Authorized officer  
CHEN, Dongbing  
Telephone No. (86-10) 61648069

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2015/079471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102956649 A (BOE TECHNOLOGY GROUP CO., LTD.) 06 March 2013 (06.03.2013) the whole document	1-11

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2015/079471

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104867959 A	26 August 2015	None	
CN 103309081 A	18 September 2013	US 2015309377 A1	29 October 2015
		WO 2014190727 A1	04 December 2014
CN 103681514 A	26 March 2014	WO 2015096374 A1	02 July 2015
CN 102956649 A	06 March 2013	JP 2014106539 A	09 June 2014
		KR 20140067926 A	05 June 2014
		US 2014145199 A1	29 May 2014
		EP 2736077 A1	28 May 2014

<p>A. 主题的分类</p> <p>H01L 29/786(2006.01)i; H01L 27/32(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L29/-; H01L27/-; G02F1/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPDOC, CNPAT, CNKI, IEEE: 双栅, 顶栅, 底栅, 薄膜晶体管, 色阻层, 像素电极, 氧化物半导体, dual? gate?, top, bottom, TFT, RGB, color, barrier, pixel, oxid+, IGZO</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>E</td> <td>CN 104867959 A (深圳市华星光电技术有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第69-85段、附图13-20</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>BAEK Gwanghyeon等. "Electrical Properties and Stability of Dual-Gate Coplanar Homojunction DC Sputtered A-IGZO TFT and Its Application to AM-OLEDs" IEEE TRANSACTIONS ON ELECTRON DEVICES, 第58卷, 第12期, 2011年 12月 31日 (2011 - 12 - 31), 第4344页左栏第1段, 第4345页左栏第2段、图1</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>CN 103309081 A (京东方科技集团股份有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第68-71段、附图1</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>CN 103681514 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 说明书第43-46段、附图3-5</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 102956649 A (京东方科技集团股份有限公司) 2013年 3月 6日 (2013 - 03 - 06) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	E	CN 104867959 A (深圳市华星光电技术有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第69-85段、附图13-20	1-11	Y	BAEK Gwanghyeon等. "Electrical Properties and Stability of Dual-Gate Coplanar Homojunction DC Sputtered A-IGZO TFT and Its Application to AM-OLEDs" IEEE TRANSACTIONS ON ELECTRON DEVICES, 第58卷, 第12期, 2011年 12月 31日 (2011 - 12 - 31), 第4344页左栏第1段, 第4345页左栏第2段、图1	1-11	Y	CN 103309081 A (京东方科技集团股份有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第68-71段、附图1	1-11	Y	CN 103681514 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 说明书第43-46段、附图3-5	1-11	A	CN 102956649 A (京东方科技集团股份有限公司) 2013年 3月 6日 (2013 - 03 - 06) 全文	1-11
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
E	CN 104867959 A (深圳市华星光电技术有限公司) 2015年 8月 26日 (2015 - 08 - 26) 说明书第69-85段、附图13-20	1-11																		
Y	BAEK Gwanghyeon等. "Electrical Properties and Stability of Dual-Gate Coplanar Homojunction DC Sputtered A-IGZO TFT and Its Application to AM-OLEDs" IEEE TRANSACTIONS ON ELECTRON DEVICES, 第58卷, 第12期, 2011年 12月 31日 (2011 - 12 - 31), 第4344页左栏第1段, 第4345页左栏第2段、图1	1-11																		
Y	CN 103309081 A (京东方科技集团股份有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第68-71段、附图1	1-11																		
Y	CN 103681514 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 说明书第43-46段、附图3-5	1-11																		
A	CN 102956649 A (京东方科技集团股份有限公司) 2013年 3月 6日 (2013 - 03 - 06) 全文	1-11																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2016年 1月 4日</p>		<p>国际检索报告邮寄日期</p> <p>2016年 8月 4日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>陈冬冰</p> <p>电话号码 (86-10)61648069</p>																		

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2015/079471

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104867959	A	2015年 8月 26日	无			
CN	103309081	A	2013年 9月 18日	US	2015309377	A1	2015年 10月 29日
				WO	2014190727	A1	2014年 12月 4日
CN	103681514	A	2014年 3月 26日	WO	2015096374	A1	2015年 7月 2日
CN	102956649	A	2013年 3月 6日	JP	2014106539	A	2014年 6月 9日
				KR	20140067926	A	2014年 6月 5日
				US	2014145199	A1	2014年 5月 29日
				EP	2736077	A1	2014年 5月 28日