

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5259122号
(P5259122)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年5月2日 (2013.5.2)

(51) Int.Cl.

F I

G02F 1/1368 (2006.01)
G09F 9/30 (2006.01)G02F 1/1368
G09F 9/30 338

請求項の数 22 (全 14 頁)

(21) 出願番号 特願2007-137438 (P2007-137438)
 (22) 出願日 平成19年5月24日 (2007.5.24)
 (65) 公開番号 特開2008-15488 (P2008-15488A)
 (43) 公開日 平成20年1月24日 (2008.1.24)
 審査請求日 平成22年5月20日 (2010.5.20)
 (31) 優先権主張番号 10-2006-0060450
 (32) 優先日 平成18年6月30日 (2006.6.30)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gih
 eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 金 東 奎
 大韓民国京畿道龍仁市水枝区豊▲徳▼川2
 洞 三星5次アパートメント523棟13
 05号

最終頁に続く

(54) 【発明の名称】 表示基板及びこれを有する表示パネル

(57) 【特許請求の範囲】

【請求項 1】

マトリックス形状に配列される単位画素領域を含むベース基板と、
 前記単位画素領域間に延長されたゲート配線と、
 前記ゲート配線と交差して前記単位画素領域間に延長されたデータ配線と、
 前記単位画素領域内に配置され、前記ゲート配線及びデータ配線と電氣的に接続された
 スイッチング素子の出力端子と電氣的に接続された画素電極と、
 前記ゲート配線及びデータ配線の一部を露出させる
 開口が形成されたシールド電極と、を含み、
 前記シールド電極は、前記画素電極と同じ層に形成されることを特徴とする表示基板。

10

【請求項 2】

前記シールド電極は、前記画素電極と同じ物質で形成されることを特徴とする請求項 1
 記載の表示基板。

【請求項 3】

前記開口によって形成された前記シールド電極の内側エッジは、前記ゲート配線とオー
 バーラップされることを特徴とする請求項 1 記載の表示基板。

【請求項 4】

前記シールド電極は、前記ゲート配線より大きい幅を有して前記ゲート配線をカバーし
 、前記画素電極と離隔することを特徴とする請求項 3 記載の表示基板。

【請求項 5】

20

前記ゲート配線、前記データ配線、及び前記スイッチング素子をカバーする保護絶縁膜を更に含み、

前記画素電極及び前記シールド電極は、前記保護絶縁膜上に形成されることを特徴とする請求項 4 記載の表示基板。

【請求項 6】

前記保護絶縁膜は、カラーフィルタを含むことを特徴とする請求項 5 記載の表示基板。

【請求項 7】

前記画素電極は、第 1 サブ電極及び第 2 サブ電極を含み、

前記第 1 サブ電極及び前記第 2 サブ電極には、前記第 1 サブ電極及び前記第 2 サブ電極を複数の領域に分割するドメイン分割パターンが形成されることを特徴とする請求項 4 記載の表示基板。

10

【請求項 8】

前記ゲート配線の幅は、前記データ配線と交差する交差部で減少することを特徴とする請求項 1 記載の表示基板。

【請求項 9】

前記データ配線の幅は、前記ゲート配線と交差する交差部で減少することを特徴とする請求項 1 記載の表示基板。

【請求項 10】

前記開口の全体幅によって定義される領域は、前記開口の下に配置された前記ゲート配線の幅によって定義される領域内に配置されることを特徴とする請求項 1 記載の表示基板。

20

【請求項 11】

下部基板上に配置されたゲート配線と、前記ゲート配線と交差するデータ配線と、前記ゲート配線と前記データ配線とによって定義される単位画素領域内に配置された画素電極と、前記ゲート配線、前記データ配線、及び前記画素電極に電氣的に接続されたスイッチング素子と、前記ゲート配線及び前記データ配線の一部に形成され、前記ゲート配線の一部露出させる第 1 開口が形成されたシールド電極を含む第 1 基板と、

前記下部基板と対向する上部基板と、前記画素電極に対向して前記上部基板に形成された共通電極を含む第 2 基板と、

前記第 1 基板と前記第 2 基板との間に配置された液晶層と、を含み、

30

前記シールド電極は、前記画素電極と同じ層に形成されることを特徴とする表示パネル。

【請求項 12】

前記第 1 基板は、前記ゲート配線、前記データ配線、及び前記スイッチング素子をカバーする保護絶縁膜を更に含み、

前記画素電極及びシールド電極は、前記保護絶縁膜上に形成されることを特徴とする請求項 11 記載の表示パネル。

【請求項 13】

前記第 1 開口によって形成された前記シールド電極の内側エッジは前記ゲート配線とオーバーラップされ、

40

前記シールド電極の外側エッジは、前記画素電極のエッジと前記ゲート配線のエッジとの間に配置されることを特徴とする請求項 12 記載の表示パネル。

【請求項 14】

前記共通電極には、前記第 1 開口に対応する第 2 開口が形成されることを特徴とする請求項 12 記載の表示パネル。

【請求項 15】

前記第 2 開口によって形成された前記共通電極の内側エッジは、前記シールド電極の内側エッジと外側エッジとの間に配置されたことを特徴とする請求項 14 記載の表示パネル。

【請求項 16】

50

前記第 2 基板は、

前記ゲート配線、前記データ配線、及び前記スイッチング素子に対応して前記上部基板に形成された光遮断パターンと、

前記単位画素領域に対応するカラーフィルタと、

前記光遮断パターンと前記カラーフィルタとをカバーし、前記共通電極が形成される平坦な面を提供するオーバーコーティング膜と、を更に含むことを特徴とする請求項 15 記載の表示パネル。

【請求項 17】

前記保護絶縁膜は、カラーフィルタであることを特徴とする請求項 12 記載の表示パネル。

10

【請求項 18】

前記画素電極には第 1 ドメイン分割パターンが形成され、

前記共通電極には前記第 1 ドメイン分割パターンと交互に配置される第 2 ドメイン分割パターンが形成されることを特徴とする請求項 11 記載の表示パネル。

【請求項 19】

前記第 1 開口の全体幅によって定義される領域は、前記第 1 開口の下に配置された前記ゲート配線の幅によって定義される領域内に配置されることを特徴とする請求項 14 記載の表示パネル。

【請求項 20】

前記ゲート配線の全体幅によって定義される領域は、前記ゲート配線の上に配置された前記第 2 開口の幅によって定義される領域内に配置されることを特徴とする請求項 19 記載の表示パネル。

20

【請求項 21】

前記シールド電極は、前記単位画素領域の間に対応して形成されることを特徴とする請求項 11 記載の表示パネル。

【請求項 22】

前記シールド電極の外側エッジは、前記画素電極のエッジと前記ゲート配線のエッジとの間に配置されることを特徴とする請求項 11 記載の表示パネル。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、表示基板及びこれを有する表示パネルに関する。より詳細には、ゲート信号遅延を緩和させる表示基板及びこれを有する表示パネルに関する。

【背景技術】

【0002】

一般に、液晶表示パネルは、薄膜トランジスタと画素電極とを有するアレイ基板、カラーフィルタと共通電極とを有するカラーフィルタ、及びアレイ基板とカラーフィルタ基板との間に介在された液晶層を含む。ここで、アレイ基板は、互いに垂直に交差され、複数の単位画素を定義するゲート配線及びデータ配線を更に含み、薄膜トランジスタ及び画素電極は一般的に単位画素内に形成される。

40

【0003】

液晶表示パネルに表示される画像の画質は、ゲート配線及びデータ配線に印加される信号の正常な伝達に大きく影響を受ける。

【0004】

特に、液晶表示パネルの画面が大型化される場合、ゲート信号配線の長さが増加し、時定数が増加して、高解像度になると、薄膜トランジスタの導通時間は相対的に減少する。従って、大型及び高解像度液晶表示パネルであるほど、ゲート信号配線の時定数が十分に小さくなければ、ゲート信号遅延が増加し、ゲート IC の出力が不十分になるという問題点がある。液晶表示パネルの画面が大型化され、高解像度の画質が要求されることにより、従来の 60 Hz 駆動で 120 Hz の信号周波数で画像を表示する駆動方式を使用する場

50

合、ゲート信号遅延がより問題になる。

【 0 0 0 5 】

ゲート信号遅延は、ゲート配線の抵抗が大きく、ゲート配線に形成される寄生キャパシタが大きいほど増加する。従って、ゲート信号遅延を減少させるために、ゲート配線の材料に用いられる低抵抗メタルについての研究が続けられており、寄生キャパシタの発生を抑制する設計が行われている。

【 0 0 0 6 】

一方、最近、液晶表示パネルの側面視野角を向上させるために、画素電極をパターンニングして単位画素領域を複数個のドメインに分割する P V A モード及びパターンニングされた画素電極を電氣的に互いに分離されたサブ電極に分割する S P V A モードの液晶表示パネルが開発されている。特に、S P V A モードにおいて、1つの単位画素領域に形成されたサブ電極が互いに異なるゲート配線に接続された場合、ゲート信号遅延は、正常な画像表示に大きな障害となる。

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 0 7 】

本発明の技術的課題は、このような従来の問題点を解決するためのもので、本発明の目的は、ゲート配線に形成されるキャパシタの寄生容量を減少させて信号遅延を減少させた表示基板を提供することにある。

【 0 0 0 8 】

本発明の他の目的は、ゲート配線に形成されるキャパシタの寄生容量を減少させて信号遅延を減少させた表示基板を含む表示パネルを提供することにある。

【 課 題 を 解 決 す る た め の 手 段 】

【 0 0 0 9 】

前記した本発明の目的を実現するために、本発明の一実施例による表示基板は、ベース基板、ゲート配線、データ配線、画素電極、及びシールド電極を含む。ベース基板には、マトリックス形状に配列される複数の単位画素領域が含まれる。ゲート配線は単位画素領域間に延長され、データ配線はゲート配線と交差して単位画素領域間に延長される。画素電極は単位画素領域内に配置され、ゲート配線及びデータ配線と電氣的に接続されたスイッチング素子の出力端子と電氣的に接続される。シールド電極は、ゲート配線及びデータ配線の上部に形成される。シールド電極にはゲート配線の一部を露出させる開口が形成される。

【 0 0 1 0 】

シールド電極は、画素電極と同じ層に同じ物質で形成される。開口により形成されるシールド電極の内側エッジはゲート配線とオーバーラップされる。シールド電極は、ゲート配線より大きい幅を有してゲート配線をカバーし、画素電極と離隔するように配置される。ゲート配線の幅及びデータ配線の幅は、相互に交差する交差部で減少する。画素電極には、ドメイン分割パターンが形成される。

【 0 0 1 1 】

前記した本発明の他の目的を実現するために、本発明の一実施例による表示パネルは、第1基板、第2基板、及び第1基板と第2基板との間に介在される液晶層を含む。第1基板は、下部基板上に配置されたゲート配線と、ゲート配線と交差するデータ配線と、ゲート配線及びデータ配線によって定義される単位画素領域内に配置された画素電極と、ゲート配線及びデータ配線を画素電極にスイッチングさせるスイッチング素子と、シールド電極とを含む。シールド電極は、ゲート配線及びデータ配線の上部に形成され、シールド電極にはゲート配線を一部露出させる第1開口が形成される。第2基板は、下部基板と対向する上部基板と、画素電極に対向して上部基板に形成される共通電極とを含む。

【 0 0 1 2 】

一実施例において、第1基板は、ゲート配線、データ配線、及びスイッチング素子をカバーする保護絶縁膜を更に含む。画素電極及びシールド電極は、保護絶縁膜上に形成され

10

20

30

40

50

る。第1開口により形成されるシールド電極の内側エッジはゲート配線とオーバーラップされ、シールド電極の外側エッジは画素電極のエッジとゲート配線のエッジとの間に配置される。共通電極には、第1開口に対応する第2開口が形成される。第2開口により形成される共通電極の内側エッジは、シールド電極の内側エッジと外側エッジとの間に配置される。第2基板は、光遮断パターン、カラーフィルタ、及びオーバーコーティング膜を更に含む。光遮断パターンは、ゲート配線、データ配線、及びスイッチング素子に対応して上部基板に形成される。カラーフィルタは、単位画素領域に対応して形成される。保護膜は、光遮断パターンとカラーフィルタとをカバーし、共通電極は保護膜上に形成される。画素電極には、第1ドメイン分割パターンが形成され、共通電極には第1ドメイン分割パターンと交互に配置される第2ドメイン分割パターンが形成される。

10

【0013】

本発明の表示基板及びこれを有する表示パネルによると、大型及び高解像度を有する表示パネルでゲート遅延を減少させて良質の画像を実現することができる。

【発明を実施するための最良の形態】**【0014】**

以下、添付図面を参照して、本発明の好ましい実施例を詳細に説明する。

【0015】

図1乃至図3を参照して、表示基板について以下説明する。図1は、本発明の一実施例による表示基板の平面図である。図2は、図1に図示された表示基板をI-I'線に沿って切断した断面図である。

20

【0016】

図1及び図2を参照すると、表示基板100は、ベース基板110、ゲート配線GL、一对のデータ配線DL1、DL2、画素電極PE、及びシールド電極SCを含む。

【0017】

ベース基板110は、光学的に等方性を有するガラスから形成されてもよい。ベース基板110には、マトリックス形状に配列される複数の単位画素領域が配置される。単位画素領域は、マトリックス形状及びモザイク形状等一定の配列方式によって配置される。

【0018】

ゲート配線GLは、ベース基板110上で単位画素領域間に延長される。データ配線DL1、DL2は、ゲート配線GLと絶縁された状態で、ゲート配線GLが形成されたベース基板110上に配置される。データ配線DL1、DL2は、ゲート配線GLと交差して単位画素領域の間に延長される。ゲート配線GLは、例えば、アルミニウム(Al)、モリブデン(Mo)、タンタル(Ta)、チタニウム(Ti)、タングステン(W)、クロム(Cr)、及び銀(Ag)等で形成されてもよい。

30

【0019】

ゲート配線GLに印加される制御信号の遅延を減少させるために、ゲート配線GLは抵抗値の小さいメタルで形成されることが好ましく、ゲート配線GLの断面積が大きいことが好ましい。しかし、ゲート配線GLの線幅が非常に大きいと、単位画素領域の開口率が減少し、ゲート配線GLの厚みが非常に厚いと、ゲート配線GLの上部に形成される他の層の形成が容易ではなくなる。本実施例において、ゲート配線GLは、第1の幅を有する。一方、ゲート配線GLとデータ配線DLとの間のオーバーラップされる面積を減少させるために、ゲート配線GLの幅は、データ配線DLと交差する交差部で減少して、データ配線DLの幅はゲート配線GLと交差する交差部で減少することが好ましい。

40

【0020】

各単位画素領域には薄膜トランジスタが形成される。薄膜トランジスタは、ゲート配線GL及びデータ配線DL1、DL2と電氣的に接続される。各薄膜トランジスタは、各ゲート配線GL又は各データ配線DL1、DL2に沿って配置され、ゲート配線GL及びデータ配線DL1、DL2と電氣的に接続され、ゲート配線GLから印加された制御信号によってデータ配線DL1、DL2から印加された画素電圧を出力する。

【0021】

50

本実施例において、１つの単位画素領域には１つのゲート配線ＧＬと２つのデータ配線ＤＬ１、ＤＬ２が対応する。従って、単位画素領域を中心に薄膜トランジスタを説明する。単位画素領域に対応する２つのデータ配線ＤＬ１、ＤＬ２をそれぞれ第１データ配線ＤＬ１及び第２データ配線ＤＬ２と定義する。第１データ配線ＤＬ１と接続された薄膜トランジスタを第１薄膜トランジスタＴＦＴ１、第２データ配線ＤＬ２と接続された薄膜トランジスタを第２薄膜トランジスタＴＦＴ２とそれぞれ定義する。第１及び第２薄膜トランジスタＴＦＴ１、ＴＦＴ２の層状構造は同じなので、説明の便宜のために図１及び図２に図示された第１薄膜トランジスタＴＦＴ１を中心に層状構造を説明する。

【００２２】

第１薄膜トランジスタＴＦＴ１は、図１及び図２に示すように、第１ゲート電極ＧＥ１、ゲート絶縁膜１２０、第１アクティブ層ＡＬ１、第１オーミックコンタクト層ＯＬ１、第１ソース電極ＳＥ１、及び第１ドレイン電極ＤＥ１を含む。

【００２３】

第１ゲート電極ＧＥ１は、ゲート配線ＧＬから突出される。ゲート絶縁膜１２０は、ゲート配線ＧＬが形成されたベース基板１１０上に形成される。第１アクティブ層ＡＬ１は、例えば、アモルファスシリコンのような半導体からなり、第１ゲート電極ＧＥ１に対応するゲート絶縁膜１２０上に形成される。

【００２４】

第１ソース電極ＳＥ１は、第１データ配線ＤＬ１のうち、第１アクティブ層ＡＬ１とオーバーラップされる部分で、一例としてＵ字形状を有する。第１ドレイン電極ＤＥ１は、第１ソース電極ＳＥ１と同じ層に第１ソース電極ＳＥ１から離隔するように形成される。第１ドレイン電極ＤＥ１は、一例として、Ｕ字形状を有する第１ソース電極ＳＥ１の中間に配置される。従って、第１ドレイン電極ＤＥ１は第１アクティブ層ＡＬ１と一部オーバーラップされ、第１データ配線ＤＬ１に沿って延長される。第１オーミックコンタクト層ＯＬ１は、例えば、*n-type*の不純物がドーピングされたアモルファスシリコンからなり、第１アクティブ層ＡＬ１と第１ソース電極ＳＥ１との間、及び第１アクティブ層ＡＬ１と第１ドレイン電極ＤＥ１との間にそれぞれ形成される。

【００２５】

表示基板１００は、パシベーション層１３０及び保護絶縁膜１４０を更に含む。

【００２６】

パシベーション層１３０は、第１薄膜トランジスタＴＦＴ１、第２薄膜トランジスタＴＦＴ２、第１データ配線ＤＬ１、第２データ配線ＤＬ２、及びゲート絶縁膜１２０をカバーする。

【００２７】

保護絶縁膜１４０は、パシベーション層１３０上に形成され、表面を平坦化させる。本実施例で保護絶縁膜１４０は、ベース基板１１０に入射した光の色相をそのまま維持する有機絶縁膜１４０である。これとは異なる他の実施例において、保護絶縁膜１４０は、単位画素領域別に互いに異なる色相を有するカラーフィルタであってもよい。ここで、パシベーション層１３０及び保護絶縁膜１４０のうち、いずれか１つは省略されてもよい。

【００２８】

画素電極ＰＥは、有機絶縁膜１４０上の単位画素領域に形成される。画素電極ＰＥは透明な導電性物質からなり、一例として、酸化スズインジウム（ITO）、酸化亜鉛インジウム（IZO）、アモルファス酸化スズインジウム（a-ITO）等からなる。

【００２９】

本実施例で、画素電極ＰＥは電氣的に互いに分離された第１サブ電極ＳＰＥ１及び第２サブ電極ＳＰＥ２を含む。第１サブ電極ＳＰＥ１及び第２サブ電極ＳＰＥ２にはドメイン分割パターンDDPが形成される。本実施例でドメイン分割パターンDDPは、第１サブ電極ＳＰＥ１及び第２サブ電極ＳＰＥ２の一部がＶ字形状に除去された開口パターンである。これとは異なる他の実施例において、ドメイン分割パターンDDPは、突起パターンであってもよい。

【0030】

第1サブ電極SPE1は、有機絶縁膜140に形成された第1コンタクトホール142を通じて第1薄膜トランジスタTFT1の第1ドレイン電極DE1と電氣的に接続され、第2サブ電極SPE2は第2コンタクトホール144を通じて第2薄膜トランジスタTFT2の第2ドレイン電極DE2と電氣的に接続される。

【0031】

表示基板100は、ストレージ配線STLを更に含む。ストレージ配線STLはゲート配線GLと同じ層に形成され、ゲート配線GLと平行に単位画素領域を横切るように配置されてもよい。ストレージ配線STLのうち、単位画素領域内に対応する部分はその幅が増加してストレージ電極STEを形成する。

10

【0032】

図3は、図1に図示された表示基板をII-II'線に沿って切断した断面図である。

【0033】

図1、図2、及び図3を参照すると、シールド電極SCは、画素電極PEと同様に、有機絶縁膜140上に画素電極PEと同じ物質で形成される。シールド電極SCは単位画素領域の間に対応して形成される。従って、シールド電極SCはゲート配線GL及びデータ配線DL1、DL2の上部に形成される。ゲート配線GLに対応するシールド電極SCはゲート配線GLの第1の幅W1より大きい第2の幅W2を有してゲート配線GLを完全にカバーする。シールド電極SCの外側エッジは、画素電極PEのエッジとゲート配線GLのエッジとの間に配置される。

20

【0034】

本実施例でゲート配線GLと画素電極PE及びデータ配線DL1、DL2と画素電極PEは、平面図上でオーバーラップされないが、数乃至数十マイクロスケールに近接して形成される。従って、ゲート絶縁膜120、パシベーション膜130、及び有機絶縁膜140を誘電体としてゲート配線GLと画素電極PEとの間には第1寄生キャパシタが形成され、データ配線DL1、DL2と画素電極PEとの間には第2寄生キャパシタが形成される。

【0035】

シールド電極SCは、ゲート配線GL及びデータ配線DL1、DL2の上部に形成されるので、シールド電極SCとゲート配線GLとの間及びシールド電極SCとデータ配線DL1、DL2との間には第3寄生キャパシタが形成される。第3寄生キャパシタが形成される場合、第1寄生キャパシタ及び第2寄生キャパシタのサイズが非常に小さくなる。従って、第1寄生キャパシタ及び第2寄生キャパシタにより画素電極PEに印加される画素電圧が歪曲される程度及びデータ信号が歪曲される程度が減少する。

30

【0036】

一方、ゲート信号遅延を減少させるためには、ゲート配線GLに形成される寄生キャパシタが小さいほど好ましい。従って、第3寄生キャパシタも減少させることが好ましい。

【0037】

本実施例で、ゲート配線GLの上部に形成されたシールド電極SCには、シールド電極SCの一部が除去された開口OPが形成される。開口OPは、ゲート配線GLに沿って長く延長され、ゲート配線GLの第1の幅W1より小さい第3の幅W3を有する。開口OPは、ゲート配線GLに完全にオーバーラップされるように形成される。即ち、開口OPにより形成されたシールド電極SCの内側エッジはゲート配線GLとオーバーラップされる。即ち、開口OPの第3の幅W3（全体幅）はゲート配線GLの第1の幅W1上に直接的に配置される。従って、シールド電極SCに開口OPが形成されても、シールド電極SCの一部はゲート配線GLとオーバーラップされるので、第3寄生キャパシタが形成され、その結果、第1寄生キャパシタ及び第2寄生キャパシタが形成されることを遮断する効果は残る。

40

【0038】

シールド電極SCとゲート配線GLのオーバーラップされる面積が大きいほど、シール

50

ド電極 S C とゲート配線 G L 間の離隔間隔が小さいほど、及びゲート絶縁膜 1 2 0、パシベーション膜 1 3 0 及び有機絶縁膜 1 4 0 の誘電率が大きいほど、第 3 寄生キャパシタが増加する。

【 0 0 3 9 】

本実施例において、シールド電極 S C に形成される開口 O P によって第 3 寄生キャパシタは大幅に減少する。又、ゲート配線 G L の線幅を増加させても、シールド電極 S C に形成された開口 O P によって第 3 寄生キャパシタは殆ど増加しない。従って、ゲート配線 G L の線幅を増加させてゲート配線 G L の抵抗を減少させることができ、シールド電極 S C に形成された開口 O P によって第 3 寄生キャパシタが減少し、ゲート信号遅延を減少させることができる。

10

【 0 0 4 0 】

図 4 乃至図 9 を参照して、表示パネルについて以下説明する。図 4 は、本発明の一実施例による表示パネルの平面図である。

【 0 0 4 1 】

図 4 を参照すると、表示パネル 5 0 0 は、第 1 基板 5 0 1、第 2 基板 6 0 1、及び第 1 基板と第 2 基板 6 0 1 との間に介在される液晶層 L C を含む。第 1 基板 5 0 1 は、図 1 乃至図 3 に図示された表示基板 1 0 0 と実質的に同じである。

【 0 0 4 2 】

従って、単位画素領域を基準に観察すると、第 1 基板 5 0 1 は、下部基板 5 1 0 と、下部基板 5 1 0 上に配置されたゲート配線 G L と、ゲート配線 G L と交差する第 1 データ配線 D L 1 及び第 2 データ配線 D L 2 と、ゲート配線 G L、第 1 データ配線 D L 1 及び第 2 データ配線 D L 2 によって定義される単位画素領域内に配置された画素電極 P E と、ゲート配線 G L、第 1 データ配線 D L 1、及び第 2 データ配線 D L 2 を画素電極 P E にスイッチングさせる第 1 薄膜トランジスタ T F T 1 及び第 2 薄膜トランジスタ T F T 2 と、単位画素領域間に形成されたシールド電極 S C とを含む。

20

【 0 0 4 3 】

シールド電極 S C は、ゲート配線 G L、第 1 データ配線 D L 1 及び第 2 データ配線 D L 2 の上部に形成され、ゲート配線 G L に対応するシールド電極 S C には第 1 開口 O P 1 が形成される。

【 0 0 4 4 】

下部基板 5 1 0、画素電極 P E に形成される第 1 ドメイン分割パターン D D P 1 及びシールド電極 S C に形成される第 1 開口 O P 1 は、図 1 乃至図 3 に図示されたベース基板 1 1 0、ドメイン分割パターン D D P、及び開口 O P にそれぞれ対応する。

30

【 0 0 4 5 】

図 5 は、図 4 に図示された表示パネルの第 2 基板の平面図である。図 6 は、図 4 に図示された表示パネルを I I I - I I I ' 線に沿って切断した断面図である。図 7 は、図 4 に図示された表示パネルを I V - I V ' 線に沿って切断した断面図である。

【 0 0 4 6 】

図 5、図 6、及び図 7 を参照すると、第 2 基板 6 0 1 は、第 1 基板 5 0 1 の下部基板 5 1 0 と対向する上部基板 6 1 0、光遮断パターン B M、カラーフィルタ 6 2 0、オーバーコーティング膜 6 3 0、及び共通電極 6 4 0 を含む。

40

【 0 0 4 7 】

光遮断パターン B M は、下部基板 5 1 0 と対向する上部基板 6 1 0 の第 1 の領域 (面) に形成される。光遮断パターン B M は、図 4 に示すように、単位画素領域間の境界領域、第 1 薄膜トランジスタ T F T 1、第 2 薄膜トランジスタ T F T 2、ゲート配線 G L、第 1 データ配線 D L 1、第 2 データ配線 D L 2、及びストレージ配線 S T L をカバーする。光遮断パターン B M は、単位画素領域に対応する形状を有する開口部を定義する。光遮断パターン B M は有機物を含むことが好ましいが、クロム (C r) のような無機物を含んでもよい。

【 0 0 4 8 】

50

カラーフィルタ 620 は開口部に形成され、光遮断パターン BM と一部オーバーラップされる。カラーフィルタ 620 は、赤色カラーフィルタ、緑色カラーフィルタ、及び青色カラーフィルタのうち、いずれか一つである。赤色カラーフィルタ、緑色カラーフィルタ、及び青色カラーフィルタは、ストライプタイプ及びモザイクタイプ等所定の配列方式によって配列される。

【0049】

本実施例と異なり、パシベーション膜 530 上に形成された有機絶縁膜 540 に代替してカラーフィルタ 620 を第 1 基板 501 上に形成する場合、第 2 基板 601 上にカラーフィルタは省略されてもよい。

【0050】

オーバーコーティング膜 630 は、カラーフィルタ 620 及び光遮断パターン BM をカバーして保護し、第 2 基板 601 の表面を平坦化させる。オーバーコーティング膜 630 は、透明な有機物からなることが好ましい。

【0051】

共通電極 640 は、オーバーコーティング膜 630 上に画素電極 PE と同じ材質で形成される。共通電極 640 には、単位画素領域に対応して第 2 ドメイン分割パターン DDP2、例えば、開口パターンが形成される。第 1 ドメイン分割パターン DDP1 と第 2 ドメイン分割パターン DDP2 とは交互に配置される。その結果、単位画素領域は、複数のドメインに分割される。ここで、ドメインは液晶の配列方向が不連続的に変わる位置を境界として区分される領域で定義される。

【0052】

ゲート配線 GL と共通電極 640 とがオーバーラップされる場合、ゲート配線 GL に第 4 寄生キャパシタが形成され、第 4 寄生キャパシタは、ゲート信号遅延を増加させる。本実施例では、ゲート配線 GL と共通電極 640 との間のオーバーラップされる面積を少なくするために、ゲート配線 GL に対応する共通電極 640 の一部が除去され第 2 開口 OP2 が形成される。第 2 開口 OP2 は、シールド電極 SC に形成された第 1 開口 OP1 に対応する。

【0053】

液晶層 LC は、図 6 に示すように、第 1 基板 501 と第 2 基板 601 との間に介在される。互いに隣り合うドメインで液晶層 LC に含まれる液晶分子は、それぞれ互いに異なる方向に配列される。これによって、1 つの単位画素領域から出射される光の視野角が増加する。

【0054】

図 8 は、図 4 に図示された第 1 領域の拡大図である。図 9 は、図 4 に図示された V-V' 線に沿って切断した断面図である。

【0055】

図 8 及び図 9 を参照すると、ゲート配線 GL は第 1 の幅 W1 を有する。ゲート配線 GL をカバーするシールド電極 SC は、第 1 の幅 W1 より大きい第 2 の幅 W2 を有し、画素電極 PE と離隔される。従って、シールド電極 SC の外側エッジは、画素電極 PE のエッジとゲート配線 GL のエッジの間に配置される。

【0056】

ゲート配線 GL に対応するシールド電極 SC には、ゲート配線 GL に沿って長く延長される第 1 開口 OP1 が形成される。第 1 開口 OP1 は、第 1 の幅 W1 より小さい第 3 の幅 W3 を有する。第 1 開口 OP1 は、ゲート配線 GL と完全にオーバーラップされる。従って、第 1 開口 OP1 によって形成されたシールド電極 SC の内側エッジは、ゲート配線 GL にオーバーラップされる。

【0057】

第 1 開口 OP1 が形成されることにより、シールド電極 SC とゲート電極との間に形成される第 3 寄生キャパシタは大幅に減少する。第 3 寄生キャパシタが形成されることにより、画素電極 PE とゲート配線 GL との間に第 1 寄生キャパシタ形成が抑制され、画素電

10

20

30

40

50

極 P E に印加される画素電圧の歪曲及びゲート信号遅延が減少する。

【 0 0 5 8 】

一方、前述したように、ゲート配線 G L に対応する領域で共通電極 6 4 0 上に第 2 開口 O P 2 が形成され、ゲート配線 G L と共通電極 6 4 0 間に形成される第 4 寄生キャパシタの形成が抑制される。第 4 寄生キャパシタが形成されることを抑制するために、共通電極 6 4 0 とゲート配線 G L とはオーバーラップされないことが好ましい。

【 0 0 5 9 】

本実施例で、第 2 開口 O P 2 は、ゲート配線 G L の第 1 の幅 W 1 より大きい第 4 の幅 W 4 を有し、ゲート配線 G L に沿って第 1 開口 O P 1 より長く延長される。即ち、第 1 開口 O P 1 の第 3 の幅 W 3 (全体幅) はゲート配線 G L の第 1 の幅 W 1 上に直接的に配置され、ゲート配線 G L の全体幅は、第 2 開口 O P 2 の第 4 の幅 W 4 の下に直接的に配置される。従って、平面図上で第 1 開口 O P 1 は、第 2 開口 O P 2 の内側に配置され、第 2 開口 O P 2 によって形成された共通電極 6 4 0 の内側エッジは、ゲート配線 G L のエッジとシールド電極 S C の外側エッジとの間に配置される。

【 0 0 6 0 】

ゲート配線 G L の線幅を増加させても第 1 開口 O P 1 によって第 3 寄生キャパシタは殆ど増加することなく、第 2 開口 O P 2 によって第 4 寄生キャパシタの形成は抑制される。

【産業上の利用可能性】

【 0 0 6 1 】

以上で詳細に説明したように、本発明によると、画素電極とゲート配線との間及び画素電極とデータ配線との間において、信号の干渉を抑制するために、表示パネルに形成されたゲート配線及びデータ配線の上に画素電極と離隔したシールド電極が形成される。ゲート配線に対応するシールド電極及び共通電極には開口が形成され、ゲート配線に形成される寄生キャパシタの大きさを大幅に減少させることができる。その結果、寄生キャパシタを増加させることなく、ゲート配線の線幅を増加させることができ、ゲート信号遅延を大幅に減少させることができる。

【 0 0 6 2 】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【 0 0 6 3 】

【図 1】本発明の一実施例による表示基板の平面図である。

【図 2】図 1 に図示された表示基板を I - I ' 線に沿って切断した断面図である。

【図 3】図 1 に図示された表示基板を I I - I I ' 線に沿って切断した断面図である。

【図 4】本発明の一実施例による表示パネルの平面図である。

【図 5】図 4 に図示された表示パネルの第 2 基板の平面図である。

【図 6】図 4 に図示された表示パネルを I I I - I I I ' 線に沿って切断した断面図である。

【図 7】図 4 に図示された表示パネルを I V - I V ' 線に沿って切断した断面図である。

【図 8】図 4 に図示された第 1 領域の拡大図である。

【図 9】図 4 に図示された表示パネルを V - V ' 線に沿って切断した断面図である。

【符号の説明】

【 0 0 6 4 】

- 1 0 0 表示基板
- 1 1 0 ベース基板
- 1 2 0 ゲート絶縁膜
- 1 3 0 パシベーション膜
- 1 4 0 有機絶縁膜
- 5 0 0 表示パネル

10

20

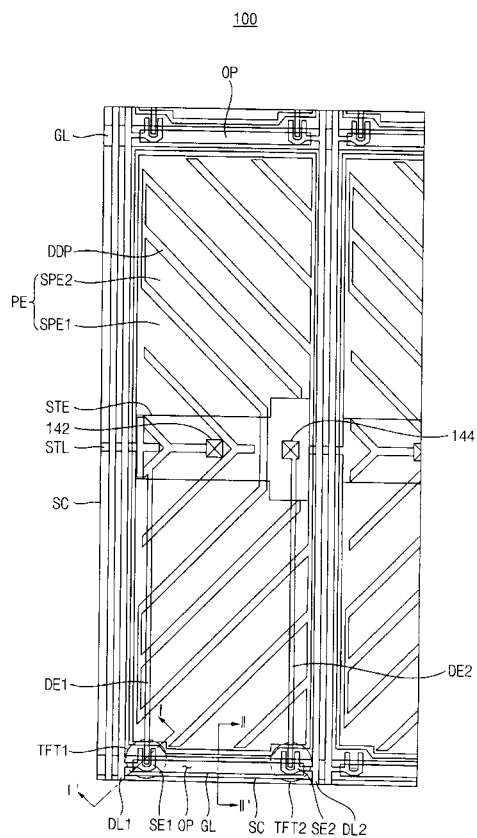
30

40

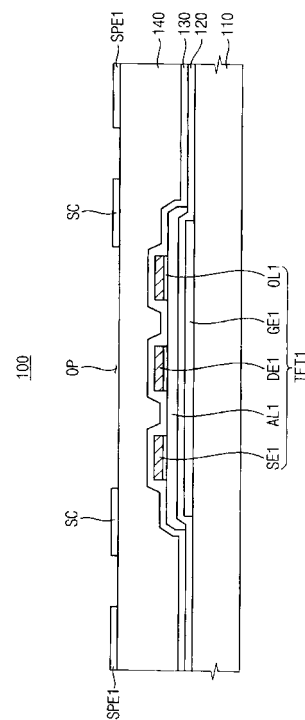
50

6 2 0	カラーフィルタ
6 3 0	オーバーコーティング膜
6 4 0	共通電極
G L	ゲート配線
D L	データ配線
S T L	ストレージ配線
T F T	薄膜トランジスタ
P E	画素電極
S P E	サブ電極
O P	開口
B M	光遮断パターン
D D P	ドメイン分割パターン
S C	シールド電極

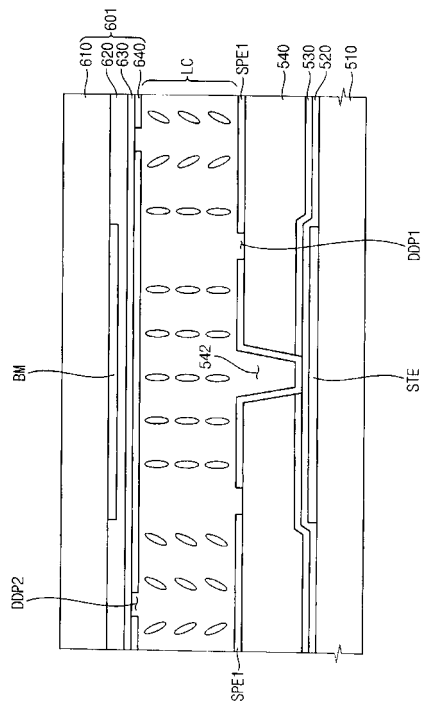
【図 1】



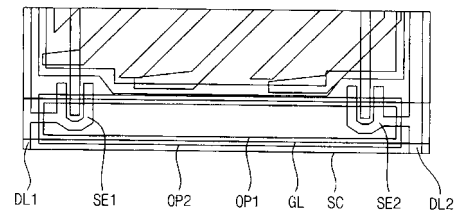
【図 2】



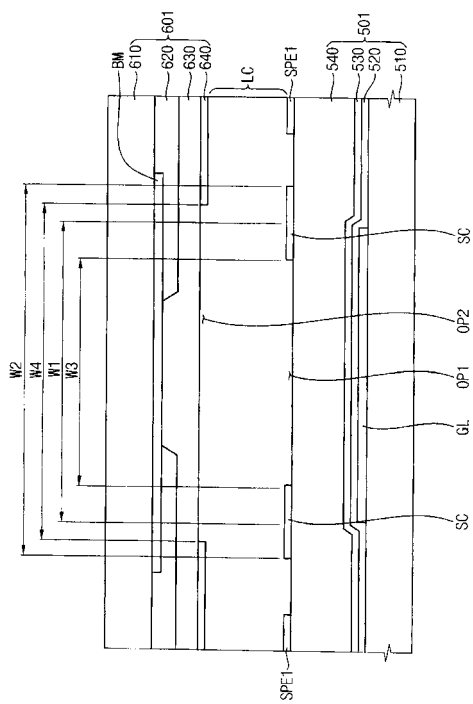
【図 7】



【図 8】



【図 9】



フロントページの続き

審査官 高 木 尚哉

- (56)参考文献 特開2005-202125(JP,A)
特開平05-061069(JP,A)
特開2005-025202(JP,A)
特開平05-127195(JP,A)
特開平10-039336(JP,A)
特開2005-258004(JP,A)
特開平05-053135(JP,A)
特開昭63-097919(JP,A)
特開昭63-222443(JP,A)
特開2006-195455(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1343-1/1345
G02F	1/135-1/1368
G09F	9/30-9/46