



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 225 524 A1

4(51) G 06 F 12/06

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP G 06 F / 265 135 6	(22)	11.07.84	(44)	31.07.85
------	-----------------------	------	----------	------	----------

(71)	VEB Robotron-Elektronik Dresden, 9010 Karl-Marx-Stadt, Postfach 240, DD
(72)	Kasper, Walter, Dr. Dipl.-Ing., DD

(54)	Auswahanordnung für auf einer Leiterplatte bestückte EPROM
------	---

(57) Die Erfindung ist in allen Geräten und Anlagen der elektronischen Datenverarbeitungstechnik anwendbar, die Speicherplatinen mit mehreren EPROM enthalten, d. h. in einem speziellen Programmiervorgang durch Organisation von vom normalen Arbeitsregime abweichenden elektrischen Sonderbedingungen mit Information beschreibbare und bei Bedarf ebenfalls durch die Gewährleistung von speziellen Bedingungen wieder löschbare Speicherschaltkreise. Aufgabe der Erfindung ist eine Anordnung der oben angegebenen Art, bei der sowohl die Speicherzellen- und Schaltkreisauswahlschaltungen für den normalen Lesebetrieb als auch die für den Programmierbetrieb durch weitgehend identische Schaltungsteile realisiert sind. Die Auswahlschaltungen für beide Betriebsarten sollen eine möglichst abgeschlossene Einheit darstellen in der Form, daß nur wenige Steckverbinderanschlüsse von der bestückten Leiterplatte nach außen führen. Erfindungsgemäß wird das entsprechend dem Anspruch gelöst. Fig. 1

Titel der Erfindung

Auswahanordnung für auf einer Leiterplatte bestückte EPROM

Anwendungsgebiet der Erfindung

Die Erfindung ist in allen Geräten und Anlagen der elektronischen Datenverarbeitungstechnik anwendbar, die Speicherplatinen (bestückte Leiterplatten) mit mehreren EPROM, d. h. in einem speziellen Programmiervorgang durch Organisierung von vom normalen Arbeitsregime abweichenden elektrischen Sonderbedingungen mit Information beschreibbare und bei Bedarf ebenfalls durch die Gewährleistung von speziellen Bedingungen wieder löschbare Speicherschaltkreise, enthalten.

Charakteristik der bekannten technischen Lösungen

Bei einem bekannten EPROM, auf dessen Parameter im weiteren Bezug genommen wird, kann durch Anlegen einer Programmiervspannung, die wesentlich höher als die Betriebsspannung beim Lesen ist, an einen Programmieringang in einer durch die Adressierung des EPROM ausgewählten Speicherzelle die nach dem Löschvorgang vorhandene und einer "L" entsprechende Leerinformation in eine "0" umgewandelt werden, er kann also programmiert werden. Die Adressierung über Adreßleitungen erfolgt byteweise, die der "0" entsprechenden Bits eines Bytes werden über 3 Datenleitungen vorgegeben. Bei angelegter Programmiervspannung können des weiteren Steuerinformationen an den Chipselektier- und Ausgangsaktivierungseingängen des EPROM entscheiden, ob die Information in die Zellen eines Bytes einzuschreiben ist, ob eine Kontrolllesung der eingeschriebenen

Information durchgeführt wird oder ob die Programmierung unterbrochen ist. Beim Programmieren liegt an den beiden genannten Steuereingängen im Vergleich zu den Lesevorgängen das entgegengesetzte Potential an. Nur beim Lesen sind die Dateneingänge/-ausgänge des EPROM niederohmig und liefern den dem Speicherzelleninhalt entsprechenden Wert auf die angeschlossenen Leitungen, in den anderen Fällen sind die Ausgänge hochohmig (3-state-Ausgänge) gesteuert. Durch Adressenweitschaltung und Anlegen der den Adressen zugeordneten Datenbytes werden nacheinander alle Zellen des EPROM programmiert.

Die Programmiervoltage muß dabei für jede Zelle eine Mindestzeit anliegen, die die Zeit für den normalen Speicherlesezyklus erheblich übersteigt, z. B. Speicherzykluszeit einige 100 ns, Länge des Programmierimpulses dagegen mindestens 50 ms. Die Betriebsspannung des bekannten EPROM beträgt 5 V, die Programmiervoltage dagegen 25 V. Gelöscht werden EPROM im allgemeinen durch UV-Strahlung.

Die Organisation des beschriebenen Programmiervorganges der EPROM ist prinzipiell auf spezielle Programmiergeräte ausgerichtet, die die Einschreibbedingungen einschließlich Adressenauswahl und die Bedingungen für das Kontrolllesen gewährleisten und mittels derer die EPROM programmiert werden. Nach der Programmierung werden die EPROM in die Geräte bzw. Anlagen, für die sie bestimmt sind, eingebracht. EPROM, deren Information sich nicht mehr ändert, werden eingelötet. EPROM, die ab und zu umprogrammiert werden müssen, werden mittels Fassungen aufgesteckt. Letzteres ist der Normalfall, da nicht mehr umzuprogrammierende EPROM bei größeren Stückzahlen auch durch billigere ROM mit einer festen internen Informationsstruktur ersetzbar sind.

Oft kommt es jedoch vor, daß bereits fest eingelötete EPROM oder ROM sich als fehlerhaft erweisen, z. B. durch Fehler im EPROM (ROM) selbst, aber auch infolge von durch den Einsatzzweck notwendige Informationsänderungen. Deshalb wurden

bereits Einrichtungen zur operativen Korrektur der fehlerhaften Speicherzellen vorgeschlagen.

So ist eine Lösung mit einem Hilfsspeicher (z. B. RAM) bekannt, der die richtigen Informationen enthält, und einem Adreßumsetzer, der jedesmal anstelle der fehlerhaften Information aus dem ROM die richtige Information aus dem RAM ausliest (DE-AS 26 46 162). Eine andere bekannte Lösung weist einen Hilfsspeicher, einen Adreßumsetzer und einen Prioritätskodierer zur Festlegung von Prioritäten bei mehreren zu ersetzenden fehlerhaften Informationen auf (DE-AS 26 46 163). Bei einer weiteren bekannten Lösung erfolgt die Speicherung der richtigen Informationen in einem Arbeitsspeicherteil. Eine Adressenmodifikationsanordnung ersetzt die fehlerhafte Information im Festspeicherteil durch die richtige Information aus dem Arbeitsspeicherteil (DE-AS 24 61 527).

Bekannt ist auch eine Reservierung von Vorratzzellen im ROM, die bei Bedarf anstelle der fehlerhaften Zellen mit den richtigen Informationen beschrieben und während der Operationsabarbeitung angesteuert werden (DE-AS 23 54 976).

Eine andere bekannte Einrichtung (DE-AS 22 43 691) beschreibt ein gesondertes Gerät, das in der Programm- bzw. Anwendungserprobungsphase mit einem einen EPROM-Speicher enthaltenden Steuergerät verbunden ist und einen speziellen RAM besitzt, in dem während dieser Erprobungszeit die Informationen operativ gespeichert sind. Nach ausreichender Erprobung bzw. Überprüfung des Programms werden diese Informationen mittels einer Übertragungseinrichtung in den endgültigen EPROM-Speicher übertragen und das gesonderte Gerät mit Speicher und Übertragungseinrichtung abgekoppelt.

Es ist auch schon vorgeschlagen worden (WP 606F/256 029.8), zum Einschreiben von Informationen in EPROM, die im Gerät, in dem die EPROM bestückt sind, vorhandenen Baugruppen, wie Prozessor und Leitwerk, Operativspeicher und Programmspeicheransteuerungen, Taktzentrale, Speicherzellenadressiervorrichtung mit Adreßleitungen, Speicherchipselektierung,

Speicherchipausgangsaktivierung und Datenleitungen für die Programmierung zu nutzen, mit dem Ziel, die EPROM mit wenig Zusatzaufwand im eingelöteten Zustand zu programmieren. Zur Steuerung des Programmiervorganges werden bei diesem Vorschlag redundante Adressen, sog. Leeradressen, genutzt.

Die vorangehend genannten Lösungen sind im ersten Teil Hilfsmittel, die geschaffen wurden, weil man davon ausgeht, daß EPROM im eingelöteten Zustand nicht programmierbar sind. Die auswechselbaren EPROM führen andererseits zu Kontaktierungsproblemen an den Fassungen. Ferner sind die Lösungen aufwendig, indem sie zusätzliche Speicherplatzreserven, zusätzliche Geräte für die Inbetriebnahmephase u. a. benötigen.

Andererseits sehen die bekannten Lösungen, bei denen viele auf einer bestückten Leiterplatte eingelötete EPROM programmiert werden können, vor, daß die Steuereingänge über Steckverbinder nach außen geführt sind, um sie von außen mit Hilfe eines gesonderten Programmiergerätes im Programmierprozeß unterschiedlich zum normalen Leseregime steuern zu können, mit dem Nachteil vieler notwendiger Steckverbinderanschlüsse und damit ebenfalls von Kontaktierungsproblemen sowie zusätzlichen Leiterzügen auf der bestückten Leiterplatte.

Ziel der Erfindung

Ziel der Erfindung ist die Schaffung einer Anordnung zur Auswahl von auf einer Leiterplatte bestückten EPROM für das Lesen und Programmieren ihrer Informationsinhalte, bei der der schaltungstechnische Aufwand zur Auswahl der EPROM weitgehend minimiert ist. Es sollen viele auf einer bestückten Leiterplatte untergebrachte, insbesondere eingelötete EPROM mit wenig Zusatzaufwand direkt lesbar und programmierbar sein. Weiter sollen im Vergleich zu bekannten Lösungen vereinfachte Apparaturen und Organisationsformen für den Programmiervorgang ermöglicht werden.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist eine Anordnung der oben angegebenen Art, bei der sowohl die Speicherzellen- und Schaltkreisauswahlschaltungen für den normalen Lesebetrieb als auch die für den Programmierbetrieb durch weitgehend identische Schaltungsteile realisiert sind. Die Auswahl-schaltungen für beide Betriebsarten sollen eine möglichst abgeschlossene Einheit darstellen in der Form, daß nur wenige Steckverbinderanschlüsse von der bestückten Leiterplatte nach außen führen.

Die erfindungsgemäße Lösung einer Anordnung zur Auswahl von auf einer Leiterplatte bestückten EPROM für das Lesen und Programmieren ihrer Informationsinhalte besteht darin, daß ein erster Teil der von einer Adressiereinrichtung kommenden Adreßleitungen beim Lesen und Programmieren mit den Adreßeingängen der EPROM verbunden ist und daß zur Selektierung eines von ihnen die EPROM beim Lesen und Programmieren eine Matrix aus EPROM-Reihen und EPROM-Spalten bilden, wobei ein zweiter Teil der Adreßleitungen, dekodiert als eine 1-aus-n-Darstellung führendes Leitungsbündel, mit den Chipselektiereingängen der EPROM-Reihen verbunden ist, während ein dritter Teil Adreßleitungen, dekodiert als eine 1-aus-n-Darstellung führendes Leitungsbündel, beim Lesen mit den Ausgangsaktivierungseingängen der EPROM-Spalten und beim Programmieren über Mittel zur Formung der Signale auf diesen Adreßleitungen in Programmierspannungen mit den Programmierereingängen dieser EPROM-Spalten verbunden ist.

Eine vorteilhafte detailliertere Ausführung einer Anordnung zur Auswahl von auf einer Leiterplatte bestückten EPROM für das Lesen und Programmieren ihrer Informationsinhalte besteht darin, daß die von einer Adressiereinrichtung kommenden niederwertigen Adreßleitungen mit den Adreßeingängen der EPROM je Adreßstelle über eine für den Lese- und Programmiervorgang gemeinsame Leitung verbunden sind und daß die EPROM zwecks Selektierung eines von ihnen beim Lesen und Programmieren eine

Matrix aus EPROM-Reihen und EPROM-Spalten bilden, wobei ein Teil der höherwertigen Adreßleitungen sowohl beim Lesen als auch beim Programmieren über Dekoder zur Bildung einer 1-aus-n-Darstellung oder als ein eine 1-aus-n-Darstellung enthaltendes Leitungsbündel über eine Umschalteneinrichtung mit den Chipselektiereingängen der EPROM-Reihen verbunden ist und eine von ihnen gemäß der 1-aus-n-Darstellung auswählt, während der andere Teil der höherwertigen Adreßleitungen als 1-aus-n-Darstellung direkt oder über einen Gruppendekoder zur Bildung der 1-aus-n-Darstellung beim Lesen mit den Ausgangsaktivierungseingängen der EPROM-Spalten und beim Programmieren über durch diese Adreßleitungen gesteuerte Schalter mit den Programmierereingängen dieser EPROM-Spalten verbunden ist und diese auswählt.

Weitere vorteilhafte Details der Erfindung sind den Punkten 3 bis 3 des Anspruchs zu entnehmen.

Es wird als vorteilhaft eingeschätzt, daß auf der mit EPROM bestückten Leiterplatte selbst mit vertretbarem Aufwand sowohl die Speicherzellen- als auch die Schaltkreisauswahlschaltungen für den normalen Lesebetrieb sowie für den Programmierbetrieb durch weitgehend identische Schaltungsteile als relativ abgeschlossene Einheit realisiert werden. Dabei werden nur die Anschlüsse für Leitungen mit dem Adreßkode und für die erhöhte Programmierspannung, verbunden mit wenigen Programmiersteuersignalen, nach außen geführt.

Ausführungsbeispiel

Die Erfindung wird nachstehend an einem Ausführungsbeispiel näher erläutert. In der Zeichnung zeigen:

Fig. 1 eine Anordnung zum Lesen und Programmieren von Informationen in 32 EPROM (EPROM1 ... EPROM32) mit einer Gesamtkapazität von 64 KByte, die zusammen mit den EPROM auf einer Leiterplatte bestückt ist,

Fig. 2 einen bekannten Schalter zur Zuschaltung der Programmierspannung.

Es wird davon ausgegangen, daß die EPROM im eingebauten Zustand gelöscht werden können, indem das Löschen durch Bestrahlung der bestückten Leiterplatte mit UV-Licht erfolgt und Schirme mit den Löschfenstern der EPROM angepaßten Aussparungen beim selektiven Löschen bestimmter EPROM zum Einsatz kommen. Weiterhin wird davon ausgegangen, daß bekannte Schaltungen vorhanden sind, die über Adreßleitungen A0 ... A15 des Adreßbusses AB ein bestimmtes Byte aus der Menge der 64 KByte adressieren, die über die Datenleitungen DB0 ... DB7 des Datenbusses DB die auf den Wert "0" umzuprogrammierenden Bits eines adressierten Bytes vorgeben und die ein den Lesevorgang kennzeichnendes Lesesteuersignal auf Steuerleitung /RD, low-aktiv, und ein den Programmiervorgang kennzeichnendes Programmiersteuersignal auf Steuerleitung /PR, low-aktiv, liefern. Die Programmiersteuersignale auf Steuerleitung /PR entsprechen der Länge der Programmierimpulse (50 ms bei dem als Bezugsbeispiel dienenden, bekannten EPROM-Typ 2716). Solche Programmiersteuersignale können durch Zeitschaltungen erzeugt werden, insbesondere ist eine bereits weiter vorn erwähnte Schaltung bekannt, die einen programmgesteuerten Prozessor (CPU-Schaltkreis) mit Wartesteuerung (WAIT-Zyklus) und einen zeitdefinierte Taktimpulse zählenden Zähler/Zeitgeberschaltkreis CTC enthält.

Die Chipselektiereingänge CE und die Ausgangsaktivierungseingänge OE der EPROM sind beim Lesen (in diesem Falle liegt am Programmierereingang UPR normale Betriebsspannung 5 V an) und beim Kontrolllesen (an UPR liegt die Programmierspannung 25 V)

beim Pegel low und beim Programmieren (an UPR liegt 25 V) beim Pegel high aktiv. Die Ansteuerbedingungen an den Eingängen CE, OE und UPR der EPROM beim Lesen (Nur-Lese-Betrieb, UPR = 5 V) und Programmieren (UPR = 25 V) zeigt die folgende Tabelle:

CE	OE	UPR	Operation	
L	x	5 V	Datenausgänge hochohmig	x = beliebig
x	L	5 V	"	CE = L: Zustand
0	0	5 V	Lesen	geringen Lei-
L	L	25 V	Programmieren	stungsverbrauchs
0	0	25 V	Kontrolllesen	im EPROM (Schlaf-
0	L	25 V	Datenausgänge hochohmig	zustand)
L	0	25 V	Datenausgänge niederohmig,	
			verboten	

Bei angeschalteter Betriebsspannung 5 V ist der EPROM nur dann selektiert, wenn CE = OE = 0. Bei angeschalteter Programmierspannung 25 V wird der EPROM programmiert, wenn er durch CE = OE = L ausgewählt ist. Die Umschaltung zwischen 5 V beim Lesen und 25 V beim Programmieren erfolgt durch die Schalter S10 ... S13 zur Zuschaltung der Programmierspannung. Diese Schalter sind in der Regel nicht auf der bestückten Leiterplatte untergebracht, sondern in einem gesonderten Programmierhilfsmittel PRG, wie es durch die gestrichelte Abtrennung in Fig. 1 angedeutet ist. Dieses Hilfsmittel wird über die vier Programmierleitungen UPO ... UP3 und über die vier Leitungen UPRO ... UPR3 eines Gruppencodekoders S205/2 beim Programmieren an die bestückte Leiterplatte angeschlossen. Damit sind acht Leitungen in z. B. einem Steckverbinder anzuschließen. Da eine minimale Leitungszahl für den Anschluß vorteilhaft ist, besteht auch die Möglichkeit, den Dekoder im Programmierhilfsmittel PRG vorzusehen bzw. nachzubilden, so daß nur die zwei Adreßleitungen A14, A15 mit anliegender binär kodierter Signaldarstellung im Steckverbinder vorhanden zu sein brauchen, also insgesamt sechs Leitungen für den Anschluß des Programmierhilfsmittels notwendig sind. Natürlich können die Schalter S10 ... S13 auch fest im Speichergerät installiert sein, wenn der

Zusatzaufwand vertretbar ist bzw. direkt im Speichergerät selbst programmiert werden soll. Letzteres bedingt eine entsprechende Lösung für das Löschen der EPROM. Die Auswahl einer Speicherzelle beim Lesebetrieb (Lesen und Kontrolllesen) vollzieht sich folgendermaßen: Auf den Adreßleitungen A0 ... A15 ist die Speicherzellenadresse eingestellt. Die niederwertigen Adreßleitungen A0 ... A10 werden im Ausführungsbeispiel mittels zweier Schaltkreise 6 x Inverter DL004D verstärkt. Die Ausgänge dieser Schaltkreise speisen die Adreßleitungen /A0 ... /A10, die als Busleitungen ständig an die Adreßeingänge jedes EPROM geführt sind. Falls die Adreßleitungen schon über geeignete Quellen gespeist sind (entsprechend den Zeitforderungen an die Umladezeit für die Eingangskapazitäten der EPROM-Eingänge), können die beiden Schaltkreise DL004D entfallen.

Ein Teil der höherwertigen Adreßleitungen A11, A12, A13 ist an einen ersten Gruppencodekoder 8205/1 geführt. Dieser Gruppencodekoder 8205/1 schlüsselt die Signale auf den Adreßleitungen A11, A12, A13 in eine 1-aus-n-Darstellung um, hier speziell 1-aus-8. Für den als Gruppencodekoder eingesetzten Schaltkreis 8205 ist der ausgewählte Ausgang low-aktiv, d. h. entsprechend der Kombination der Signale der an die Eingänge geführten Adreßleitungen A11, A12, A13 liegt auf einem der Selektierausgänge CS0 ... CS7 dieses Gruppencodekoders 0, auf allen anderen L. Der Schaltkreis 8205 braucht im Ausführungsbeispiel nicht gesteuert zu werden, was durch konstante Potentiale an seinen Steuereingängen angedeutet ist:

$$E1 = E2 = 0, E3 = L.$$

Die Selektierausgänge /CS0 ... /CS7 des ersten Gruppencodekoders 8205/1 sind mit den Dateneingängen zweier Umschalteneinrichtungen 8202, 8203 (3-Bit-Latch-Schaltkreise), einer mit direktem Ausgang 8202 und einer mit invertierendem Ausgang 8203, verbunden. Beide besitzen 3-state-Ausgänge. Die

Steuereingänge STB beider Schaltkreise liegen an L, was bedeutet, daß die Eingangsinformation von den an den Dateneingängen angeschlossenen Leitungen /CS0 ... /CS7 ständig übernommen wird. Die Datenausgänge C0 ... C7 beider Latch-Schaltkreise sind als Busleitungssystem verdrahtet. Die Ausgänge der Umschalteinrichtung 8282 werden beim Lesen wirksam, indem die beim Lesen aktive Steuerleitung /RD an den Ausgangsaktivierungseingang OE angeschlossen ist, die Ausgänge der Umschalteinrichtung 8283 werden beim Programmieren wirksam, indem die beim Programmieren aktive Steuerleitung /PR an den Ausgangsaktivierungseingang OE angeschlossen ist. Im Ruhezustand ist /RD = 0 und /PR = L, die Ausgänge der einen Umschalteinrichtung 8282 sind somit wirksam, die der anderen Umschalteinrichtung 8283 hochohmig. Die beiden Schaltkreise bilden somit eine Umschalteinrichtung für die Umschaltung der Signale auf den an den Datenausgängen C0 ... C7 angeschlossenen Leitungen vom Direktwert in den invertierten Wert. Jede der Busleitungen an den Datenausgängen C0 ... C7 ist an Chipselektiereingänge CE einer EPROM-Reihe angeschlossen, wobei die EPROM fiktiv (d. h. es muß nicht unbedingt mit der geometrischen Anordnung auf der Leiterplatte übereinstimmen) in einer Matrix angeordnet gedacht sind, mit EPROM-Reihen EPROM1 ... EPROM4, EPROM5 ... EPROM8 usw. und EPROM-Spalten EPROM1 ... EPROM29, EPROM2 ... EPROM30 usw. Damit wird jeweils eine EPROM-Reihe für das Lesen selektiert, alle anderen EPROM-Reihen sind gesperrt.

Ein zweiter Gruppencodekoder 8205/2 ist für die Selektion der EPROM-Spalten vorgesehen. Die Signale auf den Adreßleitungen A14, A15 werden beim Lesen in eine low-aktive 1-aus-n-Darstellung (eine der Leitungen = 0) auf den beim Lesen wirksamen Ausgangsleitungen /OE0 ... /OE3 des zweiten Gruppencodekoders umkodiert. Jede der Ausgangsleitungen /OE0 ... /OE3 ist an die Ausgangsaktivierungseingänge OE einer EPROM-Spalte angeschlossen und selektiert diese, falls auf ihr das Signal 0 anliegt, während durch das an den anderen EPROM-Spalten anliegende Signal L letztere gesperrt sind.

Der am Kreuzungspunkt der angesteuerten EPROM-Reihe und EPROM-Spalte befindliche EPROM ist somit beim Lesen ausgewählt. Die innerhalb des über die höherwertigen Adreßleitungen A11 ... A15 ausgewählten EPROM durch die niederwertigen Adreßleitungen A0 ... A10 ausgewählte Speicherzelle liefert ihren Informationsinhalt auf den Datenbus DB mit den Datenleitungen DB0 ... DB7.

Die Auswahl einer Speicherzelle beim Programmierbetrieb vollzieht sich folgendermaßen, wobei nur die Abweichungen zum Lesebetrieb beschrieben werden. Es wird über die beim Programmieren aktive Steuerleitung /PR der Schaltkreis 8283 durchgeschaltet, der die negierte Darstellung der Eingangssignale ausgangsseitig erzeugt, also einer der Datenausgänge C0 ... C7 führt eine 1, alle anderen 0. Damit ist über die angeschlossenen Chipselektiereingänge CE eine der EPROM-Reihen für das Programmieren ausgewählt. Die Auswahl der EPROM-Spalte erfolgt wie beim Lesen mit dem zweiten Gruppencodekoder 8205/2 oder evtl. dessen Nachbildung im Programmierhilfsmittel PRG. An den dritten Adreßeingang des Schaltkreises 8205, der den zweiten Gruppencodekoder 8205/2 realisiert, ist das Steuersignal PR geführt, das durch Negation des Steuersignals /PR entsteht, wie es in Fig. 1 durch Verwendung einer Stufe eines der beiden Schaltkreise DL004D dargestellt ist. Dadurch sind die Ausgangsleitungen /OE0 ... /OE3 des beim Lesen wirksamen Ausgangsleitungsbündels des zweiten Gruppencodekoders 8205/2 gesperrt, d. h. alle auf 1 gestellt. Die 1-aus-n-Darstellung erscheint in den beim Programmieren wirksamen Leitungen UPR0 ... UPR3 des zweiten Gruppencodekoders 8205/2, indem eine dieser Leitungen 0, die anderen aber 1 führen. Diese Leitungen UPR0 ... UPR3 steuern einen der den EPROM-Spalten zugeordneten Schalter S10 ... S13 in der Form, daß er die an seinem Ausgang abgegebene Spannung von 5 V auf 25 V umschaltet, solange die Steuerspannung 0 am Steuereingang anliegt.

Die Schalterausgänge sind mit Programmierleitungen UP0 ... UP3 verbunden. Jede Programmierleitung stellt eine Sammelleitung dar, die alle Programmierereingänge der EPROM einer Spalte

miteinander verbindet. Die Programmierspannung wird nur der ausgewählten EPROM-Spalte zugeführt. Die EPROM aller anderen EPROM-Spalten befinden sich in dem durch die zweite Zeile der Tabelle angegebenen Zustand ($OE = L$, $UPR = 5 V$), ihre Ausgänge sind hochohmig. Damit wird nur der EPROM, der sich am Kreuzungspunkt von über die Ausgänge der Umschalteneinrichtung 8233 ausgewählten Reihe und der über die Programmierleitungen ausgewählten Spalte beim Programmieren, je nachdem, über welche der höherwertigen Adreßleitungen $A_{11} \dots A_{15}$ die Ansteuerung erfolgt, ausgewählt. Die innerhalb dieses EPROM über die niederwertigen Adreßleitungen $A_0 \dots A_{10}$ ausgewählte Speicherzelle empfängt das Datenbyte, das vorgibt, welche seiner Bits auf 0 zu programmieren sind, über den an die Dateneingänge/-ausgänge des EPROM angeschlossenen Datenbus DB. Schalter $S_{10} \dots S_{13}$ der Art, wie sie für die Zuschaltung der Programmierspannung gefordert werden, sind als bekannt vorausgesetzt. Das Prinzip einer bekannten Schaltung mit Hilfe eines Spannungsregler-Schaltkreises MAA 723 mit seinen entsprechend beschalteten Ein- bzw. Ausgängen 1 ... 10 ist in Fig. 2 angedeutet. Die Eingangs-/Ausgangsbeschaltung erfolgt durch die Widerstände R_1 bis R_6 und durch die Kondensatoren C_1 , C_2 . $UPRO$ ist der Steuereingang vom Ausgangsleitungsbündel des zweiten Gruppencodekoders, UPO der an die Programmierleitung einer EPROM-Spalte $EPROM_1 \dots EPROM_{29}$ angeschlossene Ausgang. Der Lesebetrieb ist die normale Betriebsart. Es ist bei vielen Geräten wesentlich, zur Verringerung des Energiebedarfs der EPROM-Speicheranordnung weitgehend den Schlafzustand ($OE = L$) zu nutzen. Die in Fig. 1 gezeigte Anordnung gewährleistet, daß sich jeweils nur eine EPROM-Reihe bei Lesebetrieb nicht im Schlafzustand befindet. Eine weitere Reduzierung des Strombedarfs ist erreichbar, wenn am ersten Gruppencodekoder 8205/1 über einen der Steuereingänge E_1 , E_2 , E_3 nur der Lesevorgang strobiert wird.

Erfindungsanspruch

1. Anordnung zur Auswahl von auf einer Leiterplatte bestückten EPROM für das Lesen und Programmieren ihrer Informationsinhalte, dadurch gekennzeichnet, daß ein erster Teil der von einer Adressiereinrichtung kommenden Adreßleitungen beim Lesen und Programmieren mit den Adreßeingängen der EPROM verbunden ist und daß zur Selektierung eines von ihnen die EPROM beim Lesen und Programmieren eine Matrix aus EPROM-Reihen und EPROM-Spalten bilden, wobei ein zweiter Teil der Adreßleitungen, dekodiert als eine 1-aus-n-Darstellung führendes Leitungs Bündel, mit den Chipselektiereingängen der EPROM-Reihen verbunden ist, während ein dritter Teil Adreßleitungen, dekodiert als eine 1-aus-n-Darstellung führendes Leitungs Bündel, beim Lesen mit den Ausgangsaktivierungseingängen der EPROM-Spalten und beim Programmieren über Mittel zur Formung der Signale auf diesen Adreßleitungen in Programmierspannungen mit den Programmierereingängen dieser EPROM-Spalten verbunden ist.

2. Anordnung nach Punkt 1, dadurch gekennzeichnet, daß die von einer Adressiereinrichtung kommenden niederwertigen Adreßleitungen (/A0 ... /A10 bzw. unverstärkt A0 ... A10) mit den Adreßeingängen der EPROM je Adreßstelle über eine für den Lese- und Programmiervorgang gemeinsame Leitung verbunden sind und daß die EPROM zwecks Selektierung eines von ihnen beim Lesen und Programmieren eine Matrix aus EPROM-Reihen (EPROM1 ... EPROM4, EPROM5 ... EPROM8 usw.) und EPROM-Spalten (EPROM1 ... EPROM29, EPROM2 ... EPROM30 usw.) bilden, wobei ein Teil der höherwertigen Adreßleitungen (A11, A12, A13) sowohl beim Lesen als auch beim Programmieren über Dekoder (3205/1) zur Bildung einer 1-aus-n-Darstellung oder als eine 1-aus-n-Darstellung enthaltendes Leitungs Bündel über eine Umschalteneinrichtung (3202, 3233) mit den Chipselektiereingängen (CE) der EPROM-Reihen (EPROM1 ... EPROM4, EPROM5 ... EPROM8 usw.) verbunden ist und eine von ihnen

gemäß der 1-aus-n-Darstellung auswählt, während der andere Teil der höherwertigen Adreßleitungen (A14 , A15) als 1-aus-n-Darstellung direkt oder über einen Gruppendekoder (8205/2) zur Bildung der 1-aus-n-Darstellung beim Lesen mit den Ausgangsaktivierungseingängen (OE) der EPROM-Spalten (EPROM1 ... EPROM29, EPROM2 ... EPROM30 usw.) und beim Programmieren über durch diese Adreßleitungen gesteuerte Schalter (S10 ... S13) mit den Programmierereingängen (UPR) dieser EPROM-Spalten verbunden ist und diese auswählt.

3. Anordnung nach Punkt 1 und 2, dadurch gekennzeichnet, daß die von einer Adressiereinrichtung kommenden niederwertigen Adreßleitungen (/A0 ... /A10 bzw. unverstärkt A0 ... A10) mit den Adreßeingängen der EPROM je Adreßstelle über eine für den Lese- und Programmiervorgang gemeinsame Leitung verbunden sind und daß ein Teil der höherwertigen Adreßleitungen (A11, A12, A13) an einen ersten Gruppendekoder (8205/1) geführt ist, dessen Selektierausgänge (/CS0 ... /CS7) mit den Eingängen von abhängig vom Lesevorgang (/RS = 0) oder vom Programmiervorgang (/PR = 0) gesteuerten Umschalteneinrichtungen (S232, S233) verbunden sind, und so gesteuert deren Ausgänge (C0 ... C7) entgegengesetzte Potentiale (high = L oder low = 0) beim Lesen und Programmieren führen und jeweils mit den Chipselektiereingängen (CE) einer EPROM-Reihe (EPROM1 ... EPROM4, EPROM5 ... EPROM8 usw.) verbunden sind und daß ein anderer Teil der höherwertigen Adreßleitungen (A14, A15) an einen zweiten Gruppendekoder (8205/2) geführt ist, dessen beim Lesen wirksam gesteuertes Ausgangsleitungs-bündel (/OE0 ... /OE3) die Ausgangsaktivierungseingänge (OE) von EPROM-Spalten (EPROM1 ... EPROM29, EPROM2 ... EPROM30 usw.) speist, wogegen das beim Programmieren wirksam gesteuerte Ausgangsleitungs-bündel (UPRO ... UPR3) des zweiten Gruppendekoders oder seiner Nachbildung außerhalb der bestückten Leiterplatte an die Schalteingänge von Schaltern (S10 ... S13) geführt ist und die Schalterausgänge über

Programmierleitungen (UP0 ... UP3) mit den Programmier-eingängen (UPR) je einer EPROM-Spalte (EPROM1 ... EPROM29, EPROM2 ... EPROM30 usw.) verbunden sind und damit einer dieser EPROM-Spalten die Programmierspannung zuführen.

4. Anordnung nach den Punkten 1 bis 3, dadurch gekennzeichnet, daß die Umschalteneinrichtungen (3232, 3233) aus einem Schaltkreispaar, wovon ein Schaltkreis negierende Ausgänge besitzt sowie beide Schaltkreise 3-state-Ausgänge besitzen, bestehen und die Ausgänge eines Schaltkreises jeweils über seinen Ausgangsaktivierungseingang (OE) beim Lesen (/RD = 0) oder beim Programmieren (/PR = 0) hochohmig geschaltet sind und die gleichnamigen Datenausgänge (C0 ... C7) beider Schaltkreise busartig miteinander verbunden sind.
5. Anordnung nach den Punkten 1 bis 4, dadurch gekennzeichnet, daß die Gruppencode (3205/1, 3205/2) und die Umschalteneinrichtungen (3232, 3233) zusammen mit den EPROM auf einer Leiterplatte bestückt sind.
6. Anordnung nach den Punkten 1 bis 5, dadurch gekennzeichnet, daß die Schalter (S10 ... S13) zur Zuschaltung der Programmierspannung Bestandteil eines Programmierhilfsmittels (PRG) sind, das durch Programmierleitungen (UP0 ... UP3) mit den EPROM-Spalten (EPROM1 ... EPROM29, EPROM2 ... EPROM30 usw.) und durch einen Teil der höheren Adreßleitungen (A14, A15) oder daraus abgeleiteten Steuerleitungen (UPRO ... UPR3), falls diese auf der mit EPROM bestückten Leiterplatte generiert werden, mit letzterer Leiterplatte verbunden ist.
7. Anordnung nach den Punkten 1 bis 6, dadurch gekennzeichnet, daß die Gruppencode (3205/1, 3205/2) als 1-aus-n-Decoder-Schaltkreise ausgeführt sind, die ungesteuert arbeiten (Steuereingänge E1 = E2 = 0, E3 = 1).

8. Anordnung nach den Punkten 1 bis 7, dadurch gekennzeichnet, daß die Schaltkreise der Umschalteneinrichtung Verstärker- oder Latch-Schaltkreise mit je n Kanälen sind.

Hierzu 2 Seiten Zeichnungen

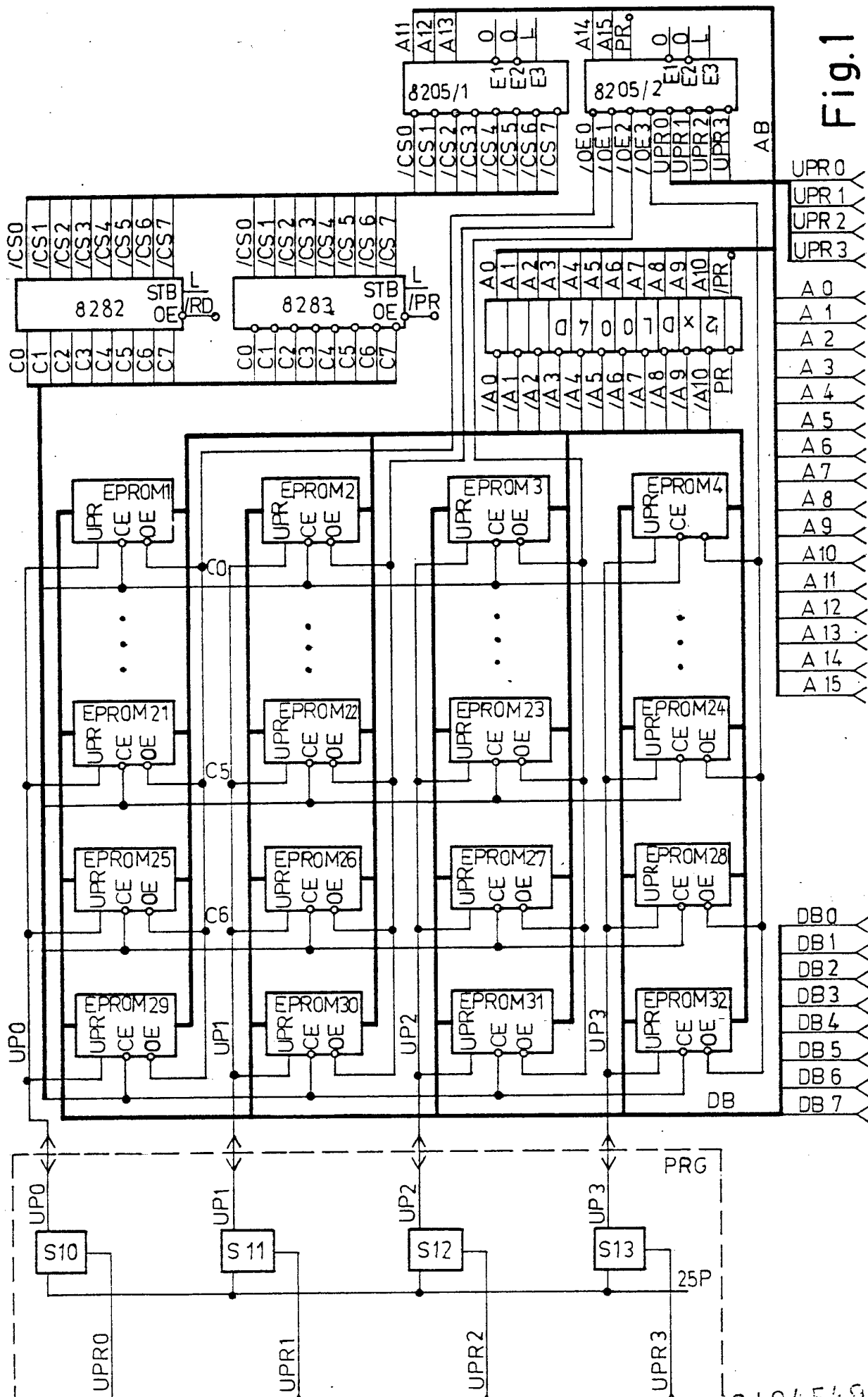


Fig.1

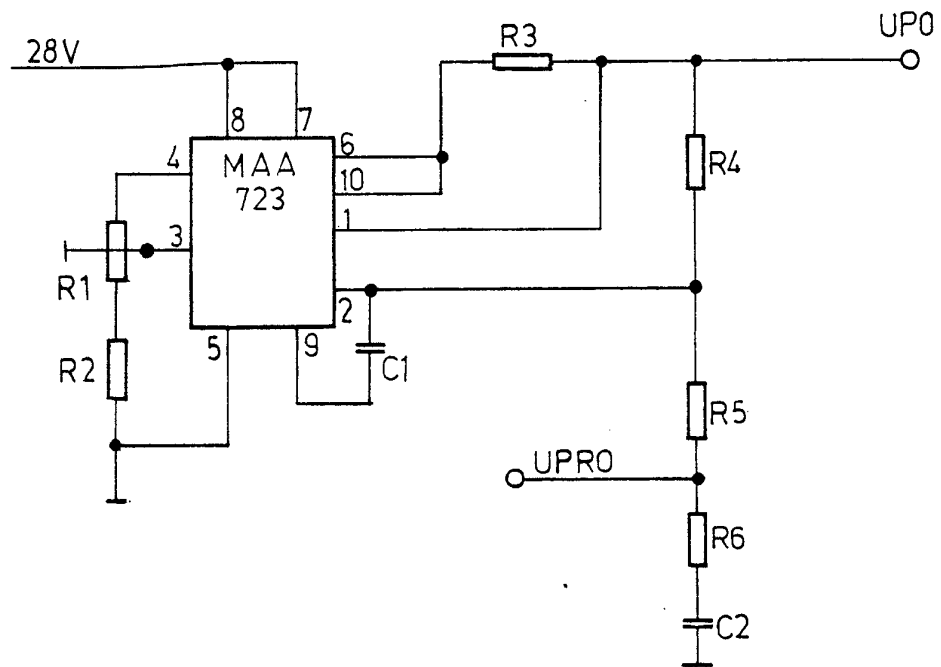


Fig.2