

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-147378

(P2017-147378A)

(43) 公開日 平成29年8月24日(2017.8.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
	HO 1 L 29/78 6 1 6 V	
	HO 1 L 21/28 3 0 1 B	
	HO 1 L 21/28 3 0 1 R	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2016-29256 (P2016-29256)
 (22) 出願日 平成28年2月18日 (2016.2.18)

(71) 出願人 000001199
 株式会社神戸製鋼所
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号
 (74) 代理人 110002000
 特許業務法人栄光特許事務所
 (72) 発明者 後藤 裕史
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内
 (72) 発明者 越智 元隆
 兵庫県神戸市中央区脇浜海岸通二丁目2番4号 株式会社神戸製鋼所内

最終頁に続く

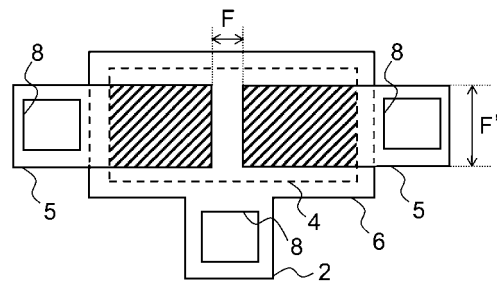
(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【課題】ドレイン電流が大きくでき、(チャンネル幅W / チャンネル長L)依存性がある、移動度の高い薄膜トランジスタを提供する。

【解決手段】基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース-ドレイン電極、および保護膜をこの順序で有する薄膜トランジスタであって、前記酸化物半導体層は、同一面内に半導体領域と導体領域とを有し、前記ソース-ドレイン電極の少なくとも一部が前記導体領域と平面で接続され、かつ前記接続された領域の面積が、薄膜トランジスタのチャンネル長およびチャンネル幅の積から導出されるチャンネル面積の10倍以上である薄膜トランジスタ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース - ドレイン電極、および保護膜をこの順序で有する薄膜トランジスタであって、

前記酸化物半導体層は、同一面内に半導体領域と導体領域とを有し、

前記ソース - ドレイン電極の少なくとも一部が前記導体領域と面で接続され、かつ

前記導体領域と接続された領域の面積が、薄膜トランジスタのチャンネル長およびチャンネル幅の積から導出されるチャンネル面積の 10 倍以上である薄膜トランジスタ。

【請求項 2】

前記酸化物半導体層のチャンネル抵抗 R_{ch} と、前記ソース - ドレイン電極と前記酸化物半導体層とのコンタクト抵抗 R_{ct} が、 $R_{ct} = 0.1 \times R_{ch}$ の関係を満たす、請求項 1 に記載の薄膜トランジスタ。

10

【請求項 3】

前記ソース - ドレイン電極における前記酸化物半導体層との接続面が、Mo、Ti、Ta、W、Nb 及びこれらの合金からなる群より選ばれる少なくとも 1 種を含む組成である、請求項 1 又は 2 に記載の薄膜トランジスタ。

【請求項 4】

前記酸化物半導体層が In、Ga 及び Sn からなる群より選ばれる少なくとも 1 種から構成される酸化物からなる、請求項 1 ~ 3 のいずれか 1 項に記載の薄膜トランジスタ。

【請求項 5】

前記酸化物半導体層は、In、Ga、Sn、及び O から構成される酸化物からなり、各金属元素の原子数比は、

20

$$0.30 \leq \text{In} / (\text{In} + \text{Ga} + \text{Sn}) \leq 0.50$$

$$0.20 \leq \text{Ga} / (\text{In} + \text{Ga} + \text{Sn}) \leq 0.30$$

$$0.25 \leq \text{Sn} / (\text{In} + \text{Ga} + \text{Sn}) \leq 0.45$$

の関係を満たし、かつ、前記保護膜は SiNx を含む、請求項 1 ~ 4 のいずれか 1 項に記載の薄膜トランジスタ。

【請求項 6】

前記酸化物半導体層は、In、Ga、Sn、及び O から構成される酸化物からなり、In および Ga の原子数比は、

30

$$0.60 \leq \text{In} / (\text{In} + \text{Ga}) \leq 0.75$$

の関係を満たし、かつ、前記保護膜は SiNx を含む、請求項 1 ~ 5 のいずれか 1 項に記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体層を含む薄膜トランジスタに関する。より具体的には、液晶ディスプレイや有機 EL ディスプレイなどの表示装置に用いられる薄膜トランジスタに関する。

【背景技術】

40

【0002】

アモルファス酸化物半導体は、汎用のアモルファスシリコンに比べて高いキャリア移動度を有する。またアモルファス酸化物半導体は、光学バンドギャップが大きく、低温で成膜できる。そのため、大型・高解像度・高速駆動が要求される次世代ディスプレイへの適用が期待されている。

【0003】

種々の酸化物半導体の中でも、特許文献 1 ~ 3 に示されるように、インジウム、ガリウム、亜鉛、および酸素からなる In - Ga - Zn 系 (IGZO 系) アモルファス酸化物半導体が良く知られている。

【先行技術文献】

50

【特許文献】

【0004】

【特許文献1】特開2010-219538号公報

【特許文献2】特開2011-174134号公報

【特許文献3】特開2013-249537号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記IGZO系の酸化物半導体を用いて薄膜トランジスタ（TFT：Thin Film Transistor）を作製したときのキャリア移動度（以下、電界効果移動度や、単に移動度と呼ぶ場合がある）は $10\text{ cm}^2/\text{Vs}$ 以下であり、さらなる移動度の向上が望まれていた。

10

そこで、本発明は、ドレイン電流が大きくでき、（チャネル幅 W /チャネル長 L ）依存性がある、移動度の高い薄膜トランジスタを提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明者らは、鋭意研究を重ねた結果、高移動度の薄膜トランジスタを用いるときに、チャネル長とチャネル幅を変えると、薄膜トランジスタの移動度が変化することを見出した。

従来の薄膜トランジスタの場合、薄膜トランジスタのオン電流はチャネル長に反比例し、チャネル幅には比例する関係を示すが、高移動度アモルファス酸化物半導体を用いた場合では、特に高移動度を示す場合に、前記の関係が成り立たないことが分かった。

20

【0007】

すなわち、一般に薄膜トランジスタを設計する場合は、上記の關係に沿うことを前提にチャネル長とチャネル幅を設計するが、高移動度の酸化物半導体材料は、設計値どおりのオン電流が得られない。

これに対し、本発明者らは、酸化物半導体層とソース・ドレイン電極の導体領域との接続面積を一定以上にすることにより、上記課題を解決できることを見出し、本発明を完成するに至った。

【0008】

30

すなわち、本発明は、以下のとおりである。

[1] 基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および保護膜をこの順序で有する薄膜トランジスタであって、

前記酸化物半導体層は、同一面内に半導体領域と導体領域とを有し、

前記ソース・ドレイン電極の少なくとも一部が前記導体領域と面で接続され、かつ

前記導体領域と接続された領域の面積が、薄膜トランジスタのチャネル長およびチャネル幅の積から導出されるチャネル面積の10倍以上である薄膜トランジスタ。

[2] 前記酸化物半導体層のチャネル抵抗 R_{ch} と、前記ソース・ドレイン電極と前記酸化物半導体層とのコンタクト抵抗 R_{ct} が、 $R_{ct} = 0.1 \times R_{ch}$ の関係を満たす、前記[1]に記載の薄膜トランジスタ。

40

[3] 前記ソース・ドレイン電極における前記酸化物半導体層との接続面が、Mo、Ti、Ta、W、Nb及びこれらの合金からなる群より選ばれる少なくとも1種を含む組成である、前記[1]又は[2]に記載の薄膜トランジスタ。

[4] 前記酸化物半導体層がIn、Ga及びSnからなる群より選ばれる少なくとも1種から構成される酸化物からなる、前記[1]～[3]のいずれか1に記載の薄膜トランジスタ。

[5] 前記酸化物半導体層は、In、Ga、Sn、及びOから構成される酸化物からなり、各金属元素の原子数比は、

$$0.30 \quad \text{In} / (\text{In} + \text{Ga} + \text{Sn}) \quad 0.50$$

$$0.20 \quad \text{Ga} / (\text{In} + \text{Ga} + \text{Sn}) \quad 0.30$$

50

$0.25 \text{ Sn} / (\text{In} + \text{Ga} + \text{Sn}) \quad 0.45$

の関係を満たし、かつ、前記保護膜は SiN_x を含む、前記 [1] ~ [4] のいずれか 1 に記載の薄膜トランジスタ。

[6] 前記酸化物半導体層は、 In 、 Ga 、 Sn 、及び O から構成される酸化物からなり、 In および Ga の原子数比は、

$0.60 \text{ In} / (\text{In} + \text{Ga}) \quad 0.75$

の関係を満たし、かつ、前記保護膜は SiN_x を含む、前記 [1] ~ [5] のいずれか 1 に記載の薄膜トランジスタ。

【発明の効果】

【0009】

本発明によれば、ドレイン電流が大きくでき、(チャンネル幅 W / チャンネル長 L) 依存性がある、移動度の高い薄膜トランジスタを得ることができる。

【図面の簡単な説明】

【0010】

【図1】図1は、本発明のバックチャンネルエッチ型の薄膜トランジスタを説明するための概略上面図であり、チャンネル長 F とチャンネル幅 F' のバックチャンネル型薄膜トランジスタにおいて、チャンネル面積と、ソース - ドレイン電極と酸化物半導体層の導体領域とが接続された領域の面積との関係を示す図である。

【図2】図2は、TLM法 (Transmission Line Model法) によるチャンネル抵抗 (R_{ch}) とコンタクト抵抗 (R_{ct}) の位置を表す断面図である。

【図3】図3は、TLM法による測定結果と、チャンネル抵抗 (R_{ch}) 及びコンタクト抵抗 (R_{ct}) との関係性を示すグラフである。

【図4】図4は、本発明の薄膜トランジスタの概略断面図であり、ソース - ドレイン電極間におけるチャンネル抵抗 (R_{ch}) とコンタクト抵抗 (R_{ct}) の概念を表す断面図である。

【図5】図5は、本発明のエッチストップパ型の薄膜トランジスタを説明するための概略上面図である。

【図6】図6 (a) ~ 図6 (e) は、本発明の酸化物薄膜トランジスタのチャンネル抵抗 R_{ch} : コンタクト抵抗 R_{ct} の比率をそれぞれ 1 : 10、1 : 1、2 : 1、10 : 1、100 : 1 に変えたときの、薄膜トランジスタのオン電流のチャンネル長およびチャンネル幅依存性を示すグラフである。

【発明を実施するための形態】

【0011】

本発明に係る薄膜トランジスタは、基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース - ドレイン電極、および保護膜をこの順序で有する。

酸化物半導体層は同一面内に半導体領域と導体領域とを有し、前記導体領域と、ソース - ドレイン電極の少なくとも一部が面で接続されている。導体領域と接続された領域の面積は、薄膜トランジスタのチャンネル長及びチャンネル幅の積から導出されるチャンネル面積の10倍以上である。

【0012】

(酸化物半導体層)

本発明における酸化物半導体層は、同一面内で半導体領域と導体領域とを形成する。導体領域を形成する手法としては、真空チャンバー内でアルゴンやハロゲン系ガスを含むプラズマを照射する方法や、レーザーの照射、酸化物半導体に含まれる金属イオンを還元する酸性の薬液処理などがある。

【0013】

ソース - ドレイン電極の少なくともいずれか一方の電極は、その少なくとも一部が、導体領域と面接続している。ソース電極とドレイン電極の両方の少なくとも一部の領域が、共に導体領域と面接続していることが好ましく、導体領域と面接続しているソース - ドレイン電極の面積が大きいほど、後述するコンタクト抵抗 R_{ct} が小さくなることから好ま

10

20

30

40

50

しい。例えば図1の薄膜トランジスタにおいては、酸化物半導体層4のうち、ソース・ドレイン電極5と面接している領域のすべて（波線領域）が導体領域であることが最も好ましく、それ以外の領域は導体領域でも半導体領域でもよい。

【0014】

薄膜トランジスタにおいて、ソース電極とドレイン電極に挟まれた領域が、半導体であるチャンネル領域となる。例えば図1で表されるようなバックチャンネルエッチ型薄膜トランジスタの場合は、ソース電極5とドレイン電極5の間隔がチャンネル長 F 、ソース電極5とドレイン電極5の幅がチャンネル幅 F' となる。また、図5で表されるようなエッチストップパ型薄膜トランジスタの場合は、ソース電極5とドレイン電極5が酸化物半導体層と接続するために、酸化物半導体層4を覆うように形成された酸化シリコンなどの層間絶縁膜（エッチストップ層9）に、酸化物半導体層4とソース・ドレイン電極5が電氣的に接続できるように、層間絶縁膜に形成されたコンタクトホールの一辺の長さがチャンネル幅 F' となる。

10

【0015】

すなわち、本発明に係る薄膜トランジスタは、図1に示すように薄膜トランジスタのチャンネル長 F とチャンネル幅 F' との積であるチャンネル面積（ $F \times F'$ ）に対して、酸化物半導体層の導体領域とソース・ドレイン電極とが接続された領域の面積（コンタクト面積 S ）とが、 $S \geq 1.0 \times F \times F'$ の関係を満たす。なお、コンタクト面積 S の詳細については後述する。

【0016】

前記薄膜トランジスタのチャンネル抵抗 R_{ch} とコンタクト抵抗 R_{ct} を比較する際、 R_{ch} と R_{ct} は、図2に示すTLM素子を用いたTLM法（伝送長法）によって求めることができる。TLM法とは、電極のコンタクト抵抗と抵抗層（ここでは酸化物半導体層）の表面導電層が結合した回路と見なしてモデル化する方法である。

20

酸化物半導体層とオーミック接触が可能な電極として、膜厚100nmのMo電極を用い、4つの電極を等間隔で並べて、電極間距離（伝送距離）が異なる二つの電極の組み合わせで抵抗値を測定した。このとき、電極間の距離と抵抗の関係性をグラフ化すると、図3に示すように、傾きがチャンネル抵抗 R_{ch} 、切片がコンタクト抵抗 R_{ct} の2倍（ $2R_{ct}$ ）になるため、チャンネル抵抗 R_{ch} とコンタクト抵抗 R_{ct} をそれぞれ導出することができる。

30

【0017】

TLM素子の形成は例えば次の手順で行うことができる。

まずガラス基板上にスパッタリングを用いて、膜厚100nmの酸化物半導体層を成膜する。次に大気中350℃で1時間の熱処理を行い、プラズマCVD装置を用いてシリコン酸化膜を成膜する。そしてフォトリソグラフィによってスルーホールパターンを形成し、RIEプラズマエッチング装置にてシリコン酸化膜にスルーホールを形成する。次いで、膜厚100nmのMo電極を成膜し、フォトリソグラフィにてTLMパターンを形成し、リン硝酸（燐酸、硝酸、及び酢酸の混合液）によるウェットエッチングによって電極を形成する。

【0018】

実際の薄膜トランジスタに当てはめると図4に示す断面になるため、ソース・ドレイン電極5間の抵抗は $R_{ch} + 2 \times R_{ct}$ で表される。このとき、チャンネル抵抗 R_{ch} に比べてコンタクト抵抗 R_{ct} が十分に低くなければならない。

40

薄膜トランジスタの移動度を更に向上させるためには、酸化物半導体層とソース・ドレイン電極のコンタクト抵抗 R_{ct} を、酸化物半導体層のチャンネル抵抗 R_{ch} に対して、 $1/10$ 以下に制御することが効果的である。すなわち、チャンネル抵抗 R_{ch} とコンタクト抵抗 R_{ct} とが、 $R_{ct} \leq 0.1 \times R_{ch}$ の関係を満たすことがより好ましい。

【0019】

酸化物半導体層の組成は、金属元素としてIn、Ga及びSnからなる群より選ばれる少なくとも1種から構成される酸化物からなることが好ましく、In、Ga及びSnを含

50

む In - Ga - Sn 系酸化物である場合に、薄膜トランジスタの移動度をより向上することができることからより好ましい。

すなわち、酸化物半導体層は In、Ga、Sn 及び O から構成される酸化物がより好ましい。

【0020】

酸化物半導体層を構成する金属元素の原子数比を適切に制御することにより、より移動度を向上できる。

すなわち、各金属元素の原子数比が下記関係を満たすことがより好ましい。

$$0.30 \leq \text{In} / (\text{In} + \text{Ga} + \text{Sn}) \leq 0.50、$$

$$0.20 \leq \text{Ga} / (\text{In} + \text{Ga} + \text{Sn}) \leq 0.30、\text{かつ}$$

$$0.25 \leq \text{Sn} / (\text{In} + \text{Ga} + \text{Sn}) \leq 0.45。$$

10

【0021】

また、In 及び Ga の原子数比が下記関係を満たすこともより好ましい。

$$0.60 \leq \text{In} / (\text{In} + \text{Ga}) \leq 0.75$$

【0022】

以下、各金属元素について説明する。

In は電気伝導性の向上に寄与する元素である。In 原子数比が大きくなるほど、即ち、金属元素に占める In 量が多くなるほど、酸化物半導体層の導電性が向上するため電界効果移動度は増加する。

上記作用を有効に発揮させるには、上記 In 原子数比を 0.30 以上とすることが好ましく、より好ましくは 0.31 以上、さらに好ましくは 0.35 以上、よりさらに好ましくは 0.40 以上である。一方、In 原子数比が大き過ぎると、キャリア密度が増加しすぎてしきい値電圧が負電圧に低下する場合などがある。そのため、上限は好ましくは 0.50 以下であり、より好ましくは 0.48 以下、さらに好ましくは 0.45 以下である。

20

【0023】

Ga は酸素欠損の低減およびキャリア密度の制御に寄与する元素である。Ga 原子数比が大きいほど、酸化物半導体層の電氣的安定性が向上し、キャリアの過剰発生を抑制する効果を発揮する。

上記作用を更に有効に発揮させるには、Ga 原子数比を 0.20 以上とすることが好ましく、より好ましくは 0.22 以上、さらに好ましくは 0.25 以上である。一方、Ga 原子数比が大き過ぎると、酸化物半導体層の導電性が低下して電界効果移動度が低下しやすくなる。よって Ga 原子数比は、0.30 以下が好ましく、より好ましくは 0.28 以下である。

30

【0024】

Sn は酸エッチング耐性の向上に寄与する元素である。Sn 原子数比が大きいほど、酸化物半導体層における無機酸エッチング液に対する耐性は向上する。

上記作用を更に有効に発揮させるには、Sn 原子数比は 0.25 以上とすることが好ましく、より好ましくは 0.30 以上、さらに好ましくは 0.31 以上、よりさらに好ましくは 0.35 以上である。一方、Sn 原子数比が大き過ぎると、酸化物半導体層の電界効果移動度が低下すると共に、酸エッチング液に対する耐性が必要以上に高まり、酸化物半導体層自体の加工が困難になる場合がある。よって Sn 原子数比は 0.45 以下が好ましく、より好ましくは 0.40 以下、さらに好ましくは 0.38 以下である。

40

【0025】

また、In と Ga の原子数比に関し、In は添加量を増やすとキャリア密度を増加させるが、欠陥も増えて信頼性が低下する。そこで、Ga を添加させてバランスしてキャリア密度と欠陥の制御を可能とし、信頼性の高い酸化物半導体を得ることができる。そのため、In と Ga の原子数の和に対して In 原子数比は 0.60 以上が好ましく、0.75 以下が好ましい。

【0026】

また上記金属元素の原子数比に加えて、保護膜が、水素拡散源として必要な SiNx を

50

含むことがよりさらに好ましい。なお、保護膜とは、ソース・ドレイン電極を保護するものであり、詳細は後述する。

【0027】

(コンタクト抵抗 R_{ct} 及びチャネル抵抗 R_{ch})

上述の酸化物半導体層を用いた本発明に係る薄膜トランジスタは、移動度 $50 \text{ cm}^2 / \text{Vs}$ を超える高い移動度を示す。従来用いられてきた In-Ga-Zn-O (IGZO) 系酸化物半導体層を用いた薄膜トランジスタは移動度 $10 \text{ cm}^2 / \text{Vs}$ 程度であることに鑑みると、本発明に係る薄膜トランジスタの移動度は非常に高い。

一方、該移動度の向上に伴い、ソース・ドレイン電極間に流れるドレイン電流も増加する。これは上記酸化物半導体層が、IGZO系酸化物半導体層と比べて高いキャリア濃度を有するためである。

【0028】

ところで、図4に示すように薄膜トランジスタのソース・ドレイン電極5間の抵抗 R_t は、チャネル抵抗 R_{ch} とコンタクト抵抗 R_{ct} のシリーズ抵抗になる。このとき、チャネル抵抗 R_{ch} に比べてコンタクト抵抗 R_{ct} が十分小さくなければ、薄膜トランジスタに流れるドレイン電流はコンタクト抵抗の影響を受けて小さくなるので、移動度が低下する原因となる。

【0029】

本発明における酸化物半導体層の高移動度化は、接している保護層から熱処理によって本発明の酸化物半導体層へと拡散する水素および水素化合物と関係している。水素および水素化合物が酸化物半導体層へと拡散すると、酸化物半導体層のキャリア密度が増加する。保護膜を構成する SiN_x 層に含まれる水素および水素化合物が酸化物半導体層中へと拡散するのは200 以上の熱処理が加わったときである。

このときにキャリア濃度の増加とチャネル抵抗の低下が生じ、同等のゲートバイアスを加えた場合であってもドレイン電流が更に増加するため、高移動度が得られる。

【0030】

本発明では、コンタクト抵抗がチャネル抵抗より十分小さくなるように、酸化物半導体層の導体領域とソース・ドレイン電極とが接続された領域であるコンタクト部分の面積(コンタクト面積 S)を広く取り、チャネル面積($F \times F'$)の10倍以上とする。これによりコンタクト抵抗はチャネル抵抗の10%以下となり、薄膜トランジスタのチャネル抵抗に対して無視できるほど小さくなり、オン電流への影響がなくなる。

【0031】

本発明ではコンタクト抵抗を下げるためにコンタクト面積を増加させることの他に、薄膜トランジスタの製造プロセスにおいてコンタクト抵抗を下げることも行ってよい。コンタクト抵抗を下げる手法としては、酸化物半導体層のソース・ドレイン電極との接触面(コンタクト部分)にプラズマ照射する方法や、レーザーアニールを加える方法、酸系の薬液処理によって表面処理を行う方法等があり、いずれもコンタクト面積の増加と同様の効果が得られる。

【0032】

(薄膜トランジスタ)

本発明に係る薄膜トランジスタ(TFT)の製造方法を以下に示す。

ゲート電極とゲート絶縁膜を形成した基板上に、ガス圧 $1 \sim 5 \text{ Torr}$ の範囲に制御して酸化物半導体層を形成する。ガス圧が 1 Torr 未満では膜密度が不十分になる。ガス圧の好ましい下限は 2 Torr 以上である。但し、ガス圧が 5 Torr を超えると、TFTの信頼性が得られるほど十分な膜質が得られない。ガス圧の好ましい上限は 4 Torr 以下であり、より好ましくは 3 Torr 以下である。

【0033】

引き続き酸化物半導体層の熱処理を 350 以上で1時間程度行う。当該熱処理時の好ましい雰囲気は、大気雰囲気または水蒸気雰囲気である。

【0034】

10

20

30

40

50

次にエッチストップ層となるシリコン酸化膜を、CVD法によって成膜し、パターニングしたあとにソース・ドレイン電極を形成する。

【0035】

ソース・ドレイン電極上に保護膜を形成した後、200以上の温度で熱処理する。上記熱処理では、所望とする酸化物半導体層の膜質が得られるよう、熱処理時間を例えば、30～90分の範囲内に制御することが好ましい。なお、雰囲気は特に限定されず、例えば、窒素雰囲気、大気雰囲気などが挙げられる。

【0036】

保護膜はSiNxを含むSiNx系保護膜とすることが好ましい。本発明者らの検討結果によれば、特定の金属組成を有する酸化物半導体層と、SiNx系保護膜との両方を備えたTFETは、該保護膜に含有される水素が前記酸化物半導体層に拡散（ディフュージョン）されて高移動度の発現に大きく寄与することが明らかになった。

このような移動度向上作用は、本発明に係るTFETにおいて初めて得られるものであり、例えば、前述した特許文献1などに記載のIGZO系酸化物半導体を用いたTFETでは該向上作用は見られない。

【0037】

すなわち、本発明に係るTFETは、前述した特許文献1～3などに記載された、汎用のIn-Ga-Zn系酸化物半導体を用いたTFETに比べて、 $40\text{ cm}^2/\text{Vs}$ 以上と非常に高い移動度を実現することができる。

【0038】

以下、本発明に係るTFETの好ましい製造方法の例として、図4に示すエッチストップ型TFETを用いて説明する。

まず基板1上にゲート電極2およびゲート絶縁膜3を形成する。これらの形成方法は特に限定されず、通常用いられる方法を採用することができる。また、ゲート電極2およびゲート絶縁膜3の種類も特に限定されず、汎用されているものを用いることができる。

例えばゲート電極2として、電気抵抗率の低いAlやCuの金属、耐熱性の高いMo、Cr、Tiなどの高融点金属、又はこれらの合金を好ましく用いることができる。また、ゲート絶縁膜3としては、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などが代表的に例示される。そのほか、 Al_2O_3 や Y_2O_3 などの酸化物や、これらを積層したものをを用いることもできる。

【0039】

次いで、上述した酸化物半導体層4を形成する。前述したように本発明では、特に酸化物半導体層形成の際、ガス圧1～5mTorrの範囲に制御すると共に、250以上の、好ましくは350以上の温度で熱処理する。そして保護膜形成後に200以上の温度で熱処理することが重要であり、上記以外の工程は特に限定されず、通常の方法を採用することができるが、好ましい方法は以下のとおりである。

【0040】

例えば酸化物半導体層4は、スパッタリング法にてスパッタリングターゲットを用いて、例えばDCスパッタリング法またはRFスパッタリング法により、成膜することが好ましい。以下、スパッタリングターゲットを単に「ターゲット」ということがある。

スパッタリング法によれば、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成することができる。また、塗布法などの化学的成膜法によって酸化物を形成しても良い。

【0041】

スパッタリング法に用いられるターゲットとして、前述した元素を含み、所望の酸化物と同一組成のターゲットを用いることが好ましく、これにより、組成ズレが少なく、所望の成分組成の薄膜を形成することができる。具体的には金属元素としてIn、GaおよびSnを含む酸化物からなり、In、GaおよびSnの合計に対する各金属元素の原子数比、及び、In及びGaの合計に対するInの原子数比のいずれか一方が上記関係式を満たすターゲットを用いることが推奨される。なお、上記ターゲットは、例えば粉末焼結法によって製造することができる。

10

20

30

40

50

【0042】

上記ターゲットを用いてスパッタリング法で成膜する場合の好ましいスパッタリング条件は以下のとおりである。

酸素添加量は、半導体として動作を示すよう、前記酸化物半導体層のキャリア密度が $1 \times 10^{15} \sim 10^{17} / \text{cm}^3$ の範囲内となるように酸素量を添加することが好ましい。最適な酸素添加量はスパッタリング装置、ターゲットの組成、薄膜トランジスタ作製プロセスなどに応じて、適切に制御すれば良い。後記する実施例では、添加流量比で $100 \times \text{O}_2 / (\text{Ar} + \text{O}_2) = 4$ 体積%とした。

【0043】

成膜パワー密度は高い程良く、DCまたはRFでおおむね $2.0 \text{ W} / \text{cm}^2$ 以上に設定することが推奨される。ただし成膜パワー密度が高すぎると酸化物ターゲットに割れや欠けが生じて破損することがあるため、上限は $50 \text{ W} / \text{cm}^2$ 程度である。

成膜時の基板温度は、おおむね室温 ~ 200 の範囲内に制御することが推奨される。

【0044】

更に酸化物半導体層中の欠陥量は、成膜後の熱処理条件によっても影響を受けるため、適切に制御することが好ましい。

成膜後の熱処理条件は、例えば、大気雰囲気下にて、おおむね、 $250 \sim 400$ で10分 \sim 3時間行うことが推奨される。上記熱処理として、例えば、後述するプレアニール処理（酸化物半導体層をウェットエッチングした後のパターニング直後に行われる熱処理）が挙げられる。

【0045】

酸化物半導体層4の膜厚は、おおむね 10 nm 以上が好ましく、 20 nm 以上がより好ましい。また、 200 nm 以下が好ましく、 100 nm 以下がより好ましい。

【0046】

酸化物半導体層4を形成した後、ウェットエッチングによりパターニングを行う。パターニングの直後に、酸化物半導体層4の膜質改善のために熱処理（プレアニール）を行うことが好ましく、これにより、トランジスタ特性のオン電流および電界効果移動度が上昇し、トランジスタ性能が向上するようになる。プレアニールとして、例えば、水蒸気雰囲気または大気雰囲気にて、 $350 \sim 400$ で30 \sim 60分行うことが好ましい。

【0047】

次いで、エッチストップ層9を形成する。エッチストップ層9の形成方法は特に限定されず、通常用いられる方法を採用することができる。また、エッチストップ層9の種類も特に限定されず、汎用されているものを用いることができる。例えば SiO_x 膜などが用いられる。

エッチストップ層9はパターニングを行い、チャンネル部分にエッチストップ層を残すようにする。

【0048】

次いでソース・ドレイン電極5を形成する。ソース・ドレイン電極5の種類は、酸化物半導体層との接続面が、 Mo 、 Ti 、 Ta 、 W 、 Nb 及びこれらの合金からなる群より選ばれ、少なくとも1種を含む組成であることが好ましい。 Al や Cu などの電気抵抗の低い配線層を積層してもよい。

【0049】

ソース・ドレイン電極5の形成方法としては、例えばマグネトロンスパッタリング法によって金属薄膜を成膜した後、フォトリソグラフィによりパターニングし、ウェットエッチングを行って電極を形成することができる。

【0050】

ソース・ドレイン電極5の形成後、保護膜6の形成前に、酸化物表面のダメージ回復のため、必要に応じて熱処理（ $200 \sim 300$ ）や N_2O プラズマ処理を施してもよい。

【0051】

10

20

30

40

50

次に、ソース・ドレイン電極 5 の上に保護膜 6 を CVD (Chemical Vapor Deposition) 法によって成膜する。前述したように本発明では、SiNx (シリコン窒化膜) を含む保護膜 6 を用いることが好ましい。また、薄膜トランジスタの構造によっては、酸化物半導体層 4 の上に保護膜 6 が形成される場合もある。

SiNx を含む保護膜として、具体的には、シリコン窒化膜、シリコン酸窒化膜などが挙げられ、これらは単独で用いても良いし、併用しても良い。また、後述する実施例に示すように上層を SiNx、下層を SiOx (シリコン酸化膜) 等とした積層膜を用いても良い。

保護膜 6 を形成した後、前述したポストアニールを行う。すなわち、200 以上の温度で熱処理を行う。

【0052】

上記で得られる本発明に係る TFT は、 $40 \text{ cm}^2 / \text{Vs}$ 以上の高い移動度を有する。なお、酸化物半導体層 4 の形成時のガス圧及び熱処理温度と、保護膜 6 形成後の熱処理が本発明に係る TFT の製造工程においては特に重要であり、それ以外の工程は上述した方法に限定されず、他の方法を採用してもよい。

【実施例】

【0053】

以下に、実施例及び比較例を挙げて本発明をさらに具体的に説明するが、本発明は、これらの実施例に限定されるものではない。

[実施例]

本発明に係る薄膜トランジスタを下記手順により作製した。

まずガラス基板 1 (コーニング社製イーグル XG、直径 101.6 mm × 厚さ 0.7 mm) 上に、ゲート電極 2 として純 Mo 薄膜を 100 nm 、およびゲート絶縁膜 3 として SiOx 膜 (膜厚 250 nm) を順次成膜した。上記ゲート電極 2 は、純 Mo スパッタリングターゲットを使用し、DC スパッタリング法により、成膜温度：室温、成膜パワー： 300 W 、キャリアガス：Ar、ガス圧： 2 mTorr の条件で成膜した。また、ゲート絶縁膜 3 は、プラズマ CVD 法を用い、キャリアガス：SiH₄ と N₂O の混合ガス、成膜パワー： 300 W 、成膜温度： 350 の条件で成膜した。

【0054】

次に酸化物半導体層 4 (膜厚 40 nm) として、原子比が Ga : In : Sn = 25 : 0 : 50 : 0 : 25 : 0 の Ga - In - Sn - O 膜をゲート絶縁膜 3 上に成膜した。成膜には、金属元素の比率が同じスパッタリングターゲットを用い、DC スパッタリング法を用いて成膜した。

スパッタリングに使用した装置は、株式会社アルバック社製「CS-200」であり、スパッタリング条件は下記のとおりである。

【0055】

(スパッタリング条件)

基板温度：室温

成膜パワー：DC 200 W

ガス圧： 1 mTorr

酸素分圧： $100 \times \text{O}_2 / (\text{Ar} + \text{O}_2) = 4\%$

【0056】

上記のようにして酸化物半導体層 4 を成膜した後、フォトリソグラフィおよびウェットエッチングによりパターンニングを行った。前記ウェットエッチングでは、関東化学社製「ITO-07N」を使用し、液温を室温とした。なお、本実施例では、実験を行った全ての酸化物薄膜について残渣なく、エッチングできることを確認した。

【0057】

上記のとおり、酸化物半導体層 4 をパターンニングした後、酸化物半導体層 4 の膜質を向上させるため、プレアニール処理を行った。プレアニール処理は、大気雰囲気下にて 350 で 60 分間行った。

10

20

30

40

50

【0058】

次にソース・ドレイン電極5を形成した。具体的には、純Mo単層である純Mo膜を形成した。前記ソース・ドレイン電極5を成膜後、フォトリソグラフィーおよびウェットエッチングによりパターンングを行った。パターンングにはリン酸、硝酸、酢酸と水を混合した混酸エッチング液を用いた。ソース・ドレイン電極5のパターンングにより、TFTのチャンネル長を15、25又は50 μm 、チャンネル幅を50、100又は200 μm とした。ソース・ドレイン電極5の短絡を防ぐために、同電極膜厚に対して50%（標準条件）又は100%のオーバーエッチングを行った。

【0059】

その後、保護膜としてまず第1保護膜6AとしてSiO_x膜を形成した。該SiO_x膜の形成はサムコ製「PD-220NL」を用い、プラズマCVD法で行った。SiO_x膜の形成には、SiH₄およびN₂Oの混合ガスを用いた。また成膜パワーを100W、成膜温度を230とした。前記SiH₄とN₂Oのガス比は、SiH₄:N₂O=4:100とし、この場合SiO_x膜の水素濃度は4.3原子%であった。また、SiO_x膜の膜厚は200nmとした。

10

【0060】

その後、第2保護膜6Bとして、SiN_x膜を成膜した。該SiN_x膜の形成は同じくサムコ製「PD-220NL」を用い、プラズマCVD法で行った。SiN_x膜の形成には、SiH₄およびNH₃およびN₂の混合ガスを用いた。また成膜パワーを100W、成膜温度を200とした。前記SiH₄とNH₃とN₂のガス比は、SiH₄:NH₃:N₂=12.5:6.0:297.5とした。

20

【0061】

次にフォトリソグラフィー、およびドライエッチングにより、第1保護膜6Aおよび第2保護膜6Bにトランジスタ特性評価用のプロービングのためのコンタクトホール7を形成した。

最後にポストアニール処理を行った。ポストアニール処理は、窒素雰囲気下にて250で30分間行った。以上の手順によりTFTを製造した。

【0062】

得られた薄膜トランジスタについて、チャンネル抵抗は一定値とし、コンタクト抵抗R_{ct}を変化させたときの、ドレイン電流I_dの値と（チャンネル幅W/チャンネル長L）との関係を図6(a)~図6(e)に示す。

30

【0063】

本来であればR_{ch}:R_{ct}=100:1（図6(e)）のときのように、ドレイン電流の変化はW/Lに対して直線になるはずである。これをW/L依存があるという。ところが、R_{ch}:R_{ct}=10:1（図6(d)）までは直線になるが、チャンネル抵抗の割合が小さくなるにつれて直線性が乱れ、R_{ch}:R_{ct}=2:1~1:10（図6(a)~図6(c)）ではドレイン電流の変化は直線にならず、W/L依存がなくなった。これは高移動度な酸化物半導体を用いた薄膜トランジスタにおいて生じる課題であり、チャンネル抵抗R_{ch}が小さいときには、よりコンタクト抵抗R_{ct}を下げる必要があることを示している。

40

【0064】

なおTFT駆動時はゲート電極側に多数キャリアが蓄積しチャンネル層が形成されるため、チャンネル抵抗はTLM法で測定したものよりも更に低くなり、もともとチャンネル抵抗が低い高移動度酸化物半導体材料の場合、コンタクト抵抗は極めて小さい値が求められるといえる。

【符号の説明】

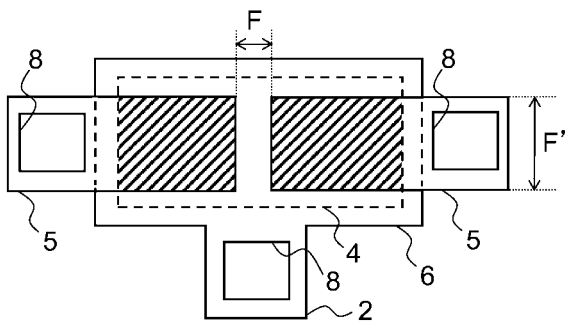
【0065】

- 1 基板
- 2 ゲート電極
- 3 ゲート絶縁膜

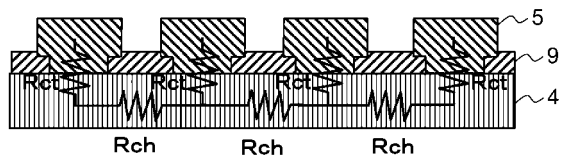
50

- 4 酸化物半導体層
- 5 ソース・ドレイン電極
- 6 保護膜
- 8 スルーホール
- 9 エッチストップ層

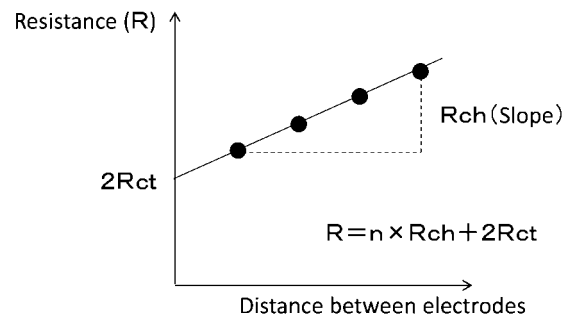
【 図 1 】



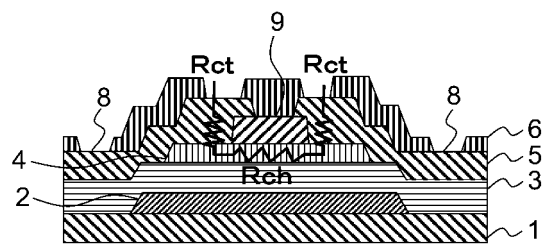
【 図 2 】



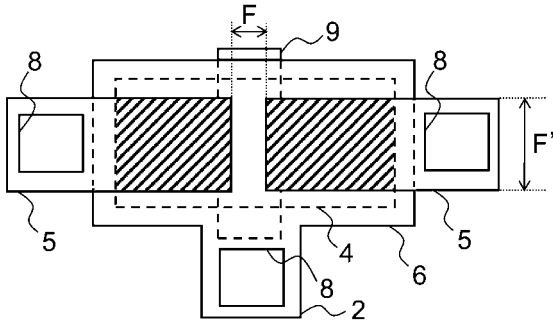
【 図 3 】



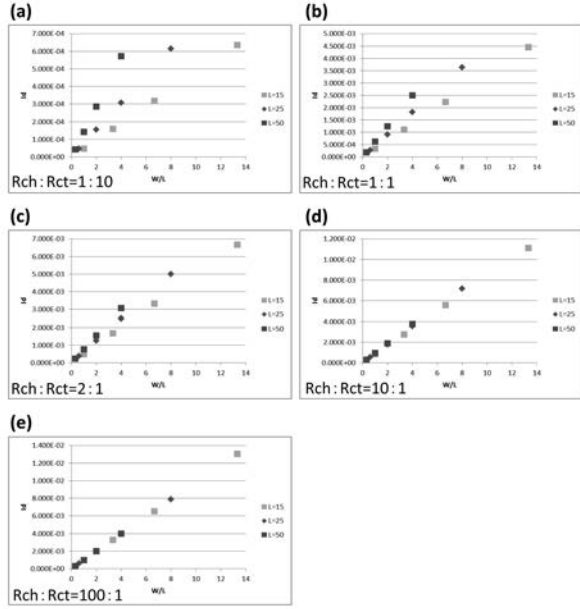
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

Fターム(参考) 4M104 AA03 AA09 BB02 BB04 BB13 BB14 BB16 BB17 BB18 CC01
CC05 DD37 DD78 DD79 EE06 EE14 EE15 EE16 EE17 GG08
5F110 AA03 AA07 BB01 CC07 DD02 EE02 EE03 EE04 EE06 EE44
FF01 FF02 FF03 FF04 FF09 GG01 GG06 GG24 GG25 GG26
GG28 GG29 GG42 GG43 GG58 HJ18 HJ30 HK02 HK03 HK04
HK21 HK33 HK42 HM05 NN03 NN05 NN16 NN22 NN23 NN24
NN35 NN40