



는 각각 콘택 패드가 일체로 연결되어 있다. 제1, 제2 및 제3 도전 라인을 형성하기 위하여, 기판상에 피쳐층 및 제1 마스크층을 형성하고, 제1 마스크층 위에 적어도 3F의 폭을 가지는 "F"자 또는 그 대칭 형상의 제1 버퍼층을 형성한 후, 제1 버퍼층의 측벽에 스페이서를 형성하고, 스페이서를 식각 마스크로 하여 제1 마스크층을 식각하여 루프 형상의 제1 마스크 패턴을 형성한다. 루프 형상의 제1 마스크 패턴 내부에서 피쳐층 위에 제2 마스크 패턴을 형성하고, 제1 및 제2 마스크 패턴을 식각 마스크로 하여 피쳐층을 식각하여 1F의 폭을 가지는 피쳐 패턴을 형성한다.

(72) 발명자

**박영우**

서울특별시 강남구 삼성로 150 102동 108호 (대치동, 미도아파트)

**곽동화**

경기도 수원시 영통구 영통로200번길 20, 현대아이파크아파트 1차 103동 1602호 (망포동)

**김태용**

경기도 오산시 운암로 122, 운암주공1단지아파트 108동 804호 (부산동)

**한지훈**

경기도 화성시 동탄반석로 41 614동 2001호 (반송동, 나루마을신도브레뉴아파트)

**나중훈**

경기도 성남시 분당구 동판교로 275, 붓들마을풍성신미주아파 123동 803호 (삼평동)

**이동식**

경기도 용인시 기흥구 농서로 84, 상록수동 205호 (농서동)

## 명세서

### 청구범위

#### 청구항 1

복수의 메모리 셀 블록을 포함하는 메모리 셀 영역과 상기 메모리 셀 영역의 주위에 위치되는 접속 영역을 포함하는 기판과,

상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 라인 패턴과, 상기 접속 영역에서 상기 제1 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴을 포함하는 제1 도전 라인과,

상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 상기 제1 라인 패턴과 평행하게 연장되어 있는 제2 라인 패턴과, 상기 접속 영역에서 상기 제2 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴을 포함하는 제2 도전 라인과,

상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴과, 상기 제1 분기 라인 패턴과 상기 제2 분기 라인 패턴 사이에서 상기 제3 라인 패턴의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고 상기 제1 분기 라인 패턴 및 상기 제2 분기 라인 패턴 각각의 길이보다 더 짧은 길이를 가지는 제3 분기 라인 패턴을 포함하는 제3 도전 라인을 포함하고,

상기 제1 라인 패턴과 상기 제3 라인 패턴과의 사이의 제1 간격은 상기 제1 분기 라인 패턴과 상기 제3 분기 라인 패턴과의 사이의 제2 간격과 동일한 것을 특징으로 하는 반도체 소자.

#### 청구항 2

제1항에 있어서,

상기 제1 라인 패턴, 제2 라인 패턴, 및 제3 라인 패턴은 각각 제1 폭을 가지고,

상기 메모리 셀 영역에서 상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이의 제1 간격과, 상기 제2 라인 패턴과 상기 제3 라인 패턴과의 사이의 제2 간격은 각각 상기 제1 폭과 동일한 것을 특징으로 하는 반도체 소자.

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 제3 라인 패턴은 상기 제1 라인 패턴보다 더 길고, 상기 제2 라인 패턴보다 더 짧은 것을 특징으로 하는 반도체 소자.

#### 청구항 5

제1항에 있어서,

상기 제3 도전 라인은 상기 접속 영역에서 상기 제3 분기 라인 패턴으로부터 상기 제3 라인 패턴과 평행하게 연장되는 연결 라인 패턴을 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 6

제1항에 있어서,

상기 접속 영역에서, 상기 제1 도전 라인에 일체로 연결되어 있는 제1 콘택 패드와, 상기 제2 도전 라인에 일체로 연결되어 있는 제2 콘택 패드와, 상기 제3 도전 라인에 일체로 연결되어 있는 제3 콘택 패드를 더 포함하고,

상기 제1 콘택 패드, 상기 제2 콘택 패드, 및 상기 제3 콘택 패드는 서로 이격되어 있는 것을 특징으로 하는 반

도체 소자.

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

복수의 메모리 셀 블록을 포함하는 메모리 셀 영역과 상기 메모리 셀 영역의 주위에 위치되는 접속 영역을 포함하는 기판과,

상기 기판상의 동일 평면상에서 서로 이격되어 있는 3 개의 도전 라인으로 각각 이루어지는 복수의 도전 라인 그룹을 포함하고,

상기 복수의 도전 라인 그룹은 각각

상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 라인 패턴과, 상기 접속 영역에서 상기 제1 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴을 포함하는 제1 도전 라인과,

상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 상기 제1 라인 패턴과 평행하게 연장되어 있는 제2 라인 패턴과, 상기 접속 영역에서 상기 제2 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴을 포함하는 제2 도전 라인과,

상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴과, 상기 제1 분기 라인 패턴과 상기 제2 분기 라인 패턴 사이에서 상기 제3 라인 패턴의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고 상기 제1 분기 라인 패턴 및 상기 제2 분기 라인 패턴 각각의 길이보다 더 짧은 길이를 가지는 제3 분기 라인 패턴을 포함하는 제3 도전 라인을 포함하고,

상기 제1 라인 패턴과 상기 제3 라인 패턴과의 사이의 제1 간격은 상기 제1 분기 라인 패턴과 상기 제3 분기 라인 패턴과의 사이의 제2 간격과 동일한 것을 특징으로 하는 반도체 소자.

**청구항 14**

제13항에 있어서,

상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 각각 상기 메모리 셀 영역 및 상기 접속 영역에서 균일한 폭을 가지는 것을 특징으로 하는 반도체 소자.

**청구항 15**

제13항에 있어서,

상기 복수의 도전 라인 그룹 중 첫 번째 도전 라인 그룹 및 마지막 도전 라인 그룹에서 각각 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인 중 최외측에 있는 도전 라인은 더미 도전 라인인 것을 특징으로 하는 반도체 소자.

**청구항 16**

제13항에 있어서,

상기 복수의 도전 라인 그룹의 양 측에서 각각 상기 제1 방향으로 연장되고 상기 도전 라인의 폭 보다 더 큰 폭을 가지는 2 개의 광폭 도전 라인을 더 포함하는 것을 특징으로 하는 반도체 소자.

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

제13항에 있어서,

상기 복수의 도전 라인 그룹은 각각 상기 접속 영역에서 상기 제1 도전 라인에 일체로 연결되어 있는 제1 콘택 패드와, 상기 제2 도전 라인에 일체로 연결되어 있는 제2 콘택 패드와, 상기 제3 도전 라인에 일체로 연결되어 있는 제3 콘택 패드를 더 포함하고,

상기 제1 콘택 패드, 상기 제2 콘택 패드, 및 상기 제3 콘택 패드는 서로 이격되어 있는 것을 특징으로 하는 반도체 소자.

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**청구항 27**

삭제

**청구항 28**

삭제

**청구항 29**

삭제

**청구항 30**

삭제

**청구항 31**

기관상의 메모리 셀 영역과 상기 메모리 셀 영역의 주위에 위치되는 접속 영역에 도전층, 하드마스크층, 및 피처층을 차례로 형성하는 단계와,

상기 피처층 위에 제1 마스크층을 형성하는 단계와,

상기 제1 마스크층 위에 타겟폭보다 3 배 큰 제1 폭을 가지고 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 버퍼 부분과, 상기 접속 영역에서 상기 제1 폭을 가지고 상기 제1 버퍼 부분으로부터 상기 제1 방향과는 다른 제2 방향으로 각각 연장되어 있는 제2 버퍼 부분 및 제3 버퍼 부분을 포함하는 제1 버퍼층을 형성하는 단계와,

상기 메모리 셀 영역 및 상기 접속 영역에서 상기 타겟폭과 동일한 폭을 가지고 상기 제1 버퍼층의 측벽을 덮는 루프 형상의 스페이서를 형성하는 단계와,

상기 제1 버퍼층을 제거하는 단계와,

상기 메모리 셀 영역 및 상기 접속 영역에서 상기 스페이서를 식각 마스크로 이용하여 상기 피처층이 노출될 때까지 상기 제1 마스크층을 식각하여 루프 형상의 제1 마스크 패턴을 형성하는 단계와,

상기 제1 마스크 패턴과 이격되어 있고, 상기 타겟폭과 동일한 폭을 가지고, 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 라인 부분과, 상기 접속 영역에서 상기 라인 부분으로부터 상기 제2 방향으로 각각 연장되어 있는 2 개의 분기 라인 부분을 포함하고, 상기 제1 마스크 패턴에 의해 형성된 루프 형상 내측에 위치되는 제2 마스크 패턴을 상기 피처층 위에 형성하는 단계와,

상기 접속 영역에서 상기 제1 마스크 패턴의 일부를 덮는 제1 광폭 마스크 패턴과, 상기 제2 마스크 패턴의 일부를 덮는 제2 광폭 마스크 패턴을 포함하는 광폭 마스크 패턴을 형성하는 단계와,

상기 제1 마스크 패턴, 상기 제2 마스크 패턴, 및 상기 광폭 마스크 패턴을 식각 마스크로 이용하여 상기 피처층을 식각하여 상기 메모리 셀 영역에서 상기 타겟폭을 가지는 제1 피처 패턴을 포함하는 복수의 피처 패턴을 형성하는 단계와,

상기 복수의 피처 패턴을 식각 마스크로 이용하여 상기 하드마스크층을 식각하여 복수의 하드마스크 패턴을 형성하는 단계와,

상기 복수의 하드마스크 패턴을 식각 마스크로 이용하여 상기 도전층을 식각하여 복수의 도전 패턴을 형성하는 단계를 포함하고,

상기 복수의 도전 패턴은

상기 기관상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 라인 패턴과, 상기 접속 영역에서 상기 제1 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴을 포함하는 제1 도전 라인과,

상기 기관상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 상기 제1 라인 패턴과 평행하게 연장되어 있는 제2 라인 패턴과, 상기 접속 영역에서 상기 제2 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴을 포함하는 제2 도전 라인과,

상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴과, 상기 제1 분기 라인 패턴과 상기 제2 분기 라인 패턴 사이에서 상기 제3 라인 패턴의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고 상기 제1 분기 라인 패턴 및 상기 제2 분기 라인 패턴 각각의 길이보다 더 짧

은 길이를 가지는 제3 분기 라인 패턴을 포함하는 제3 도전 라인을 포함하고,

상기 제1 라인 패턴과 상기 제3 라인 패턴과의 사이의 제1 간격은 상기 제1 분기 라인 패턴과 상기 제3 분기 라인 패턴과의 사이의 제2 간격과 동일한 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 32**

삭제

**청구항 33**

제31항에 있어서,

상기 제1 버퍼층은 그 평면 형상이 "F" 자 또는 "F" 자의 대칭 형상인 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 34**

제31항에 있어서,

상기 제1 마스크 패턴은 "F" 자의 아웃라인 (outline)을 따라 연장되는 루프 형상을 가지는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 35**

삭제

**청구항 36**

삭제

**청구항 37**

삭제

**청구항 38**

삭제

**청구항 39**

제31항에 있어서,

상기 제2 마스크 패턴을 형성한 후, 상기 광폭 마스크 패턴을 형성하는 단계 전에, 상기 제1 마스크 패턴의 일부 및 상기 제2 마스크 패턴의 일부를 제거하는 트리밍 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

**청구항 40**

삭제

**청구항 41**

삭제

**청구항 42**

삭제

**청구항 43**

삭제

**청구항 44**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자 및 반도체 소자의 패턴 형성 방법에 관한 것으로, 특히 소자의 고밀도 영역에서 비교적 좁은 폭 및 비교적 조밀한 피치 (tighter pitch)를 가지는 고밀도 패턴 (high-density patterns)을 포함하는 반도체 소자와, 반도체 소자의 패턴 형성 방법에 관한 것이다.

**배경 기술**

[0002] 고도로 스케일링된 고집적 반도체 소자를 제조하는 데 있어서, 포토리소그래피 공정의 해상 한계를 초월하는 미세한 폭을 가지는 미세 패턴들을 구현할 필요가 있으며, 이에 따라 기존의 포토리소그래피 공정에서의 해상 한계 내에서 상기 미세 패턴을 형성할 수 있는 기술이 필요하다. 또한, 이와 같은 기술을 적용할 수 있는 새로운 배치 구조를 가지는 반도체 소자가 필요하다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 목적은 고밀도 영역에서 포토리소그래피 공정의 해상 한계 이내에서 구현 가능한 사이즈의 패턴을 이용하여 비교적 좁은 폭 및 비교적 조밀한 피치를 가지는 고밀도 패턴을 형성할 수 있는 배치 구조를 가지는 반도체 소자를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 고밀도 영역에서 포토리소그래피 공정의 해상 한계 이내에서 구현 가능한 사이즈의 패턴을 이용하여 비교적 좁은 폭 및 비교적 조밀한 피치를 가지는 고밀도 패턴을 형성할 수 있으며, 상기 고밀도 패턴의 형성시 충분한 공정 마진을 확보할 수 있는 반도체 소자의 패턴 형성 방법을 제공하는 것이다.

**과제의 해결 수단**

[0005] 상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자는 복수의 메모리 셀 블록을 포함하는 메모리 셀 영역과 상기 메모리 셀 영역의 주위에 위치되는 접속 영역을 포함하는 기판과, 상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 라인 패턴과, 상기 접속 영역에서 상기 제1 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴을 포함하는 제1 도전 라인과, 상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 상기 제1 라인 패턴과 평행하게 연장되어 있는 제2 라인 패턴과, 상기 접속 영역에서 상기 제2 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴을 포함하는 제2 도전 라인과, 상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴과, 상기 제1 분기 라인 패턴과 상기 제2 분기 라인 패턴 사이에서 상기 제3 라인 패턴의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고 상기 제1 분기 라인 패턴 및 상기 제2 분기 라인 패턴 각각의 길이보다 더 짧은 길이를 가지는 제3 분기 라인 패턴을 포함하는 제3 도전 라인을 포함한다.

[0006] 상기 제1 라인 패턴, 제2 라인 패턴, 및 제3 라인 패턴은 각각 제1 폭을 가질 수 있으며, 상기 메모리 셀 영역에서 상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이의 제1 간격과, 상기 제2 라인 패턴과 상기 제3 라인 패턴과의 사이의 제2 간격은 각각 상기 제1 폭과 동일하게 될 수 있다. 그리고, 상기 접속 영역에서 상기 제1 분기 라인 패턴과 상기 제2 분기 라인 패턴과의 사이의 이격 거리는 상기 제1 폭의 적어도 9 배일 수 있다.

[0007] 본 발명의 제1 양태에 따른 반도체 소자에서, 상기 제3 라인 패턴은 상기 제1 라인 패턴보다 더 길고, 상기 제2 라인 패턴보다 더 짧을 수 있다.

[0008] 본 발명의 제1 양태에 따른 반도체 소자에서, 상기 제3 도전 라인은 상기 접속 영역에서 상기 제3 분기 라인 패턴으로부터 상기 제3 라인 패턴과 평행하게 연장되는 연결 라인 패턴을 더 포함할 수 있다.

[0009] 본 발명의 제1 양태에 따른 반도체 소자는, 상기 접속 영역에서, 상기 제1 도전 라인에 일체로 연결되어 있는 제1 콘택 패드와, 상기 제2 도전 라인에 일체로 연결되어 있는 제2 콘택 패드와, 상기 제3 도전 라인에 일체로 연결되어 있는 제3 콘택 패드를 더 포함할 수 있다. 상기 제1 콘택 패드, 상기 제2 콘택 패드, 및 상기 제3 콘

택 패드는 서로 이격되어 있다. 상기 제3 도전 라인은 상기 접속 영역에서 상기 제3 분기 라인 패턴으로부터 상기 제3 라인 패턴과 평행하게 연장되는 연결 라인 패턴을 더 포함할 수 있다. 여기서, 상기 제1 콘택 패드는 상기 제1 분기 라인 패턴과 일체로 연결되고, 상기 제2 콘택 패드는 상기 제2 분기 라인 패턴과 일체로 연결되고, 상기 제3 콘택 패드는 상기 연결 라인 패턴과 일체로 연결될 수 있다.

- [0010] 본 발명의 제1 양태에 따른 반도체 소자에서, 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 각각 상기 복수의 메모리 셀 블록중에서 선택되는 어느 하나의 메모리 셀 블록에 포함되는 워드 라인일 수 있다.
- [0011] 또한, 본 발명의 제1 양태에 따른 반도체 소자에서, 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 상기 복수의 메모리 셀 블록중에서 선택되는 제1 메모리 셀 블록에 포함될 수 있다. 그리고, 상기 제1 도전 라인은 더미 도전 라인이고, 상기 제2 도전 라인 및 상기 제3 도전 라인은 각각 상기 제1 메모리 셀 블록에 포함되는 워드 라인일 수 있다. 또한, 상기 제1 메모리 셀 블록은 상기 제1 도전 라인과 이웃하고 있는 도전성 선택 라인을 더 포함할 수 있다. 상기 도전성 선택 라인은 스트링 선택 라인 또는 접지 선택 라인일 수 있다.
- [0012] 본 발명의 제1 양태에 따른 반도체 소자에서, 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 각각 상기 복수의 메모리 셀 블록중에서 선택되는 어느 하나의 메모리 셀 블록에 포함되는 비트 라인일 수 있다.
- [0013] 또한, 상기 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 소자는 복수의 메모리 셀 블록을 포함하는 메모리 셀 영역과 상기 메모리 셀 영역의 주위에 위치되는 접속 영역을 포함하는 기판과, 상기 기판상의 동일 평면상에서 서로 이격되어 있는 3 개의 도전 라인으로 각각 이루어지는 복수의 도전 라인 그룹을 포함한다. 상기 복수의 도전 라인 그룹은 각각 상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 라인 패턴과, 상기 접속 영역에서 상기 제1 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴을 포함하는 제1 도전 라인과, 상기 기판상에서 상기 메모리 셀 영역으로부터 상기 접속 영역까지 상기 제1 라인 패턴과 평행하게 연장되어 있는 제2 라인 패턴과, 상기 접속 영역에서 상기 제2 라인 패턴의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴을 포함하는 제2 도전 라인과, 상기 제1 라인 패턴과 상기 제2 라인 패턴과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴과, 상기 제1 분기 라인 패턴과 상기 제2 분기 라인 패턴 사이에서 상기 제3 라인 패턴의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고 상기 제1 분기 라인 패턴 및 상기 제2 분기 라인 패턴 각각의 길이보다 더 짧은 길이를 가지는 제3 분기 라인 패턴을 포함하는 제3 도전 라인을 포함한다.
- [0014] 본 발명의 제2 양태에 따른 반도체 소자에서, 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 각각 상기 메모리 셀 영역 및 상기 접속 영역에서 균일한 폭을 가질 수 있다.
- [0015] 본 발명의 제2 양태에 따른 반도체 소자에서, 상기 복수의 도전 라인 그룹 중 첫 번째 도전 라인 그룹 및 마지막 도전 라인 그룹에서 각각 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인 중 최외측에 있는 도전 라인은 더미 도전 라인일 수 있다.
- [0016] 상기 복수의 도전 라인 그룹의 양 측에서 각각 상기 제1 방향으로 연장되고 상기 도전 라인의 폭 보다 더 큰 폭을 가지는 2 개의 광폭 도전 라인을 더 포함할 수 있다. 상기 2 개의 광폭 도전 라인은 각각 상기 복수의 도전 라인 그룹으로부터의 이격 거리가 동일하게 될 수 있다.
- [0017] 본 발명의 제2 양태에 따른 반도체 소자에서, 복수의 도전 라인 그룹에서, 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 각각 균일한 간격을 사이에 두고 균일한 폭으로 연장될 수 있다.
- [0018] 본 발명의 제2 양태에 따른 반도체 소자에서, 상기 복수의 도전 라인 그룹은 각각 상기 접속 영역에서 상기 제1 도전 라인에 일체로 연결되어 있는 제1 콘택 패드와, 상기 제2 도전 라인에 일체로 연결되어 있는 제2 콘택 패드와, 상기 제3 도전 라인에 일체로 연결되어 있는 제3 콘택 패드를 더 포함할 수 있다. 상기 제1 콘택 패드, 상기 제2 콘택 패드, 및 상기 제3 콘택 패드는 서로 이격되어 있다.
- [0019] 본 발명의 제2 양태에 따른 반도체 소자에서, 상기 제1 도전 라인, 상기 제2 도전 라인, 및 상기 제3 도전 라인은 각각 상기 복수의 메모리 셀 블록 중 어느 하나의 메모리 셀 블록에 포함되는 워드 라인 또는 비트 라인일 수 있다.

- [0020] 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자의 패턴 형성 방법에서는, 기판상에 타겟폭 (target width)보다 적어도 3 배 큰 제1 폭의 제1 영역과, 상기 타겟폭보다 적어도 3 배 큰 제2 폭의 제2 영역이 교대로 배치된 피쳐층 (feature layer)을 형성한다. 상기 피쳐층 위에 제1 마스크층을 형성한다. 상기 피쳐층의 제1 영역 위에서 상기 제1 폭의 복수의 제1 간격을 통해 상기 제1 마스크층이 노출되도록 상기 피쳐층의 제2 영역 위에서 상기 제1 마스크층 위에 상기 제2 폭의 복수의 제1 버퍼층을 형성한다. 상기 복수의 제1 간격 내에서 상기 타겟폭과 동일한 폭을 가지고 상기 복수의 제1 버퍼층 각각의 측벽을 덮는 복수의 스페이서를 형성한다. 상기 제1 버퍼층을 제거한다. 상기 복수의 스페이서를 식각 마스크로 이용하여 상기 제1 마스크층을 식각하여 복수의 제2 간격을 통해 상기 피쳐층의 상면 중 상기 제1 영역 및 제2 영역을 교대로 노출시키는 복수의 제1 마스크 패턴을 형성한다. 상기 복수의 제2 간격 중에서 선택되는 적어도 일부의 제2 간격 내에서 상기 복수의 제1 마스크 패턴과 이격되어 있고 상기 타겟폭과 동일한 폭을 가지는 복수의 제2 마스크 패턴을 형성한다. 상기 복수의 제1 마스크 패턴 및 상기 복수의 제2 마스크 패턴을 식각 마스크로 이용하여 상기 피쳐층을 식각하여 상기 타겟폭과 동일한 폭을 가지는 복수의 피쳐 패턴을 형성한다.
- [0021] 상기 복수의 제2 마스크 패턴을 형성하는 단계에서는 상기 복수의 제2 마스크 패턴은 상기 복수의 제2 간격 중 교번적으로 선택되는 일부의 제2 간격 내에 형성될 수 있다. 또는, 상기 복수의 제2 마스크 패턴을 형성하는 단계에서, 상기 복수의 제2 마스크 패턴은 상기 복수의 제2 간격 중 모든 제2 간격 내에 형성될 수도 있다.
- [0022] 본 발명의 제1 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 복수의 제2 마스크 패턴을 형성하는 단계는 상기 복수의 제2 간격 중에서 선택되는 적어도 일부의 제2 간격 내에서 상기 복수의 제1 마스크 패턴과 이격되고 상기 타겟폭과 동일한 폭을 가지는 복수의 공간을 제공하는 제2 버퍼층을 형성하는 단계와, 상기 복수의 공간 내에 상기 복수의 제2 마스크 패턴을 형성하는 단계를 포함할 수 있다. 여기서, 상기 제2 버퍼층은 상기 피쳐층의 제1 영역 위에서는 상기 복수의 제1 마스크 패턴 사이의 제2 간격을 일부만 채우고, 상기 피쳐층의 제2 영역 위에서는 상기 복수의 제1 마스크 패턴 사이의 제2 간격을 완전히 채우도록 형성될 수 있다. 또는, 상기 제2 버퍼층은 상기 피쳐층의 제1 영역 및 제2 영역 위에서 각각 상기 복수의 제1 마스크 패턴 사이의 제2 간격을 일부만 채우도록 형성될 수 있다.
- [0023] 본 발명의 제1 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제1 폭 및 상기 제2 폭은 각각 상기 타겟폭의 3 배일 수 있다. 또는, 상기 제1 폭은 상기 타겟폭의 5 배이고, 상기 제2 폭은 상기 타겟폭의 3 배일 수 있다.
- [0024] 본 발명의 제1 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 피쳐층은 상기 제1 영역 및 상기 제2 영역으로부터 이격된 제3 영역을 더 포함할 수 있다. 그리고, 상기 복수의 제2 마스크 패턴을 형성하는 단계 후, 상기 복수의 피쳐 패턴을 형성하는 단계 전에, 상기 피쳐층의 제3 영역 위에 상기 타겟폭보다 더 큰 폭을 가지는 제3 마스크 패턴을 형성하는 단계를 더 포함할 수 있다. 상기 복수의 피쳐 패턴을 형성하는 단계에서는 상기 복수의 제1 마스크 패턴, 상기 복수의 제2 마스크 패턴, 및 상기 제3 마스크 패턴을 식각 마스크로 이용하여 상기 피쳐층을 식각할 수 있다.
- [0025] 본 발명의 제1 양태에 따른 반도체 소자의 패턴 형성 방법에서, 복수의 제2 마스크 패턴을 형성하는 단계 후, 상기 복수의 피쳐 패턴을 형성하는 단계 전에, 상기 타겟폭보다 더 큰 폭을 가지고 상기 복수의 제1 마스크 패턴 중 일부와 상기 복수의 제2 마스크 패턴 중 일부를 동시에 덮는 제3 마스크 패턴을 형성할 수 있다. 그리고, 상기 복수의 피쳐 패턴을 형성하는 단계에서는 상기 복수의 제1 마스크 패턴, 상기 복수의 제2 마스크 패턴, 및 상기 제3 마스크 패턴을 식각 마스크로 이용하여 상기 피쳐층을 식각할 수 있다.
- [0026] 또한, 상기 다른 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서는, 기판상의 메모리 셀 영역과 상기 메모리 셀 영역의 주위에 위치되는 접속 영역에 피쳐층을 형성한다. 상기 피쳐층 위에 제1 마스크층을 형성한다. 상기 제1 마스크층 위에 타겟폭보다 3 배 큰 제1 폭을 가지고 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 제1 버퍼 부분과, 상기 접속 영역에서 상기 제1 폭을 가지고 상기 제1 버퍼 부분으로부터 상기 제1 방향과는 다른 제2 방향으로 각각 연장되어 있는 제2 버퍼 부분 및 제3 버퍼 부분을 포함하는 제1 버퍼층을 형성한다. 상기 메모리 셀 영역 및 상기 접속 영역에서 상기 타겟폭과 동일한 폭을 가지고 상기 제1 버퍼층의 측벽을 덮는 루프 형상의 스페이서를 형성한다. 상기 제1 버퍼층을 제거한다. 상기 메모리 셀 영역 및 상기 접속 영역에서 상기 스페이서를 식각 마스크로 이용하여 상기 피쳐층이 노출될 때까지 상기 제1 마스크층을 식각하여 루프 형상의 제1 마스크 패턴을 형성한다. 상기 제1 마스크 패턴과 이격되어 있고, 상기 타겟폭과 동일한 폭을 가지고, 상기 메모리 셀 영역으로부터 상기 접속 영역까지 제1 방향으로 연장되어 있는 라인 부분과, 상기 접속 영역에서 상기 라인 부분으로부터 상기 제2 방향으로

각각 연장되어 있는 2 개의 분기 라인 부분을 포함하고, 상기 제1 마스크 패턴에 의해 형성된 루프 형상 내측에 위치되는 제2 마스크 패턴을 상기 피쳐층 위에 형성한다. 상기 접속 영역에서 상기 제1 마스크 패턴의 일부를 덮는 제1 광폭 마스크 패턴과, 상기 제2 마스크 패턴의 일부를 덮는 제2 광폭 마스크 패턴을 포함하는 광폭 마스크 패턴을 형성한다. 상기 제1 마스크 패턴, 상기 제2 마스크 패턴, 및 상기 광폭 마스크 패턴을 식각 마스크로 이용하여 상기 피쳐층을 식각하여 상기 메모리 셀 영역에서 상기 타겟폭을 가지는 제1 피쳐 패턴을 포함하는 복수의 피쳐 패턴을 형성한다.

[0027] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제2 방향은 상기 제1 방향의 직각 방향일 수 있다.

[0028] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제1 버퍼층은 그 평면 형상이 "F" 자 또는 "F" 자의 대칭 형상일 수 있다.

[0029] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제1 마스크 패턴은 "F" 자의 아웃라인(outline)을 따라 연장되는 루프 형상을 가질 수 있다.

[0030] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제2 마스크 패턴을 형성하는 단계는 상기 메모리 셀 영역 및 상기 접속 영역에서 상기 피쳐층과 상기 제1 마스크 패턴의 측벽 및 상면을 균일한 두께로 덮고, 상기 제1 마스크 패턴에 의해 형성된 루프 형상 내부에 리세스 공간을 제공하는 제2 버퍼층을 형성하는 단계와, 상기 메모리 셀 영역 및 상기 접속 영역에서 상기 리세스 공간 내에 상기 제2 마스크 패턴을 형성하는 단계를 포함할 수 있다. 그리고, 상기 제2 마스크 패턴을 형성하는 단계는 상기 메모리 셀 영역 및 상기 접속 영역에서 상기 리세스 공간을 채우도록 상기 제2 버퍼층 위에 제2 마스크층을 형성하는 단계와, 상기 리세스 공간 내부에만 상기 제2 마스크층이 남도록 상기 제2 마스크층을 일부 제거하는 단계를 포함할 수 있다. 상기 광폭 마스크 패턴은 상기 제2 버퍼층 위에 형성될 수 있다.

[0031] 상기 광폭 마스크 패턴은 상기 메모리 셀 영역중 상기 제1 마스크 패턴에 의해 형성된 루프 형상의 외측에서 상기 제2 버퍼층 위에 형성되는 제3 광폭 마스크 패턴을 더 포함할 수 있다. 그리고, 상기 복수의 피쳐 패턴은 상기 메모리 셀 영역에서 상기 타겟폭보다 더 큰 제2 피쳐 패턴을 더 포함할 수 있다.

[0032] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제2 마스크 패턴을 형성한 후, 상기 광폭 마스크 패턴을 형성하는 단계 전에, 상기 제1 마스크 패턴의 일부 및 상기 제2 마스크 패턴의 일부를 제거하는 트리밍 단계를 더 포함할 수 있다. 상기 트리밍 단계에서, 상기 제1 마스크 패턴 중 상기 메모리 셀 영역에 위치되는 제1 제거 부분과, 상기 접속 영역에 위치되는 제2 제거 부분이 제거되어 상기 제1 마스크 패턴은 길이가 서로 다른 2 개의 제1 마스크 패턴으로 분리되고, 상기 제2 마스크 패턴 중 상기 접속 영역에 위치되는 제3 제거 부분이 제거될 수 있다. 상기 제3 제거 부분은 상기 제2 마스크 패턴중 상기 2 개의 분기 라인 부분의 일부일 수 있다.

[0033] 상기 트리밍 단계 후, 상기 접속 영역에서 상기 2 개의 제1 마스크 패턴은 각각 상기 제2 방향으로 연장되는 분기 라인 부분을 포함할 수 있다. 상기 제1 광폭 마스크 패턴은 서로 이격된 위치에서 상기 2 개의 제1 마스크 패턴의 분기 라인 부분을 각각 덮는 제1 패턴 및 제2 패턴을 포함할 수 있다.

[0034] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제1 버퍼층에서 상기 제2 버퍼 부분과 상기 제3 버퍼 부분과의 사이의 상기 제1 방향을 따르는 거리는 상기 타겟폭의 적어도 3 배일 수 있다.

[0035] 본 발명의 제2 양태에 따른 반도체 소자의 패턴 형성 방법에서, 상기 제1 버퍼층에서, 상기 제1 버퍼 부분은 상기 메모리 셀 영역으로부터 상기 접속 영역까지 상기 제1 폭을 가지고 상기 제1 방향으로 연장되는 제1 부분과, 상기 제2 버퍼 부분과 상기 제3 버퍼 부분과의 사이에서 상기 제1 폭보다 더 큰 제2 폭을 가지고 상기 제1 방향으로 연장되는 제2 부분을 포함할 수 있다.

**발명의 효과**

[0036] 본 발명에 따른 반도체 소자는 감소된 디자인 룰에 따라 매우 작은 치수를 가지는 미세 패턴을 포함하는 경우에도 지금까지 개발된 리소그래피 기술에서 제공되는 노광 장비 및 노광 기술에 의해 얻어질 수 있는 해상 한계 이내에서 구현 가능한 사이즈를 가지는 패턴을 이용하여 상기 미세 패턴을 형성하는 것이 가능하고, 충분한 공정 마진을 확보할 수 있는 배치 구조를 가진다. 특히, 본 발명에 따른 반도체 소자의 제조 방법에 따르면, 접속 영역에서 복수의 콘택 패드를 형성할 필요가 있는 부분에는 미세 패턴들 사이의 이격 거리를 충분히 확보하도록 설계하는 것이 가능하다. 따라서, 복수의 미세 패턴에 각각 연결되는 복수의 콘택 패드를 형성하는 데 있어서

이들 사이에 단락이 발생될 염려 없이 충분한 공정 마진을 가지고 상기 복수의 미세 패턴 및 복수의 콘택 패드를 형성할 수 있다.

**도면의 간단한 설명**

[0037]

- 도 1은 본 발명의 실시예들의 적용예를 보여주는 메모리 소자의 블록 다이어그램이다.
- 도 2는 도 1의 메모리 소자에 포함된 메모리 셀 어레이의 회로도이다.
- 도 3은 본 발명에 따른 반도체 소자의 패턴 형성 방법을 적용하여 구현할 수 있는 예시적인 반도체 소자의 일부 구성의 레이아웃이다.
- 도 4a 내지 도 4m은 본 발명의 제1 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 5a 내지 도 5l은 본 발명의 제2 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 6a 내지 도 6d는 본 발명의 제3 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 7a 내지 도 7e는 본 발명의 제4 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 8은 본 발명의 기술적 사상에 의한 제1 실시예에 따른 반도체 소자의 요부 (essential parts) 구성을 보여주는 평면도이다.
- 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c는 본 발명의 제5 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 특히, 도 9a 내지 도 21a는 각각 도 8의 "IX"로 표시된 장방형 부분에 대응되는 부분의 평면도이다. 도 9b 내지 도 21b는 각각 도 9a 내지 도 21a의 BY - BY' 선 단면도 및 도 8의 주변회로 영역에서의 9X - 9X' 선 단면에 대응되는 부분의 단면도이다. 도 9c 내지 도 21c는 각각 도 9a 내지 도 21a의 CX - CX' 선 단면도 및 CY - CY' 선 단면도이다.
- 도 22a 및 도 22b 내지 도 24a 및 도 24b는 본 발명의 제6 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 특히, 도 22a 내지 도 24a는 각각 도 8의 "IX"로 표시된 장방형 부분에 대응되는 부분의 평면도이다. 도 22b 내지 도 24b는 각각 도 22a 내지 도 24a의 BY - BY' 선 단면도이다.
- 도 25는 본 발명의 기술적 사상에 의한 제2 실시예에 따른 반도체 소자의 요부 구성을 보여주는 평면도이다.
- 도 26a, 도 26b 및 도 26c 내지 도 37a, 도 37b 및 도 37c는 본 발명의 제7 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 특히, 도 26a 내지 도 37a는 각각 도 25의 "X"으로 표시된 장방형 부분에 대응되는 부분의 평면도이고, 도 26b 내지 도 37b는 각각 도 26a 내지 도 37a의 BY - BY' 선 단면도이고, 도 26c 내지 도 37c는 각각 도 26a 내지 도 37a의 CY - CY' 선 단면도이다.
- 도 38은 본 발명의 기술적 사상에 의한 실시예들에 따라 형성된 반도체 소자를 포함하는 메모리 카드의 블록 다이어그램이다.
- 도 39는 예를 들면 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자를 포함하는 메모리 카드를 채용하는 메모리 시스템의 블록 다이어그램이다.

**발명을 실시하기 위한 구체적인 내용**

[0038]

다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러가지 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어서는 안된다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다.

[0039]

도 1은 본 발명의 실시예들의 적용예를 보여주는 메모리 소자(100)의 블록 다이어그램이다.

[0040]

도 2는 도 1의 메모리 소자(100)에 포함된 메모리 셀 어레이(110)의 회로도이다.

[0041]

도 1 및 도 2를 참조하면, NAND 플래시 메모리 소자 등과 같은 메모리 소자(100)는 고밀도 구성으로 배열된 메

메모리 셀들의 어레이로 이루어지는 메모리 셀 어레이(110)를 포함한다. 상기 메모리 셀 어레이(110)의 액세스 및 구동을 위한 주변 회로는 액세스될 메모리 셀 어레이(110)의 워드 라인 WL, 예를 들면 워드 라인 WL<sub>0</sub>, WL<sub>1</sub>, ..., WL<sub>m-1</sub>, WL<sub>m</sub> 을 선택하는 역할을 하는 X-디코더 블록(120)을 포함한다. Y-디코더 블록(130)은 활성화될 메모리 셀 어레이(110)의 비트 라인 BL, 예를 들면 비트 라인 BL<sub>0</sub>, BL<sub>1</sub>, ..., BL<sub>n-1</sub>, BL<sub>n</sub> 을 선택하는 역할을 한다. 메모리 셀 어레이(110)에 연결된 Y-패스 회로(140)는 Y-디코더 블록(130)의 출력에 의거하여 비트 라인 경로를 할당하는 역할을 한다.

[0042] 도 2를 참조하면, 메모리 셀 어레이(110)의 셀 스트링(10)은 직렬로 연결된 복수의 메모리 셀(12)을 포함한다. 1 개의 셀 스트링(10)에 포함되어 있는 복수의 메모리 셀(12)의 게이트 전극은 각각 서로 다른 워드 라인 WL<sub>0</sub>, WL<sub>1</sub>, ..., WL<sub>m-1</sub>, WL<sub>m</sub> 에 접속된다. 상기 셀 스트링(10)의 양단에는 각각 접지 선택 라인(GSL)에 연결되어 있는 접지 선택 트랜지스터(14)와, 스트링 선택 라인(SSL)에 연결되어 있는 스트링 선택 트랜지스터(16)가 배치되어 있다. 상기 접지 선택 트랜지스터(14) 및 스트링 선택 트랜지스터(16)는 복수의 메모리 셀(12)과 비트 라인 BL<sub>0</sub>, BL<sub>1</sub>, ..., BL<sub>n-1</sub>, BL<sub>n</sub> 및 공통 소스 라인(CSL)과의 사이의 전기적 연결을 제어한다. 상기 복수의 셀 스트링(10)에 걸쳐서 1 개의 워드 라인 WL<sub>0</sub>, WL<sub>1</sub>, ..., WL<sub>m-1</sub>, WL<sub>m</sub> 에 연결된 메모리 셀들은 페이지(page) 단위 또는 바이트(byte) 단위를 형성한다.

[0043] 도 1에 예시된 메모리 소자(100)에서 소정의 메모리 셀을 선택하여 읽기 동작 또는 쓰기 동작을 수행하기 위하여, 상기 X-디코더 블록(120) 및 Y-디코더 블록(130)을 이용하여 메모리 셀 어레이(110)의 상기 워드 라인 WL<sub>0</sub>, WL<sub>1</sub>, ..., WL<sub>m-1</sub>, WL<sub>m</sub> 및 비트 라인 BL<sub>0</sub>, BL<sub>1</sub>, ..., BL<sub>n-1</sub>, BL<sub>n</sub> 을 선택하여 해당 셀을 선택하게 된다.

[0044] NAND 플래시 메모리 소자는 복수의 메모리 셀이 직렬 연결된 구조로 인해 비교적 높은 집적도를 갖는다. 그러나, 최근 칩 사이즈의 축소(shrink)를 위해 NAND 플래시 메모리 소자의 디자인 룰 (design rule)을 더욱 감소시키는 것이 요구되고 있다. 또한, 디자인 룰이 감소함에 따라 NAND 플래시 메모리 소자를 구성하는 데 필요한 패턴들의 최소 피치 (minimum pitch)도 크게 감소하고 있다. 본 발명에서는, 이와 같이 감소된 디자인 룰에 따르는 미세 패턴을 구현하기 위하여, 지금까지 개발된 리소그래피 기술에서 제공되는 노광 장비 및 노광 기술에 의해 얻어질 수 있는 해상 한계 이내에서 구현 가능한 사이즈를 가지는 패턴을 이용하면서 충분한 공정 마진을 확보할 수 있는 배치 구조를 가지는 반도체 소자 및 반도체 소자의 패턴 형성 방법을 제공한다.

[0045] 도 3은 본 발명에 따른 반도체 소자의 패턴 형성 방법을 적용하여 구현할 수 있는 예시적인 반도체 소자(200)의 일부 구성의 레이아웃이다.

[0046] 도 3에서, 고밀도 영역(A)은 단위 기억 소자들이 형성되는 셀 어레이 영역일 수 있다. 예를 들면, 상기 고밀도 영역(A)에는 도 1에 예시된 메모리 셀 어레이(110)가 형성될 수 있다. 저밀도 영역(B)은 상기 고밀도 영역(A)에 형성된 단위 기억 소자들을 구동시키기 위한 주변회로들이 형성되는 주변회로 영역 또는 코어 영역일 수 있다. 또는, 상기 저밀도 영역(B)은 셀 어레이 영역의 일부로서 비교적 큰 폭을 가지는 패턴이 형성되는 부분일 수 있다.

[0047] 도 3에서, 상기 고밀도 영역(A)은 비교적 작은 치수의 제1 폭(W1)을 가지고 상호 평행하게 연장되는 복수의 라인 패턴(210)을 포함할 수 있다. 상기 복수의 라인 패턴(210)은 비교적 작은 치수의 제1 간격(D1)을 사이에 두고 서로 이격될 수 있다. 고밀도 영역(A)에서, 형성하고자 하는 단위 소자의 종류 및 원하는 특성에 따라 제1 폭(W1) 및 제1 간격(D1)은 임의로 설계될 수 있다. 예를 들면, 상기 제1 폭(W1) 및 제1 간격(D1)은 동일할 수 있다. 또는, 상기 제1 폭(W1)이 상기 제1 간격(D1) 보다 더 크거나 더 작을 수 있다.

[0048] 상기 저밀도 영역(B)에는 비교적 큰 치수의 제2 폭(W2)을 가지는 광폭 패턴(220)이 포함되어 있다.

[0049] 예를 들면, 상기 복수의 라인 패턴(210)은 셀 어레이 영역에 형성되는 복수의 활성 영역을 구성하고, 상기 광폭 패턴(220)은 주변회로 영역의 활성 영역을 구성할 수 있다. 또는, 상기 복수의 라인 패턴(210)은 셀 어레이 영역에 형성되는 미세한 복수의 도전 패턴을 구성하고, 상기 광폭 패턴(220)은 주변회로 영역 또는 셀 어레이 영역에 형성되는 비교적 큰 폭을 가지는 도전 패턴을 구성할 수 있다. 또는, 상기 광폭 패턴(220)은 얼라인 키 (align key)를 구성할 수 있다.

[0050] 도 4a 내지 도 4m은 본 발명의 제1 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

- [0051] 도 4a 내지 도 4m에서, 고밀도 영역(A)에는 도 3의 X1 - X1' 선 단면에 대응하는 부분이 도시되어 있고, 저밀도 영역(B)에는 도 3의 X2 - X2' 선 단면에 대응하는 부분이 도시되어 있다.
- [0052] 도 4a를 참조하면, 기판(300)상의 고밀도 영역(A) 및 저밀도 영역(B)에 피처층 (feature layer)(310) 및 제1 마스크층(320)을 차례로 형성하고, 상기 제1 마스크층(320) 위에 복수의 제1 버퍼층(330)을 형성한다.
- [0053] 상기 기판(300)은 실리콘 기판과 같은 통상의 반도체 기판으로 이루어질 수 있다.
- [0054] 상기 피처층(310)은 다양한 재료중 임의의 재료로 형성될 수 있다. 상기 피처층(310)은 기판(300) 자체, 예를 들면 반도체 기판의 활성 영역, 또는 다른 영역을 구성할 수 있다. 다른 예에서, 상기 피처층(310)은 도전막 또는 절연막일 수 있으며, 예를 들면 금속, 반도체, 또는 절연 물질로 이루어질 수 있다. 상기 피처층(310)은 하부의 기판 또는 재료층(도시 생략)에 패턴을 정의하는 데 사용되는 마스크층을 구성할 수 있다. 예를 들면, 상기 피처층(310)은 실리콘 산화막, 실리콘 질화막 또는 이들의 조합으로 이루어질 수 있다.
- [0055] 고밀도 영역(A)에서 상기 피처층(310)은 기판(300)상에서 상기 피처층(310)에 최종적으로 구현하고자 하는 미세 패턴의 타겟폭(target width)보다 적어도 3 배 큰 폭의 제1 영역(310A)과, 상기 타겟폭보다 적어도 3 배 큰 폭의 제2 영역(310B)이 교대로 배치될 수 있다. 저밀도 영역(B)에서 상기 피처층(310)은 상기 고밀도 영역(A)에 위치되는 제1 영역(310A) 및 제2 영역(310)으로부터 이격되어 있는 제3 영역(310C)을 포함한다.
- [0056] 상기 타겟폭은 구현하고자 하는 반도체 소자의 최소 피처사이즈 (minimum feature size)인 1F일 수 있다. 그리고, 상기 피처층(310)의 제1 영역(310A) 및 제2 영역(310B)은 각각 1F 보다 적어도 3 배 큰 폭을 가질 수 있다. 본 예에서는 상기 피처층(310)의 제1 영역(310A) 및 제2 영역(310B)이 각각 3F의 폭을 가지는 경우를 예로 들어 설명한다.
- [0057] 상기 제1 마스크층(320)은 상기 피처층(310)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 재료로 이루어질 수 있다. 예를 들면, 상기 제1 마스크층(320)은 폴리실리콘으로 이루어질 수 있다.
- [0058] 상기 복수의 제1 버퍼층(330)은 고밀도 영역(A)에서만 상기 제1 마스크층(320) 위에 형성되고, 저밀도 영역(B)에서는 상기 복수의 제1 버퍼층(330)이 형성되지 않는다. 상기 복수의 제1 버퍼층(330)은 상기 피처층(310)의 제2 영역(310B) 위에서 상기 제2 영역(310B)과 동일한 폭 (본 예에서는 3F의 폭)을 가지고 상기 제1 마스크층(320)을 덮도록 형성될 수 있다. 상기 복수의 제1 버퍼층(330)은 이들 사이에 상기 제1 영역(310A)의 폭과 동일한 폭 (본 예에서는 3F의 폭)의 간격을 가지고 형성될 수 있으며, 상기 복수의 제1 버퍼층(330) 사이의 복수의 간격은 상기 피처층(310)의 제1 영역(310A) 위에 위치된다. 상기 복수의 제1 버퍼층(330) 사이의 복수의 간격을 통해 제1 마스크층(320)이 3F의 폭 만큼 노출될 수 있다.
- [0059] 상기 복수의 제1 버퍼층(330)은 상기 제1 마스크층(320)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 재료로 이루어질 수 있다. 예를 들면, 상기 복수의 제1 버퍼층(330)은 ACL (amorphous carbon layer), 또는 탄소 함량이 총 중량을 기준으로 약 85 ~ 99 중량%의 비교적 높은 탄소 함량을 가지는 탄화수소 화합물 또는 그 유도체로 이루어지는 막 (이하, "SOH 막" 이라 함)으로 이루어질 수 있다.
- [0060] 상기 복수의 제1 버퍼층(330)을 SOH 막으로 형성하기 위한 공정을 예시하면 다음과 같다. 먼저, 상기 제1 마스크층(320) 위에 약 1000 ~ 5000 Å의 두께의 유기 화합물층을 형성한다. 이 때, 필요에 따라 스핀 코팅(spin coating) 공정 또는 다른 증착 공정을 이용할 수 있다. 상기 유기 화합물은 페닐, 벤젠, 또는 나프탈렌과 같은 방향족 환을 포함하는 탄화수소 화합물 또는 그 유도체로 이루어질 수 있다. 상기 유기 화합물은 그 총 중량을 기준으로 약 85 ~ 99 중량%의 비교적 높은 탄소 함량을 가지는 물질로 이루어질 수 있다. 상기 유기 화합물층을 약 150 ~ 350 °C의 온도하에서 1차 베이킹(bake)하여 탄소함유막을 형성할 수 있다. 상기 1차 베이킹은 약 60 초 동안 행해질 수 있다. 그 후, 상기 탄소함유막을 약 300 ~ 550 °C의 온도하에서 2차 베이킹하여 경화시킨다. 상기 2차 베이킹은 약 30 ~ 300 초 동안 행해질 수 있다. 이와 같이, 상기 탄소함유막을 2차 베이킹 공정에 의해 경화시킴으로써 상기 탄소함유막 위에 다른 막질을 형성할 때 약 400 °C 이상의 비교적 고온하에서 증착 공정을 행하여도 증착 공정 중에 상기 탄소함유막에 악영향이 미치지 않게 된다. 상기 경화된 탄소함유막을 포토리소그래피 공정을 이용하여 패턴화하여 상기 복수의 제1 버퍼층(330)을 형성할 수 있다.
- [0061] 도 4b를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 복수의 제1 버퍼층(330)의 노출된 표면과 상기 제1 마스크층(320)의 노출된 표면을 덮는 스페이서층(340)을 형성한다. 상기 스페이서층(340)은 고밀도 영역(A) 및 저밀도 영역(B)에서 균일한 두께를 가질 수 있다.
- [0062] 상기 스페이서층(340)의 두께는 상기 타겟폭 (1F)과 동일하게 설정될 수 있다. 또한, 상기 스페이서층(340)은

상기 복수의 제1 버퍼층(330) 및 제1 마스크층(320) 각각에 대하여 서로 다른 식각 선택비를 제공할 수 있는 재료로 이루어질 수 있다. 예를 들면, 상기 스페이서층(340)은 산화막으로 이루어질 수 있다. 기판(300)상에서 상기 스페이서층(340)이 균일한 두께로 형성되도록 하기 위하여 ALD (atomic layer deposition) 공정을 이용할 수 있다. 특히, 상기 스페이서층(340)을 ALD 공정으로 형성하는 데 있어서, ALD 공정 온도를 상온 내지 약 75 °C 이하의 온도로 설정할 수 있다.

- [0063] 도 4c를 참조하면, 상기 제1 마스크층(320)의 상면이 노출될 때까지 상기 스페이서층(340)을 에치백하여, 고밀도 영역(A)에서 상기 복수의 제1 버퍼층(330) 각각의 양 측벽을 덮는 복수의 스페이서(340S)를 형성한다.
- [0064] 상기 복수의 스페이서(340S)는 상기 제1 마스크층(320)의 상면을 상기 타겟폭 (1F)과 동일한 폭 만큼 덮도록 형성될 수 있다.
- [0065] 상기 스페이서층(340)을 식각하기 위하여, 예를 들면 메인 식각 가스로서 C<sub>x</sub>F<sub>y</sub> 가스 (x 및 y는 각각 1 내지 10의 정수) 또는 CH<sub>x</sub>F<sub>y</sub> 가스 (x 및 y는 각각 1 내지 10의 정수)를 사용할 수 있다. 또는, 상기 메인 식각 가스에 O<sub>2</sub> 가스 및 Ar 중에서 선택되는 적어도 하나의 가스를 혼합하여 사용할 수 있다. C<sub>x</sub>F<sub>y</sub> 가스로서 예를 들면 C<sub>3</sub>F<sub>6</sub>, C<sub>4</sub>F<sub>6</sub>, C<sub>4</sub>F<sub>8</sub>, 또는 C<sub>5</sub>F<sub>8</sub>를 사용할 수 있다. CH<sub>x</sub>F<sub>y</sub> 가스로서 예를 들면 CHF<sub>3</sub> 또는 CH<sub>2</sub>F<sub>2</sub>를 사용할 수 있다. 여기서, 상기 식각 가스에 첨가되는 O<sub>2</sub>는 식각 공정 중에 발생하는 폴리머 부산물을 제거하는 역할과, C<sub>x</sub>F<sub>y</sub> 식각 가스를 분해시키는 역할을 한다. 또한, 상기 식각 가스에 첨가되는 Ar은 캐리어 가스로 이용되며, 또한 이온 충돌 (ion bombarding)이 이루어지도록 하는 역할을 한다. 상기 스페이서층(340)을 식각하는 데 있어서, 식각 챔버 내에서 상기 예시된 식각 가스들 중에서 선택되는 식각 가스의 플라즈마를 발생시켜 상기 플라즈마 분위기에서 식각을 행할 수 있다. 또는, 경우에 따라 상기 식각 챔버 내에서 플라즈마를 발생시키지 않음으로써 이온 에너지가 없는 상태로 상기 선택된 식각 가스 분위기에서 식각을 행할 수도 있다. 예를 들면, 상기 스페이서 마스크층(340)을 식각하기 위하여 C<sub>4</sub>F<sub>6</sub>, CHF<sub>3</sub>, O<sub>2</sub>, 및 Ar의 혼합 가스를 식각 가스로 사용할 수 있다. 이 경우, C<sub>4</sub>F<sub>6</sub> : CHF<sub>3</sub> : O<sub>2</sub> : Ar의 부피비가 약 1:6:2:14로 되도록 각각의 가스를 공급하면서 약 30 mT의 압력하에서 플라즈마 방식의 건식 식각 공정을 수 초 내지 수 십 초 동안 행할 수 있다.
- [0066] 도 4d를 참조하면, 상기 복수의 제1 버퍼층(330)을 제거한다.
- [0067] 상기 복수의 제1 버퍼층(330)의 제거 공정은 고밀도 영역(A)에 있는 복수의 스페이서(340S) 및 제1 마스크층(320)의 식각이 억제되는 조건하에서 행할 수 있다.
- [0068] 상기 복수의 제1 버퍼층(330)이 SOH 막으로 이루어진 경우, 상기 복수의 제1 버퍼층(330)을 제거하기 위하여, 예를 들면 애싱 (ashing) 및 스트립 (strip) 공정을 이용할 수 있다. 또는, 상기 복수의 제1 버퍼층(330)의 구성 재료에 따라 건식 또는 습식 식각 공정을 이용하여 상기 복수의 제1 버퍼층(330)을 제거할 수도 있다.
- [0069] 도 4e를 참조하면, 상기 복수의 스페이서(340S)를 식각 마스크로 이용하여 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 제1 마스크층(320)을 식각하여, 고밀도 영역(A)에 복수의 제1 마스크 패턴(320P)을 형성한다.
- [0070] 도 4e에서, 고밀도 영역(A)에 형성된 복수의 제1 마스크 패턴(320P)은 "E"로 표시된 최외측 제1 마스크 패턴(320P)을 포함한다.
- [0071] 상기 복수의 제1 마스크 패턴(320P)은 각각 타겟폭 (1F)과 동일한 폭을 가질 수 있다. 상기 복수의 제1 마스크 패턴(320P) 사이의 복수의 간격을 통해 상기 피쳐층(310)의 상면 중 상기 제1 영역(310A) 및 제2 영역(310B)이 교대로 노출된다. 본 예에서, 상기 복수의 제1 마스크 패턴(320P) 사이의 복수의 간격은 상호 교번적으로 배치되는 폭이 1F인 간격과 폭이 3F인 간격을 포함한다.
- [0072] 상기 복수의 제1 마스크 패턴(320P)이 형성된 후, 저밀도 영역(B)에서는 상기 피쳐층(310)의 상면이 완전히 노출된다.
- [0073] 도 4f를 참조하면, 고밀도 영역(A)에서 복수의 제1 마스크 패턴(320P) 사이의 복수의 간격을 통해 노출되는 피쳐층(310)과 저밀도 영역(B)에서 노출되어 있는 피쳐층(310)을 그 상면으로부터 제1 깊이 (R1) 만큼 제거하여, 상기 피쳐층(310)의 상면에 낮은 표면부(310R)를 형성한다.
- [0074] 상기 피쳐층(310)의 상면에 낮은 표면부(310R)를 형성하기 위하여 건식 식각 공정을 행할 수 있다. 예를 들면, 도 4e를 참조하여 설명한 상기 제1 마스크층(320)의 건식 식각 공정에서, 상기 제1 마스크 패턴(320P)이 형성된 후 연속적으로 노출된 피쳐층(310)에 대하여 과도 식각을 행하여 상기 낮은 표면부(310R)가 형성되도록 할 수

있다. 다른 방법으로서, 상기 낮은 표면부(310R)를 형성하기 위한 별도의 건식 식각 공정을 행할 수도 있다.

- [0075] 상기 낮은 표면부(310R)의 제1 깊이(R1)는 타겟폭 (1F)과 동일한 크기를 가질 수 있다.
- [0076] 경우에 따라, 상기 낮은 표면부(310R)의 형성 공정은 생략 가능하다.
- [0077] 도 4g를 참조하면, 기관(300)상의 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 피쳐층(310) 위에 상기 복수의 제1 마스크 패턴(320P)의 상면 및 측벽과 상기 낮은 표면부(310R)를 덮는 제2 버퍼층(350)을 형성한다.
- [0078] 상기 제2 버퍼층(350)은 상기 복수의 제1 마스크 패턴(320P)의 상면 및 측벽과 상기 낮은 표면부(310R)를 균일한 두께로 덮도록 형성될 수 있다.
- [0079] 상기 제2 버퍼층(350)을 균일한 두께로 형성하기 위하여 ALD 공정을 이용할 수 있다. 특히, 상기 제2 버퍼층(350)을 ALD 공정으로 형성하는 데 있어서, ALD 공정 온도를 상온 내지 약 500 °C 이하의 온도로 설정할 수 있다. 상기 제2 버퍼층(350) 형성시의 증착 온도는 상기 스페이서층(340)(도 4b 참조) 형성시의 증착 온도와 같거나 그보다 더 높게 설정될 수 있다.
- [0080] 상기 제2 버퍼층(350)은 상기 피쳐층(310)의 구성 재료와 동일한 재료로 이루어질 수 있다. 예를 들면, 상기 제2 버퍼층(350)은 실리콘 산화막으로 이루어질 수 있다.
- [0081] 고밀도 영역(A)에서, 상기 복수의 제1 마스크 패턴(320P) 사이의 복수의 간격은 폭이 1F인 간격과 폭이 3F인 간격이 교대로 배치되어 있다. 따라서, 도 4g에 예시한 바와 같이 상기 제2 버퍼층(350)이 타겟폭 (1F)과 동일한 폭으로 형성되는 경우, 상기 복수의 제1 마스크 패턴(320P) 사이의 복수의 간격 중 폭이 1F인 간격에서는 상기 피쳐층(310)의 제1 영역(310A) 위에서 서로 이웃하는 2 개의 제1 마스크 패턴(320P) 사이의 공간을 상기 제2 버퍼층(350)에 의해 완전히 채워진다. 그리고, 폭이 3F인 간격에서는 상기 피쳐층(310)의 제2 영역(310B) 위에서 서로 이웃하는 2 개의 제1 마스크 패턴(320P) 사이의 공간을 일부만 채운다. 따라서, 피쳐층(310)의 제2 영역(310B) 위에서는 서로 이웃하는 2 개의 제1 마스크 패턴(320P) 사이에서 상기 제2 버퍼층(350) 위에 각각 1 개씩 형성되는 복수의 리세스 공간(354)이 남게 된다. 상기 제2 버퍼층(350)이 타겟폭 (1F)과 동일한 폭으로 형성되는 경우, 복수의 리세스 공간(354)은 각각 1F의 폭을 가질 수 있다.
- [0082] 도 4h를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 제2 버퍼층(350) 위에 제2 마스크층(360)을 형성한다.
- [0083] 상기 제2 마스크층(360)은 상기 피쳐층(310)의 제2 영역(310B) 위에서 서로 이웃하는 2 개의 제1 마스크 패턴(320P) 사이의 제2 버퍼층(350) 위에 있는 복수의 리세스 공간(354)을 완전히 채우도록 형성될 수 있다.
- [0084] 상기 제2 마스크층(360)은 상기 제2 버퍼층(350)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 재료로 이루어질 수 있다. 예를 들면, 상기 제2 마스크층(360)은 폴리실리콘으로 이루어질 수 있다.
- [0085] 도 4i를 참조하면, 고밀도 영역(A)에서 상기 제2 버퍼층(350)의 상면이 노출되도록 상기 제2 마스크층(360)을 에치백하여, 상기 복수의 리세스 공간(354)에 복수의 제2 마스크 패턴(360P)을 형성한다.
- [0086] 상기 제2 마스크층(360)의 에치백 공정시, 결과적으로 얻어지는 복수의 제2 마스크 패턴(360P)의 상면이 복수의 제1 마스크 패턴(320P)의 상면과 동일 레벨상에 위치되도록 조절할 수 있다.
- [0087] 고밀도 영역(A)에서 상기 복수의 제2 마스크 패턴(360P)이 형성된 후, 상기 복수의 제1 마스크 패턴(320P) 중 최외측 제1 마스크 패턴(320P(E))를 덮는 제2 버퍼층(350)의 측벽에는 상기 제2 마스크층(360)의 원하지 않는 잔류 부분(360P\_X)이 남아 있을 수 있다.
- [0088] 도 4j를 참조하면, 고밀도 영역(A)에서 잔류 부분(360P\_X)은 노출시키면서 복수의 제2 마스크 패턴(360P)은 모두 덮는 제3 마스크층(364)을 형성하고, 상기 제3 마스크층(364) 및 상기 제2 버퍼층(350)을 식각 마스크로 이용하여 상기 노출된 잔류 부분(360P\_X)을 제거한다.
- [0089] 상기 제3 마스크층(364)은 포토레지스트 패턴으로 이루어질 수 있다.
- [0090] 상기 잔류 부분(360P\_X)을 제거하기 위하여 등방성 식각 공정을 이용할 수 있다. 상기 등방성 식각은 습식 또는 건식으로 행해질 수 있다.
- [0091] 상기 잔류 부분(360P\_X)이 제거됨으로써, 상기 최외측 제1 마스크 패턴(320P(E))의 최외측 측벽을 덮고 있는 제2 버퍼층(350)이 노출된다.

- [0092] 도 4k를 참조하면, 상기 제3 마스크층(364)을 제거하고, 상기 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P)의 트리밍 공정을 행한다. 도시하지는 않았으나, 상기 트리밍 공정시 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P) 중 불필요한 부분을 제거할 수 있다.
- [0093] 그 후, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 제2 버퍼층(350)을 덮는 제4 마스크층(366)을 형성하고, 상기 제4 마스크층(366) 중 저밀도 영역(B)에서 상기 피쳐층(310)의 제3 영역(310C)의 위에 위치되는 부분의 상면을 덮는 제5 마스크 패턴(368)을 형성한다.
- [0094] 상기 제4 마스크층(366)은 상기 제2 버퍼층(350) 및 피쳐층(310)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 제4 마스크층(366)은 SOH 막으로 이루어질 수 있다. 상기 제5 마스크 패턴(368)은 상기 제4 마스크층(366)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 제5 마스크 패턴(368)은 포토레지스트 패턴으로 이루어질 수 있다. 상기 제5 마스크 패턴(368)은 타겟폭 (1F) 보다 더 큰 폭을 가질 수 있다.
- [0095] 도 4l을 참조하면, 상기 제5 마스크 패턴(368)을 식각 마스크로 이용하여 상기 제4 마스크층(366)을 이방성 식각하여, 상기 피쳐층(310)의 제3 영역(310C) 위에서 제2 버퍼층(350)을 덮는 제4 마스크 패턴(366P)을 형성한다.
- [0096] 상기 제4 마스크 패턴(366P)은 타겟폭 (1F) 보다 더 큰 폭을 가질 수 있다.
- [0097] 도 4m을 참조하면, 복수의 제1 마스크 패턴(320P), 복수의 제2 마스크 패턴(360P), 및 제4 마스크 패턴(366P)을 식각 마스크로 이용하여, 상기 제2 버퍼층(350)을 식각하여 제거하고, 연속하여 상기 제2 버퍼층(350)이 제거됨에 따라 노출되는 하부의 피쳐층(310)을 식각하여 복수의 피쳐 패턴(310P)을 형성한다.
- [0098] 상기 복수의 피쳐 패턴(310P)은 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 간격을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 피쳐 패턴(310P1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭으로 형성된 제2 피쳐 패턴(310P2)을 포함한다.
- [0099] 상기 복수의 피쳐 패턴(310P)은 도 3에서 예시한 반도체 소자(200)의 복수의 라인 패턴(210) 및 광폭 패턴(220)을 구성할 수 있다.
- [0100] 도 4n에서는 상기 복수의 피쳐 패턴(310P) 위에 제2 버퍼층(350), 복수의 제1 마스크 패턴(320P), 복수의 제2 마스크 패턴(360P), 및 제4 마스크 패턴(366P)의 잔류층들이 남아 있는 것으로 도시되었다. 상기 잔류층들은 필요에 따라 제거될 수 있다.
- [0101] 도시하지는 않았으나, 본 예에 따른 반도체 소자의 패턴 형성 방법에 따르면, 경우에 따라 상기 복수의 제1 피쳐 패턴(310P1)은 고밀도 영역(A)에서 각각 동일한 폭을 가지지 않을 수도 있다. 예를 들면, 도 4l의 공정까지 행해지는 동안 거치는 공정들에서의 공정 분위기 조건들에 따라, 도 4l에 예시된 단면 구조와는 약간 다른 단면 구조를 가지는 결과물이 얻어질 수도 있다. 특히, 도 4l의 공정 후 얻어지는 결과물에서 고밀도 영역(A)에 형성되는 상기 제2 버퍼층(350)이 도 4l에 예시한 바와 같은 단면 프로파일과는 다르게 그 상면에 형성된 일부 단차 부분 (특히 복수의 제2 마스크 패턴(360P)이 형성된 부분에 인접해 있는 단차 부분)에서 라운드된 프로파일이 얻어질 수도 있다. 이 경우, 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P) 각각의 사이의 공간에 남아 있는 제2 버퍼층(350)의 높이가 그 위치에 따라 다르게 된다. 또한, 도 4l의 공정까지 행해지는 동안 거치는 공정들에서의 공정 분위기 조건들에 따라, 복수의 제2 마스크 패턴(360P)을 형성한 후 얻어진 결과물에서 복수의 제2 마스크 패턴(360P)의 상면의 높이가 상기 복수의 제1 마스크 패턴(320P)의 상면의 높이와 동일 레벨로 되지 않을 수도 있다. 따라서, 도 4l의 결과물로부터 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P)을 식각 마스크로 이용하여 제2 버퍼층(350)을 식각하고 이어서 하부의 피쳐층(310)을 식각하였을 때, 결과적으로 얻어지는 복수의 제1 피쳐 패턴(310P1)의 단면 프로파일에 영향을 미치게 된다. 예를 들면, 복수의 제1 피쳐 패턴(310P1) 중 서로 이웃하는 2 개의 제1 피쳐 패턴(310P1)의 단면 프로파일이 서로 선대칭 형상을 가질 수 있다. 또 다른 예에서, 상기 복수의 제1 피쳐 패턴(310P1) 중 일부의 제1 피쳐 패턴(310P1)은 기판(300)의 연장 방향에 대하여 수직에 가까운 프로파일의 측벽을 가지는 반면, 다른 일부의 제1 피쳐 패턴(310P1)은 기판(300)의 주면에 대한 수선으로부터 소정의 경사각을 가지도록 경사면을 이룰 수 있다. 또는, 서로 이웃하는 2 개의 제1 피쳐 패턴(310P1)의 폭이 서로 다를 수도 있고, 복수의 제1 피쳐 패턴(310P1) 사이의 간격이 일정하지 않게 될 수도 있다.
- [0102] 도 5a 내지 도 5l은 본 발명의 제2 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서

에 따라 도시한 단면도들이다.

- [0103] 도 5a 내지 도 5l에서, 고밀도 영역(A)에는 도 3의 X1 - X1' 선 단면에 대응하는 부분이 도시되어 있고, 저밀도 영역(B)에는 도 3의 X2 - X2' 선 단면에 대응하는 부분이 도시되어 있다. 도 5a 내지 도 5l에 있어서, 도 4a 내지 도 4m에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이들에 대한 상세한 설명은 생략한다.
- [0104] 도 5a를 참조하면, 기판(400)상의 고밀도 영역(A) 및 저밀도 영역(B)에 피처층(410) 및 제1 마스크층(420)을 차례로 형성하고, 상기 제1 마스크층(420) 위에 복수의 제1 버퍼층(430)을 형성한다.
- [0105] 상기 기판(400)은 실리콘 기판과 같은 통상의 반도체 기판으로 이루어질 수 있다.
- [0106] 상기 피처층(410) 및 제1 마스크층(420)에 대한 상세한 사항은 도 4a를 참조하여 피처층(310)에 대하여 설명한 바와 같다.
- [0107] 고밀도 영역(A)에서 상기 피처층(410)은 기판(400)상에서 상기 피처층(410)에 최종적으로 구현하고자 하는 미세 패턴의 타겟폭보다 적어도 3 배 큰 폭의 제1 영역(410A)과, 상기 타겟폭보다 적어도 3 배 큰 폭의 제2 영역(410B)이 교대로 배치될 수 있다. 저밀도 영역(B)에서 상기 피처층(410)은 상기 고밀도 영역(A)에 위치되는 제1 영역(410A) 및 제2 영역(410B)으로부터 이격되어 있는 제3 영역(410C)을 포함한다.
- [0108] 본 예에서, 상기 피처층(410)의 제1 영역(410A) 및 제2 영역(410B)은 각각 최소 피처사이즈인 1F 보다 적어도 3 배 큰 폭을 가질 수 있다. 본 예에서는, 상기 피처층(410)의 제1 영역(410A)은 5F의 폭을 가지고, 제2 영역(410B)은 3F의 폭을 가지는 경우를 예로 들어 설명한다.
- [0109] 상기 복수의 제1 버퍼층(430)은 고밀도 영역(A)에서만 상기 제1 마스크층(420) 위에 형성되고, 저밀도 영역(B)에서는 상기 복수의 제1 버퍼층(430)이 형성되지 않는다. 상기 복수의 제1 버퍼층(430)은 상기 피처층(410)의 제2 영역(410B) 위에서 상기 제2 영역(410B)과 동일한 폭 (본 예에서는 3F의 폭)을 가지고 상기 제1 마스크층(420)을 덮도록 형성될 수 있다. 상기 복수의 제1 버퍼층(430)은 이들 사이에 상기 제1 영역(410A)의 폭과 동일한 폭 (본 예에서는 5F의 폭)의 간격을 가지고 형성될 수 있으며, 상기 복수의 제1 버퍼층(430) 사이의 복수의 간격은 상기 피처층(410)의 제1 영역(410A) 위에 위치된다. 상기 복수의 제1 버퍼층(430) 사이의 복수의 간격을 통해 제1 마스크층(420)이 5F의 폭 만큼 노출될 수 있다.
- [0110] 상기 복수의 제1 버퍼층(430)을 구성하는 재료에 대한 상세한 사항은 도 4a를 참조하여 복수의 제1 버퍼층(330)에 대하여 설명한 바와 같다.
- [0111] 도 5b를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 복수의 제1 버퍼층(430)의 노출된 표면과 상기 제1 마스크층(420)의 노출된 표면을 덮는 스페이서층(440)을 형성한다. 상기 스페이서층(440)은 고밀도 영역(A) 및 저밀도 영역(B)에서 균일한 두께를 가질 수 있다.
- [0112] 상기 스페이서층(440)의 두께는 상기 타겟폭 (1F)과 동일하게 설정될 수 있다. 상기 스페이서층(440)에 대한 상세한 사항은 도 4b를 참조하여 스페이서층(340)에 대하여 설명한 바와 같다.
- [0113] 도 5c를 참조하면, 상기 제1 마스크층(420)의 상면이 노출될 때까지 상기 스페이서층(440)을 에치백하여, 고밀도 영역(A)에서 상기 복수의 제1 버퍼층(430) 각각의 양 측벽을 덮는 복수의 스페이서(440S)를 형성한다.
- [0114] 상기 복수의 스페이서(440S)는 상기 제1 마스크층(420)의 상면을 상기 타겟폭 (1F)과 동일한 폭 만큼 덮도록 형성될 수 있다.
- [0115] 도 5d를 참조하면, 도 4d를 참조하여 설명한 바와 같은 방법으로, 상기 복수의 제1 버퍼층(430)을 제거한다.
- [0116] 도 5e를 참조하면, 도 4e를 참조하여 설명한 바와 같은 방법으로, 상기 복수의 스페이서(440S)를 식각 마스크로 이용하여 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 제1 마스크층(420)을 식각하여, 고밀도 영역(A)에 복수의 제1 마스크 패턴(420P)을 형성한다.
- [0117] 도 5e에서, 고밀도 영역(A)에 형성된 복수의 제1 마스크 패턴(420P)은 "E"로 표시된 최외측 제1 마스크 패턴(420P)을 포함한다.
- [0118] 상기 복수의 제1 마스크 패턴(420P)은 각각 타겟폭 (1F)과 동일한 폭을 가질 수 있다. 상기 복수의 제1 마스크 패턴(420P) 사이의 복수의 간격을 통해 상기 피처층(410)의 상면 중 상기 제1 영역(410A) 및 제2 영역(410B)이 교대로 노출된다. 본 예에서, 상기 복수의 제1 마스크 패턴(420P) 사이의 복수의 간격은 각각 3F의 폭을

가진다.

- [0119] 상기 복수의 제1 마스크 패턴(420P)이 형성된 후, 저밀도 영역(B)에서는 상기 피처층(410)의 상면이 완전히 노출된다.
- [0120] 도 5f를 참조하면, 도 4f를 참조하여 설명한 바와 유사한 방법으로, 고밀도 영역(A)에서 복수의 제1 마스크 패턴(420P) 사이의 복수의 간격을 통해 노출되는 피처층(410)과 저밀도 영역(B)에서 노출되어 있는 피처층(410)을 그 상면으로부터 제1 깊이 (R1) 만큼 제거하여, 상기 피처층(410)의 상면에 낮은 표면부(410R)를 형성한다.
- [0121] 상기 낮은 표면부(410R)의 제1 깊이(R1)는 타겟폭 (1F)과 동일한 크기를 가질 수 있다.
- [0122] 경우에 따라, 상기 낮은 표면부(410R)의 형성 공정은 생략될 수 있다.
- [0123] 도 5g를 참조하면, 기판(400)상의 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 피처층(410) 위에 상기 복수의 제1 마스크 패턴(420P)의 상면 및 측벽과 상기 낮은 표면부(410R)를 덮는 제2 버퍼층(450)을 형성한다.
- [0124] 상기 제2 버퍼층(450)은 상기 복수의 제1 마스크 패턴(420P)의 상면 및 측벽과 상기 낮은 표면부(410R)를 균일한 두께로 덮도록 형성될 수 있다. 상기 제2 버퍼층(450) 형성을 위한 구체적인 재료 및 방법은 도 4g를 참조하여 제2 버퍼층(350) 형성 방법에 대하여 설명한 바를 참조한다.
- [0125] 고밀도 영역(A)에서, 상기 복수의 제1 마스크 패턴(420P) 사이의 복수의 간격은 각각 3F의 균일한 폭을 가진다. 따라서, 도 5g에 예시한 바와 같이 상기 제2 버퍼층(450)이 타겟폭 (1F)과 동일한 폭으로 형성되는 경우, 상기 피처층(410)의 제1 영역(410A) 및 제2 영역(410B) 위에서 상기 복수의 제1 마스크 패턴(420P)중 서로 이웃하는 2 개의 제1 마스크 패턴(320P) 사이의 공간이 상기 제2 버퍼층(450)에 의해 일부만 채워지고, 서로 이웃하는 2 개의 제1 마스크 패턴(420P) 사이에서 상기 제2 버퍼층(450) 위에는 각각 리세스 공간(454)이 남게 된다. 상기 제2 버퍼층(450)이 타겟폭 (1F)과 동일한 폭으로 형성되는 경우, 복수의 리세스 공간(454)은 각각 1F의 폭을 가질 수 있다.
- [0126] 도 5h를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 제2 버퍼층(450) 위에 제2 마스크층(460)을 형성한다.
- [0127] 상기 제2 마스크층(460)은 상기 피처층(410)의 제1 영역(410A) 및 제2 영역(410B) 위에서 서로 이웃하는 2 개의 제1 마스크 패턴(420P) 사이의 제2 버퍼층(450) 위에 있는 복수의 리세스 공간(454)을 완전히 채우도록 형성될 수 있다.
- [0128] 상기 제2 마스크층(460)에 대한 상세한 사항은 도 4h를 참조하여 제2 마스크층(360)에 대하여 설명한 바와 같다.
- [0129] 도 5i를 참조하면, 고밀도 영역(A)에서 상기 제2 버퍼층(450)의 상면이 노출되도록 상기 제2 마스크층(460)을 에치백하여, 상기 복수의 리세스 공간(454)에 복수의 제2 마스크 패턴(460P)을 형성한다.
- [0130] 상기 제2 마스크층(460)의 에치백 공정시, 결과적으로 얻어지는 복수의 제2 마스크 패턴(460P)의 상면이 복수의 제1 마스크 패턴(420P)의 상면과 동일 레벨상에 위치되도록 조절할 수 있다.
- [0131] 고밀도 영역(A)에서 상기 복수의 제2 마스크 패턴(460P)이 형성된 후, 상기 복수의 제1 마스크 패턴(420P) 중 최외측 제1 마스크 패턴(420P(E))를 덮는 제2 버퍼층(450)의 측벽에는 상기 제2 마스크층(460)의 원하지 않는 잔류 부분(460P\_X)이 남아 있을 수 있다.
- [0132] 도 5j를 참조하면, 도 4j를 참조하여 설명한 바와 같은 방법으로, 고밀도 영역(A)에서 잔류 부분(460P\_X)은 노출시키면서 복수의 제2 마스크 패턴(460P)은 모두 덮는 제3 마스크층(464)을 형성하고, 상기 제3 마스크층(464) 및 상기 제2 버퍼층(450)을 식각 마스크로 이용하여 상기 노출된 잔류 부분(460P\_X)을 제거한다.
- [0133] 도 5k를 참조하면, 도 4k 및 도 4l를 참조하여 설명한 바와 같은 방법으로, 상기 제4 마스크층(464)을 제거한 후 피처층(410)의 제3 영역(410C) 위에서 상기 제2 버퍼층(450)을 덮는 제4 마스크 패턴(466P)을 형성한다. 상기 제4 마스크 패턴(466P)은 도 4l에 예시된 제4 마스크 패턴(366P)에 대응될 수 있다.
- [0134] 상기 제4 마스크 패턴(466P)은 타겟폭 (1F) 보다 더 큰 폭을 가질 수 있다.
- [0135] 도시하지는 않았으나, 상기 제4 마스크 패턴(466P)을 형성하기 전에, 상기 복수의 제1 마스크 패턴(420P) 및 복수의 제2 마스크 패턴(460P) 중 불필요한 부분을 제거하기 위한 트리밍 공정을 행할 수 있다.

- [0136] 도 5l을 참조하면, 도 4m을 참조하여 설명한 바와 같은 방법으로, 복수의 제1 마스크 패턴(420P), 복수의 제2 마스크 패턴(460P), 및 제4 마스크 패턴(466P)을 식각 마스크로 이용하여, 상기 제2 버퍼층(450) 및 피쳐층(410)을 차례로 식각하여 복수의 피쳐 패턴(410P)을 형성한다.
- [0137] 상기 복수의 피쳐 패턴(410P)은 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 간격을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 피쳐 패턴(410P1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭으로 형성된 제2 피쳐 패턴(410P2)을 포함한다.
- [0138] 상기 복수의 피쳐 패턴(410P)은 도 3에서 예시한 반도체 소자(200)의 복수의 라인 패턴(210) 및 광폭 패턴(220)을 구성할 수 있다.
- [0139] 도 5l에서는 상기 복수의 피쳐 패턴(410P) 위에 제2 버퍼층(450), 복수의 제1 마스크 패턴(420P), 복수의 제2 마스크 패턴(460P), 및 제4 마스크 패턴(466P)의 잔류층들이 남아 있는 것으로 도시되었다. 상기 잔류층들은 필요에 따라 제거될 수 있다.
- [0140] 도시하지는 않았으나, 본 예에 따른 반도체 소자의 패턴 형성 방법에 따르면, 경우에 따라 상기 복수의 제1 피쳐 패턴(410P1)은 고밀도 영역(A)에서 각각 동일한 폭을 가지지 않을 수도 있다. 예를 들면, 도 5k의 공정까지 행해지는 동안 거치는 공정들에서의 공정 분위기 조건들에 따라, 도 5k에 예시된 단면 구조와는 약간 다른 단면 구조를 가지는 결과물이 얻어질 수도 있다. 특히, 도 5k의 공정 후 얻어지는 결과물에서 고밀도 영역(A)에 형성되는 상기 제2 버퍼층(450)이 도 5k에 예시한 바와 같은 단면 프로파일과는 다르게 그 상면에 형성된 일부 단차 부분 (특히 복수의 제2 마스크 패턴(460P)이 형성된 부분에 인접해 있는 단차 부분)에서 라운딩된 프로파일이 얻어질 수도 있다. 이 경우, 복수의 제1 마스크 패턴(420P) 및 복수의 제2 마스크 패턴(460P) 각각의 사이의 공간에 남아 있는 제2 버퍼층(450)의 높이가 그 위치에 따라 다르게 된다. 또한, 도 5k의 공정까지 행해지는 동안 거치는 공정들에서의 공정 분위기 조건들에 따라, 복수의 제2 마스크 패턴(460P)을 형성한 후 얻어진 결과물에서 복수의 제2 마스크 패턴(460P)의 상면의 높이가 상기 복수의 제1 마스크 패턴(420P)의 상면의 높이와 동일 레벨로 되지 않을 수도 있다. 따라서, 도 5k의 결과물로부터 복수의 제1 마스크 패턴(420P) 및 복수의 제2 마스크 패턴(460P)을 식각 마스크로 이용하여 제2 버퍼층(450)을 식각하고 이어서 하부의 피쳐층(410)을 식각하였을 때, 결과적으로 얻어지는 복수의 제1 피쳐 패턴(410P1)의 단면 프로파일에 영향을 미치게 된다. 예를 들면, 복수의 제1 피쳐 패턴(410P1) 중 서로 이웃하는 2 개의 제1 피쳐 패턴(410P1)의 단면 프로파일이 서로 선대칭 형상을 가질 수 있다. 또 다른 예에서, 상기 복수의 제1 피쳐 패턴(410P1) 중 일부의 제1 피쳐 패턴(410P1)은 기판(400)의 연장 방향에 대하여 수직에 가까운 프로파일의 측벽을 가지는 반면, 다른 일부의 제1 피쳐 패턴(410P1)은 기판(400)의 주면에 대한 수선으로부터 소정의 경사각을 가지도록 경사면을 이룰 수 있다. 또는, 서로 이웃하는 2 개의 제1 피쳐 패턴(410P1)의 폭이 서로 다를 수도 있고, 복수의 제1 피쳐 패턴(410P1) 사이의 간격이 일정하지 않게 될 수도 있다.
- [0141] 도 6a 내지 도 6d는 본 발명의 제3 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0142] 도 6a 내지 도 6d를 참조하여 설명하는 제3 실시예에서는 도 4a 내지 도 4m를 참조하여 설명한 제1 실시예에 따른 반도체 소자의 패턴 형성 방법에 의해 얻어진 피쳐 패턴(310P)을 이용하여 기판(500)상에 복수의 도전 패턴(510P) (도 6d 참조)을 형성하는 공정에 대하여 설명한다.
- [0143] 도 6a 내지 도 6d는 도 4a 내지 도 4m를 참조하여 설명한 제1 실시예에 따른 반도체 소자의 패턴 형성 방법에 의해 얻어진 피쳐 패턴(310P)을 이용하여 기판(500)상에 복수의 도전 패턴(510P) (도 6d 참조)을 형성하는 공정을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0144] 도 6a 내지 도 6d에 있어서, 도 4a 내지 도 4m에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이들에 대한 상세한 설명은 생략한다.
- [0145] 도 6a를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)을 가지는 기판(500)을 준비한다.
- [0146] 고밀도 영역(A) 및 저밀도 영역(B)에서 기판(500) 위에 도전 라인들을 형성하는 데 필요한 도전층(510)을 형성하고, 상기 도전층(510) 위에 하드마스크층(520)을 형성한다. 그리고, 도 4a를 참조하여 설명한 바와 같은 방법으로, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 하드마스크층(520) 위에 피쳐층(310), 제1 마스크층(320), 및 복수의 제1 버퍼층(330)을 차례로 형성한다.
- [0147] 상기 기판(500)은 실리콘 기판과 같은 통상의 반도체 기판으로 이루어질 수 있다.

- [0148] 상기 도전층(510)은 도핑된 폴리실리콘, 금속, 금속 질화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 상기 도전층(510)으로부터 워드 라인을 형성하는 경우, 상기 도전층(510)은 TaN, TiN, W, WN, HfN 및 텅스텐 실리사이드로 이루어지는 군에서 선택되는 어느 하나, 또는 이들의 조합으로 이루어지는 도전 물질을 포함할 수 있다. 또는, 상기 도전층(510)으로부터 비트 라인을 형성하는 경우, 상기 도전층(510)은 도핑된 폴리실리콘 또는 금속으로 이루어질 수 있다.
- [0149] 상기 하드마스크층(520)은 단일층으로 이루어질 수 있다. 또는, 상기 하드마스크층(520)은 소정의 식각 조건 하에서 서로 다른 식각 특성을 가지는 2 층 이상의 복수의 하드마스크층이 적층된 다중층 구조를 가질 수도 있다. 상기 하드마스크층(520)은 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 상기 피쳐층(310)이 산화막으로 이루어지는 경우, 상기 하드마스크층(520)은 질화막, 또는 폴리실리콘막으로 이루어질 수 있다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 상기 하드마스크층(520) 및 피쳐층(310)은 소정의 식각 조건에 대하여 서로 다른 식각 선택비를 가지는 물질로 이루어지면 충분하다.
- [0150] 도 6b를 참조하면, 기판(500)의 고밀도 영역(A) 및 저밀도 영역(B)에서 도 4b 내지 도 4m을 참조하여 설명한 바와 같은 일련의 공정들을 행하여, 상기 하드마스크층(520) 위에 복수의 피쳐 패턴(310P)을 형성한다.
- [0151] 상기 복수의 피쳐 패턴(310P)은 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 간격을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 피쳐 패턴(310P1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭으로 형성된 제2 피쳐 패턴(310P2)을 포함한다.
- [0152] 도 6c를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 복수의 피쳐 패턴(310P)을 식각 마스크로 이용하여 상기 하드마스크층(520)을 식각하여, 복수의 하드마스크 패턴(520P)을 형성한다.
- [0153] 도 6c에는 도시하지는 않았으나, 상기 복수의 하드마스크 패턴(520P)이 형성된 후, 복수의 하드마스크 패턴(520P)의 위에는 상기 복수의 피쳐 패턴(310P)의 잔류층들이 남아 있을 수 있다.
- [0154] 도 6d를 참조하면, 상기 복수의 하드마스크 패턴(520P)을 식각 마스크로 이용하여 상기 도전층(510)을 식각하여 복수의 도전 패턴(510P)을 형성한다.
- [0155] 상기 복수의 도전 패턴(510P)은 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 간격을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 도전 패턴(510P1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭으로 형성된 제2 도전 패턴(510P2)을 포함한다.
- [0156] 도 6d에는 도시하지 않았으나, 상기 복수의 제1 도전 패턴(510P1) 및 제2 도전 패턴(510P2)이 형성된 후, 상기 복수의 제1 도전 패턴(510P1) 및 제2 도전 패턴(510P2)의 위에는 상기 복수의 하드마스크 패턴(520P)의 잔류층들이 남아 있을 수 있다.
- [0157] 상기 복수의 도전 패턴(510P)의 복수의 제1 도전 패턴(510P1) 및 제2 도전 패턴(510P2)은 각각 도 3에서 예시한 반도체 소자(200)의 복수의 라인 패턴(210) 및 광폭 패턴(220)을 구성할 수 있다.
- [0158] 도시하지는 않았으나, 도 6a 내지 도 6d를 참조하여 설명한 제3 실시예에 따른 반도체 소자의 패턴 형성 방법에 따르면, 경우에 따라 상기 복수의 제1 도전 패턴(510P1)은 고밀도 영역(A)에서 각각 동일한 폭을 가지지 않을 수도 있다. 예를 들면, 도 6b의 공정까지 행해지는 동안 거치는 공정들에서의 공정 분위기 조건들에 따라, 도 6b에 예시된 단면 구조와는 약간 다른 단면 구조를 가지는 결과물이 얻어질 수도 있다. 특히, 제1 실시예에서도 도 4a 내지 도 4m을 참조하여 설명한 바와 같이, 공정 분위기 조건들에 따라 도 6b에 예시된 복수의 제1 피쳐 패턴(310P1)의 단면 프로파일이 달라질 수 있으며, 그에 따라 복수의 제1 피쳐 패턴(310P1)을 식각 마스크로 이용하는 식각 공정의 결과로서 형성되는 복수의 하드마스크 패턴(520P) 및 복수의 제1 도전 패턴(510P1)의 단면 형상이 도 6d에 예시한 바와 다르게 될 수도 있다. 예를 들면, 복수의 제1 도전 패턴(510P1) 중 서로 이웃하는 2 개의 제1 도전 패턴(510P1)의 단면 프로파일이 서로 선대칭 형상을 가질 수 있다. 또 다른 예에서, 상기 복수의 제1 도전 패턴(510P1) 중 일부의 제1 도전 패턴(510P1)은 기판(500)의 연장 방향에 대하여 수직에 가까운 프로파일의 측면을 가지는 반면, 다른 일부의 제1 도전 패턴(510P1)은 기판(500)의 주면에 대한 수선으로부터 소정의 경사각을 가지도록 경사면을 이룰 수 있다. 또는, 서로 이웃하는 2 개의 제1 도전 패턴(510P1)의 폭이 서로 다를 수도 있고, 복수의 제1 도전 패턴(510P1) 사이의 간격이 일정하지 않게 될 수도 있다.
- [0159] 도 6a 내지 도 6d를 참조하여 설명한 실시예에서는 기판(500)상에 복수의 도전 패턴(510P)을 형성하기 위하여 도 4a 내지 도 4m을 참조하여 설명한 제1 실시예를 이용하는 것으로 설명하였으나, 본 발명은 이에 제한되는 것은 아니다. 본 발명의 사상의 범위 내에서 도 5a 내지 도 5l을 참조하여 설명한 제2 실시예를 이용하여 상기 복

수의 도전 패턴(510P)을 형성할 수도 있다.

- [0160] 도 7a 내지 도 7e는 본 발명의 제4 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0161] 도 7a 내지 도 7e를 참조하여 설명하는 제4 실시예에서는 도 4a 내지 도 4m을 참조하여 설명한 제1 실시예에 따른 반도체 소자의 패턴 형성 방법에 의해 얻어진 피쳐 패턴(310P)을 이용하여 기판(600)의 소자분리 영역에 복수의 트렌치(610T) (도 7d 참조)를 형성하는 공정에 대하여 설명한다.
- [0162] 도 7a 내지 도 7e에 있어서, 도 4a 내지 도 4m에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이들에 대한 상세한 설명은 생략한다.
- [0163] 도 7a를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)을 가지는 기판(600)을 준비한다.
- [0164] 상기 기판(600)의 고밀도 영역(A) 및 저밀도 영역(B) 위에 패드 산화막(602)을 형성한다. 그리고, 상기 패드 산화막(602) 위에 하드마스크층(604)을 형성한다. 그리고, 도 4a를 참조하여 설명한 바와 같은 방법으로, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 하드마스크층(604) 위에 피쳐층(310), 제1 마스크층(320), 및 복수의 제1 버퍼층(330)을 차례로 형성한다.
- [0165] 상기 기판(600)은 실리콘 기판과 같은 통상의 반도체 기판으로 이루어질 수 있다.
- [0166] 상기 하드마스크층(604)은 단일층으로 이루어질 수 있다. 또는, 상기 하드마스크층(604)은 소정의 식각 조건 하에서 서로 다른 식각 특성을 가지는 2 층 이상의 복수의 하드마스크층이 적층된 다중층 구조를 가질 수도 있다. 예를 들면, 상기 하드마스크층(604)은 실리콘 질화막, 실리콘 산화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0167] 도 7b를 참조하면, 기판(600)의 고밀도 영역(A) 및 저밀도 영역(B)에서 도 4b 내지 도 4m을 참조하여 설명한 바와 같은 일련의 공정들을 행하여, 상기 하드마스크층(604) 위에 복수의 피쳐 패턴(310P)을 형성한다.
- [0168] 상기 복수의 피쳐 패턴(310P)은 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 간격을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 피쳐 패턴(310P1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭으로 형성된 제2 피쳐 패턴(310P2)을 포함한다.
- [0169] 도 7c를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 복수의 피쳐 패턴(310P)을 식각 마스크로 이용하여 상기 하드마스크층(604)을 식각하여, 복수의 하드마스크 패턴(604P)을 형성한다.
- [0170] 도 7c에는 도시하지는 않았으나, 상기 복수의 하드마스크 패턴(604P)이 형성된 후, 복수의 하드마스크 패턴(604P)의 위에는 상기 복수의 피쳐 패턴(310P)의 잔류층들이 남아 있을 수 있다.
- [0171] 도 7d를 참조하면, 고밀도 영역(A) 및 저밀도 영역(B)에서 상기 복수의 하드마스크 패턴(604P)을 식각 마스크로 사용하여 상기 패드 산화막(602) 및 기판(600)을 식각하여 상기 기판(600)에 복수의 트렌치(610T)를 형성한다.
- [0172] 상기 복수의 트렌치(610T)는 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 폭을 가지는 복수의 활성 영역(600A)을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 트렌치(610T1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭을 가지는 활성 영역(600B)을 사이에 두고 타겟폭 (1F) 보다 더 큰 폭으로 형성된 복수의 제2 트렌치(610T2)를 포함한다.
- [0173] 도 7e를 참조하면, 상기 복수의 트렌치(610T) 내부 및 상기 복수의 하드마스크 패턴(604P) 위에 절연 물질을 증착한 후, 상기 복수의 하드마스크 패턴(604P)이 노출될 때 까지 CMP (chemical mechanical polishing) 공정에 의해 평탄화하여 상기 복수의 트렌치(610T1) 내에 소자분리막(620I)을 형성한다.
- [0174] 상기 소자분리막(620I)은 고밀도 영역(A)에서 타겟폭 (1F)과 동일한 폭을 가지는 복수의 활성 영역(600A)을 사이에 두고 타겟폭 (1F)과 동일한 폭으로 형성된 복수의 제1 소자분리막(620I1)과, 저밀도 영역(B)에서 타겟폭 (1F) 보다 더 큰 폭을 가지는 활성 영역(600B)을 사이에 두고 타겟폭 (1F) 보다 더 큰 폭으로 형성된 복수의 제2 소자분리막(620I2)을 포함한다.
- [0175] 고밀도 영역(A)에서의 활성 영역(600A)은 도 3에서 예시한 반도체 소자(200)의 복수의 라인 패턴(210)을 구성할 수 있다. 그리고, 저밀도 영역(B)에서의 활성 영역(600B)은 도 3에서 예시한 반도체 소자(200)의 광폭 패턴(220)을 구성할 수 있다.
- [0176] 도시하지는 않았으나, 도 7a 내지 도 7e를 참조하여 설명한 제4 실시예에 따른 반도체 소자의 패턴 형성 방법에 따르면, 경우에 따라 상기 복수의 제1 트렌치(610T1)는 고밀도 영역(A)에서 각각 동일한 폭을 가지지 않을 수도

있다. 예를 들면, 도 7b의 공정까지 행해지는 동안 거치는 공정들에서의 공정 분위기 조건들에 따라, 도 7b에 예시된 단면 구조와는 약간 다른 단면 구조를 가지는 결과물이 얻어질 수도 있다. 특히, 제1 실시예에서 도 4a 내지 도 4m을 참조하여 설명한 바와 같이, 공정 분위기 조건들에 따라 도 7b에 예시된 복수의 제1 피쳐 패턴(310P1)의 단면 프로파일이 달라질 수 있으며, 그에 따라 복수의 제1 피쳐 패턴(310P1)을 식각 마스크로 이용하는 식각 공정의 결과로서 형성되는 복수의 하드마스크 패턴(604P) 및 복수의 제1 트렌치(610T1)의 단면 형상도 도 7d에 예시한 바와 다르게 될 수도 있다. 예를 들면, 복수의 제1 트렌치(610T1) 중 서로 이웃하는 2 개의 제1 트렌치(610T1)의 단면 프로파일이 서로 선대칭 형상을 가질 수 있다. 또 다른 예에서, 상기 복수의 제1 트렌치(610T1) 중 일부의 제1 트렌치(610T1)는 그 양 측벽이 상호 대칭 형상을 가지지 않을 수도 있다. 또는, 서로 이웃하는 2 개의 제1 트렌치(610T1)의 폭이 서로 다를 수도 있고, 복수의 제1 트렌치(610T1) 사이의 간격이 일정하지 않게 될 수도 있다.

- [0177] 도 7a 내지 도 7e를 참조하여 설명한 실시예에서는 기관(600)에 복수의 활성 영역(600A, 600B)을 정의하기 위하여 도 4a 내지 도 4m을 참조하여 설명한 제1 실시예를 이용하는 것으로 설명하였으나, 본 발명은 이에 제한되는 것은 아니다. 본 발명의 사상의 범위 내에서 도 5a 내지 도 5l을 참조하여 설명한 제2 실시예를 이용하여 상기 복수의 활성 영역(600A, 600B)을 정의할 수도 있다.
- [0178] 다음에, 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 구조 및 이들의 제조 방법들에 대하여 설명한다.
- [0179] 도 8은 본 발명의 제1 실시예에 따른 반도체 소자의 요부 (essential parts) 구성을 보여주는 평면도이다.
- [0180] 도 8에는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 패턴 형성 방법에 따라 구현될 수 있는 반도체 소자의 구성중 일부의 평면 구조가 예시되어 있다. 특히, 도 8에는 NAND 플래시 메모리 소자의 메모리 셀 영역(800A)의 일부와, 상기 메모리 셀 영역(800A)의 셀 어레이를 구성하는 복수의 도전 라인, 예를 들면 복수의 워드 라인 또는 복수의 비트 라인을 디코더와 같은 외부 회로(도시 생략)에 연결시키기 위한 접속 영역(800B)의 일부와, 주변회로 영역(800C)의 일부의 레이아웃이 예시되어 있다.
- [0181] 도 8을 참조하면, 상기 메모리 셀 영역(800A)에는 복수의 메모리 셀 블록(840)이 형성되어 있다. 도 8에는 1 개의 메모리 셀 블록(840)만 도시하였다. 상기 메모리 셀 블록(840)에는 스트링 선택 라인(SSL)과 접지 선택 라인(GSL)과의 사이에 셀 스트링(10, 도 2 참조)을 구성하는 데 필요한 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)이 제1 방향(도 8에서 x 방향)으로 상호 평행하게 연장되어 있다. 상기 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)은 각각 상기 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 연장되어 있다.
- [0182] 주변회로 영역(800C)에는 주변회로용 도전 패턴(870)이 형성되어 있다.
- [0183] 상기 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)을 디코더와 같은 외부 회로(도시 생략)에 연결시키기 위하여, 도 8에서 점선으로 표시된 바와 같이, 상기 접속 영역(800B)에서 상기 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)의 일 부분에 각각 복수의 제1 내지 제3 콘택 패드(818, 828, 838)가 상기 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)과 일체로 형성될 수 있다.
- [0184] 상기 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)은 동일 평면상에 형성되며, 3 개의 도전 라인으로 각각 이루어지는 복수의 도전 라인 그룹(MG1, MG2, ..., MG21, MG22)을 포함한다. 상기 복수의 도전 라인 그룹(MG1, MG2, ..., MG21, MG22)은 각각 제1 도전 라인(810) 및 제2 도전 라인(820)과, 이들 사이에 위치되는 제3 도전 라인(830)을 포함한다. 도 8에는 1 개의 메모리 셀 블록(840)에 22 개의 도전 라인 그룹이 포함되어 있는 것으로 예시되어 있다. 그러나, 본 발명은 이에 한정되지 않는다. 본 발명의 기술적 사상의 범위 내에서, 1 개의 메모리 셀 블록(840)에 포함되는 도전 라인 그룹의 수는 특별히 제한되지 않으며, 22 개 보다 더 작거나 큰 수의 도전 라인 그룹이 포함될 수 있다.
- [0185] 제1 도전 라인(810)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 제1 방향(도 8에서 x 방향)으로 연장되어 있는 제1 라인 패턴(812)과, 접속 영역(800B)에서 상기 제1 라인 패턴(812)의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴(814)을 포함한다.
- [0186] 제2 도전 라인(820)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 상기 제1 라인 패턴(812)과 평행하게 연장되어 있는 제2 라인 패턴(822)과, 접속 영역(800B)에서 상기 제2 라인 패턴(822)의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴(824)을 포함한다.

- [0187] 제3 도전 라인(830)은 상기 제1 라인 패턴(812)과 상기 제2 라인 패턴(822)과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴(832)과, 상기 제1 분기 라인 패턴(814)과 상기 제2 분기 라인 패턴(824) 사이에서 상기 제3 라인 패턴(832)의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고, 상기 제1 분기 라인 패턴(814) 및 상기 제2 분기 라인 패턴(824) 각각의 길이보다 더 짧은 길이를 가지는 제3 분기 라인 패턴(834)을 포함한다.
- [0188] 도 8에는 상기 제1 분기 라인 패턴(814)이 상기 제1 라인 패턴(812)의 일단으로부터 제1 방향의 직각 방향 (도 8에서 y 방향)으로 연장되어 있고, 제2 분기 라인 패턴(834)이 상기 제2 라인 패턴(822)의 일단으로부터 제1 방향의 직각 방향으로 연장되어 있고, 제3 분기 라인 패턴(834)이 상기 제3 라인 패턴(832)의 일단으로부터 제1 방향의 직각 방향으로 연장되어 있는 것으로 예시되어 있다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 본 발명의 사상의 범위 내에서 다양한 방향으로 연장되도록 형성하는 것이 가능하다.
- [0189] 상기 복수의 도전 라인 그룹 (MG1, MG2, ..., MG21, MG22)에서는 각각 제1 방향 (도 8에서 x 방향)을 따라 제3 라인 패턴(832)의 길이가 상기 제1 라인 패턴(812)의 길이보다 더 길고, 상기 제2 라인 패턴(822)의 길이보다 더 짧다.
- [0190] 상기 제3 도전 라인(830)은 접속 영역(800B)에서 상기 제3 분기 라인 패턴(834)으로부터 상기 제3 라인 패턴(832)과 평행하게 연장되는 연결 라인 패턴(836)을 더 포함할 수 있다. 본 발명의 기술적 사상에 따른 반도체 소자의 패턴 형성 방법에서의 설계 방법에 따라, 상기 연결 라인 패턴(836)이 형성될 수도 있고 형성되지 않을 수도 있다.
- [0191] 상기 복수의 도전 라인 그룹 (MG1, MG2, ..., MG21, MG22)에 포함되어 있는 복수의 제1 도전 라인(810), 복수의 제2 도전 라인(820), 및 복수의 제3 도전 라인(830)은 각각 상기 메모리 셀 영역(800A) 및 접속 영역(800B)에서 균일한 폭을 가질 수 있다. 예를 들면, 상기 복수의 제1 도전 라인(810), 복수의 제2 도전 라인(820), 및 복수의 제3 도전 라인(830)의 각각의 폭(WF1)은 각각 반도체 소자의 최소 피처사이즈인 1F의 폭을 가질 수 있다. 그리고, 상기 복수의 제1 도전 라인(810), 복수의 제2 도전 라인(820), 및 복수의 제3 도전 라인(830) 각각의 사이에는 1F의 균일한 간격이 유지될 수 있다.
- [0192] 상기 복수의 도전 라인 그룹 (MG1, MG2, ..., MG21, MG22)중 첫 번째 도전 라인 그룹(MG1) 및 마지막 도전 라인 그룹(MG22)에서 각각 상기 제1 도전 라인(810), 상기 제2 도전 라인(820), 및 상기 제3 도전 라인(830) 중 최외측에 있는 도전 라인은 실질적인 도전층 역할을 하지 않는 더미 (dummy) 도전 라인일 수 있다. 도 8의 예에서는, 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65)중 접지 선택 라인(GSL)과 이웃하고 있는 최외측 도전 라인(M00)과, 스트링 선택 라인(SSL)과 이웃하고 있는 최외측 도전 라인(M65)이 더미 도전 라인으로 될 수 있다.
- [0193] 상기 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)은 각각 상기 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65)의 폭(WF1) 보다 더 큰 폭(WF2, WF3)을 가질 수 있다. 그리고, 상기 접지 선택 라인(GSL)과 최외측 도전 라인(M00)과의 사이와, 상기 스트링 선택 라인과 최외측 도전 라인(M65)과의 사이에는 각각 1F의 균일한 간격이 유지될 수 있다.
- [0194] 상기 복수의 도전 라인 그룹 (MG1, MG2, ..., MG21, MG22)은 각각 접속 영역(800B)에서 제1 도전 라인(810)에 일체로 연결되어 있는 제1 콘택 패드(818)와, 상기 제2 도전 라인(820)에 일체로 연결되어 있는 제2 콘택 패드(828)와, 상기 제3 도전 라인(830)에 일체로 연결되어 있는 제3 콘택 패드(838)를 포함한다. 특히, 상기 제1 콘택 패드(818)는 상기 제1 도전 라인(810)의 제1 분기 라인 패턴(814)과 일체로 연결될 수 있다. 상기 제2 콘택 패드(828)는 상기 제2 도전 라인(820)의 제2 분기 라인 패턴(824)과 일체로 연결될 수 있다. 그리고, 상기 제3 콘택 패드(838)는 상기 제3 도전 라인(830)의 연결 라인 패턴(836)과 일체로 연결될 수 있다. 여기서, 상기 제1 콘택 패드(818), 상기 제2 콘택 패드(828), 및 상기 제3 콘택 패드(838)은 서로 이격되어 있다.
- [0195] 도 8에서, 상기 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65), 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 제1 내지 제3 콘택 패드(818, 828, 838), 및 주변회로용 도전 패턴(870)은 모두 상호 동일한 물질로 이루어질 수 있다.
- [0196] 일 예에서, 상기 제1 도전 라인(810), 상기 제2 도전 라인(820), 및 상기 제3 도전 라인(830)은 각각 복수의 메모리 셀을 구성하는 워드 라인일 수 있다. 상기 주변회로용 도전 패턴(870)은 주변회로용 트랜지스터의 게이트 전극을 구성할 수 있다.

- [0197] 다른 예에서, 상기 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65)은 메모리 셀 영역(800A)에서 복수의 메모리 셀을 구성하는 비트 라인일 수 있다. 이 경우, 상기 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)은 생략될 수도 있다.
- [0198] 접속 영역(800B)에서 상기 복수의 도전 라인 그룹 (MG1, MG2, ..., MG21, MG22)중 어느 하나의 복수의 도전 라인 그룹에 포함된 제1 분기 라인 패턴(814)과 제2 분기 라인 패턴(824)과의 사이의 이격 거리(DF1)는 상기 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65)의 폭(WF1)의 적어도 9 배로 되도록 설계될 수 있다. 예를 들면, 상기 이격 거리(DF1)는 9F 이상으로 되도록 설계될 수 있다. 그리고, 상기 복수의 도전 라인 그룹 (MG1, MG2, ..., MG21, MG22)중 어느 하나의 도전 라인 그룹의 제1 분기 라인 패턴(814)과, 그에 이웃하는 다른 도전 라인 그룹의 제2 분기 라인 패턴(824)과의 사이의 이격 거리(DF2)는 상기 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65)의 폭(WF1)의 적어도 4 배로 되도록 설계될 수 있다. 예를 들면, 상기 이격 거리(DF2)는 4F 이상으로 되도록 설계될 수 있다.
- [0199] 상기 이격 거리(DF1, DF2)를 상기와 같이 설계함으로써, 상기 복수의 제1 내지 제3 콘택 패드(818, 828, 838)를 형성할 때 이들 사이에 단락을 방지할 수 있는 설계 마진을 증가시킬 수 있다.
- [0200] 다음에, 도 8에 예시한 본 발명의 제1 실시예에 따른 반도체 소자의 패턴 형성 방법들에 대하여 설명한다.
- [0201] 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c는 본 발명의 제5 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- [0202] 특히, 도 9a 내지 도 21a는 각각 도 8의 "IX" 로 표시된 장방형 부분에 대응되는 부분의 평면도이고, 도 9b 내지 도 21b는 각각 도 9a 내지 도 21a의 BY - BY' 선 단면도 및 도 8의 주변회로 영역(800C)에서의 9X - 9X' 선 단면에 대응되는 부분의 단면도이고, 도 9c 내지 도 21c는 각각 도 9a 내지 도 21a의 CX - CX' 선 단면도 및 CY - CY' 선 단면도이다.
- [0203] 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c를 참조하여 설명하는 본 발명의 제5 실시예에 따른 반도체 소자의 패턴 형성 방법에서는 도 4a 내지 도 4m을 참조하여 설명한 제1 실시예를 이용하는 경우를 예로 들어 설명한다. 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c에 있어서, 도 4a 내지 도 4m에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이들에 대한 상세한 설명은 생략한다.
- [0204] 도 9a, 도 9b 및 도 9c를 참조하면, 먼저 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C) (도 8 참조)을 가지는 기판(900)을 준비한다.
- [0205] 상기 기판(900) 위에 도전 라인들을 형성하는 데 필요한 도전층(910)을 형성하고, 상기 도전층(910) 위에 하드 마스크층(920)을 형성한다. 그리고, 도 4a를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 하드마스크층(920) 위에 피처층(310) 및 제1 마스크층(320)을 형성한다. 그 후, 상기 제1 마스크층(320) 위에 복수의 제1 버퍼층(930)을 형성한다.
- [0206] 상기 기판(900)은 실리콘 기판으로 이루어질 수 있다.
- [0207] 상기 도전층(910) 및 하드마스크층(920)은 각각 도 6a를 참조하여 도전층(510) 및 하드마스크층(520)에 대하여 설명한 바와 같다.
- [0208] 상기 복수의 제1 버퍼층(930)은 도 4a를 참조하여 제1 버퍼층(330)에 대하여 설명한 바와 대체로 같다. 단, 본 예에서 형성하는 상기 복수의 제1 버퍼층(930)은 도 9a에 예시된 바와 같이 그 평면 형상이 "F" 자 형상을 가질 수 있다. 즉, 상기 복수의 제1 버퍼층(930)은 각각 3F의 폭을 가지고 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 제1 방향 (도 9a에서 x 방향)으로 연장되어 있는 제1 버퍼 부분(930A)과, 접속 영역(800B)에서 3F의 폭을 가지고 상기 제1 버퍼 부분(930A)으로부터 제2 방향 (도 9a에서 y 방향)으로 각각 연장되어 있는 제2 버퍼 부분(930B) 및 제3 버퍼 부분(930C)을 포함할 수 있다.
- [0209] 상기 제1 버퍼층(930)의 평면 형상은 도 9a에 예시된 형상에만 제한되는 것은 아니다. 본 발명의 기술적 사상의 범위 내에서 "F" 자의 대칭 형상, "Y" 자 형상 또는 그 대칭 형상, 포크 (pork) 형상 또는 그 대칭 형상 등 다양한 형상을 가질 수 있다.
- [0210] 상기 복수의 제1 버퍼층(930)은 상기 기판(900)상에 구현하고자 하는 미세 패턴의 타겟폭 (1F)보다 적어도 3 배 큰 폭을 가진다.
- [0211] 도 9a에서, 상기 제2 버퍼 부분(930B)과 제3 버퍼 부분(930C)과의 사이의 거리 (x 방향을 따르는 거리)는 적어

도 3F일 수 있다. 도 9a에서, "DF21"로 표시한 부분의 폭은 4F 인 것으로 예시하였으나, 4F 보다 더 작은 폭, 예를 들면 3F의 폭을 가지도록 설계될 수도 있고, 공정 마진을 더 확보하기 위하여 4F 보다 더 큰 폭으로 설계할 수도 있다.

[0212] 상기 제1 버퍼 부분(930A)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 3F의 폭을 가지고 연장되는 부분과, 상기 제2 버퍼 부분(930B)과 제3 버퍼 부분(930C)과의 사이에서 3F 보다 큰 폭을 가지고 연장되는 부분을 포함할 수 있다. 도 9a에서는 상기 제1 버퍼 부분(930A) 중 상기 제2 버퍼 부분(930B)과 제3 버퍼 부분(930C)과의 사이의 부분이 "DF22"로 표시한 바와 같이 5F의 폭을 가지는 것으로 예시하였으나, 5F 보다 더 작은 폭, 예를 들면 3F의 폭을 가지도록 설계될 수도 있고, 공정 마진을 더 확보하기 위하여 5F 보다 더 큰 폭으로 설계할 수도 있다.

[0213] 도 10a, 도 10b 및 도 10c를 참조하면, 도 4b 내지 도 4d를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 복수의 제1 버퍼층(930)의 노출된 표면과 상기 제1 마스크층(320)의 노출된 표면을 덮는 스페이서층(340)을 형성하고, 상기 제1 마스크층(320)의 상면이 노출될 때까지 상기 스페이서층(340)을 에치백하여, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 복수의 제1 버퍼층(930)의 측벽을 덮는 복수의 스페이서(340S)를 형성한다. 그 후, 상기 복수의 제1 버퍼층(930)을 제거한다.

[0214] 상기 복수의 스페이서(340S)는 타겟폭 (1F)과 동일한 폭을 가질 수 있다. 상기 복수의 스페이서(340S)는 상기 제1 버퍼층(930)의 측벽을 따라 형성된 것이므로 상기 제1 버퍼층(930)의 형상에 대응하는 루프 (loop) 형상을 가지게 된다.

[0215] 도 11a, 도 11b 및 도 11c를 참조하면, 도 4e 및 도 4f를 참조하여 설명한 바와 같은 방법으로, 상기 복수의 스페이서(340S)를 식각 마스크로 이용하여 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 제1 마스크층(320)을 식각하여, 메모리 셀 영역(800A) 및 접속 영역(800B)에 복수의 제1 마스크 패턴(320P)을 형성한다. 이어서, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 복수의 제1 마스크 패턴(320P)을 통해 노출되는 피처층(310)의 상면을 그 상면으로부터 제1 깊이 (R1) 만큼 제거하여, 상기 피처층(310)의 상면에 낮은 표면부(310R)를 형성한다. 상기 낮은 표면부(310R)의 제1 깊이(R1)는 타겟폭 (1F)과 동일한 크기를 가질 수 있다.

[0216] 복수의 제1 마스크 패턴(320P) 위에 남아 있는 복수의 스페이서(340S)를 제거하여 복수의 제1 마스크 패턴(320P)의 상면을 노출시킨다.

[0217] 상기 복수의 제1 마스크 패턴(320P)은 각각 "F" 자의 아웃라인 (outline)을 따라 연장되는 루프 형상을 가지게 된다.

[0218] 메모리 셀 영역(800A) 및 접속 영역(800B)에서 복수의 제1 마스크 패턴(320P)은 외곽 부분(320P(OUT))을 포함한다. 상기 외곽 부분은 1 개의 메모리 셀 블록(840) (도 8 참조)의 외곽 부분에 대응하는 부분이다.

[0219] 도 12a, 도 12b 및 도 12c를 참조하면, 도 4g를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 상기 피처층(310) 위에 상기 복수의 제1 마스크 패턴(320P)의 상면 및 측벽과 상기 낮은 표면부(310R)를 덮는 제2 버퍼층(350)을 형성한다.

[0220] 메모리 셀 영역(800A) 및 접속 영역(800B)에서, 상기 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이에는 다양한 폭을 가지는 간격들이 존재할 수 있다. 도 12a, 도 12b 및 도 12c의 예에서는 상기 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이에 폭이 1F, 2F, 3F 및 5F인 간격이 존재한다. 따라서, 도 12a, 도 12b 및 도 12c에 예시한 바와 같이 상기 제2 버퍼층(350)이 타겟폭 (1F)과 동일한 폭으로 형성되는 경우, 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이의 폭이 2F 이하, 예를 들면 1F 또는 2F인 경우에는 상기 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이의 공간이 상기 제2 버퍼층(350)에 의해 완전히 채워진다. 그리고, 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이의 폭이 2F 초과, 예를 들면 3F 또는 5F인 경우에는 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이의 공간의 일부만 상기 제2 버퍼층(350)에 의해 채워진다. 따라서, 복수의 제1 마스크 패턴(320P)의 인접한 부분들 사이의 공간에서 상기 제2 버퍼층(350) 위에 리세스 공간(354)이 남게 된다.

[0221] 메모리 셀 영역(800A)에서 상기 제2 버퍼층(350)이 타겟폭 (1F)과 동일한 폭으로 형성되는 경우, 복수의 리세스 공간(354)은 각각 1F의 폭을 가질 수 있다. 그리고, 접속 영역(800B)에 형성되는 복수의 리세스 공간(354)은 1F 또는 그 이상의 폭을 가질 수 있다. 본 예에서는 도 12c에서 볼 수 있는 바와 같이 접속 영역(800B)에서 복수의 리세스 공간(354)이 각각 1F 및 3F의 폭을 가진다. 그러나, 본 발명의 기술적 사상의 범위 내에서 다양한 설계

를 통하여 복수의 리세스 공간(354)의 폭을 다양한 크기로 설계할 수 있다.

- [0222] 도 13a, 도 13b 및 도 13c를 참조하면, 도 4h 및 도 4i를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 제2 버퍼층(350) 위에 제2 마스크층(360) (도 4h 참조)을 형성하고, 상기 제2 버퍼층(350)의 상면이 노출되도록 상기 제2 마스크층(360)을 에치백하여, 상기 복수의 리세스 공간(354)중 폭이 1F인 리세스 공간(354)에 1F의 폭을 가지는 복수의 제2 마스크 패턴(360P)을 형성한다.
- [0223] 상기 복수의 제2 마스크 패턴(360P)이 형성된 후, 메모리 셀 영역(800A) 및 접속 영역(800B)에서, 복수의 제1 마스크 패턴(320P) 중 외곽 부분(320P(OUT))을 덮는 제2 버퍼층(350)의 측벽에는 상기 제2 마스크층(360)의 원하지 않는 잔류 부분(360P\_X)이 남아 있을 수 있다. 또한, 도 13a에서 "PA1"으로 표시한 부분에서는 제2 버퍼층(350) 위에 형성된 리세스 공간(354)의 y 방향의 폭이 3F 이므로, 상기 복수의 제2 마스크 패턴(360P)이 형성된 후 도 13a에서 "PA1"으로 표시한 부분에 있는 리세스 공간(354) 내에서 상기 제2 버퍼층(350)의 측벽에 제2 마스크 패턴(360P)이 스페이서의 형태로 남아 있을 수 있다.
- [0224] 도 14a, 도 14b 및 도 14c를 참조하면, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 잔류 부분(360P\_X)을 노출시키는 제3 마스크층(964)을 형성한다.
- [0225] 상기 제2 마스크 패턴(360P) 중 제거할 부분은 상기 제3 마스크층(964)에 의해 덮이지 않도록 상기 제3 마스크층(964)을 형성할 수 있다. 본 예에서는 도 14a에 도시된 바와 같이 접속 영역(800B)에서 제2 마스크 패턴(360P)의 일부가 상기 제3 마스크층(964)에 의해 덮이지 않도록 상기 제3 마스크층(964)을 형성한 경우를 예시하였다.
- [0226] 상기 제3 마스크층(964)은 포토레지스트 패턴으로 이루어질 수 있다.
- [0227] 상기 제3 마스크층(964)을 형성하는 데 있어서, 접속 영역(800B)에서 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P, 360P\_X) 중 필요한 부분은 남겨 두고 원하지 않는 부분만을 선택적으로 제거하기 위하여 상기 제3 마스크층(964)을 원하는 위치에 정확하게 정렬하여 형성할 필요가 있다. 본 발명에 따르면, 도 9a에서 "DF22"로 표시한 부분의 폭을 각각 충분한 공정 마진을 제공할 수 있도록 설계함으로써, 접속 영역(800B)에서 상기 제3 마스크층(964)을 원하는 위치에 정렬하여 형성할 때, 충분한 얼라인 마진을 가지고 원하는 위치에 용이하게 정렬될 수 있다. 특히, 도 14a에서 "PA2"로 표시한 부분에서 볼 수 있는 바와 같이, 상기 제3 마스크층(964)은 접속 영역(800B)에 있는 제2 마스크 패턴(360P) 위에서 적어도 3F의 얼라인 마진을 가지고 원하는 위치에 정렬될 수 있다.
- [0228] 도 15a, 도 15b 및 도 15c를 참조하면, 상기 제3 마스크층(964) 및 제2 버퍼층(350)을 식각 마스크로 이용하여, 상기 제3 마스크층(964)의 주위에서 노출되어 있는 잔류 부분(360P\_X) 및 제2 마스크 패턴(360P)을 식각하여 제거한다.
- [0229] 상기 노출된 잔류 부분(360P\_X) 및 제2 마스크 패턴(360P)을 제거하기 위하여 등방성 식각 공정을 이용할 수 있다. 상기 등방성 식각은 습식 또는 건식으로 행해질 수 있다.
- [0230] 상기 잔류 부분(360P\_X)이 제거됨으로써, 제1 마스크 패턴(320)의 외곽 부분(320P(OUT))의 최외측 측벽을 덮고 있는 제2 버퍼층(350)이 노출된다.
- [0231] 그 후, 상기 제3 마스크층(964)을 제거한다.
- [0232] 도 16a, 도 16b 및 도 16c를 참조하면, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 기판(900)상에 복수의 개구(966H)를 가지는 트리밍 마스크 패턴(966)을 형성한다.
- [0233] 상기 트리밍 마스크 패턴(966)에 형성된 복수의 개구(966H)를 통하여 메모리 셀 영역(800A) 및 접속 영역(800B)에서 상기 제1 마스크 패턴(320P) 중 제거하고자 하는 부분을 덮고 있는 제2 버퍼층(350)이 노출된다.
- [0234] 상기 트리밍 마스크 패턴(966)을 형성하는 데 있어서, 접속 영역(800B)에서 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P) 중 필요한 부분은 남겨 두고 원하지 않는 부분만을 선택적으로 제거하기 위하여 상기 트리밍 마스크 패턴(966)을 원하는 위치에 정확하게 정렬하여 형성할 필요가 있다. 본 발명에 따르면, 접속 영역(800B)에서 상기 제1 마스크 패턴(320P) 중 제거 대상 부분 위에 상기 트리밍 마스크 패턴(966)의 개구(966H) 위치를 정렬할 때, 충분한 얼라인 마진을 가지고 원하는 위치에 용이하게 정렬할 수 있다. 특히, 도 16a에서 "PA3"로 표시한 부분에서 볼 수 있는 바와 같이, 상기 트리밍 마스크 패턴(966)의 개구(966H) 위치가 접속

영역(800B)에 있는 제1 마스크 패턴(320P) 위에서 적어도 3F의 얼라인 마진을 가지고 원하는 위치에 정렬될 수 있다.

- [0235] 상기 트리밍 마스크 패턴(966)은 포토레지스트 패턴으로 이루어질 수 있다.
- [0236] 도 17a, 도 17b 및 도 17c를 참조하면, 상기 트리밍 마스크 패턴(966)을 식각 마스크로 이용하여 메모리 셀 영역(800A) 및 접속 영역(800B)에서 노출된 제2 버퍼층(350)을 식각하여 제거하고, 이어서 상기 제2 버퍼층(350)이 제거됨에 따라 노출되는 제1 마스크 패턴(320P)을 식각에 의해 제거하여 상기 제1 마스크 패턴(320P)의 트리밍 공정을 행한다. 그 결과, 기판(900)의 메모리 셀 영역(800A) 및 접속 영역(800B)에서 상호 연결되어 루프 형상을 이루는 복수의 제1 마스크 패턴(320P)이 각각 2 개로 분리된다.
- [0237] 그 후, 상기 트리밍 마스크 패턴(966)을 제거한다.
- [0238] 도 18a, 도 18b 및 도 18c를 참조하면, 도 4k 및 도 4l을 참조하여 제4 마스크 패턴(366P)의 형성 방법에 대하여 설명한 바와 유사한 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 기판(900)상에 복수의 광폭 마스크 패턴(968)을 형성한다.
- [0239] 상기 복수의 광폭 마스크 패턴(968)은 메모리 셀 영역(800A)의 상기 제2 버퍼층(350) 위에서 상기 복수의 제1 마스크 패턴(320P)의 외곽 부분(320P(OUT))에 인접한 위치에 상기 복수의 제1 마스크 패턴(320P)과 평행하게 연장되는 제1 광폭 마스크 패턴(968A)과, 상기 접속 영역(800B)에서 제1 마스크 패턴(320P) 및 제2 마스크 패턴(360P) 위에 각각 형성되는 복수의 제2 광폭 마스크 패턴(968B)과, 주변회로 영역(800C)에서 상기 제2 버퍼층(350) 위에서 형성되는 제3 광폭 마스크 패턴(968C)을 포함할 수 있다.
- [0240] 상기 제1 광폭 마스크 패턴(968A)은 메모리 셀 영역(800A)에서 비교적 큰 폭을 가지는 접지 선택 라인(GSL) (도 8 참조)을 형성하기 위한 식각 마스크 패턴이다. 도시하지는 않았으나, 메모리 셀 영역(800A)에 스트링 선택 라인(SSL) (도 8 참조)을 형성하는 경우에도 동일한 방법으로 상기 제1 광폭 마스크 패턴(968A)과 동일한 형상의 식각 마스크 패턴을 기판(900)상의 필요한 위치에 형성할 수 있다. 상기 제2 광폭 마스크 패턴(968B)은 접속 영역(800B)에서 복수의 제1 내지 제3 콘택 패드(818, 828, 838)를 형성하기 위한 식각 마스크 패턴들이다. 상기 제3 광폭 마스크 패턴(968C)은 주변회로 영역(800C)에서 주변회로용 도전 패턴(870) (도 8 참조)을 형성하기 위한 식각 마스크 패턴이다.
- [0241] 상기 복수의 광폭 마스크 패턴(968)을 형성하는 데 있어서, 접속 영역(800B)에서는 필요한 수의 제1 내지 제3 콘택 패드(818, 828, 838)를 형성하기 위하여, 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P)마다 각각 1 개의 제3 광폭 마스크 패턴(968C)이 대응되도록 상기 복수의 제3 광폭 마스크 패턴(968C)을 형성하여야 한다. 따라서, 접속 영역(800B)에서는 제한된 공간 내에 필요한 수의 제3 광폭 마스크 패턴(968C)을 전기적 단락의 염려 없이 형성하기 위하여 이들 사이에 충분한 공정 마진이 확보되어야 한다. 본 발명에 따르면, 도 9a에서, "DF21"로 표시한 부분의 폭 및 "DF22"로 표시한 부분의 폭을 각각 충분한 공정 마진을 제공할 수 있도록 설계함으로써, 접속 영역(800B)에서 복수의 제2 광폭 마스크 패턴(968B)을 형성하는 데 있어서 충분한 공정 마진을 가지고 원하는 위치에 용이하게 정렬하여 형성할 수 있다. 특히, 도 18a에서 "PA4"로 표시한 부분에서 볼 수 있는 바와 같이, 제2 마스크 패턴(360P)에 대응하여 형성되는 제2 광폭 마스크 패턴(968)은 상기 제2 마스크 패턴(360P)에 인접해 있는 제1 마스크 패턴(320P)으로부터 적어도 3F의 공정 마진을 가지고 상기 제2 마스크 패턴(360P) 위의 원하는 위치에 용이하게 정렬되도록 형성될 수 있다.
- [0242] 상기 복수의 광폭 마스크 패턴(968)은 상기 제2 버퍼층(350) 및 피쳐층(310)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 복수의 광폭 마스크 패턴(968)은 SOH 막으로 이루어질 수 있다.
- [0243] 도 19a, 도 19b 및 도 19c를 참조하면, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서, 도 4m을 참조하여 설명한 바와 유사한 방법으로, 복수의 제1 마스크 패턴(320P), 복수의 제2 마스크 패턴(360P), 및 복수의 광폭 마스크 패턴(968)을 식각 마스크로 이용하여 상기 제2 버퍼층(350)을 식각하여 제거하고, 연속하여 상기 제2 버퍼층(350)이 제거됨에 따라 노출되는 하부의 피쳐층(310)을 식각하여 복수의 피쳐 패턴(310P)을 형성한다.
- [0244] 도시하지는 않았으나, 상기 복수의 피쳐 패턴(310P) 위에는 상기 제2 버퍼층(350), 복수의 제1 마스크 패턴(320P), 복수의 제2 마스크 패턴(360P), 및 복수의 광폭 마스크 패턴(968)의 잔류층들이 남아 있을 수 있다.
- [0245] 도 20a, 도 20b 및 도 20c를 참조하면, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서,

상기 복수의 피쳐 패턴(310P)을 식각 마스크로 이용하여 상기 하드마스크층(920)을 식각하여, 복수의 하드마스크 패턴(920P)을 형성한다.

- [0246] 도시하지는 않았으나, 상기 복수의 하드마스크 패턴(920P)이 형성된 후, 복수의 하드마스크 패턴(920P)의 위에는 상기 복수의 피쳐 패턴(310P)의 잔류층들이 남아 있을 수 있다.
- [0247] 도 21a, 도 21b 및 도 21c를 참조하면, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서, 상기 복수의 하드마스크 패턴(920P)을 식각 마스크로 이용하여 상기 도전층(910)을 식각하여 복수의 도전 패턴(910P)을 형성한다.
- [0248] 상기 복수의 도전 패턴(910P)은 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 도 8에 예시한 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65), 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 복수의 제1 내지 제3 콘택 패드(818, 828, 838), 및 주변회로용 도전 패턴(870)을 구성할 수 있다.
- [0249] 상기 복수의 제1 내지 제3 콘택 패드(818, 828, 838)는 복수의 도전 라인 (M00, M01, M02, ..., M63, M64, M65)에 각각 1 개씩 대응하여 일체로 형성될 수 있다.
- [0250] 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c를 참조하여 설명한 제5 실시예에서는 도 8에 예시한 반도체 소자의 다양한 패턴들을 형성하기 위하여 도 4a 내지 도 4m을 참조하여 설명한 제1 실시예에 따른 반도체 소자의 패턴 형성 방법을 이용하는 것으로 설명하였으나, 본 발명은 이에 제한되는 것은 아니다. 본 발명의 사상의 범위 내에서 도 5a 내지 도 5l을 참조하여 설명한 제2 실시예에 따른 반도체 소자의 패턴 형성 방법을 이용할 수도 있다.
- [0251] 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c를 참조하여 설명한 제5 실시예에서는 도 8에 예시한 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)을 형성하기 위하여, 메모리 셀 영역(800A)에서 제2 버퍼층(350) 위에 상기 복수의 제1 마스크 패턴(320P)과 평행하게 연장되는 제1 광폭 마스크 패턴(968A)을 형성하였다 (도 18a, 도 18b 및 도 18c 참조). 여기서, 상기 제1 광폭 마스크 패턴(968A)은 상기 복수의 제1 마스크 패턴(320P)의 외곽 부분(320(OUT))에 인접하여 상기 복수의 제1 마스크 패턴(320P)과는 오버랩되지 않는 위치에서 상기 제2 버퍼층(350) 위에 형성되었다.
- [0252] 그러나, 본 발명은 제5 실시예의 공정에서 예시된 바에 제한되는 것은 아니며, 본 발명의 사상의 범위 내에서 다양한 변형 및 변경이 가능하다. 예를 들면, 도 8에 예시한 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)을 형성하기 위하여 제 4 실시예와는 다른 공정을 이용할 수도 있다. 그리고, 상기 복수의 제1 마스크 패턴(320P) 및 복수의 제2 마스크 패턴(360P)과 상기 복수의 제1 내지 제3 콘택 패드(818, 828, 838)가 일체로 연결되는 각각의 위치는 도 8에 예시된 바에 제한되지 않고 다양하게 변형시킬 수 있다.
- [0253] 도 22a 및 도 22b 내지 도 24a 및 도 24b는 본 발명의 제6 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- [0254] 특히, 도 22a 내지 도 24a는 각각 도 8의 "IX" 로 표시된 장방형 부분에 대응되는 부분의 평면도이고, 도 22b 내지 도 24b는 각각 도 22a 내지 도 24a의 BY - BY' 선 단면도이다.
- [0255] 도 22a 및 도 22b 내지 도 24a 및 도 24b를 참조하여 설명하는 본 발명의 제6 실시예에서는 도 8에 예시한 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)을 형성하기 위한 다른 방법을 설명한다.
- [0256] 도 22a 및 도 22b 내지 도 24a 및 도 24b에 있어서, 도 4a 내지 도 4m, 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이들에 대한 상세한 설명은 생략한다.
- [0257] 도 22a 및 도 22b를 참조하면, 도 9a, 도 9b 및 도 9c를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C) (도 8 참조)을 가지는 기판(900)상에 도전층(910), 하드마스크층(920), 피쳐층(310) 및 제1 마스크층(320)을 차례로 형성한 후, 상기 제1 마스크층(320) 위에 복수의 제1 버퍼층(930)을 형성한다.
- [0258] 본 예에서는 상기 복수의 제1 버퍼층(930)을 형성할 때, 1 개의 메모리 셀 블록 영역 내에 형성되는 복수의 제1 버퍼층(930) 중 양 끝에 각각 위치되는 2 개의 제1 버퍼층(930)의 외측에 각각 정렬용 버퍼층(930SL)을 1 개 씩 더 형성한다.
- [0259] 상기 정렬용 버퍼층(930SL)은 상기 제1 버퍼층(930)과 동일하게 3F의 폭을 가질 수 있으며, 상기 제1 버퍼층

(930)과의 사이에 3F의 이격 거리를 두고 형성될 수 있다.

- [0260] 도 22a 및 도 22b에는 접지 선택 라인(GSL)의 위치에 대응되는 부분에 형성되는 1 개의 정렬용 버퍼층(930SL)만 예시되었으나, 도 8에서 스트링 선택 라인(SSL)의 위치에 대응되는 부분에도 상기 정렬용 버퍼층(930SL)이 동일하게 형성될 수 있다.
- [0261] 도 23a 및 도 23b를 참조하면, 도 22a 및 도 22b의 결과물에 대하여 도 10a, 도 10b 및 도 10c 내지 도 17a, 도 17b 및 도 17c를 참조하여 설명한 일련의 공정들에 따라, 루프 형상을 이루는 복수의 제1 마스크 패턴(320P)을 각각 2 개로 분리시키는 트리밍 공정까지 행한다.
- [0262] 상기 복수의 제1 마스크 패턴(320P)에 대하여 트리밍 공정이 이루어지는 동안 상기 정렬용 버퍼층(930SL)으로 인해 형성된 정렬용 제1 마스크 패턴(320SL)도 동일하게 트리밍 공정이 이루어질 수 있다. 단, 상기 정렬용 제1 마스크 패턴(320SL)은 그 일단에서만 트리밍이 이루어지며, 따라서 상기 정렬용 제1 마스크 패턴(320SL)은 2 개로 분리되지 않는다. 상기 제1 마스크 패턴(320P)의 외곽 부분(320(OUT))과 상기 정렬용 제1 마스크 패턴(320SL)과의 이격 거리는 1F로 될 수 있다. 상기 정렬용 제1 마스크 패턴(320SL)으로 포위되어 있는 정렬용 제2 마스크 패턴(360SL)은 상기 복수의 제2 마스크 패턴(360P)과 동시에 형성된 것이다.
- [0263] 도 24a 및 도 24b를 참조하면, 도 23a 및 도 23b의 결과물에 대하여 도 18a, 도 18b 및 도 18c를 참조하여 설명한 바와 유사한 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서 기판(900)상에 복수의 광폭 마스크 패턴(968)을 형성한다.
- [0264] 본 예에서는, 상기 제2 버퍼층(350) 위에서 상기 정렬용 제1 마스크 패턴(320SL) 및 정렬용 제2 마스크 패턴(360SL)과 오버랩되는 위치에 제1 광폭 마스크 패턴(968SL)을 형성한다. 상기 제1 광폭 마스크 패턴(968SL)은 그 에지 부분이 상기 정렬용 제1 마스크 패턴(320SL) 및 상기 정렬용 제2 마스크 패턴(360SL)에 의해 포위되는 영역을 벗어나지 않도록 형성한다. 이와 같이 되도록 하기 위하여 상기 제1 광폭 마스크 패턴(968SL)의 y 방향의 폭을 3F 보다 작게 설정할 수 있다.
- [0265] 그 후, 도 19a, 도 19b 및 도 19c를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A), 접속 영역(800B), 및 주변회로 영역(800C)에서, 복수의 제1 마스크 패턴(320P), 복수의 제2 마스크 패턴(360P), 정렬용 제1 마스크 패턴(320SL), 제1 광폭 마스크 패턴(968SL), 제2 광폭 마스크 패턴(968B) 및 제3 광폭 마스크 패턴(968C)을 식각 마스크로 이용하여 상기 제2 버퍼층(350) 및 피쳐층(310)을 차례로 식각하여 복수의 피쳐 패턴(310P)을 형성한다.
- [0266] 이어서, 도 20a, 도 20b 및 도 20c의 공정 및 도 21a, 도 21b 및 도 21c의 공정을 동일하게 행하여 복수의 도전 패턴(910P)을 형성할 수 있다.
- [0267] 도 22a 및 도 22b 내지 도 24a 및 도 24b를 참조하여 설명한 본 발명의 제6 실시예에 따른 반도체 소자의 패턴 형성 방법에 따르면, 메모리 셀 영역(300A)에서 정렬용 제1 마스크 패턴(320SL)과 그 위에서 상기 정렬용 제1 마스크 패턴(320SL) 보다 더 작은 폭을 가지도록 형성된 제1 광폭 마스크 패턴(968SL)을 식각 마스크로 이용하여 접지 선택 라인(GSL) 또는 스트링 선택 라인(SSL)을 형성한다. 그 결과, 접지 선택 라인(GSL)과 도전 라인(M00)과의 사이의 간격과, 스트링 선택 라인(SSL)과 도전 라인(M65)과의 사이의 간격이 상기 제1 마스크 패턴(320P)과 정렬용 제1 마스크 패턴(320SL)과의 간격에 의해 정렬된다. 따라서 접지 선택 라인(GSL)과 도전 라인(M00)과의 사이의 간격과, 스트링 선택 라인(SSL)과 도전 라인(M65)과의 사이의 간격이 각각 1F로 정렬될 수 있다. 따라서, 메모리 셀 블록(840)에서 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)과 접지 선택 라인(GSL) 및 스트링 선택 라인(SSL)과의 사이에 발생될 수 있는 미스얼라인 문제를 해결할 수 있다. 또한, 기판(900)상에 형성되는 복수의 메모리 셀 블록 마다 복수의 도전 라인(M00, M01, M02, ..., M63, M64, M65)과 접지 선택 라인(GSL) 및 스트링 선택 라인(SSL)과의 사이의 간격을 모두 일정하게 할 수 있다.
- [0268] 도 22a 및 도 22b 내지 도 24a 및 도 24b를 참조하여 설명한 본 발명의 제6 실시예에서는 도 8에 예시한 반도체 소자의 다양한 패턴들을 형성하기 위하여 도 4a 내지 도 4m을 참조하여 설명한 제1 실시예에 따른 반도체 소자의 패턴 형성 방법을 이용하는 것으로 설명하였으나, 본 발명은 이에 제한되는 것은 아니다. 본 발명의 사상의 범위 내에서 도 5a 내지 도 5l을 참조하여 설명한 제2 실시예에 따른 반도체 소자의 패턴 형성 방법을 이용할 수도 있다.
- [0269] 도 25는 본 발명의 제2 실시예에 따른 반도체 소자의 요부 (essential parts) 구성을 보여주는 평면도이다.
- [0270] 도 25에 있어서, 도 8에서와 동일 부재는 동일한 참조 부호로 나타내고, 여기서는 이들에 대한 상세한 설명은

생략한다.

- [0271] 도 25에는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 패턴 형성 방법에 따라 구현될 수 있는 반도체 소자의 구성중 일부의 평면 구조가 예시되어 있다. 특히, 도 25에는 NAND 플래시 메모리 소자의 메모리 셀 영역(800A)의 일부와, 상기 메모리 셀 영역(800A)의 셀 어레이를 구성하는 복수의 도전 라인, 예를 들면 복수의 워드 라인 또는 복수의 비트 라인을 디코더와 같은 외부 회로(도시 생략)에 연결시키기 위한 접속 영역(800B)의 일부의 레이아웃이 예시되어 있다.
- [0272] 도 25를 참조하면, 상기 메모리 셀 영역(800A)에는 복수의 메모리 셀 블록(1002)이 형성되어 있다. 도 25에는 1개의 메모리 셀 블록(1002)의 일부만을 도시하였다. 상기 메모리 셀 블록(1002)에는 스트링 선택 라인(도시 생략)과 접지 선택 라인(GSL)과의 사이에 셀 스트링(10, 도 2 참조)을 구성하는 데 필요한 복수의 도전 라인(M100, M101, M102, ...)이 제1 방향(도 25에서 x 방향)으로 상호 평행하게 연장되어 있다. 상기 복수의 도전 라인(M100, M101, M102, ...)은 각각 상기 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 연장되어 있다.
- [0273] 상기 복수의 도전 라인(M100, M101, M102, ...)을 디코더와 같은 외부 회로(도시 생략, 도 8의 SSL에 대응함)에 연결시키기 위하여, 도 25에서 점선으로 표시된 바와 같이, 상기 접속 영역(800B)에서 상기 복수의 도전 라인(M100, M101, M102, ...)의 일 부분에 각각 복수의 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)가 상기 복수의 도전 라인(M100, M101, M102, ...)과 일체로 형성될 수 있다.
- [0274] 상기 복수의 도전 라인(M100, M101, M102, ...)은 동일 평면상에 형성되며, 각각 4개의 도전 라인으로 이루어지는 복수의 도전 라인 그룹(MG101, MG102, ...)을 포함한다. 상기 복수의 도전 라인 그룹(MG101, MG102, ...)은 각각 제1 도전 라인(1010) 및 제2 도전 라인(1020)과, 이들 사이에 위치되는 제3 도전 라인(1030)과, 상기 제2 도전 라인(1020)을 중심으로 상기 제3 도전 라인(1030)의 반대측에서 상기 제2 도전 라인(1020)에 이웃하는 제4 도전 라인(1040)을 포함한다.
- [0275] 1개의 메모리 셀 블록(1002)에는 예를 들면, 8개, 16개, 또는 32개의 도전 라인 그룹이 포함될 수 있다. 그러나, 본 발명은 이에 한정되지 않는다. 본 발명의 기술적 사상의 범위 내에서, 1개의 메모리 셀 블록(1002)에 포함되는 도전 라인 그룹의 수는 특별히 제한되지 않는다.
- [0276] 제1 도전 라인(1010)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 제1 방향(도 25에서 x 방향)으로 연장되어 있는 제1 라인 패턴(1012)과, 접속 영역(800B)에서 상기 제1 라인 패턴(1012)의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제1 분기 라인 패턴(1014)을 포함한다.
- [0277] 제2 도전 라인(1020)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 상기 제1 라인 패턴(1012)과 평행하게 연장되어 있는 제2 라인 패턴(1022)과, 접속 영역(800B)에서 상기 제2 라인 패턴(1022)의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제2 분기 라인 패턴(1024)을 포함한다.
- [0278] 제3 도전 라인(1030)은 상기 제1 라인 패턴(1012)과 상기 제2 라인 패턴(1022)과의 사이에서 이들과 평행하게 연장되어 있는 제3 라인 패턴(1032)과, 상기 제1 분기 라인 패턴(1014)과 상기 제2 분기 라인 패턴(1024) 사이에서 상기 제3 라인 패턴(1032)의 일단으로부터 상기 제1 방향과는 다른 방향으로 연장되어 있고, 상기 제1 분기 라인 패턴(1014) 및 상기 제2 분기 라인 패턴(1024) 각각의 길이보다 더 짧은 길이를 가지는 제3 분기 라인 패턴(1034)을 포함한다.
- [0279] 제4 도전 라인(1040)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 상기 제2 라인 패턴(1022)과 평행하게 연장되어 있는 제4 라인 패턴(1042)과, 접속 영역(800B)에서 상기 제4 라인 패턴(1042)의 일단으로부터 상기 제1 방향과 다른 방향으로 연장되어 있는 제4 분기 라인 패턴(1044)을 포함한다.
- [0280] 도 25에서, 상기 제1 분기 라인 패턴(1014), 제2 분기 라인 패턴(1024), 제3 분기 라인 패턴(1034), 및 제4 분기 라인 패턴(1044)은 각각 도 25의 y 방향으로 연장되어 있는 것으로 예시되어 있다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 본 발명의 사상의 범위 내에서 상기 제1 내지 제4 분기 라인 패턴(1014, 1024, 1034, 1044)은 각각 다양한 방향으로 연장되도록 형성하는 것이 가능하다.
- [0281] 상기 제3 도전 라인(1030)은 접속 영역(800B)에서 상기 제3 분기 라인 패턴(1034)으로부터 상기 제3 라인 패턴(1032)과 평행하게 연장되는 연결 라인 패턴(1036)을 더 포함할 수 있다. 본 발명의 기술적 사상에 따른 반도체 소자의 패턴 형성 방법에서의 설계 방법에 따라, 상기 연결 라인 패턴(1036)이 형성될 수도 있고 형성되지 않을 수도 있다.

- [0282] 상기 복수의 도전 라인 그룹 (MG101, MG102, ...)에서, 제1 내지 제3 도전 라인(1010, 1020, 1030)과 접지 선택 라인(GSL)에 대한 상세한 사항은 도 8을 참조하여 제1 내지 제3 도전 라인(810, 820, 830)에 대하여 설명한 바와 같다. 따라서, 이들에 대한 상세한 설명은 생략한다.
- [0283] 상기 복수의 도전 라인 그룹 (MG101, MG102, ...)에 포함되어 있는 복수의 제4 도전 라인(1040)은 각각 상기 메모리 셀 영역(800A) 및 접속 영역(800B)에서 균일한 폭을 가질 수 있다. 예를 들면, 상기 복수의 제4 도전 라인(1040)의 각각의 폭(WF1)은 각각 반도체 소자의 최소 피처사이즈인 1F의 폭을 가질 수 있다. 그리고, 메모리 셀 영역(800A)에서 복수의 제4 도전 라인(1040)과 그 양 측에서 각각 이웃하는 제1 도전 라인(1010) 및 제2 도전 라인(1020)과의 사이에 1F의 균일한 간격이 유지될 수 있다.
- [0284] 상기 복수의 도전 라인 그룹 (MG101, MG102, ...)은 각각 접속 영역(800B)에서 제1 도전 라인(1010)에 일체로 연결되어 있는 제1 콘택 패드(1018)와, 상기 제2 도전 라인(1020)에 일체로 연결되어 있는 제2 콘택 패드(1028)와, 상기 제3 도전 라인(1030)에 일체로 연결되어 있는 제3 콘택 패드(1038)와, 제4 도전 라인(1040)에 일체로 연결되어 있는 제4 콘택 패드(1048)를 포함한다. 상기 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)는 각각 제1 분기 라인 패턴(1014), 제2 분기 라인 패턴(1024), 제3 도전 라인(1030)의 연결 라인 패턴(1036), 및 제4 분기 라인 패턴(1044)과 일체로 연결될 수 있다. 여기서, 상기 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)는 서로 이격되어 있다.
- [0285] 도 25에서, 상기 복수의 도전 라인 (M100, M101, M102, ...), 접지 선택 라인(GSL), 및 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)는 모두 상호 동일한 물질로 이루어질 수 있다.
- [0286] 일 예에서, 상기 제1 내지 제4 도전 라인(1010, 1020, 1030, 1040)은 각각 메모리 셀 영역(800A)에서 복수의 메모리 셀을 구성하는 워드 라인일 수 있다.
- [0287] 다른 예에서, 상기 제1 내지 제4 도전 라인(1010, 1020, 1030, 1040)은 각각 메모리 셀 영역(800A)에서 복수의 메모리 셀을 구성하는 비트 라인일 수 있다.
- [0288] 접속 영역(800B)에서 상기 복수의 도전 라인 그룹 (MG101, MG102, ...)중 어느 하나의 복수의 도전 라인 그룹에 포함된 제1 분기 라인 패턴(1014)과 제2 분기 라인 패턴(1024)과의 사이의 이격 거리(DF101)는 상기 복수의 도전 라인 (M100, M101, M102, ...)의 폭(WF1)의 적어도 9 배로 되도록 설계될 수 있다. 예를 들면, 상기 이격 거리(DF101)는 9F 이상으로 되도록 설계될 수 있다.
- [0289] 그리고, 상기 복수의 도전 라인 그룹 (MG1, MG2, ...)중 어느 하나의 도전 라인 그룹의 제1 분기 라인 패턴(1014)과, 그에 이웃하는 다른 도전 라인 그룹의 제2 분기 라인 패턴(1024)과의 사이의 이격 거리(DF102)는 상기 복수의 도전 라인 (M100, M101, M102, ...)의 폭(WF1)의 적어도 5 배로 되도록 설계될 수 있다. 예를 들면, 상기 이격 거리(DF102)는 5F 이상으로 되도록 설계될 수 있다.
- [0290] 상기 이격 거리(DF101, DF102)를 상기와 같이 설계함으로써, 상기 복수의 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)를 형성할 때 이들 사이에 단락을 방지할 수 있는 설계 마진을 증가시킬 수 있다.
- [0291] 다음에, 도 25에 예시한 반도체 소자의 패턴 형성 방법들에 대하여 설명한다.
- [0292] 도 26a, 도 26b 및 도 26c 내지 도 37a, 도 37b 및 도 37c는 본 발명의 제7 실시예에 따른 반도체 소자의 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- [0293] 특히, 도 26a 내지 도 37a는 각각 도 25의 "X"으로 표시된 장방형 부분에 대응되는 부분의 평면도이고, 도 26b 내지 도 37b는 각각 도 26a 내지 도 37a의 BY - BY' 선 단면도이고, 도 26c 내지 도 37c는 각각 도 26a 내지 도 37a의 CY - CY' 선 단면도이다.
- [0294] 도 26a, 도 26b 및 도 26c 내지 도 37a, 도 37b 및 도 37c를 참조하여 설명하는 본 발명의 제7 실시예에 따른 반도체 소자의 패턴 형성 방법에서는 도 5a 내지 도 5l을 참조하여 설명한 제2 실시예를 이용하는 경우를 예로 들어 설명한다. 도 26a, 도 26b 및 도 26c 내지 도 37a, 도 37b 및 도 37c에 있어서, 도 5a 내지 도 5l, 도 9a, 도 9b 및 도 9c 내지 도 21a, 도 21b 및 도 21c에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이들에 대한 상세한 설명은 생략한다.
- [0295] 도 26a, 도 26b 및 도 26c를 참조하면, 먼저 메모리 셀 영역(800A) 및 접속 영역(800B)을 가지는 기판(900)을 준비한다.
- [0296] 상기 기판(900) 위에 도전 라인들을 형성하는 데 필요한 도전층(910)을 형성하고, 상기 도전층(910) 위에 하드

마스크층(920)을 형성한다. 그리고, 도 5a를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 하드마스크층(920) 위에 피처층(410) 및 제1 마스크층(420)을 형성한다. 그 후, 상기 제1 마스크층(420) 위에 복수의 제1 버퍼층(1030)을 형성한다.

- [0297] 상기 복수의 제1 버퍼층(1030)은 도 5a를 참조하여 제1 버퍼층(430)에 대하여 설명한 바와 대체로 같다. 그리고, 본 예에서 형성하는 상기 복수의 제1 버퍼층(1030)은 도 26a에 예시된 바와 같이 그 평면 형상이 "F" 자 형상을 가질 수 있다. 즉, 상기 복수의 제1 버퍼층(1030)은 각각 3F의 폭을 가지고 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 제1 방향 (도 26a에서 x 방향)으로 연장되어 있는 제1 버퍼 부분(1030A)과, 접속 영역(800B)에서 3F의 폭을 가지고 상기 제1 버퍼 부분(1030A)으로부터 제2 방향 (도 9a에서 y 방향)으로 각각 연장되어 있는 제2 버퍼 부분(1030B) 및 제3 버퍼 부분(1030C)을 포함할 수 있다.
- [0298] 복수의 제1 버퍼층(1030) 각각의 평면 형상은 도 26a에 예시된 형상에만 제한되는 것은 아니다. 도 9a, 도 9b 및 도 9c를 참조하여 제1 버퍼층(930)에 대하여 설명한 바와 마찬가지로, 본 발명의 기술적 사상의 범위 내에서 "F" 자의 대칭 형상, "Y" 자 형상 또는 그 대칭 형상, 포크 (pork) 형상 또는 그 대칭 형상 등 다양한 형상을 가질 수 있다.
- [0299] 복수의 제1 버퍼층(1030)은 기판(900)상에 구현하고자 하는 미세 패턴의 타겟폭 (1F)보다 적어도 3 배 큰 폭을 가진다. 본 예에서는 메모리 셀 영역(800A)에서 상기 복수의 제1 버퍼층(1030)이 각각 미세 패턴의 타겟폭 (1F)보다 3 배 큰 3F의 폭을 가지고, 복수의 제1 버퍼층(1030) 각각의 사이의 간격은 미세 패턴의 타겟폭 (1F)보다 5 배 큰 5F의 폭을 가지는 경우를 예시한다.
- [0300] 도 26a에서, 상기 제2 버퍼 부분(1030B)과 제3 버퍼 부분(1030C)과의 사이의 거리 (x 방향을 따르는 거리 "DF121")는 적어도 3F일 수 있다. 도 26a에서, "DF121"로 표시한 부분의 폭은 4F인 것으로 예시하였으나, 4F 보다 더 작은 폭, 예를 들면 3F의 폭을 가지도록 설계될 수도 있고, 공정 마진을 더 확보하기 위하여 4F 보다 더 큰 폭으로 설계할 수도 있다.
- [0301] 상기 제1 버퍼 부분(1030A)은 메모리 셀 영역(800A)으로부터 접속 영역(800B)까지 3F의 폭을 가지고 연장되는 부분과, 상기 제2 버퍼 부분(1030B)과 제3 버퍼 부분(1030C)과의 사이에서 3F 보다 큰 폭을 가지고 연장되는 부분을 포함할 수 있다. 도 26a에서는 상기 제1 버퍼 부분(1030A) 중 상기 제2 버퍼 부분(1030B)과 제3 버퍼 부분(1030C)과의 사이의 부분이 "DF122"로 표시한 바와 같이 5F의 폭을 가지는 것으로 예시하였으나, 5F 보다 더 작은 폭, 예를 들면 3F의 폭을 가지도록 설계될 수도 있고, 공정 마진을 더 확보하기 위하여 5F 보다 더 큰 폭으로 설계할 수도 있다.
- [0302] 접속 영역(800B)에서, 1 개의 제1 버퍼층(1030)의 제3 버퍼 부분(1030C)과 그에 이웃하는 다른 제1 버퍼층(1030)의 제3 버퍼 부분(1030B)과의 사이의 거리 (x 방향을 따르는 거리 "DF123")는 적어도 5F 일 수 있다. 도 26a에는 "DF123"로 표시한 부분의 폭이 8F인 것으로 예시하였다.
- [0303] 도 27a, 도 27b 및 도 27c를 참조하면, 도 5b 내지 도 5d를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 복수의 제1 버퍼층(1030)의 노출된 표면과 상기 제1 마스크층(420)의 노출된 표면을 덮는 스페이서층(440)을 형성하고, 상기 제1 마스크층(420)의 상면이 노출될 때까지 상기 스페이서층(440)을 에치백하여, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 복수의 제1 버퍼층(1030)의 측벽을 덮는 복수의 스페이서(440S)를 형성한다. 그 후, 상기 복수의 제1 버퍼층(1030)을 제거한다.
- [0304] 상기 복수의 스페이서(440S)는 타겟폭 (1F)과 동일한 폭을 가질 수 있다. 상기 복수의 스페이서(440S)는 상기 제1 버퍼층(1030)의 측벽을 따라 형성된 것이므로 상기 제1 버퍼층(1030)의 형상에 대응하는 루프 (loop) 형상을 가지게 된다.
- [0305] 도 28a, 도 28b 및 도 28c를 참조하면, 도 5e 및 도 5f를 참조하여 설명한 바와 같은 방법으로, 상기 복수의 스페이서(440S)를 식각 마스크로 이용하여 메모리 셀 영역(800A) 및 접속 영역(800B)에서 제1 마스크층(420)을 식각하여, 메모리 셀 영역(800A) 및 접속 영역(800B)에 복수의 제1 마스크 패턴(420P)을 형성한다. 이어서, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 복수의 제1 마스크 패턴(420P)을 통해 노출되는 피처층(410)의 상면을 그 상면으로부터 제1 깊이 (R1) 만큼 제거하여, 상기 피처층(410)의 상면에 낮은 표면부(410R)를 형성한다. 상기 낮은 표면부(410R)의 제1 깊이(R1)는 타겟폭 (1F)과 동일한 크기를 가질 수 있다.
- [0306] 복수의 제1 마스크 패턴(420P) 위에 남아 있는 복수의 스페이서(440S)를 제거하여 복수의 제1 마스크 패턴(420P)의 상면을 노출시킨다.

- [0307] 상기 복수의 제1 마스크 패턴(420P)은 각각 "F" 자의 아웃라인 (outline)을 따라 연장되는 루프 형상을 가지게 된다.
- [0308] 메모리 셀 영역(800A) 및 접속 영역(800B)에서 복수의 제1 마스크 패턴(420P)은 외곽 부분(420P(OUT))을 포함한다. 상기 외곽 부분(420P(OUT))은 1 개의 메모리 셀 블록(1002) (도 25 참조)의 외곽 부분에 대응하는 부분이다.
- [0309] 도 29a, 도 29b 및 도 29c를 참조하면, 도 5g 내지 도 5i를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 피쳐층(410) 위에 상기 복수의 제1 마스크 패턴(420P)의 상면 및 측벽과 상기 낮은 표면부(410R)를 덮는 제2 버퍼층(450)을 형성한다. 그리고, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 제2 버퍼층(450) 위에 제2 마스크층(460) (도 5h 참조)을 형성하고, 상기 제2 버퍼층(450)의 상면이 노출되도록 상기 제2 마스크층(460)을 에치백하여, 복수의 제2 마스크 패턴(460P)을 형성한다.
- [0310] 상기 복수의 제2 마스크 패턴(460P)이 형성된 후, 메모리 셀 영역(800A) 및 접속 영역(800B)에서, 복수의 제1 마스크 패턴(420P) 중 외곽 부분(420P(OUT))을 덮는 제2 버퍼층(450)의 측벽에는 상기 제2 마스크층(460)의 원하지 않는 잔류 부분(460P\_X)이 남아 있을 수 있다. 또한, 도 29a에서 "PA101"으로 표시한 부분에서는 제2 버퍼층(450) 위에 형성된 리세스 공간(454)의 y 방향의 폭이 3F 이므로, 상기 복수의 제2 마스크 패턴(460P)이 형성된 후 도 29a에서 "PA101"으로 표시한 부분에 있는 리세스 공간(454) 내에서 상기 제2 버퍼층(450)의 측벽에 제2 마스크 패턴(460P)이 스페이서의 형태로 남아 있을 수 있다.
- [0311] 도 30a, 도 30b 및 도 30c를 참조하면, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 잔류 부분(460P\_X)을 노출시키는 제3 마스크층(1064)을 형성한다.
- [0312] 상기 제3 마스크층(1064)을 형성한 후 상기 제2 마스크 패턴(460P) 중 제거될 부분이 노출될 수 있다. 본 예에서는 도 30a에 도시된 바와 같이 접속 영역(800B)에서 제2 마스크 패턴(460P)의 일부가 상기 제3 마스크층(1064)에 의해 덮이지 않도록 상기 제3 마스크층(1064)을 형성한 경우를 예시하였다. 상기 제3 마스크층(1064)에 대한 상세한 사항은 도 14a, 도 14b 및 도 14c를 참조하여 제3 마스크층(964)에 대하여 설명한 바와 대체로 유사하다.
- [0313] 도 31a, 도 31b 및 도 31c를 참조하면, 상기 제3 마스크층(1064) 및 제2 버퍼층(450)을 식각 마스크로 이용하여, 상기 제3 마스크층(1064)의 주위에서 노출되어 있는 잔류 부분(460P\_X) 및 제2 마스크 패턴(460P)을 식각하여 제거한다.
- [0314] 상기 노출된 잔류 부분(60P\_X) 및 제2 마스크 패턴(460P)을 제거하기 위하여 등방성 식각 공정을 이용할 수 있다. 상기 등방성 식각은 습식 또는 건식으로 행해질 수 있다.
- [0315] 상기 잔류 부분(460P\_X)이 제거됨으로써, 제1 마스크 패턴(420)의 외곽 부분(420P(OUT))의 최외측 측벽을 덮고 있는 제2 버퍼층(450)이 노출된다.
- [0316] 그 후, 상기 제3 마스크층(1064)을 제거한다.
- [0317] 도 32a, 도 32b 및 도 32c를 참조하면, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 기판(900)상에 복수의 개구(1066H)를 가지는 트리밍 마스크 패턴(1066)을 형성한다.
- [0318] 상기 트리밍 마스크 패턴(1066)에 형성된 복수의 개구(1066H)를 통하여 메모리 셀 영역(800A) 및 접속 영역(800B)에서 상기 제1 마스크 패턴(420P) 중 제거하고자 하는 부분을 덮고 있는 제2 버퍼층(450)이 노출된다.
- [0319] 상기 트리밍 마스크 패턴(1066)을 형성하는 데 있어서, 접속 영역(800B)에서 복수의 제1 마스크 패턴(420P) 및 복수의 제2 마스크 패턴(460P) 중 필요한 부분은 남겨 두고 원하지 않는 부분만을 선택적으로 제거하기 위하여 상기 트리밍 마스크 패턴(1066)을 원하는 위치에 정확하게 정렬하여 형성할 필요가 있다. 본 발명에 따르면, 접속 영역(800B)에서 상기 제1 마스크 패턴(420P) 중 제거 대상 부분 위에 상기 트리밍 마스크 패턴(1066)의 개구(1066H) 위치를 정렬할 때, 충분한 얼라인 마진을 가지고 원하는 위치에 용이하게 정렬할 수 있다. 특히, 도 32a에서 "PA103"로 표시한 부분에서 볼 수 있는 바와 같이, 상기 트리밍 마스크 패턴(1066)의 개구(1066H) 위치가 접속 영역(800B)에 있는 제1 마스크 패턴(420P) 위에서 적어도 3F의 얼라인 마진을 가지고 원하는 위치에 정렬될 수 있다.
- [0320] 상기 트리밍 마스크 패턴(1066)은 포토레지스트 패턴으로 이루어질 수 있다.
- [0321] 도 33a, 도 33b 및 도 33c를 참조하면, 상기 트리밍 마스크 패턴(1066)을 식각 마스크로 이용하여 메모리 셀 영

역(800A) 및 접속 영역(800B)에서 노출된 제2 버퍼층(450)을 식각하여 제거하고, 이어서 상기 제2 버퍼층(450)이 제거됨에 따라 노출되는 제1 마스크 패턴(420P)을 식각에 의해 제거하여 상기 제1 마스크 패턴(420P)의 트리밍 공정을 행한다. 그 결과, 기관(900)의 메모리 셀 영역(800A) 및 접속 영역(800B)에서 상호 연결되어 루프 형상을 이루는 복수의 제1 마스크 패턴(420P)이 각각 2 개로 분리된다.

- [0322] 그 후, 상기 트리밍 마스크 패턴(1066)을 제거한다.
- [0323] 도 34a, 도 34b 및 도 34c를 참조하면, 도 5k를 참조하여 제4 마스크 패턴(466P)의 형성 방법에 대하여 설명한 바와 유사한 방법으로, 메모리 셀 영역(800A) 및 접속 영역(800B)에서 기관(900)상에 복수의 광폭 마스크 패턴(1068)을 형성한다.
- [0324] 상기 복수의 광폭 마스크 패턴(1068)은 메모리 셀 영역(800A)의 상기 제2 버퍼층(450) 위에서 상기 복수의 제1 마스크 패턴(420P)의 외곽 부분(420P(OUT))에 인접한 위치에 상기 복수의 제1 마스크 패턴(420P)과 평행하게 연장되는 제1 광폭 마스크 패턴(1068A)과, 상기 접속 영역(800B)에서 제1 마스크 패턴(420P) 및 제2 마스크 패턴(460P) 위에 각각 형성되는 복수의 제2 광폭 마스크 패턴(1068B)을 포함할 수 있다. 도시하지는 않았으나, 주변 회로 영역(도 8에서 "800C"에 대응함)에도 필요한 위치에 광폭 마스크 패턴(1068)이 형성될 수 있다.
- [0325] 상기 제1 광폭 마스크 패턴(1068A)은 메모리 셀 영역(800A)에서 비교적 큰 폭을 가지는 접지 선택 라인(GSL)(도 25 참조)을 형성하기 위한 식각 마스크 패턴이다. 도시하지는 않았으나, 메모리 셀 영역(800A)에 스트링 선택 라인(SSL)(도 8 참조)을 형성하는 경우에도 동일한 방법으로 상기 제1 광폭 마스크 패턴(1068A)과 동일한 형상의 식각 마스크 패턴을 기관(900)상의 필요한 위치에 형성할 수 있다. 상기 제2 광폭 마스크 패턴(1068B)은 접속 영역(800B)에서 복수의 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)를 형성하기 위한 식각 마스크 패턴들이다.
- [0326] 상기 복수의 광폭 마스크 패턴(1068)을 형성하는 데 있어서, 접속 영역(800B)에서는 필요한 수의 제4 콘택 패드(1018, 1028, 1038, 1048)를 형성하기 위하여 복수의 제1 마스크 패턴(420P) 및 복수의 제2 마스크 패턴(460P)마다 각각 1 개의 제3 광폭 마스크 패턴(1068C)이 대응되도록 상기 복수의 제3 광폭 마스크 패턴(1068C)을 형성하여야 한다. 따라서, 접속 영역(800B)에서는 제한된 공간 내에 필요한 수의 제3 광폭 마스크 패턴(1068C)을 전기적 단락의 염려 없이 형성하기 위하여 이들 사이에 충분한 공정 마진이 확보되어야 한다. 본 발명에 따르면, 도 25a에서, "DF121", "DF122" 및 "DF123"으로 각각 표시한 부분들의 폭을 각각 충분한 공정 마진을 제공할 수 있도록 설계함으로써, 접속 영역(800B)에서 복수의 제2 광폭 마스크 패턴(1068B)을 형성하는 데 있어서 충분한 공정 마진을 가지고 원하는 위치에 용이하게 정렬하여 형성할 수 있다.
- [0327] 상기 복수의 광폭 마스크 패턴(1068)은 상기 제2 버퍼층(450) 및 피쳐층(410)에 대하여 서로 다른 식각 선택비를 제공할 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 복수의 광폭 마스크 패턴(1068)은 SOH 막으로 이루어질 수 있다.
- [0328] 도 35a, 도 35b 및 도 35c를 참조하면, 메모리 셀 영역(800A) 및 접속 영역(800B)에서, 도 5l을 참조하여 설명한 바와 유사한 방법으로, 복수의 제1 마스크 패턴(420P), 복수의 제2 마스크 패턴(460P), 및 복수의 광폭 마스크 패턴(1068)을 식각 마스크로 이용하여 상기 제2 버퍼층(350)을 식각하여 제거하고, 연속하여 상기 제2 버퍼층(450)이 제거됨에 따라 노출되는 하부의 피쳐층(410)을 식각하여 복수의 피쳐 패턴(410P)을 형성한다.
- [0329] 도시하지는 않았으나, 상기 복수의 피쳐 패턴(410P) 위에는 상기 제2 버퍼층(450), 복수의 제1 마스크 패턴(420P), 복수의 제2 마스크 패턴(460P), 및 복수의 광폭 마스크 패턴(1068)의 잔류층들이 남아 있을 수 있다.
- [0330] 도 36a, 도 36b 및 도 36c를 참조하면, 메모리 셀 영역(800A) 및 접속 영역(800B)에서, 상기 복수의 피쳐 패턴(410P)을 식각 마스크로 이용하여 상기 하드마스크층(920)을 식각하여, 복수의 하드마스크 패턴(920P2)을 형성한다.
- [0331] 도시하지는 않았으나, 상기 복수의 하드마스크 패턴(920P2)이 형성된 후, 복수의 하드마스크 패턴(920P2)의 위에는 상기 복수의 피쳐 패턴(410P)의 잔류층들이 남아 있을 수 있다.
- [0332] 도 37a, 도 37b 및 도 37c를 참조하면, 메모리 셀 영역(800A) 및 접속 영역(800B)에서, 상기 복수의 하드마스크 패턴(920P2)을 식각 마스크로 이용하여 상기 도전층(910)을 식각하여 복수의 도전 패턴(910P2)을 형성한다.
- [0333] 상기 복수의 도전 패턴(910P2)은 메모리 셀 영역(800A) 및 접속 영역(800B)에서 도 25에 예시한 복수의 도전 라인(M100, M101, M102, ...), 접지 선택 라인(GSL), 및 복수의 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)를 구성할 수 있다. 도시하지는 않았으나, 상기 복수의 도전 패턴(910P2)은 메모리 셀 영역(800A)에 형성

되는 스트링 선택 라인(SSL)을 구성할 수 있다. 또한, 상기 복수의 도전 패턴(910P2)은 주변회로 영역(800C)(도 8 참조)에서 주변회로용 도전 패턴을 구성할 수도 있다.

- [0334] 상기 복수의 제1 내지 제4 콘택 패드(1018, 1028, 1038, 1048)는 복수의 도전 라인 (M100, M101, M102, ...)에 각각 1 개씩 대응하여 일체로 형성될 수 있다.
- [0335] 도 38은 본 발명의 기술적 사상에 의한 실시예들에 따라 형성된 반도체 소자를 포함하는 메모리 카드(1200)의 블록 다이어그램이다.
- [0336] 메모리 카드(1200)는 명령 및 어드레스 신호 C/A를 생성하는 메모리 컨트롤러(1220)와, 메모리 모듈(1210), 예를 들면 1 개 또는 복수의 플래시 메모리 소자를 포함하는 플래시 메모리를 포함한다. 메모리 컨트롤러(1220)는 호스트에 명령 및 어드레스 신호를 전송하거나 이들 신호를 호스트로부터 수신하는 호스트 인터페이스(1223)와, 명령 및 어드레스 신호를 다시 메모리 모듈(1210)에 전송하거나 이들 신호를 메모리 모듈(1210)로부터 수신하는 메모리 인터페이스(1225)를 포함한다. 호스트 인터페이스(1223), 컨트롤러(1224), 및 메모리 인터페이스(1225)는 공통 버스 (common bus)를 통해 SRAM과 같은 컨트롤러 메모리(1221) 및 CPU와 같은 프로세서(1222)와 통신한다.
- [0337] 메모리 모듈(1210)은 메모리 컨트롤러(1220)로부터 명령 및 어드레스 신호를 수신하고, 응답으로서 메모리 모듈 (1210)상의 메모리 소자중 적어도 하나에 데이터를 저장하고 상기 메모리 소자중 적어도 하나로부터 데이터를 검색한다. 각 메모리 소자는 복수의 어드레스 가능한 메모리 셀과, 명령 및 어드레스 신호를 수신하고 프로그래밍 및 독출 동작중에 어드레스 가능한 메모리 셀중 적어도 하나를 액세스하기 위하여 행 신호 및 열 신호를 생성하는 디코더를 포함한다.
- [0338] 메모리 컨트롤러(1220)를 포함하는 메모리 카드(1200)의 각 구성품들, 메모리 컨트롤러(1220)에 포함되는 전자 소자들 (1221, 1222, 1223, 1224, 1225), 및 메모리 모듈(1210)은 본 발명의 기술적 사상에 의한 실시예들에 따른 공정들을 이용하여 형성된 미세 패턴들을 포함하도록 형성될 수 있다.
- [0339] 도 39는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자를 포함하는 메모리 카드(1310)을 채용하는 메모리 시스템(1300)의 블록 다이어그램이다.
- [0340] 메모리 시스템(1300)은 공통 버스(1360)를 통해 통신하는 CPU와 같은 프로세서(1330), 랜덤 액세스 메모리 (1340), 유저 인터페이스(1350) 및 모뎀(1320)을 포함할 수 있다. 상기 각 소자들은 버스(1360)를 통해 메모리 카드(1310)에 신호를 전송하고 메모리 카드(1310)로부터 신호를 수신한다. 메모리 카드(1310)와 함께 프로세서 (1330), 랜덤 액세스 메모리(1340), 유저 인터페이스(1350) 및 모뎀(1320)을 포함하는 메모리 시스템(1300)의 각 구성품들은 본 발명의 기술적 사상에 의한 실시예들에 따른 공정들을 이용하여 형성된 미세 패턴들을 포함하도록 형성될 수 있다. 메모리 시스템(1300)은 다양한 전자 응용 분야에 응용될 수 있다. 예를 들면, SSD (solid state drives), CIS (CMOS image sensors) 및 컴퓨터 응용 칩 세트 분야에 응용될 수 있다.
- [0341] 본 명세서에서 개시된 메모리 시스템들 및 소자들은 예를 들면, BGA (ball grid arrays), CSP (chip scale packages), PLCC (plastic leaded chip carrier), PDIP (plastic dual in-line package), MCP (multi-chip package), WFP (wafer-level fabricated package), WSP (wafer-level processed stock package) 등을 포함하는 다양한 소자 패키지 형태들 중 임의의 형태로 패키징될 수 있으며, 상기 예시된 바에 한정되는 것은 아니다.
- [0342] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

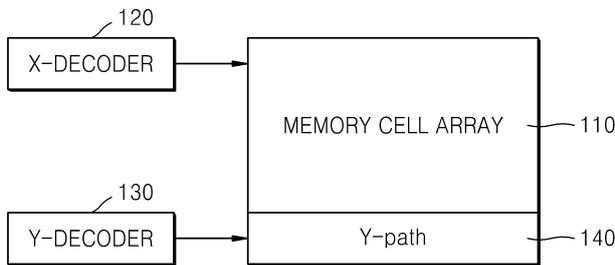
**부호의 설명**

- [0343] 200: 반도체 소자, 210: 라인 패턴, 220: 광폭 패턴, 300: 기판, 310: 피처층, 310A: 제1 영역, 310B: 제2 영역, 310C: 제3 영역, 310P: 피처 패턴, 310P1: 제1 피처 패턴, 310P2: 제2 피처 패턴, 310R: 낮은 표면부, 320: 제1 마스크층, 320P: 제1 마스크 패턴, 320P(E): 최외측 제1 마스크 패턴, 320SL: 정렬용 제1 마스크 패턴, 330: 제1 버퍼층, 340: 스페이서층, 340S: 스페이서, 350: 제2 버퍼층, 354: 리세스 공간, 360: 제2 마스크층, 360P: 제2 마스크 패턴, 360P\_X: 잔류 부분, 360SL: 정렬용 제2 마스크 패턴, 364: 제3 마스크층, 366: 제4 마스크층, 366P: 제4 마스크 패턴, 368: 제5 마스크 패턴, 500: 기판, 510: 도전층, 510P: 도전 패턴, 520: 하드마스크층, 520P: 하드마스크 패턴, 600: 기판, 600A, 600B: 활성 영역, 602: 패드 산화막, 604: 하드 마스크층, 604P: 하드마스크 패턴, 610T: 트렌치, 620I: 소자분리막, 620I1: 제1 소자분리막, 620I2: 제2 소자

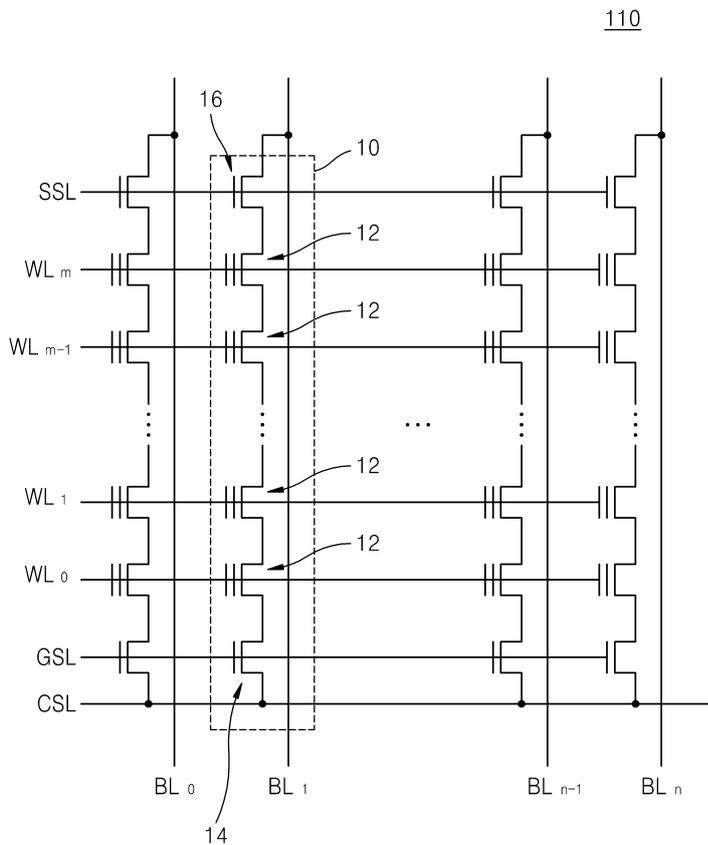
분리막, 800A: 메모리 셀 영역, 800B: 접속 영역, 800C: 주변회로 영역, 810: 제1 도선 라인, 812: 제1 라인 패턴, 814: 제1 분기 라인 패턴, 818: 제1 콘택 패드, 820: 제2 도선 라인, 822: 제2 라인 패턴, 824: 제2 분기 라인 패턴, 828: 제2 콘택 패드, 830: 제3 도선 라인, 832: 제3 라인 패턴, 834: 제3 분기 라인 패턴, 836: 연결 라인 패턴, 838: 제3 콘택 패드, 840: 메모리 셀 블록, 870: 주변회로용 도선 패턴, 900: 기판, 910: 도선층, 910P: 도선 패턴, 920: 하드마스크층, 930: 제1 버퍼층, 930A: 제1 버퍼 부분, 930B: 제2 버퍼 부분, 930C: 제3 버퍼 부분, 930SL: 정렬용 버퍼층, 964: 제3 마스크층, 966: 트리밍 마스크 패턴, 966H: 개구, 968: 광폭 마스크 패턴, 968A: 제1 광폭 마스크 패턴, 968B: 제2 광폭 마스크 패턴, 968C: 제3 광폭 마스크 패턴, 968SL: 제1 광폭 마스크 패턴.

도면

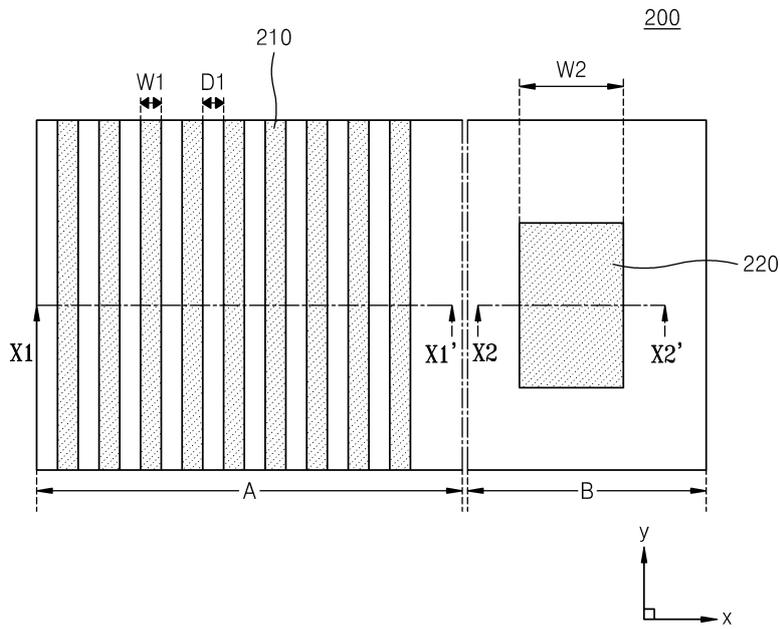
도면1



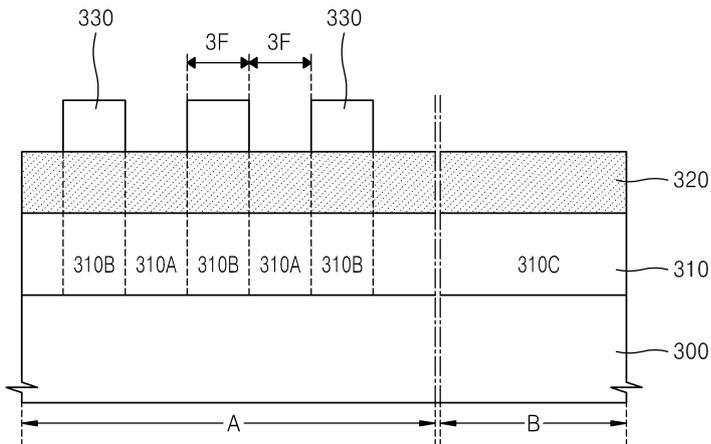
도면2



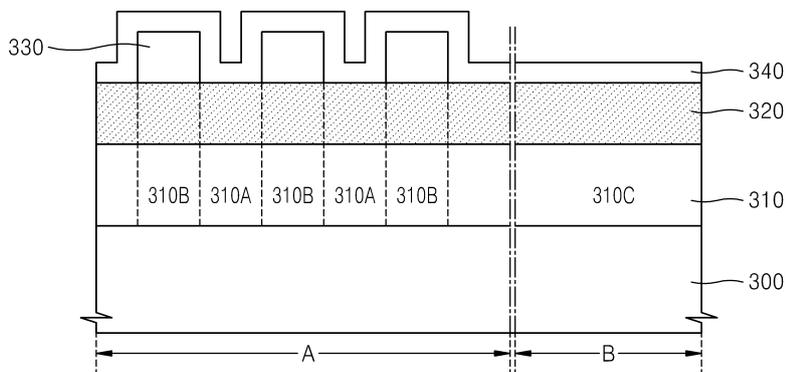
도면3



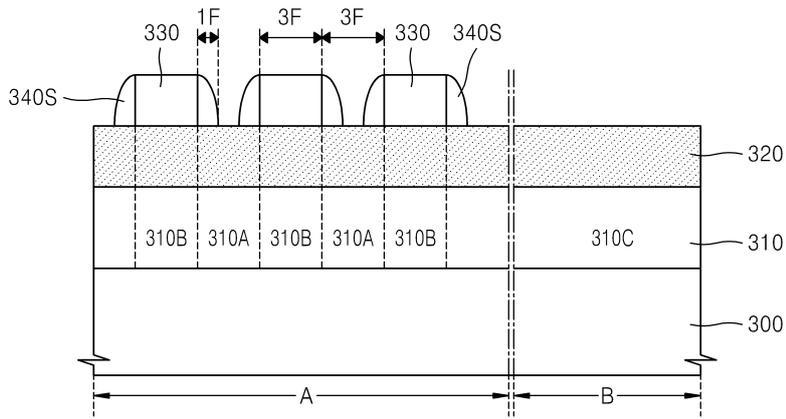
도면4a



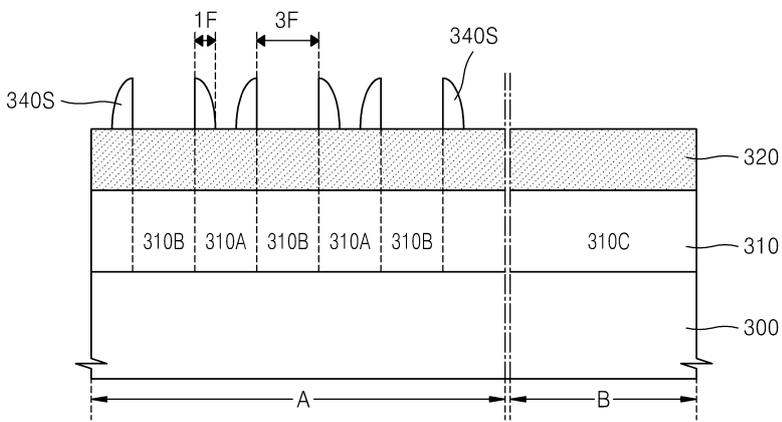
도면4b



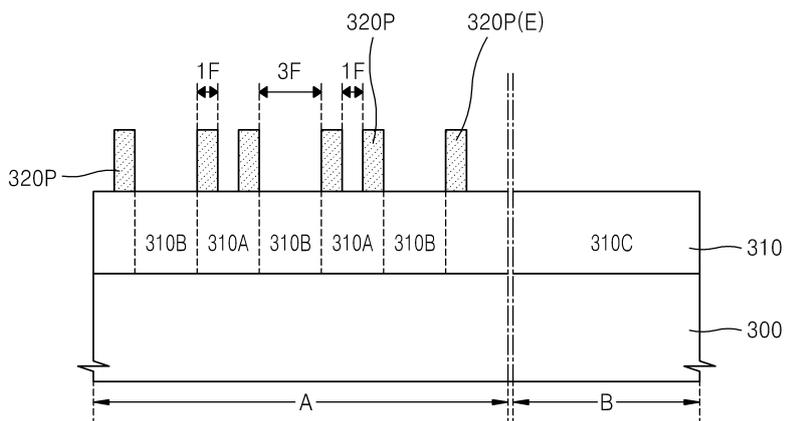
도면4c



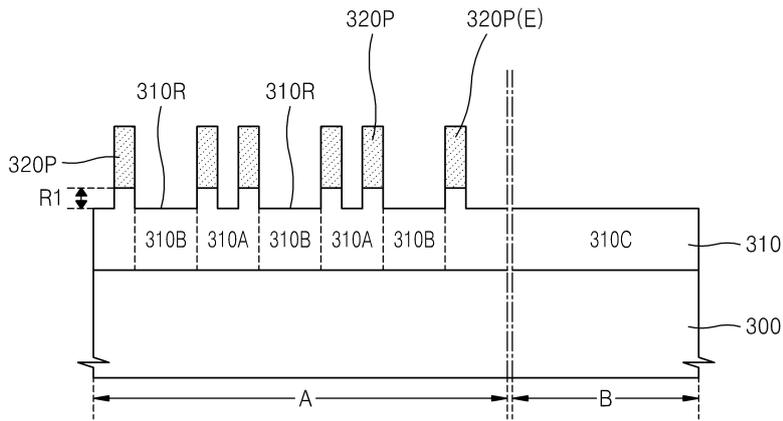
도면4d



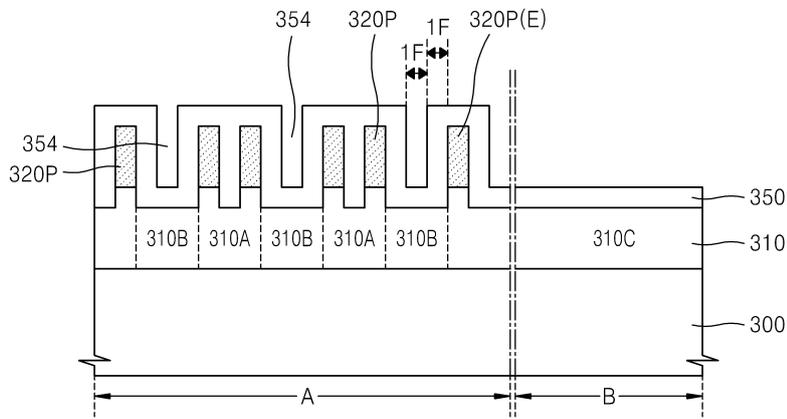
도면4e



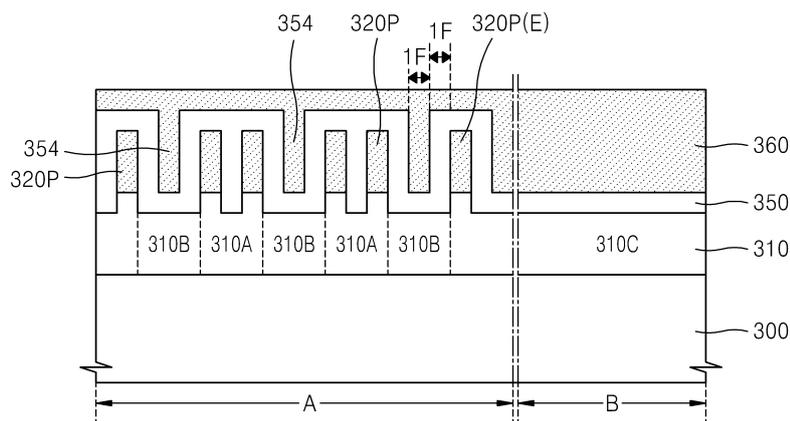
도면4f



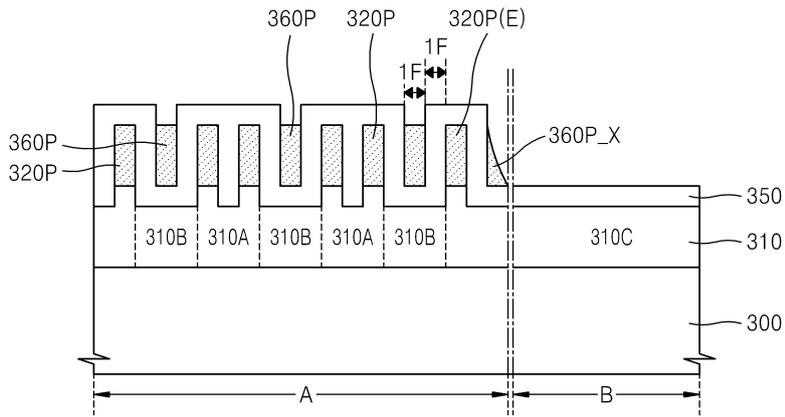
도면4g



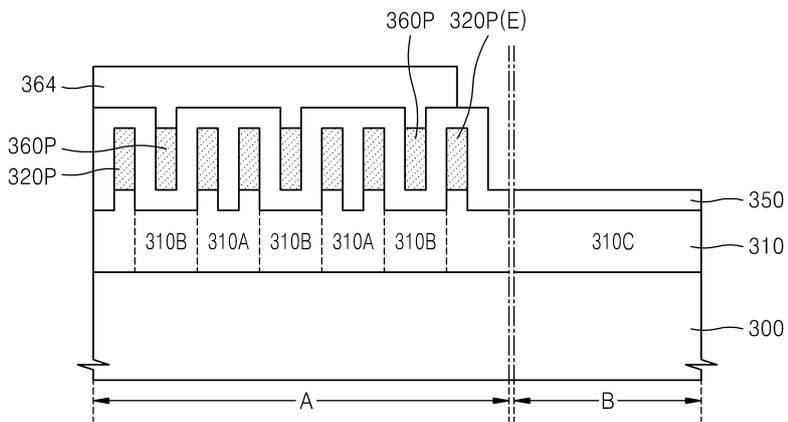
도면4h



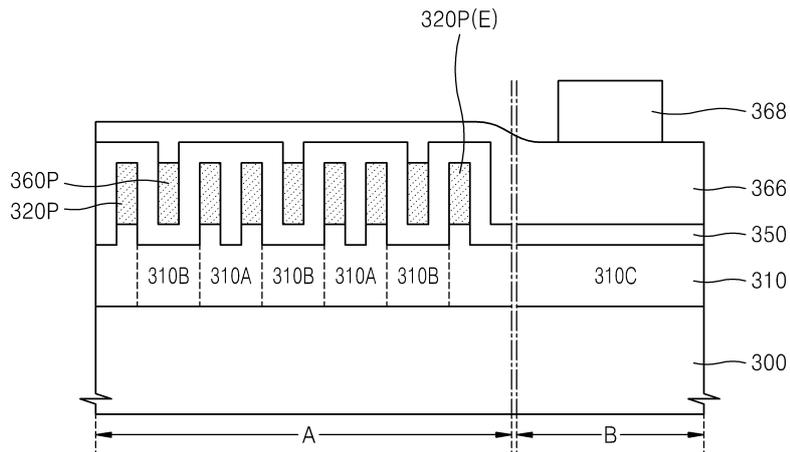
도면4i



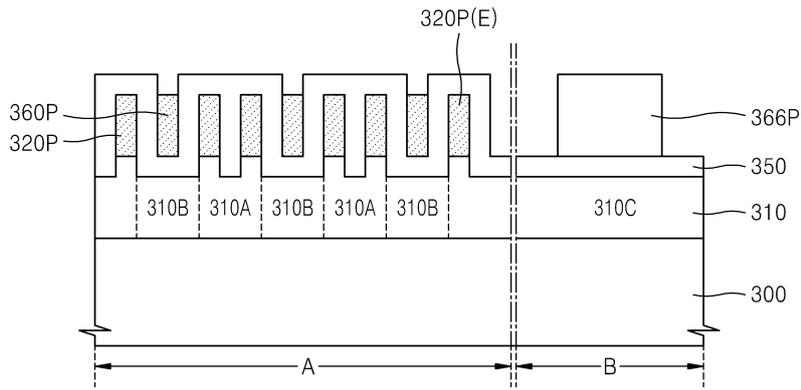
도면4j



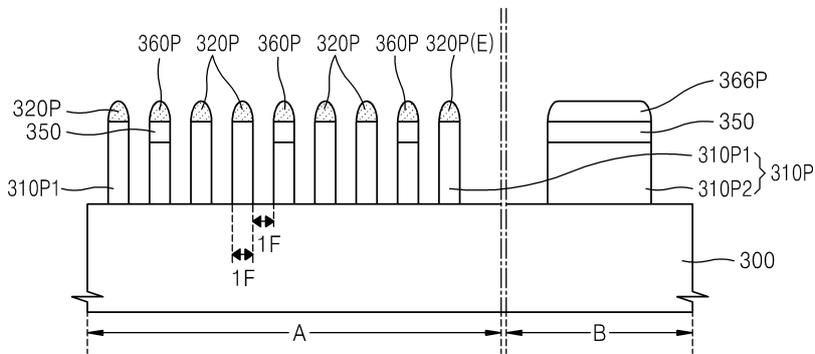
도면4k



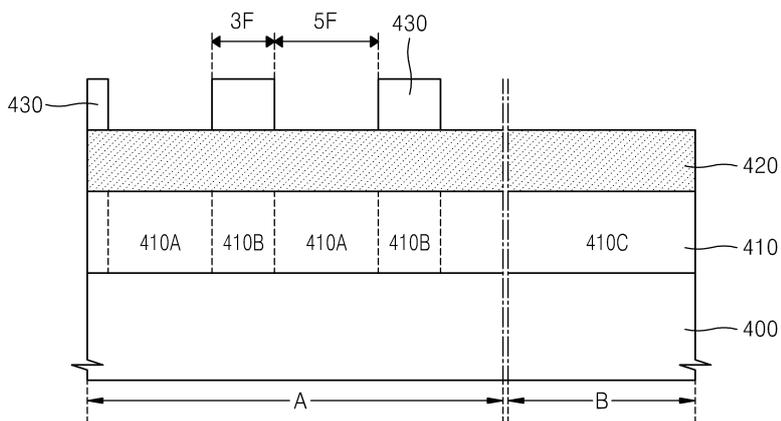
도면41



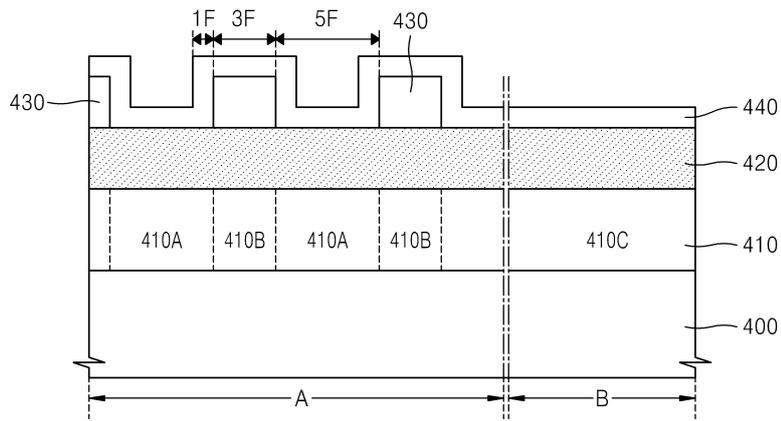
도면4a



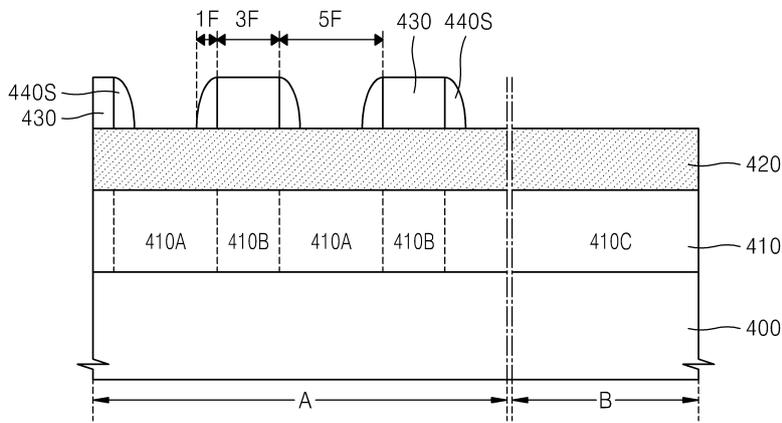
도면5a



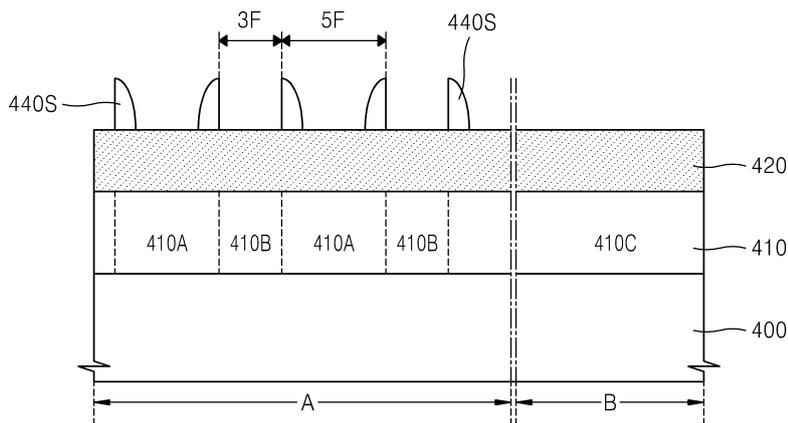
도면5b



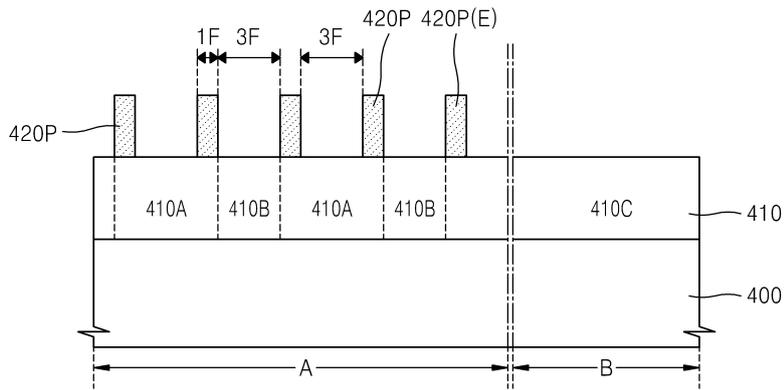
도면5c



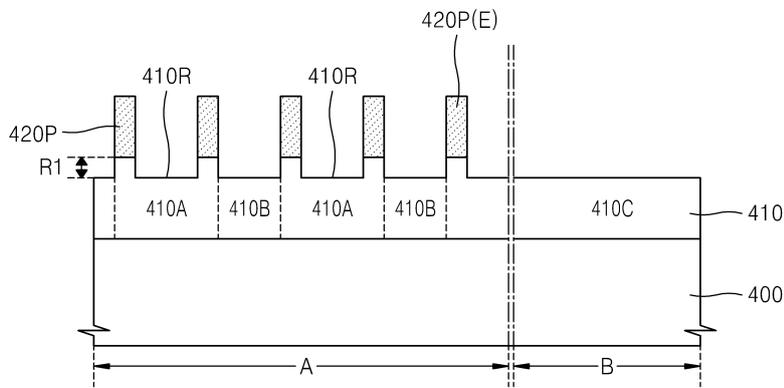
도면5d



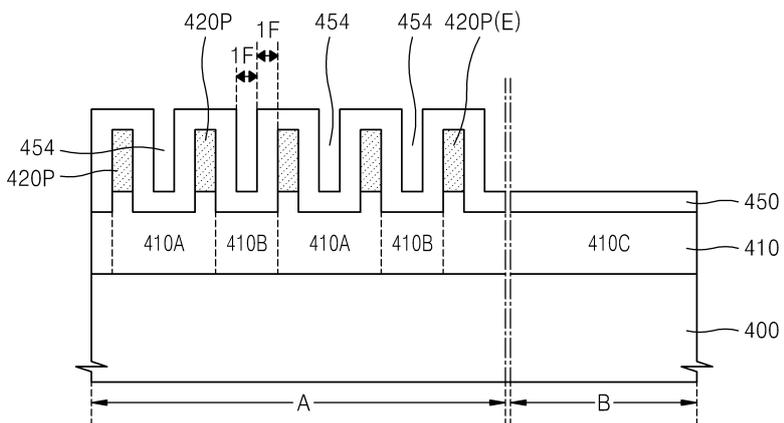
도면5e



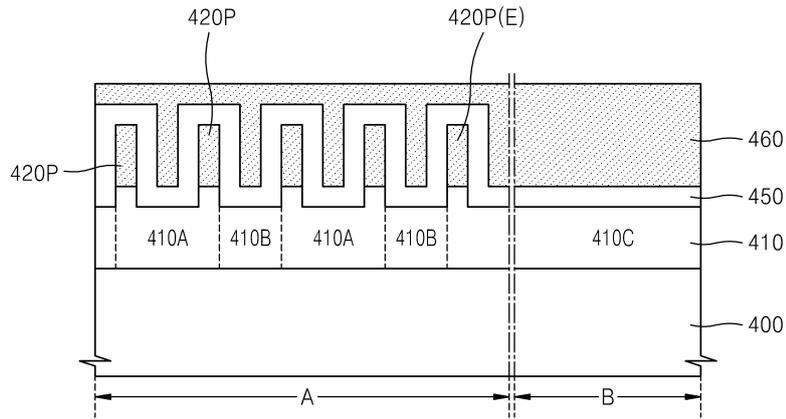
도면5f



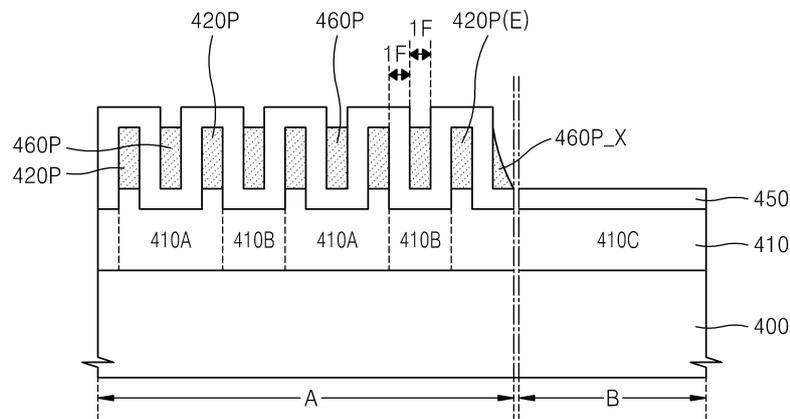
도면5g



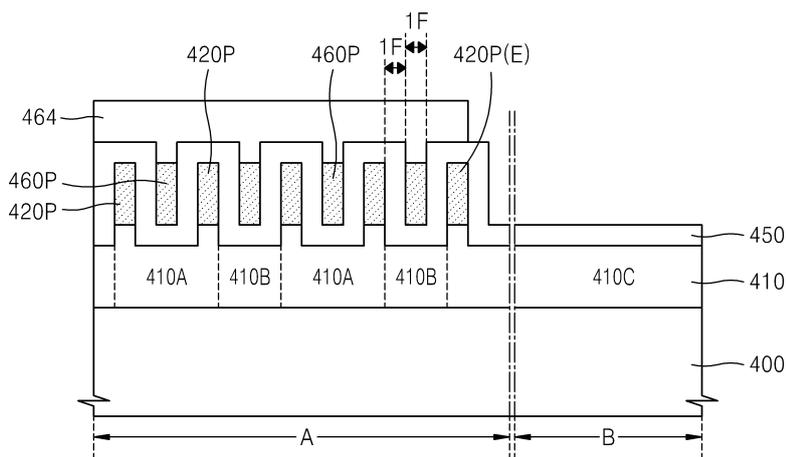
도면5h



도면5i

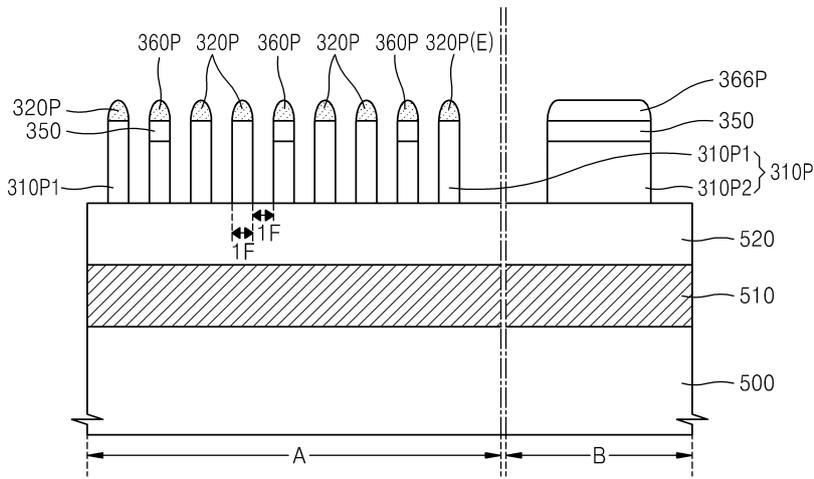


도면5j

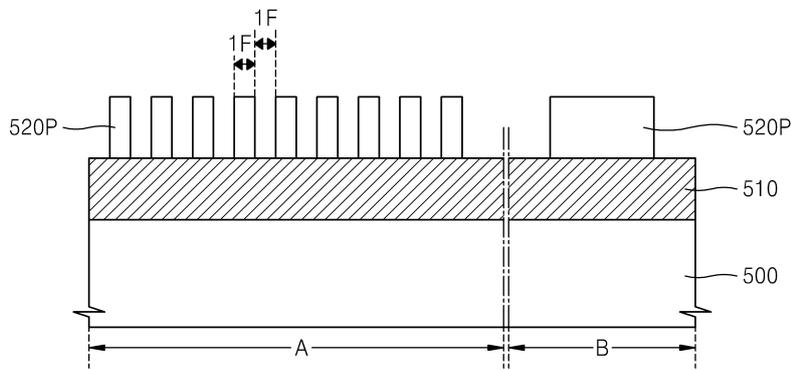




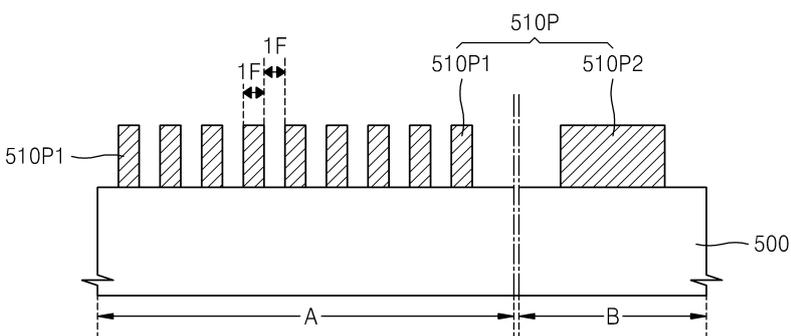
도면6b



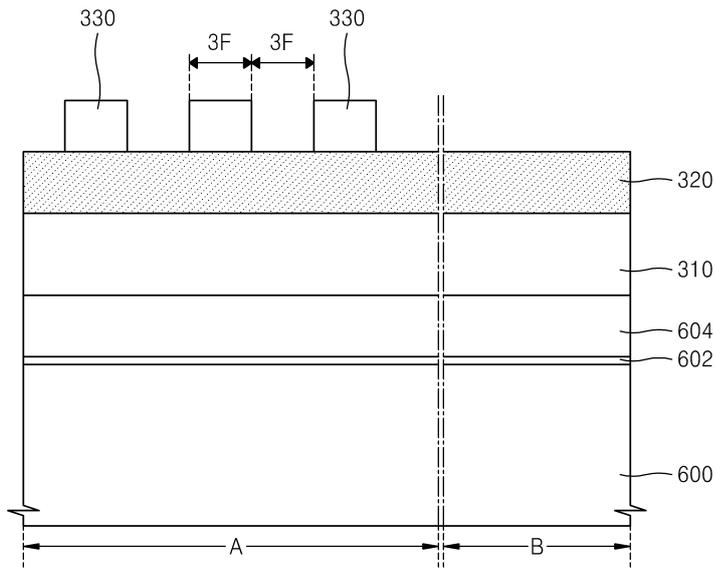
도면6c



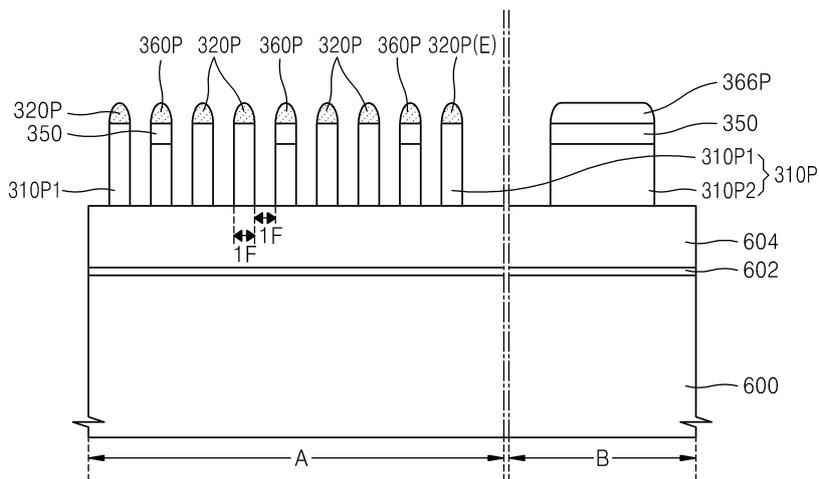
도면6d



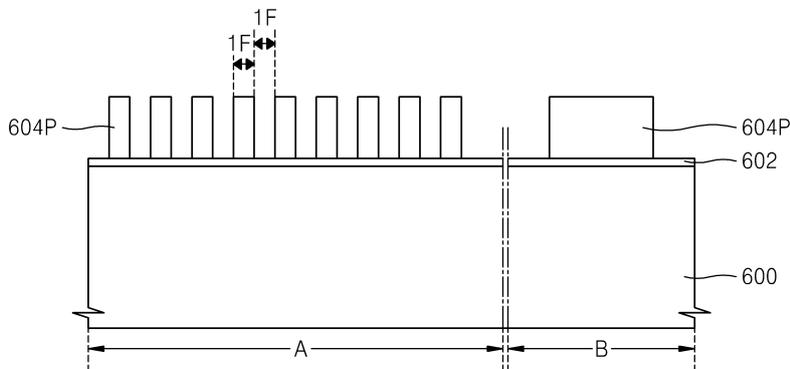
도면7a



도면7b

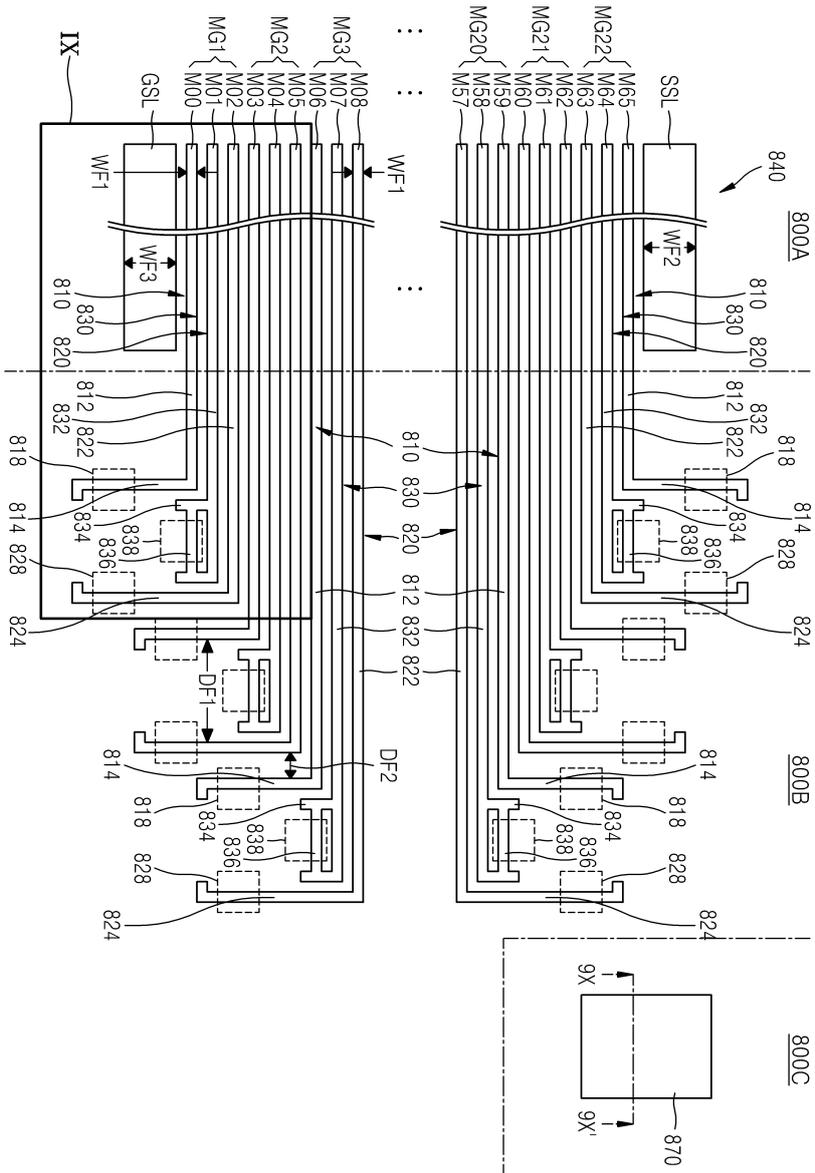


도면7c

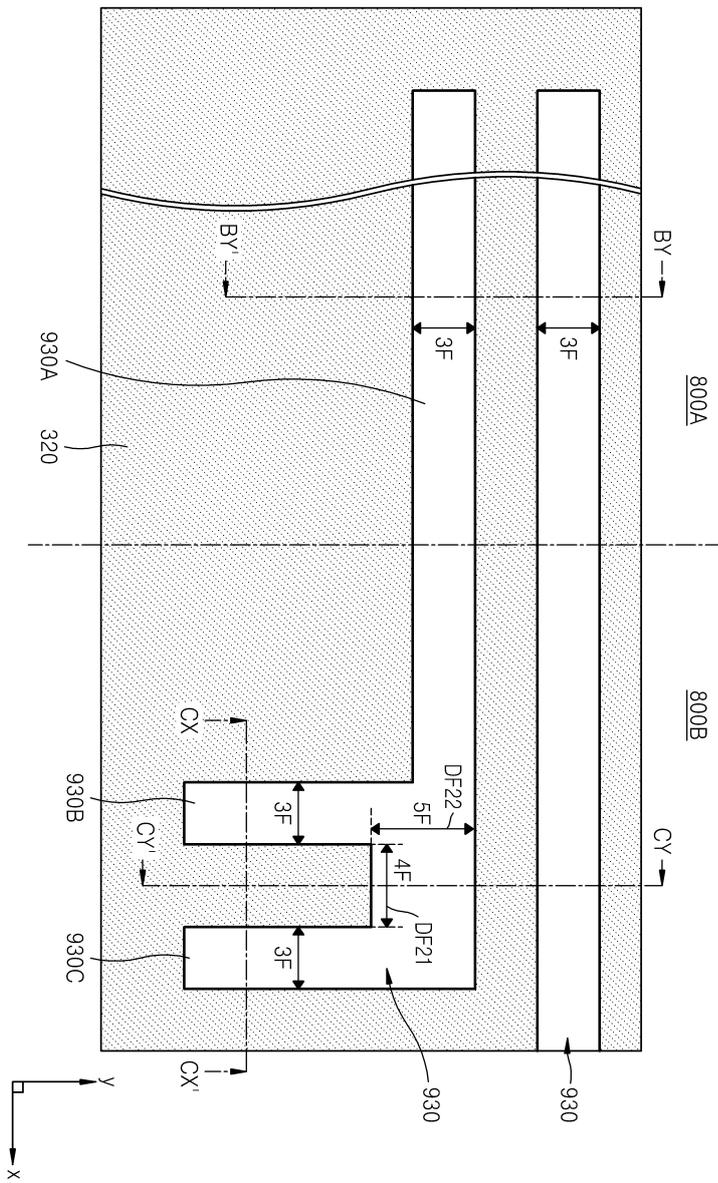




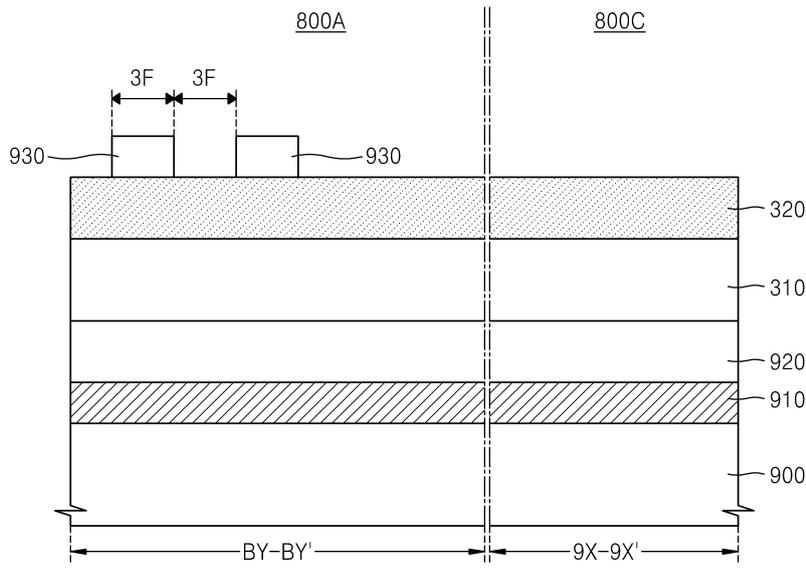
도면8



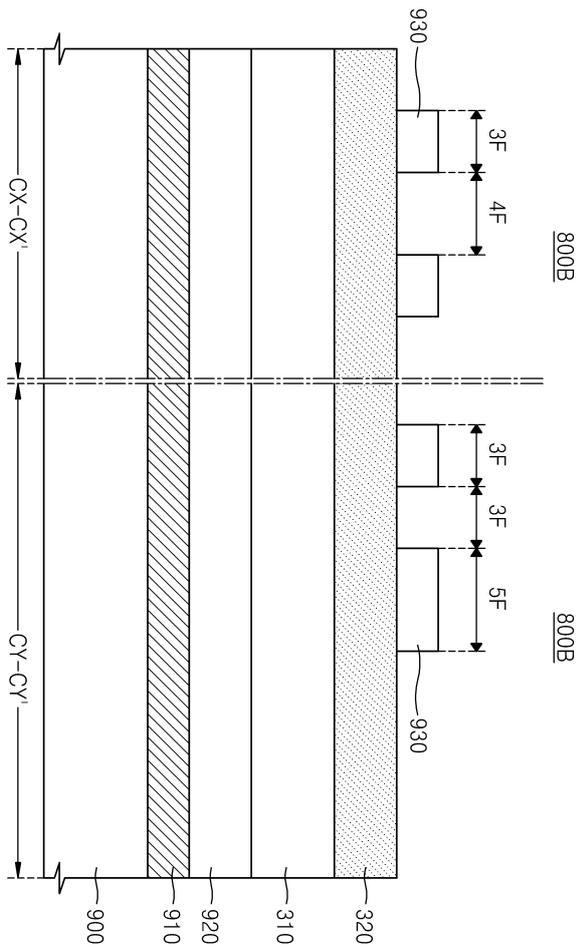
도면9a



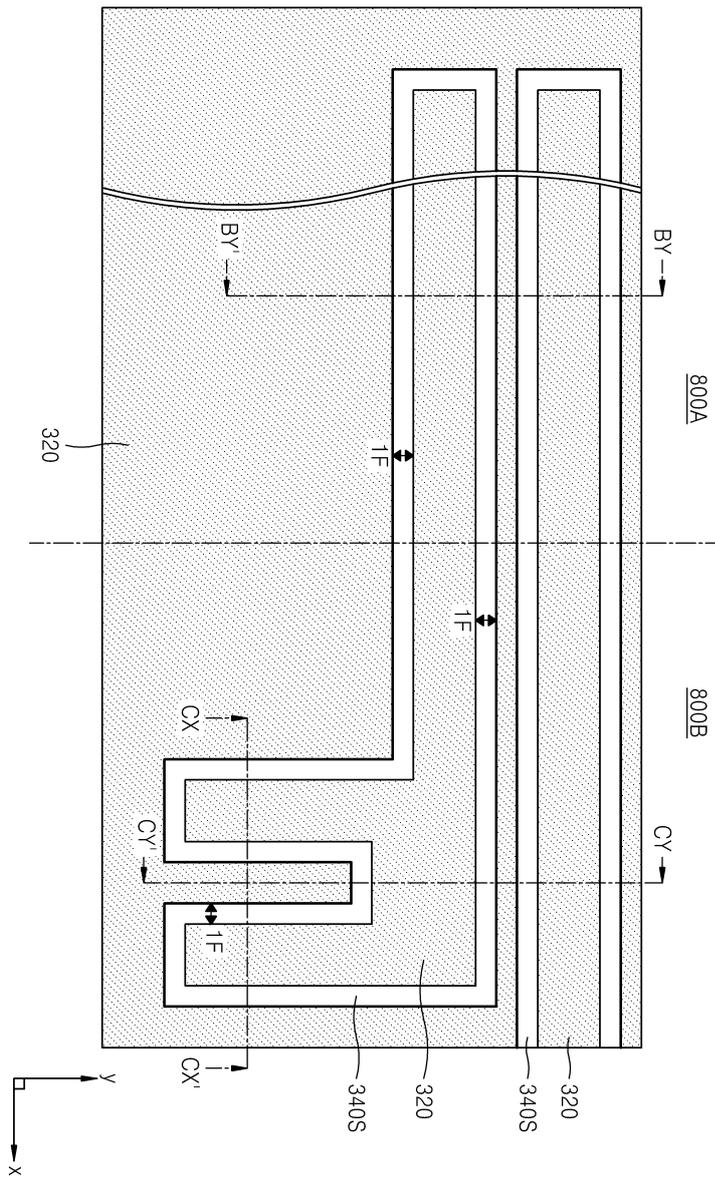
도면9b



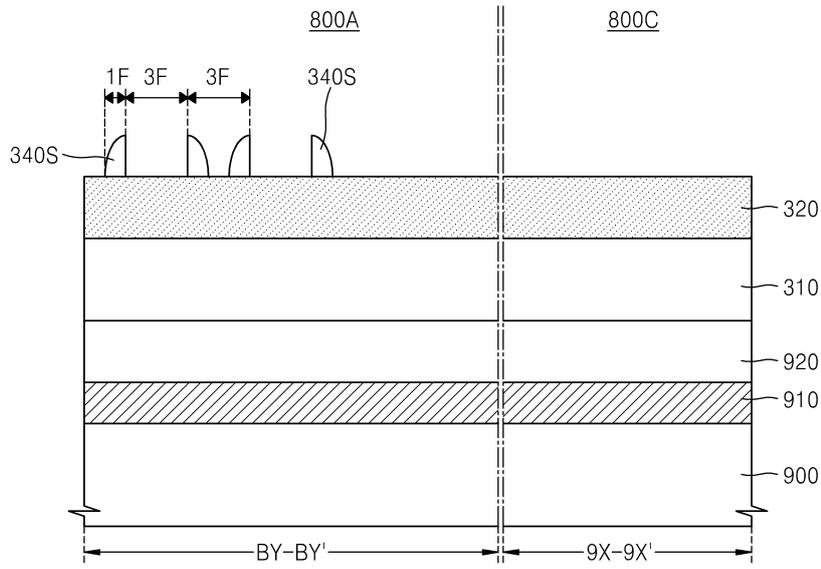
도면9c



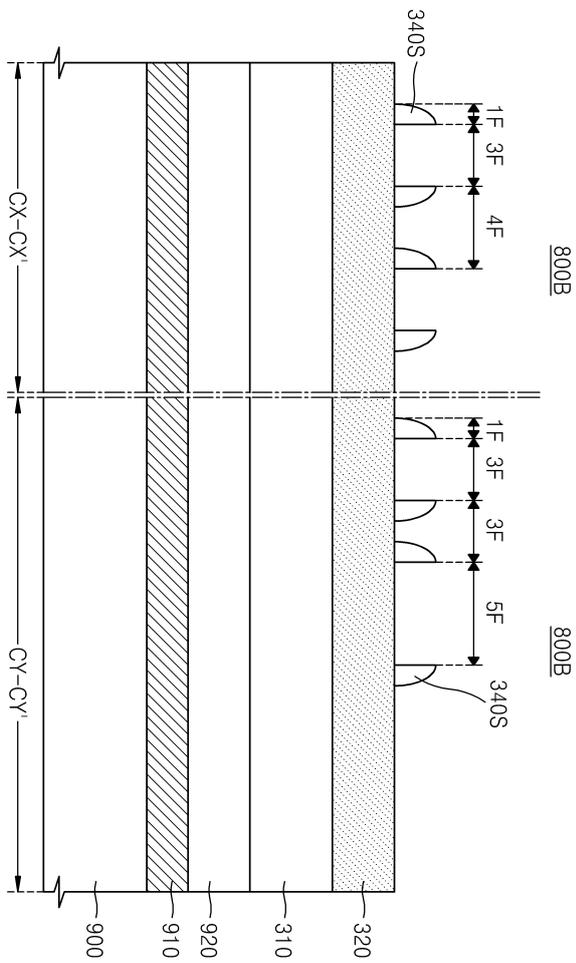
도면10a



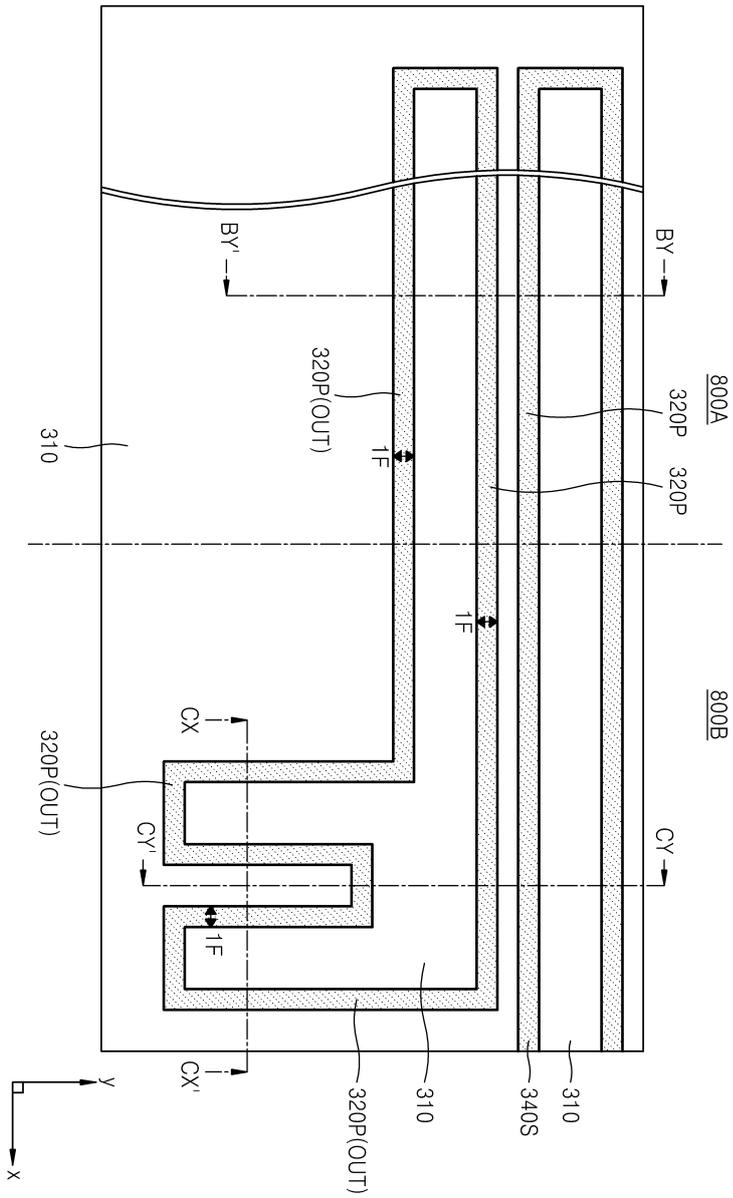
도면10b



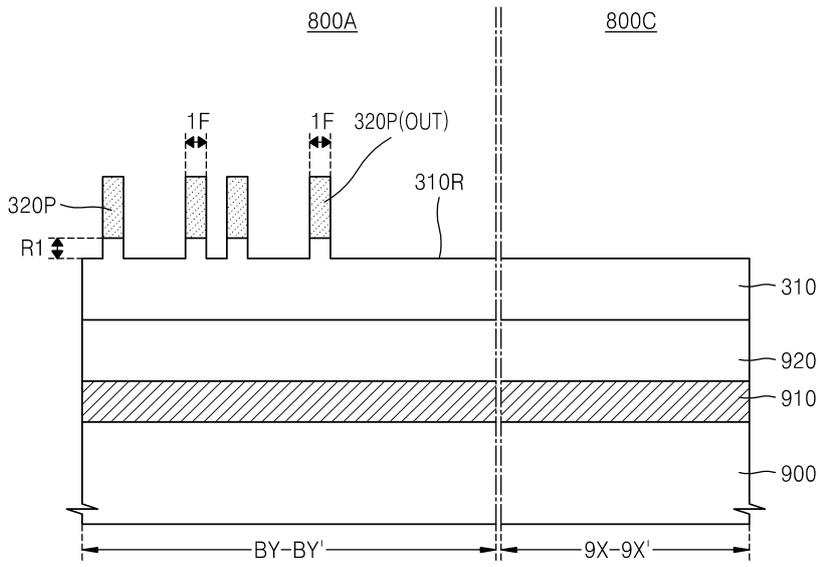
도면10c



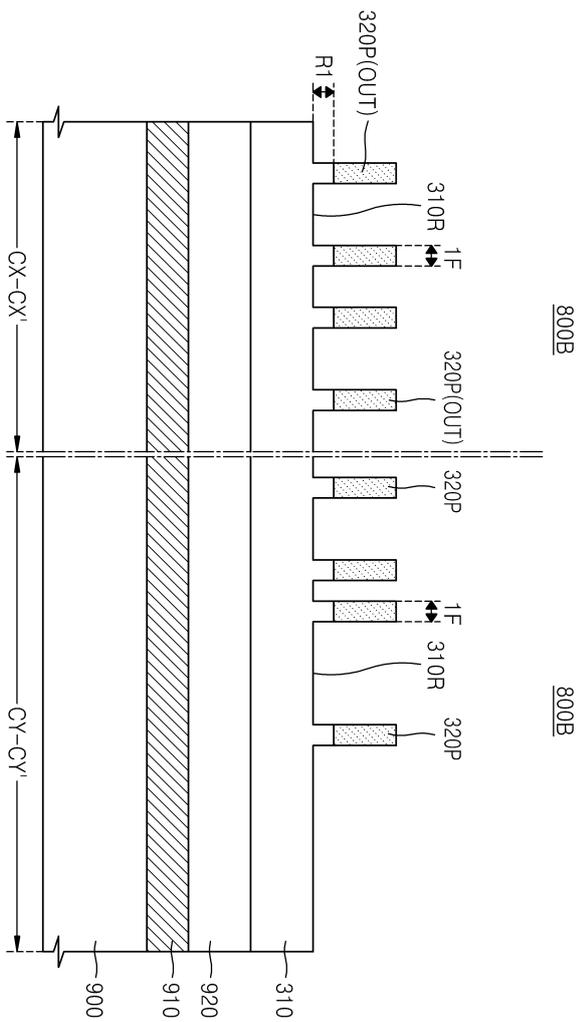
도면11a



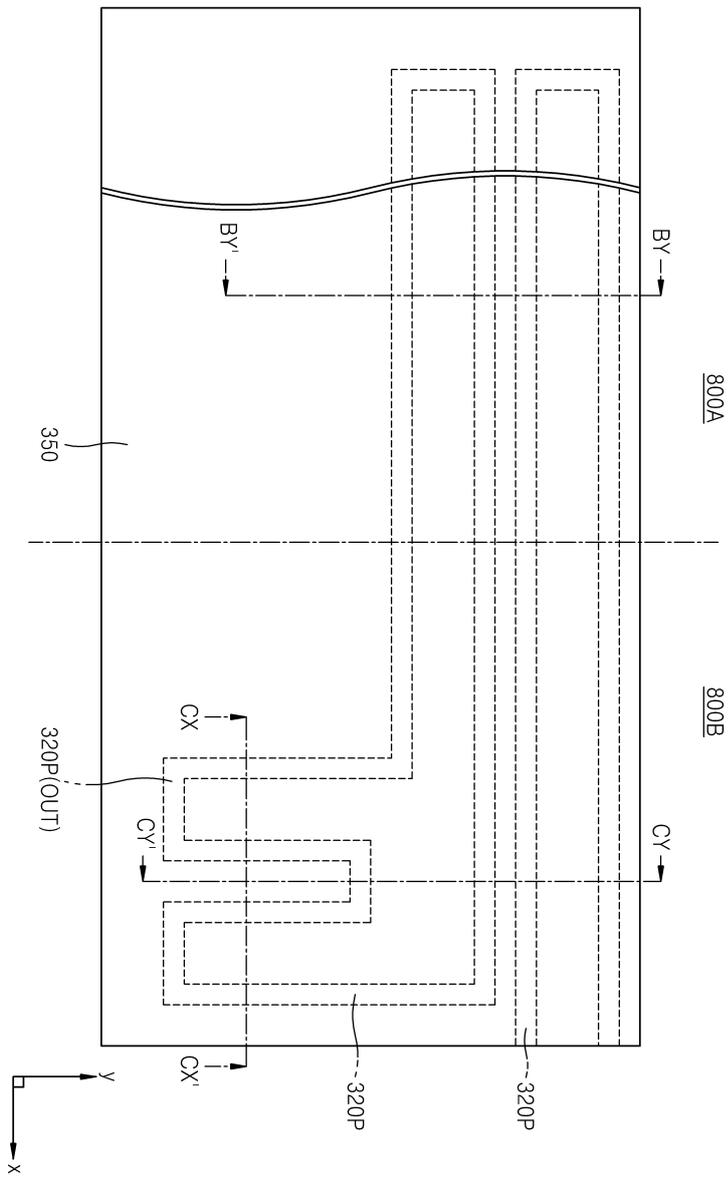
도면11b



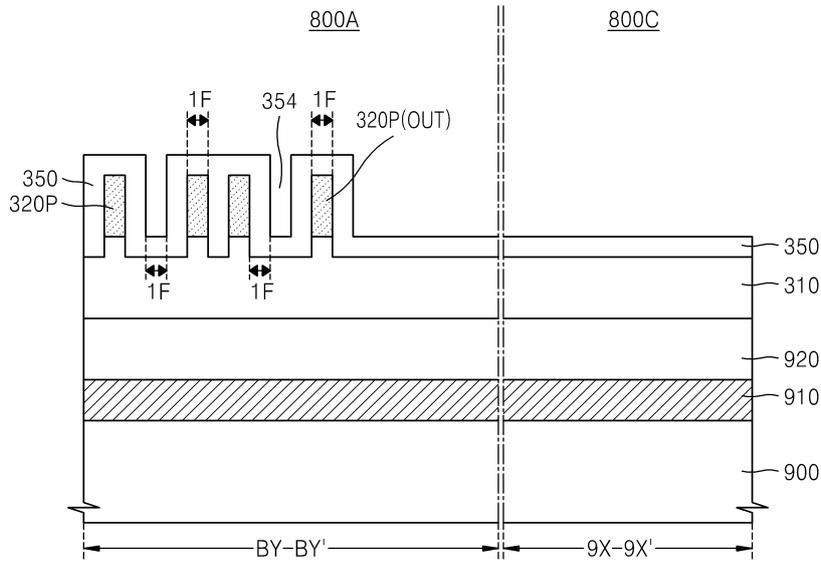
도면11c



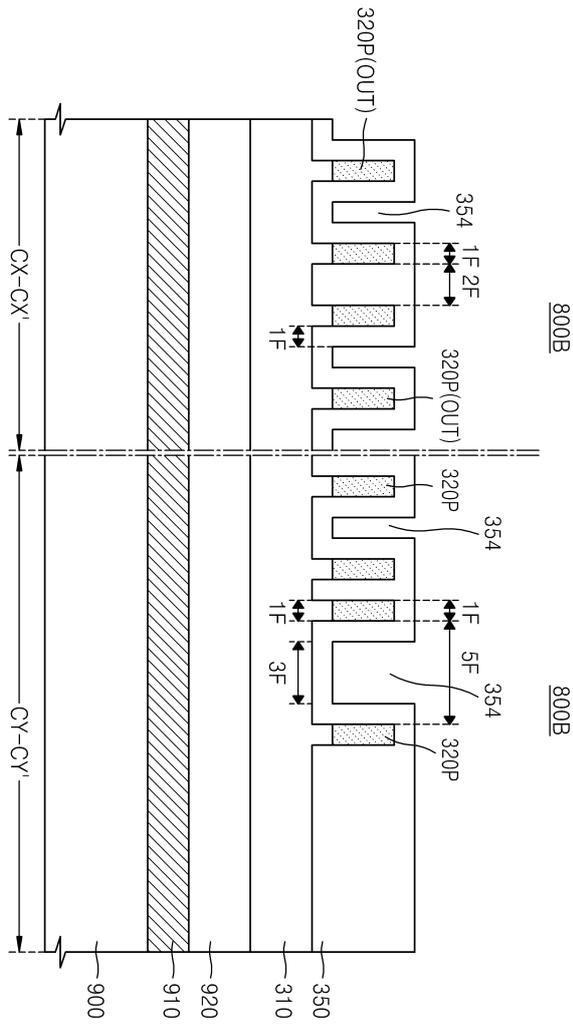
도면12a



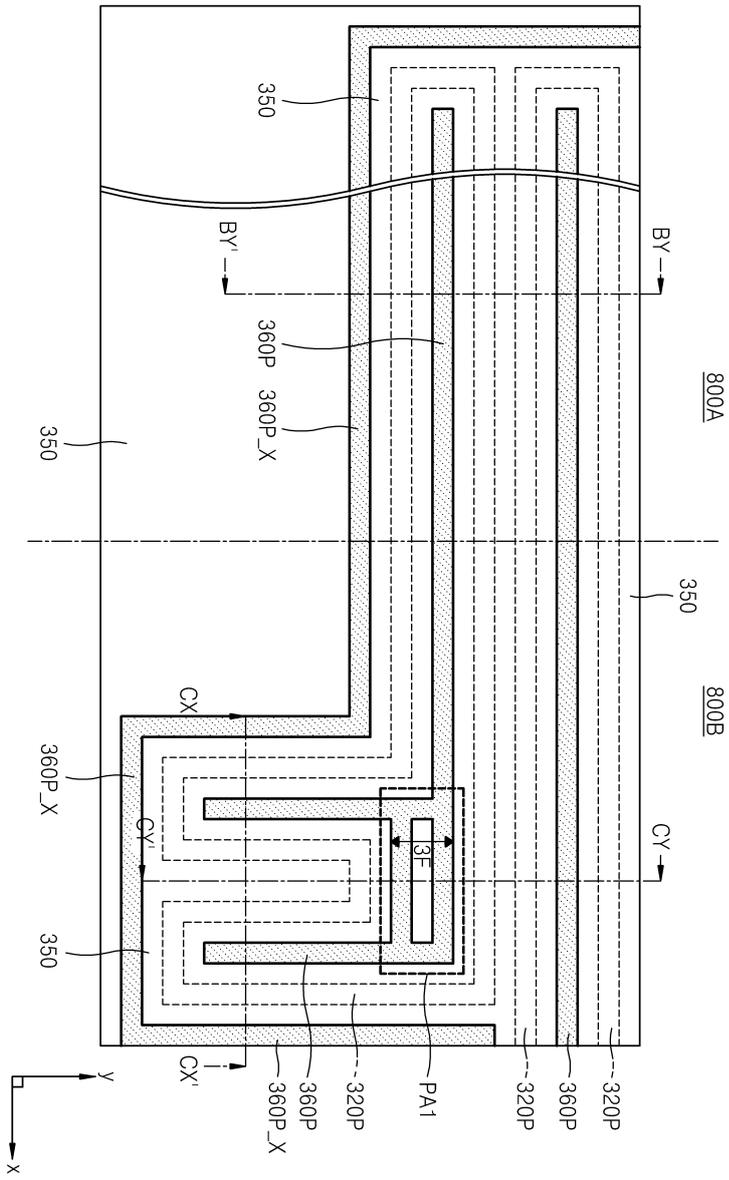
도면12b



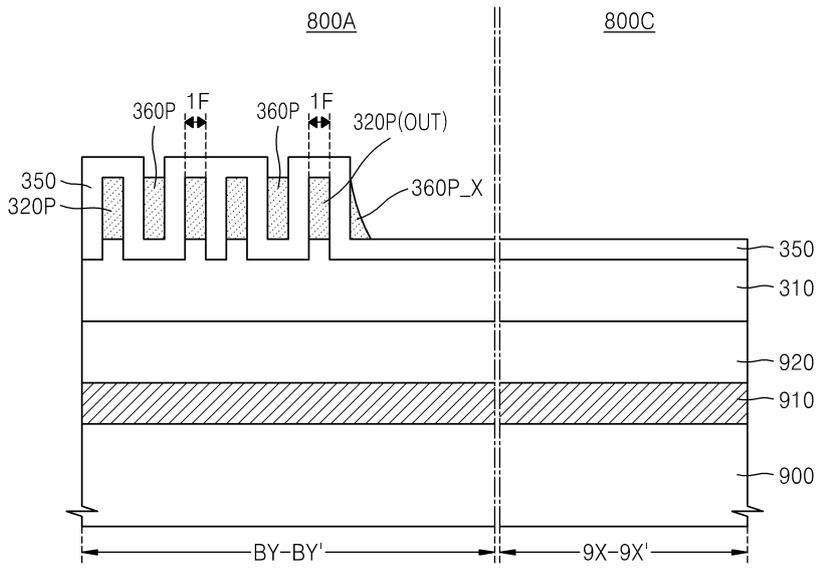
도면12c



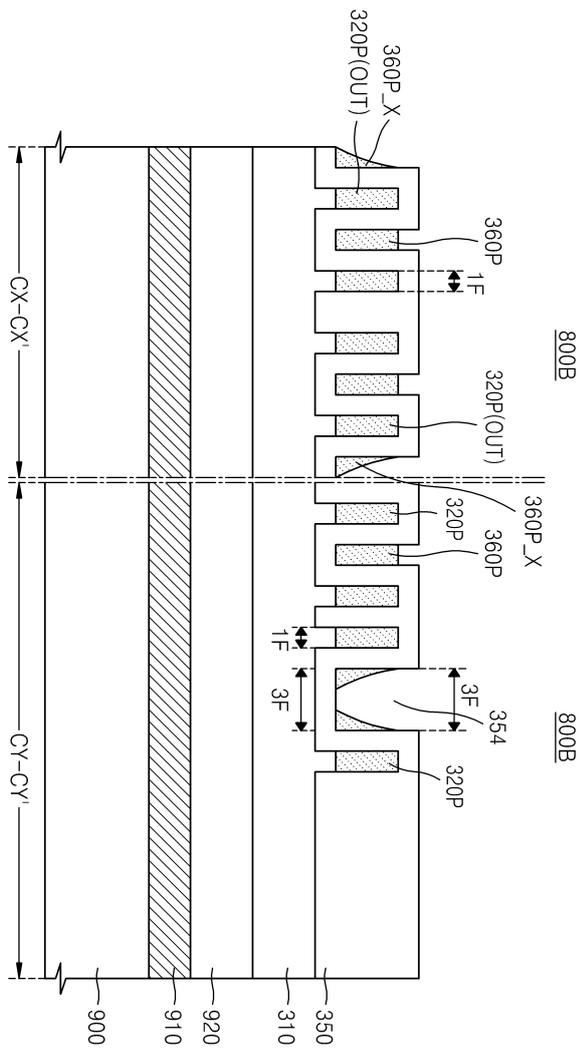
도면13a



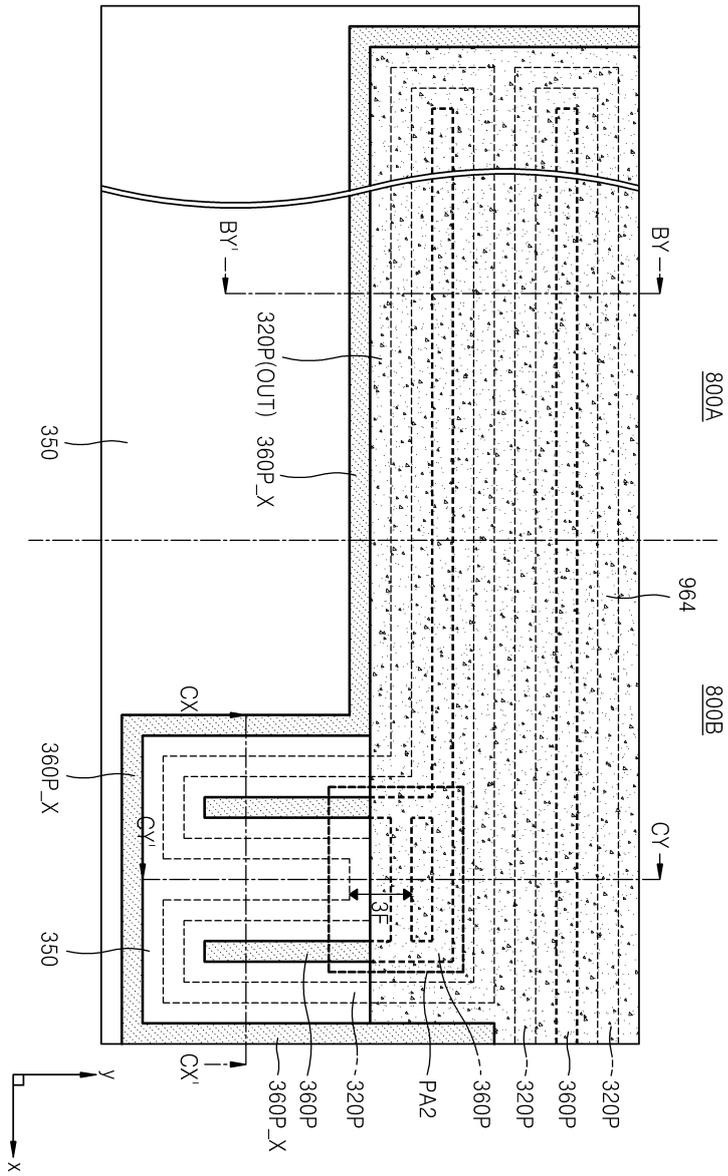
도면13b



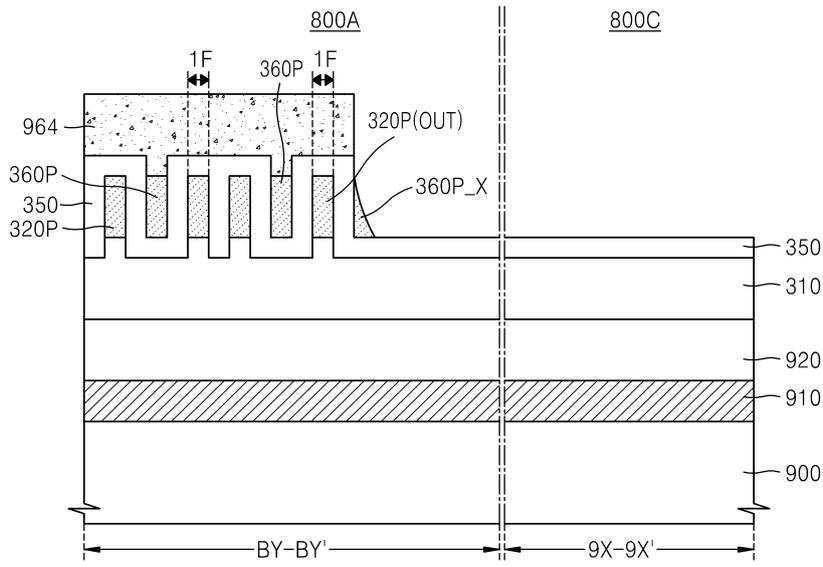
도면13c



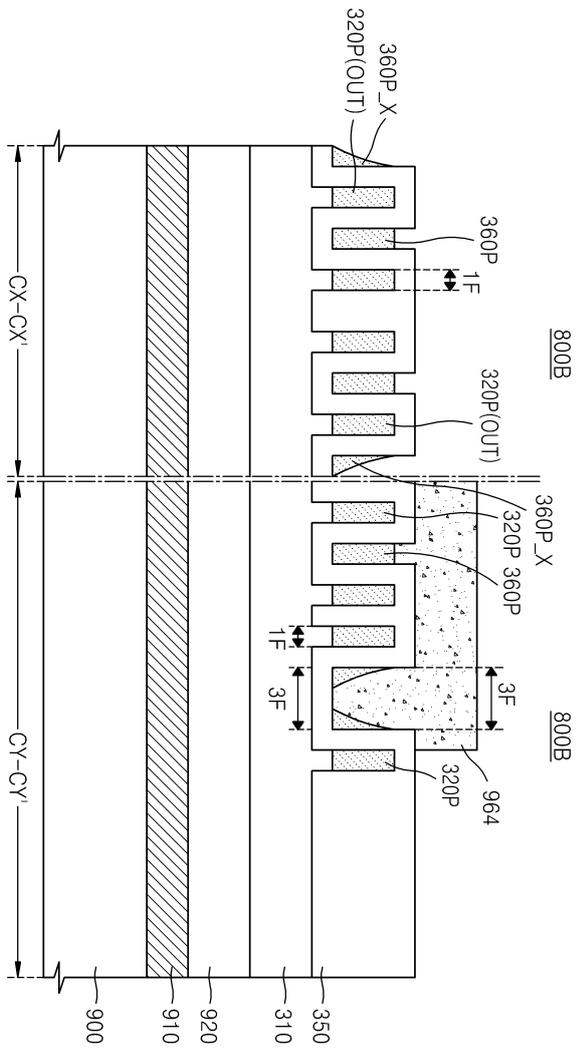
도면14a



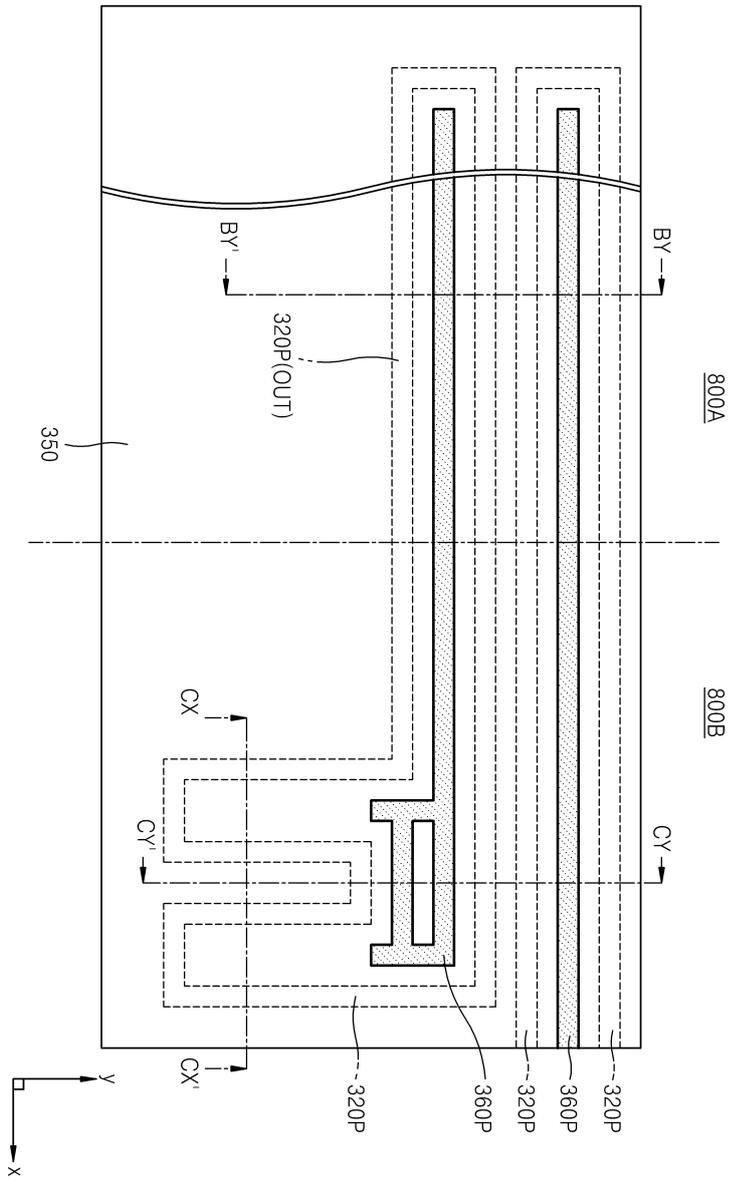
도면14b



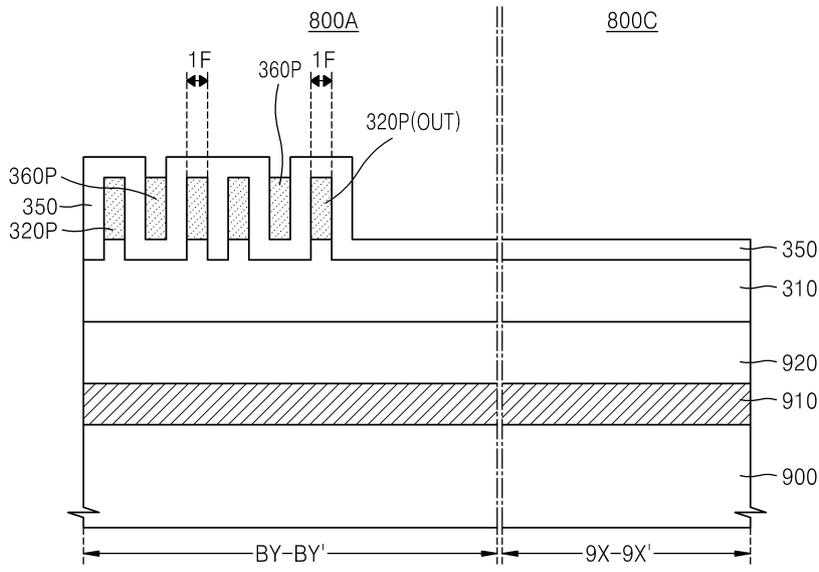
도면14c



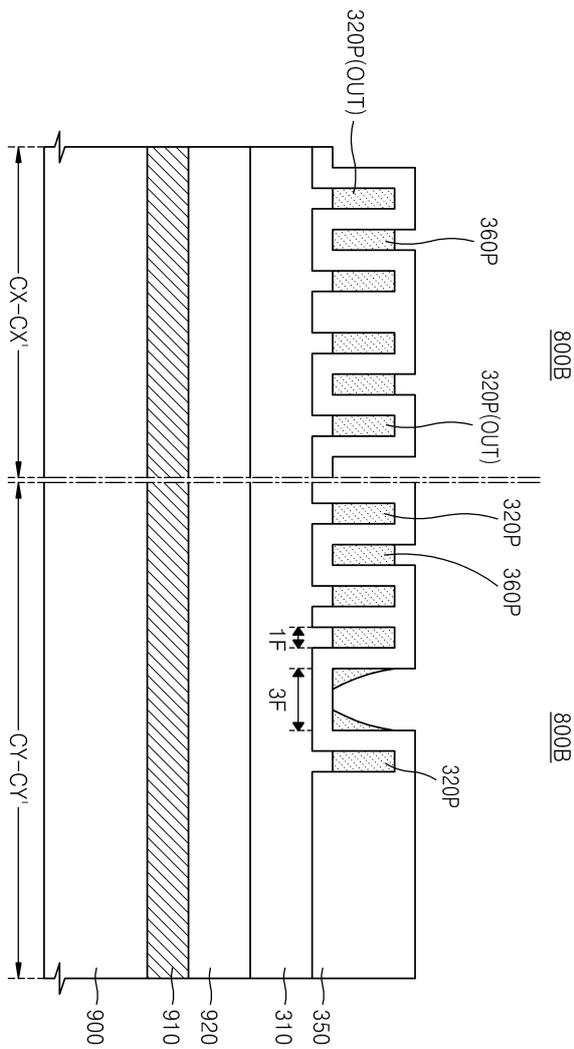
도면15a



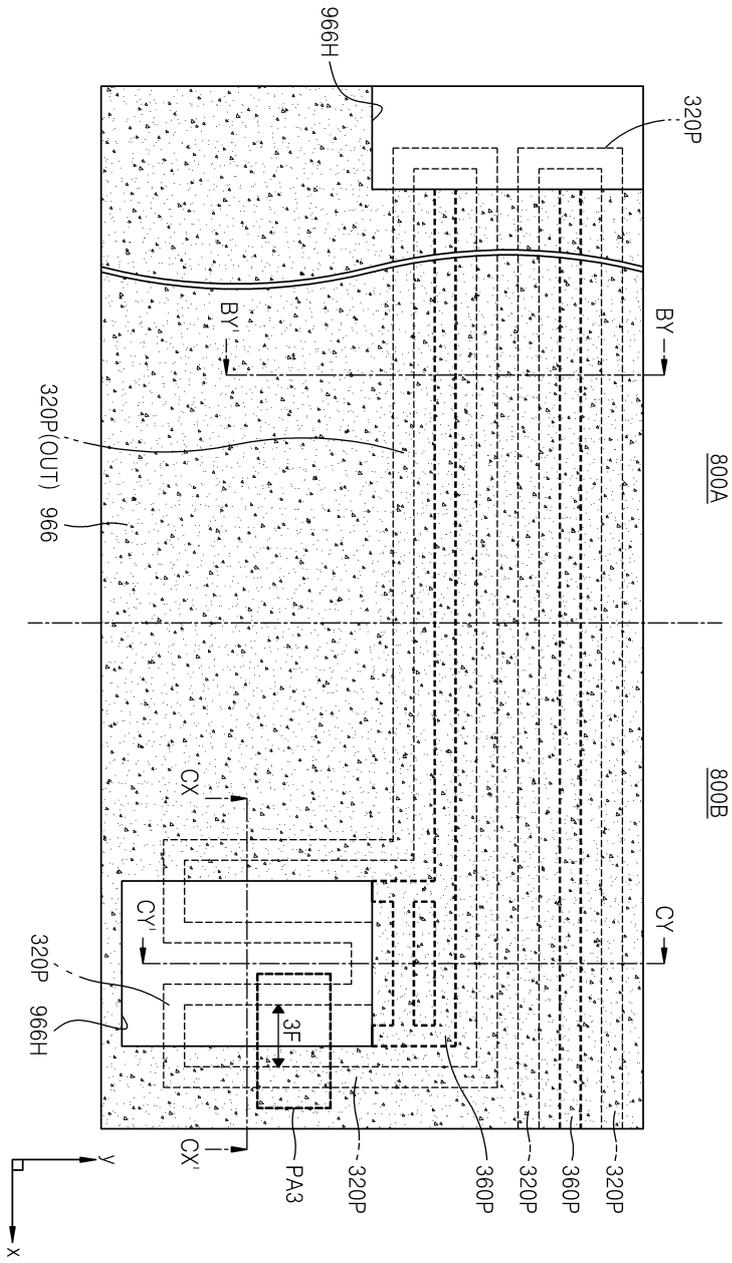
도면15b



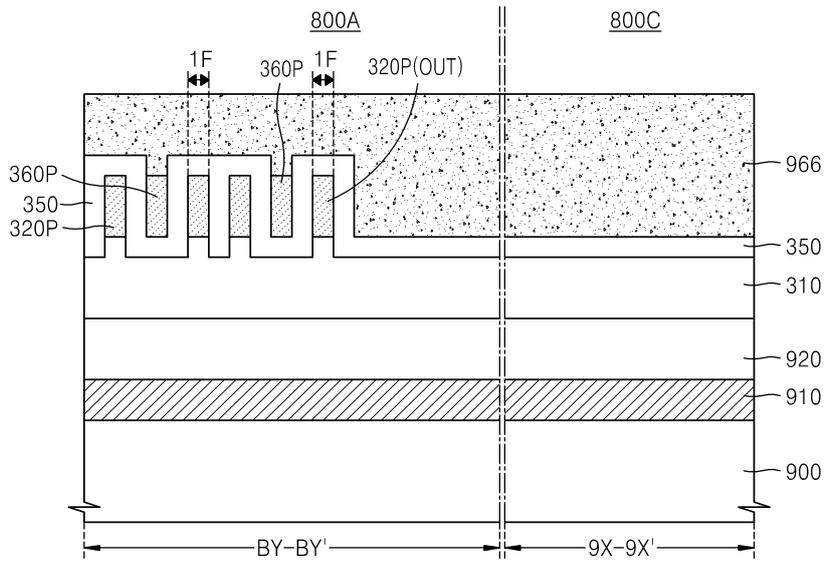
도면15c



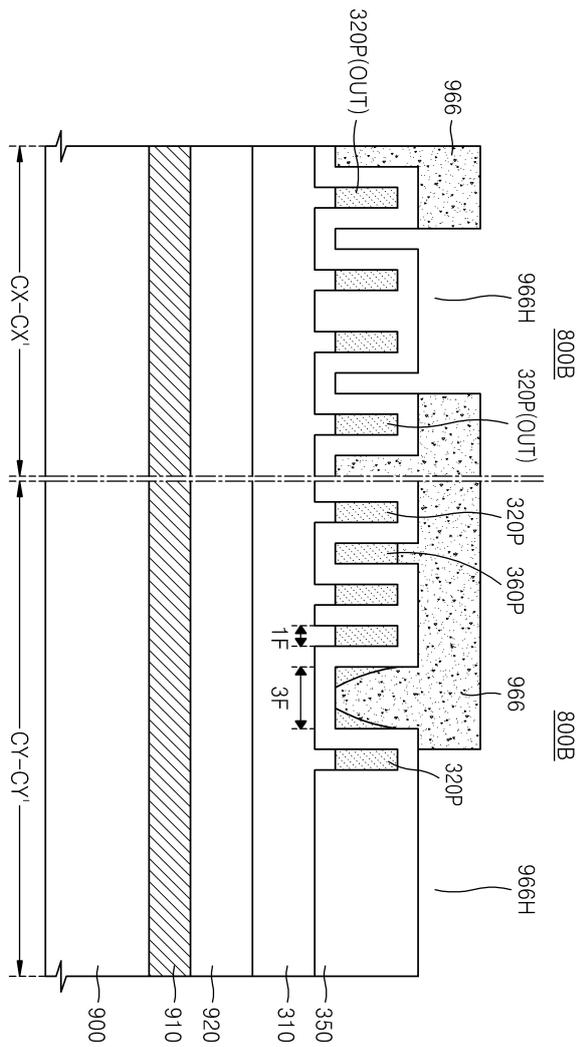
도면16a



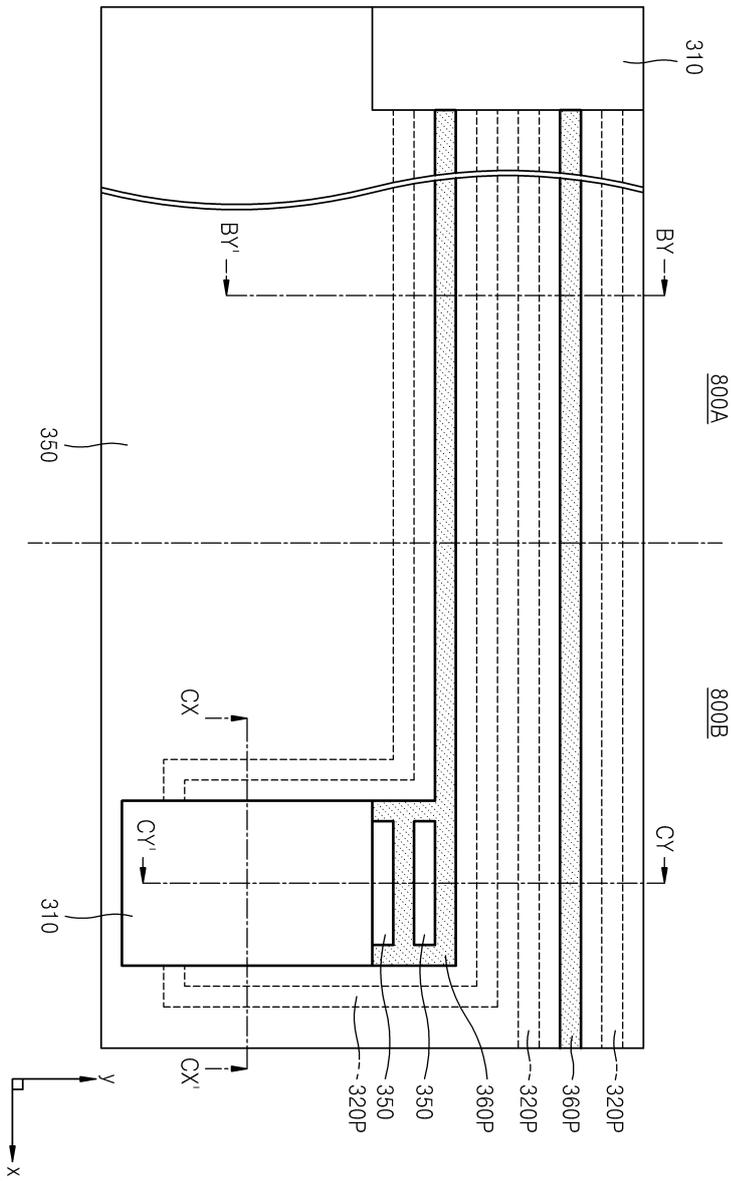
도면16b



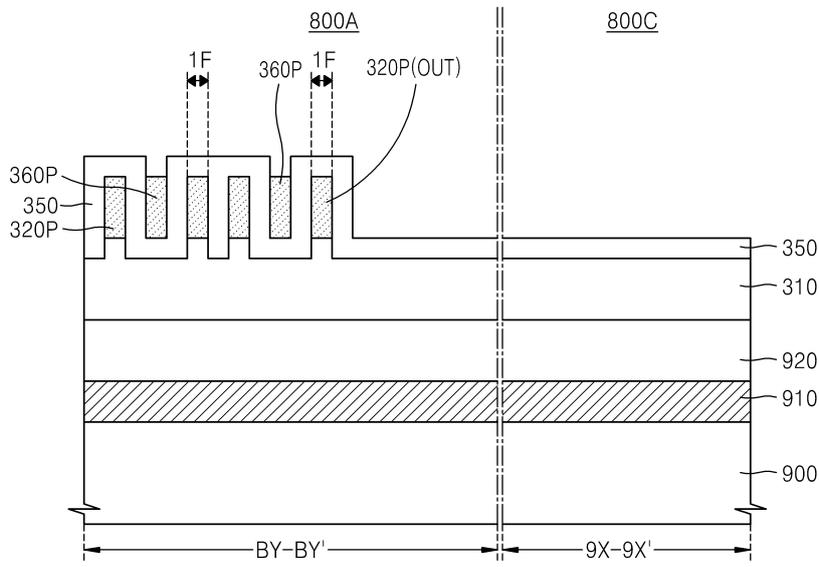
도면16c



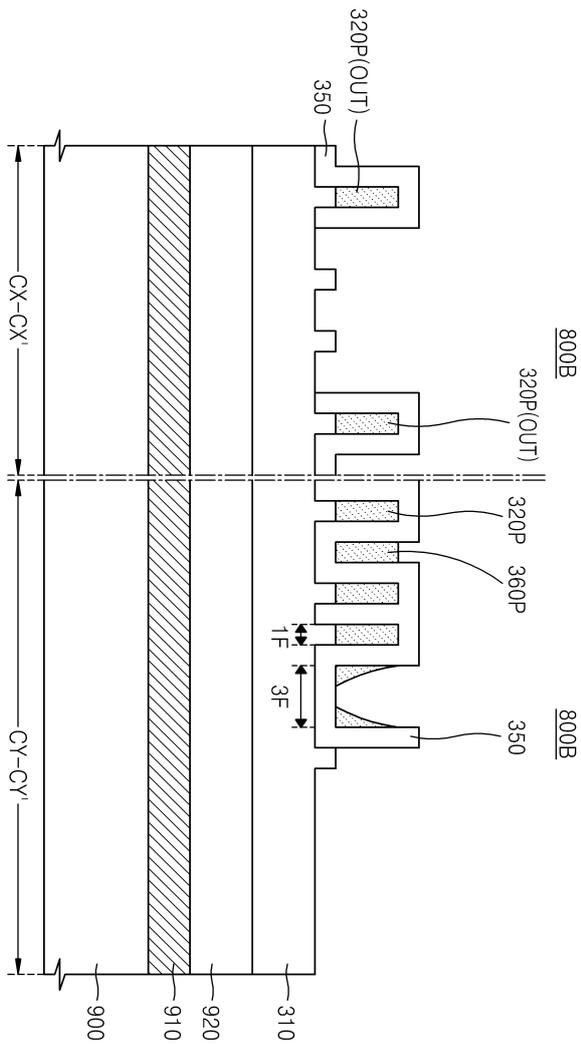
도면17a



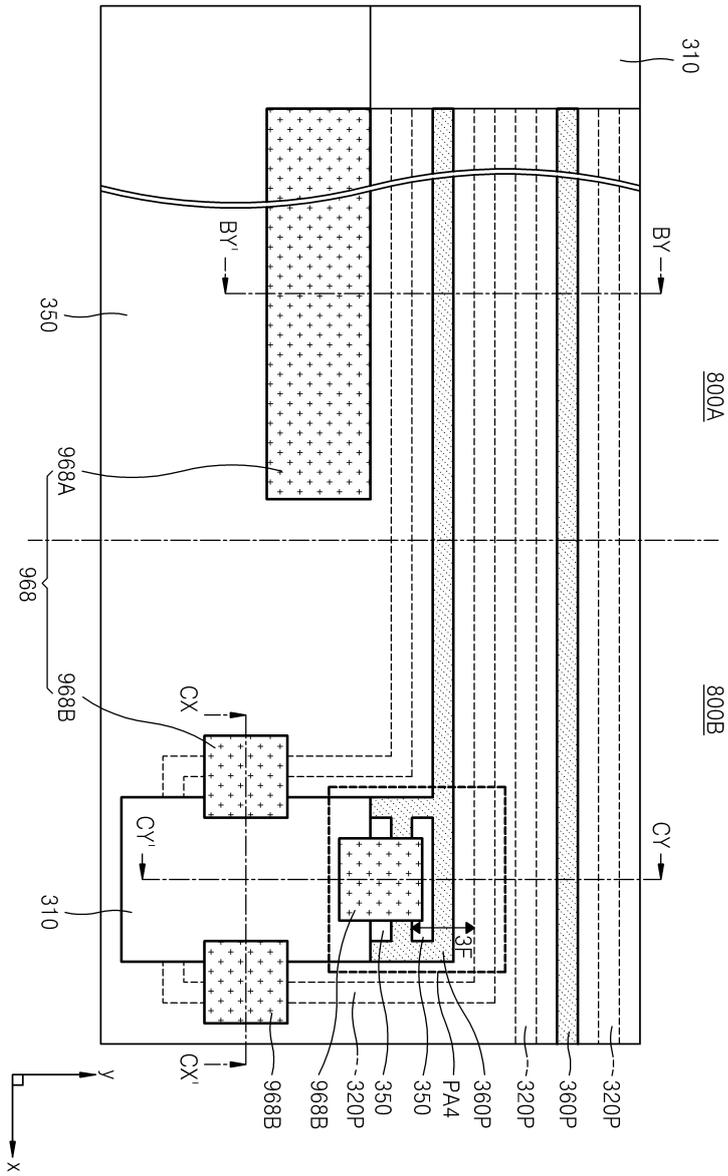
도면17b



도면17c

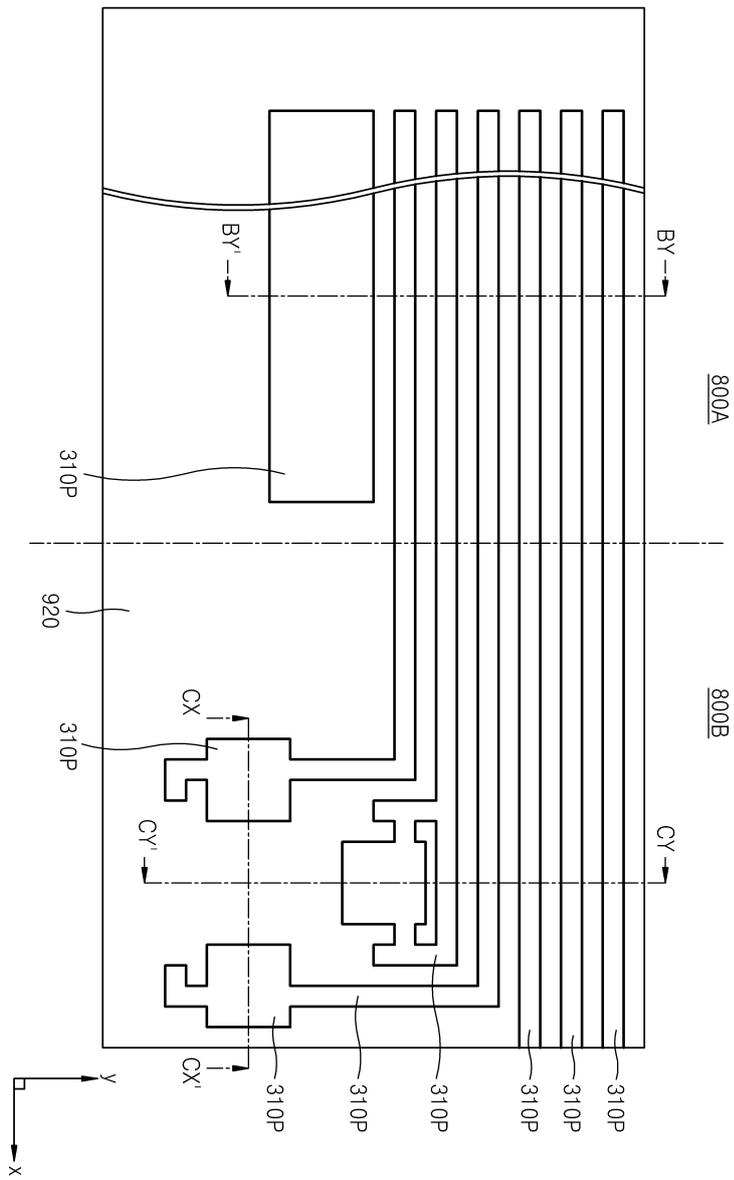


도면18a

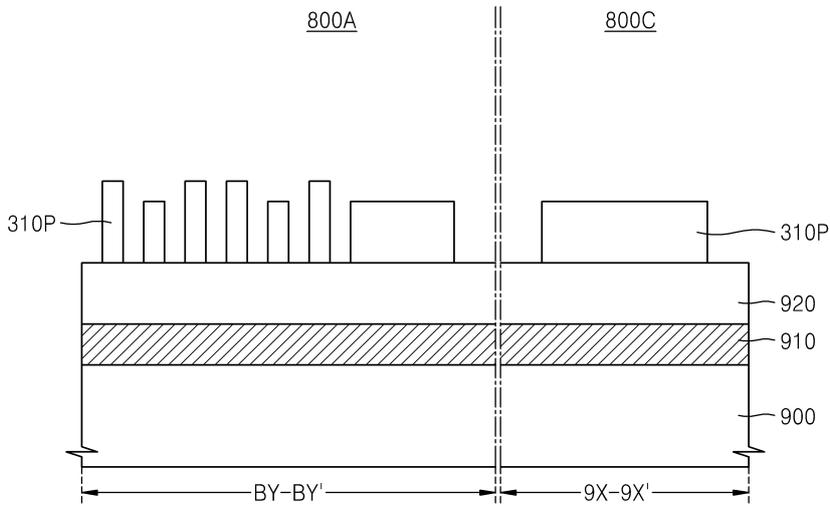




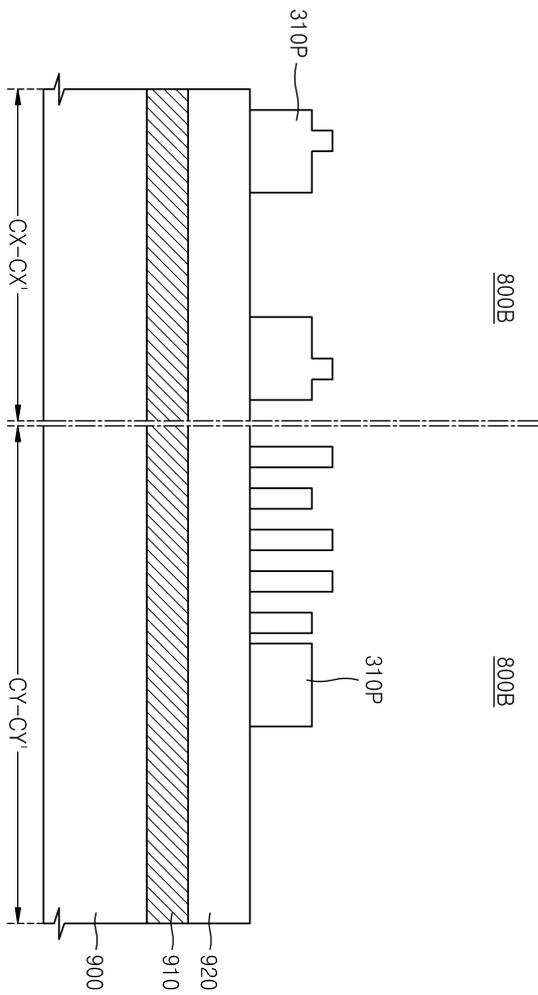
도면19a



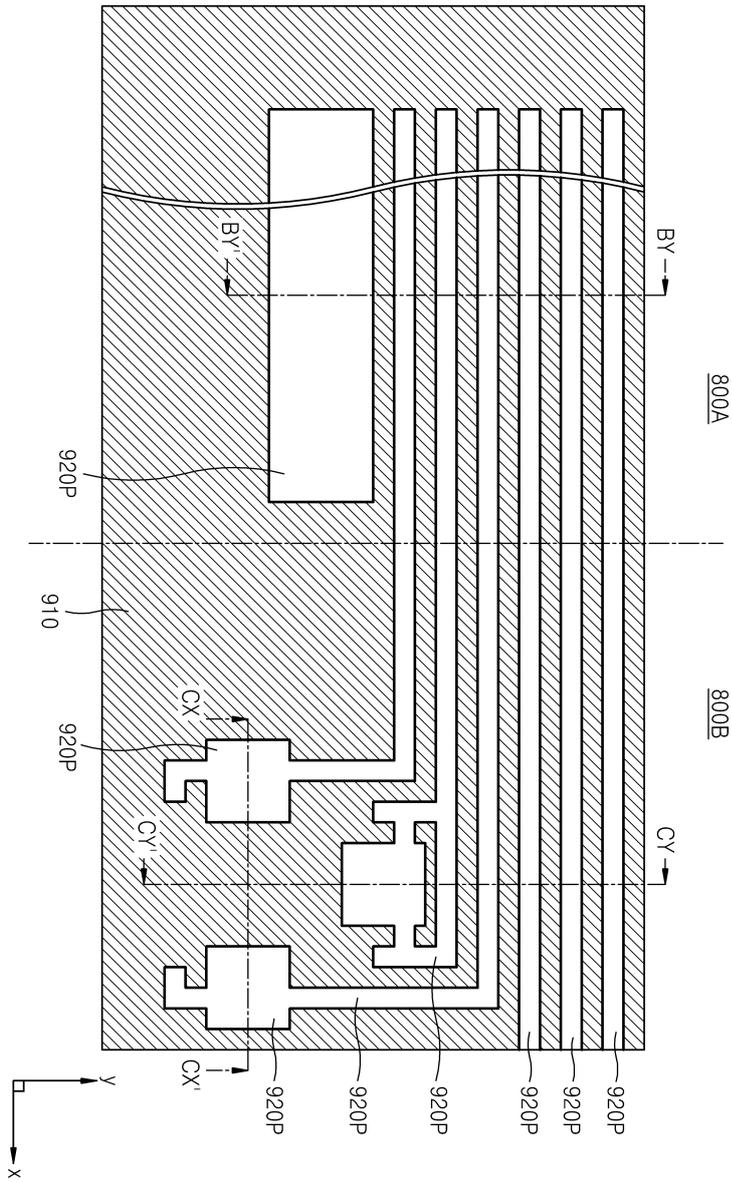
도면19b



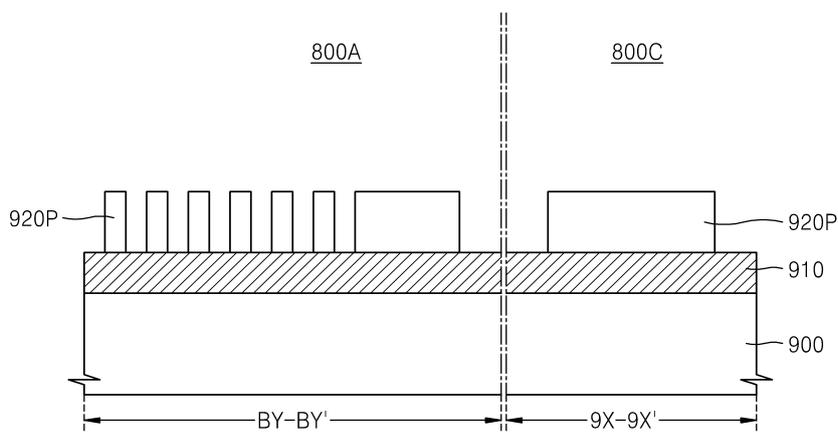
도면19c



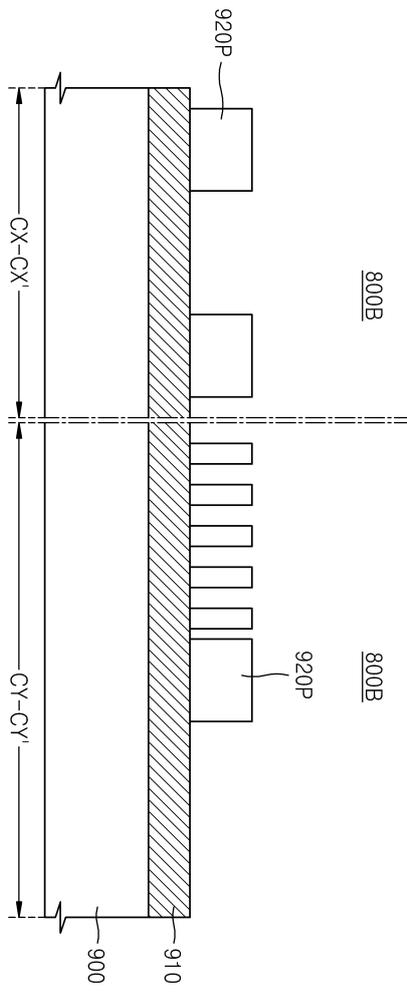
도면20a



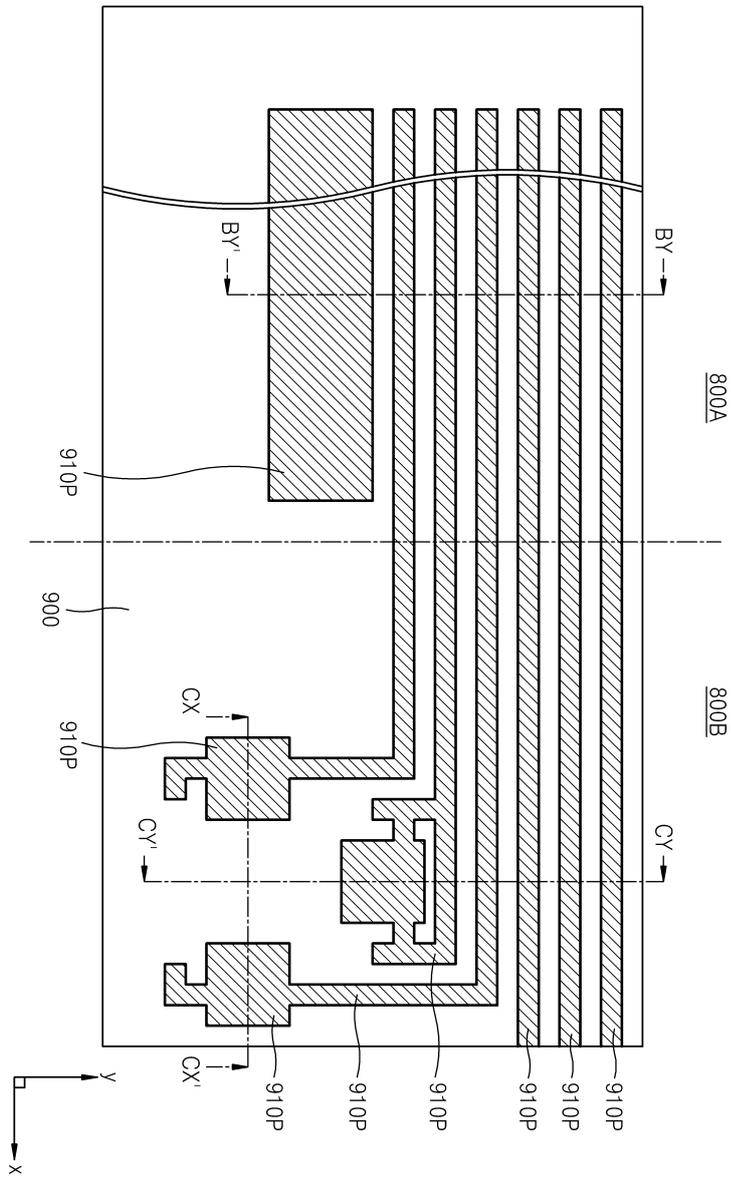
도면20b



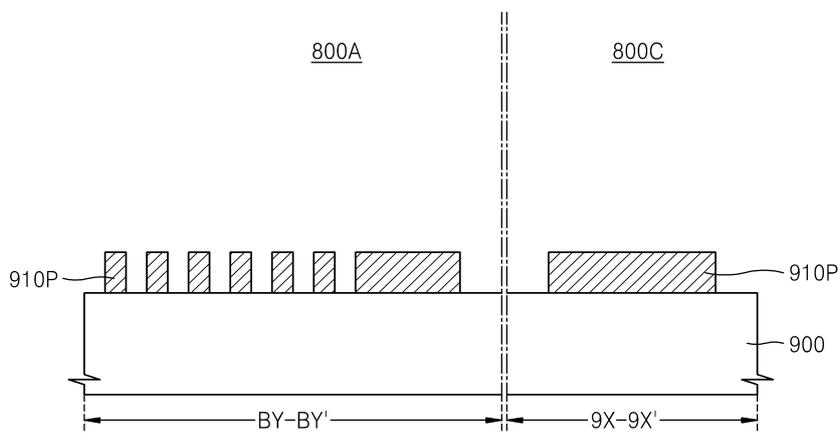
도면20c



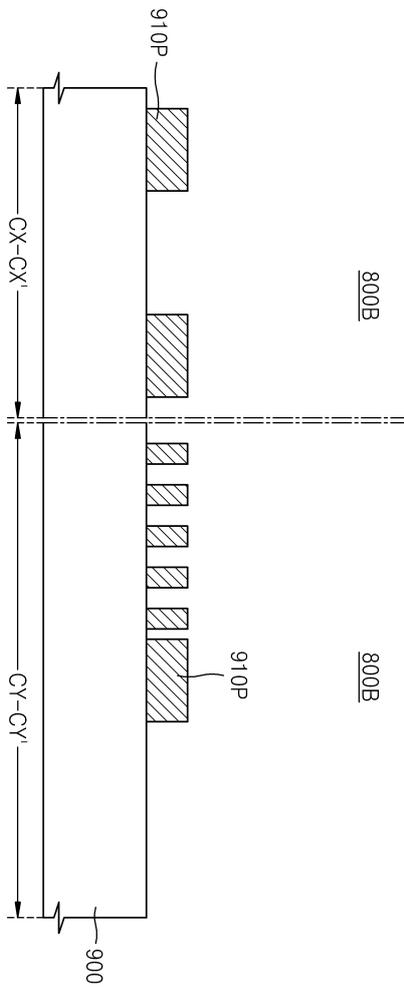
도면21a



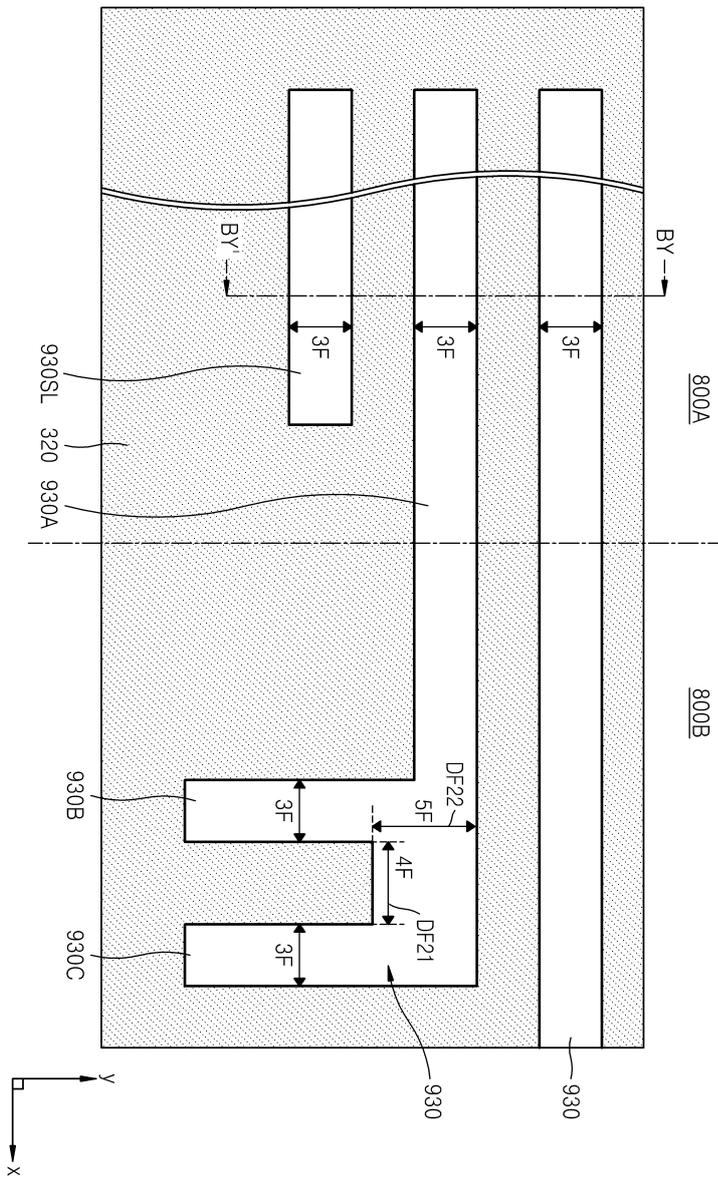
도면21b



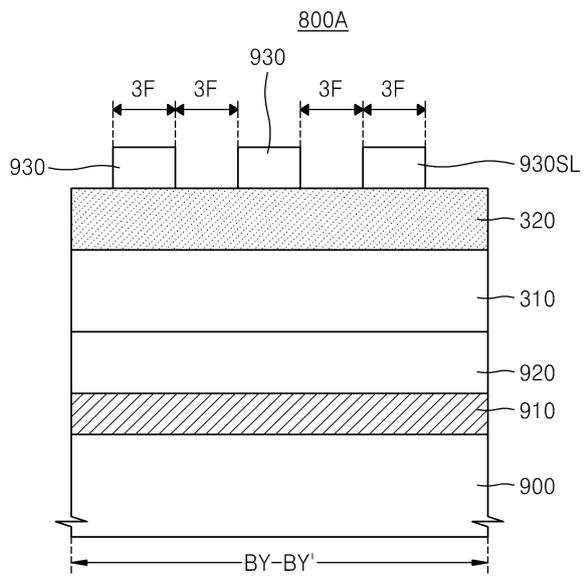
도면21c



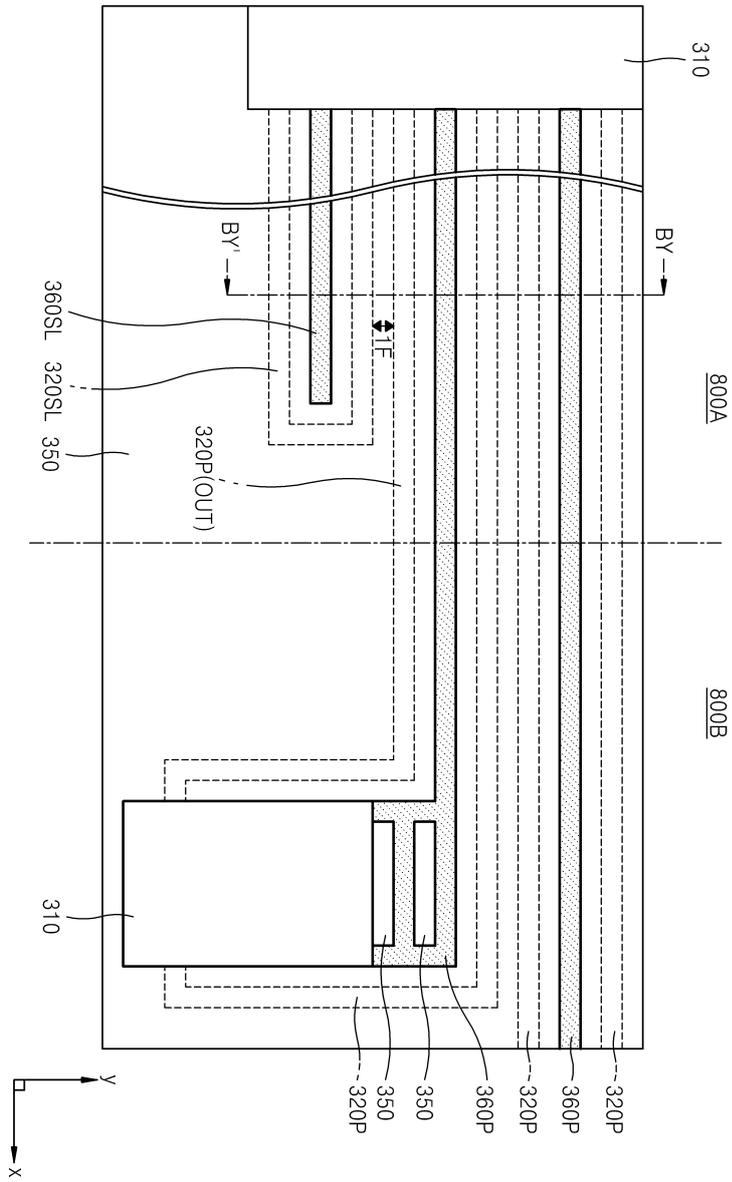
도면22a



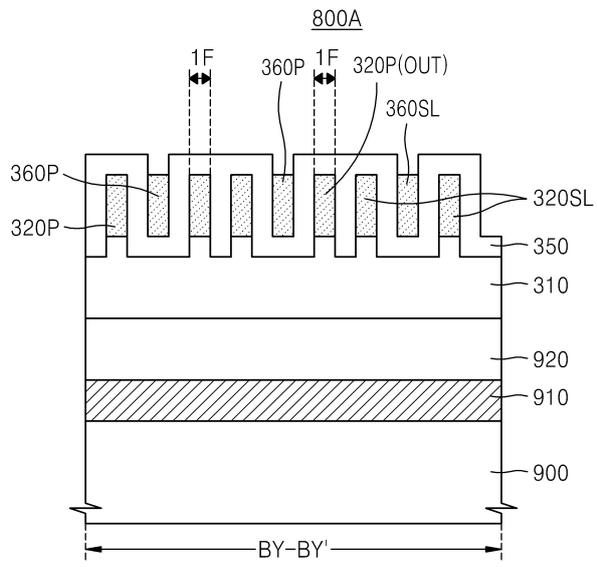
도면22b



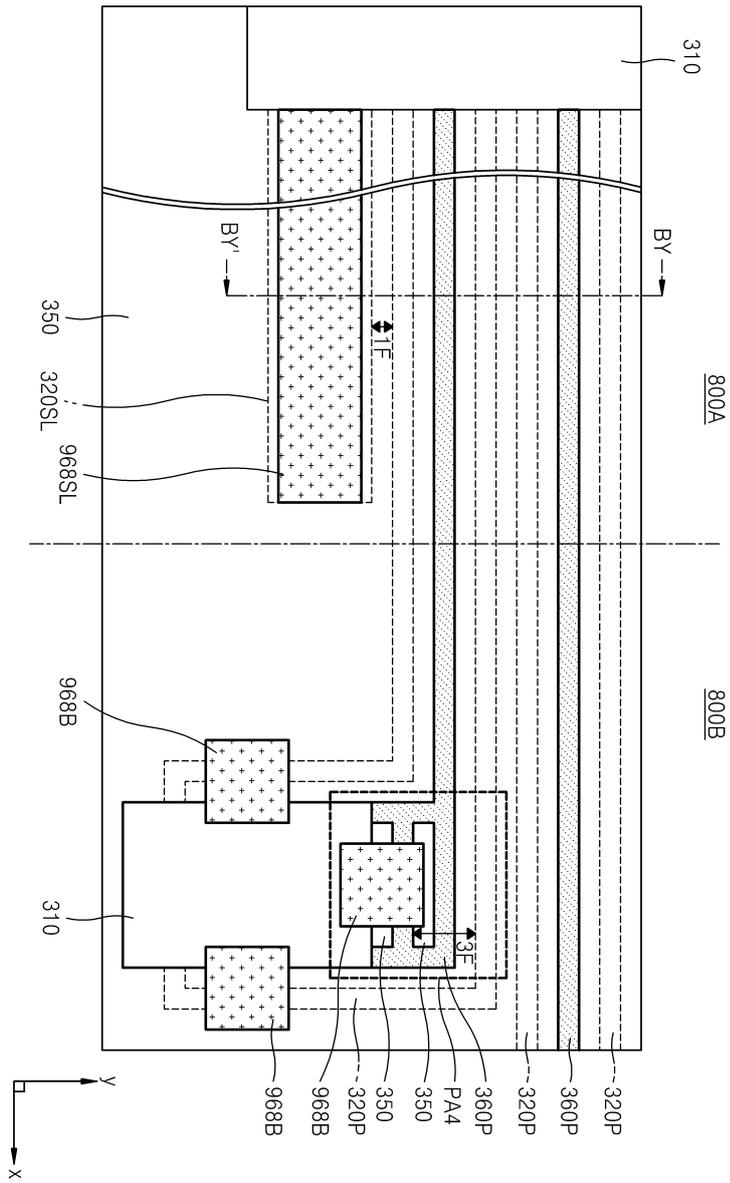
도면23a



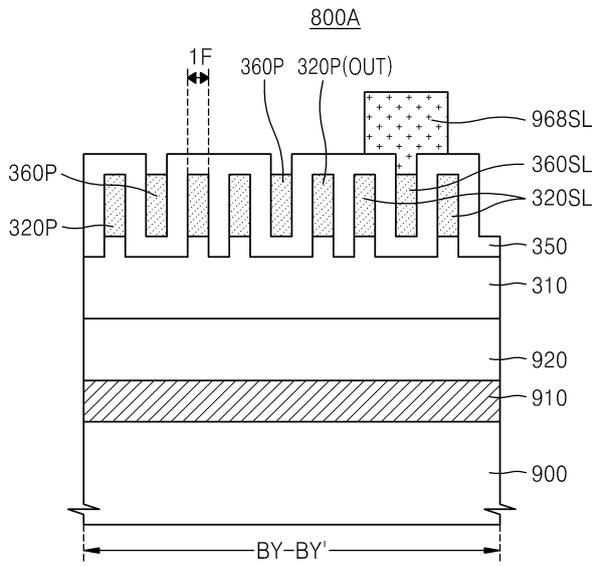
도면23b



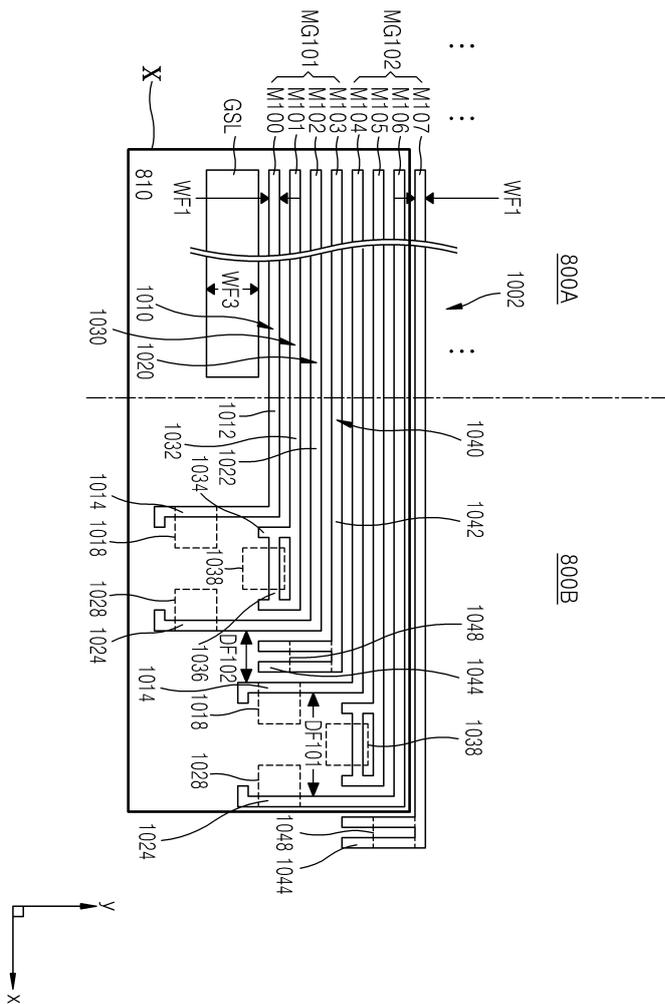
도면24a



도면24b

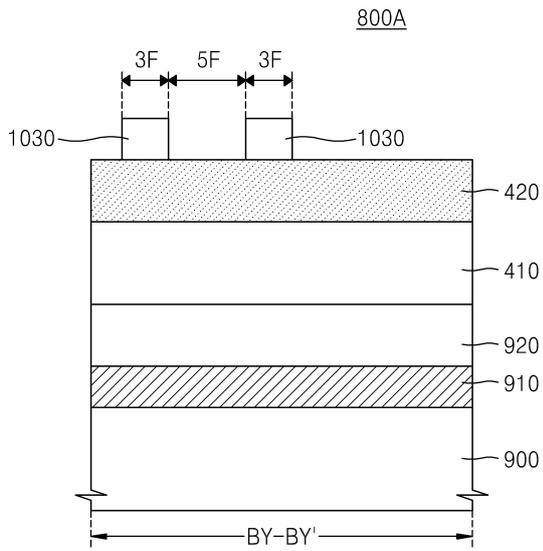


도면25

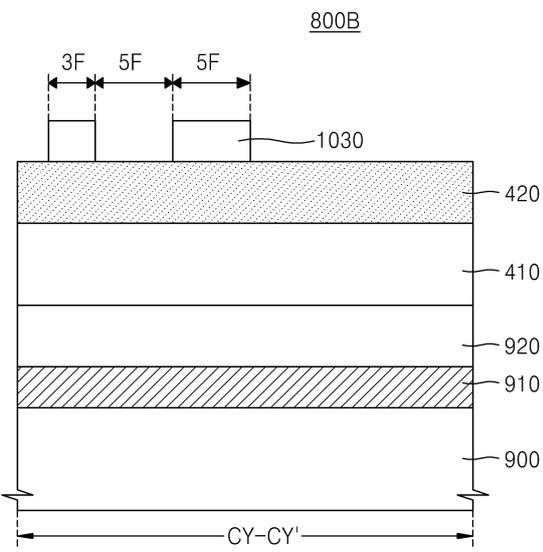




도면26b

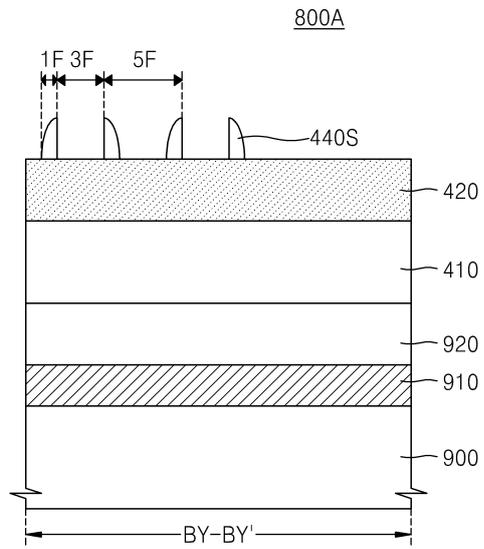


도면26c

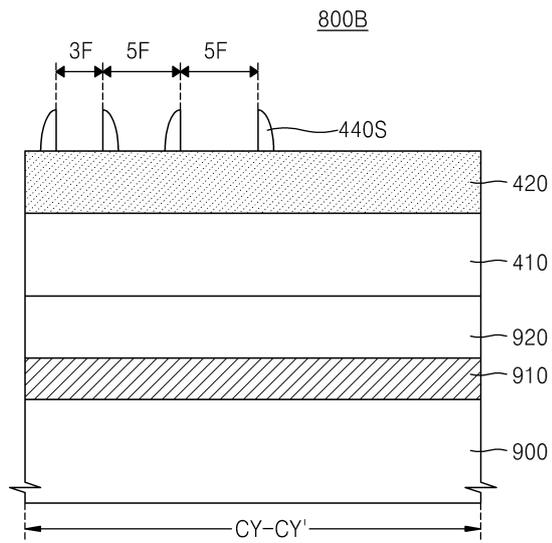




도면27b

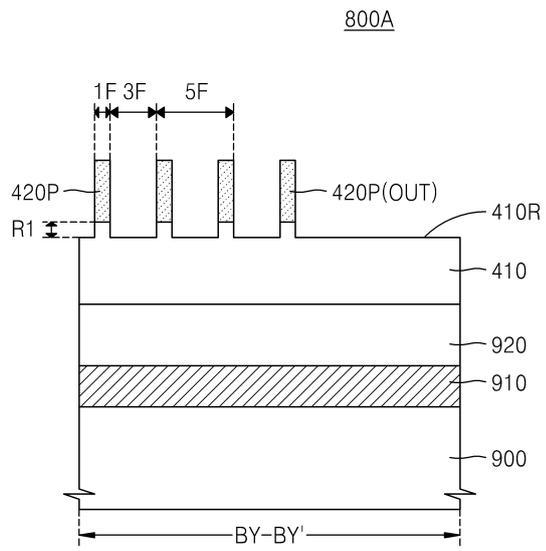


도면27c

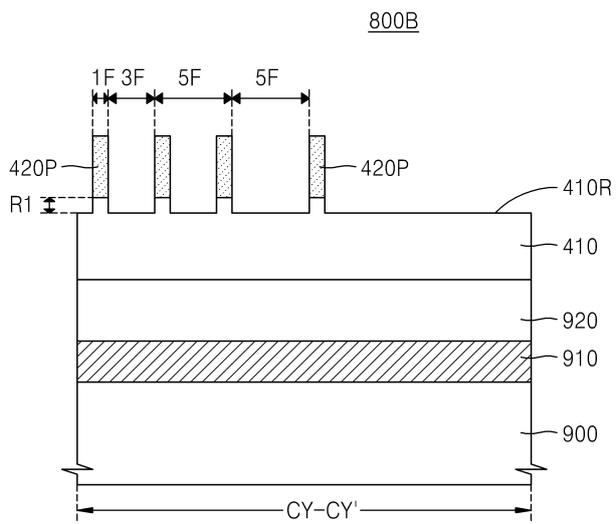




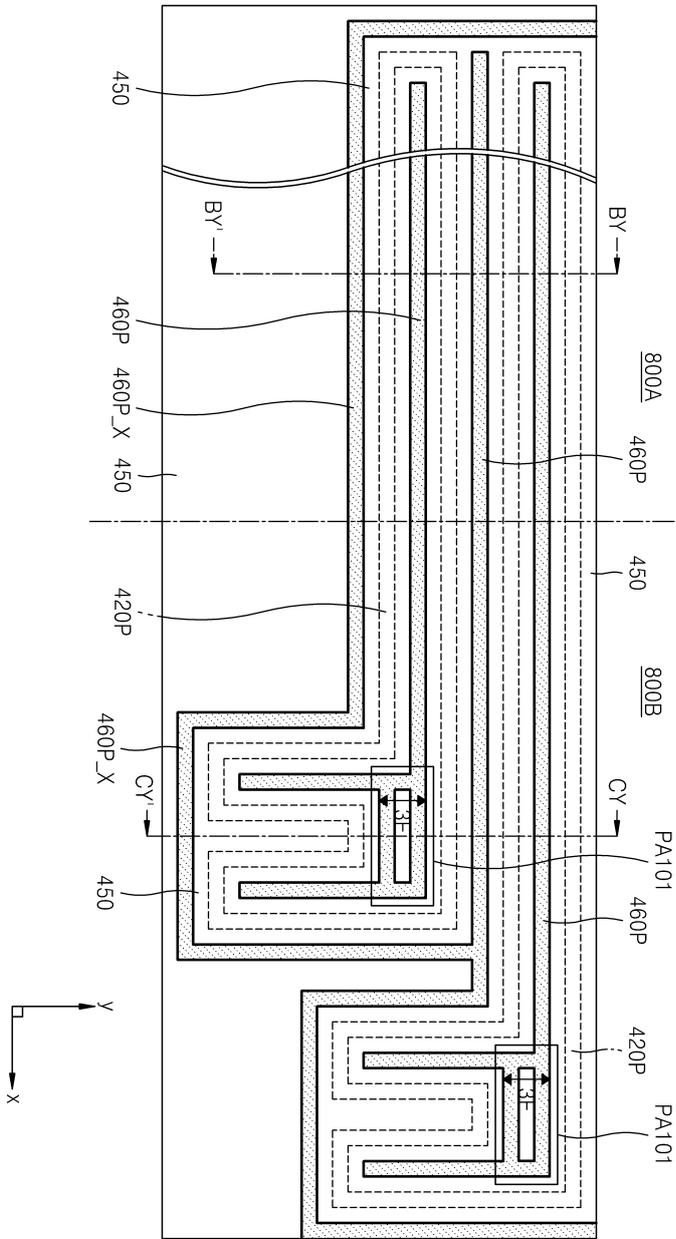
도면28b



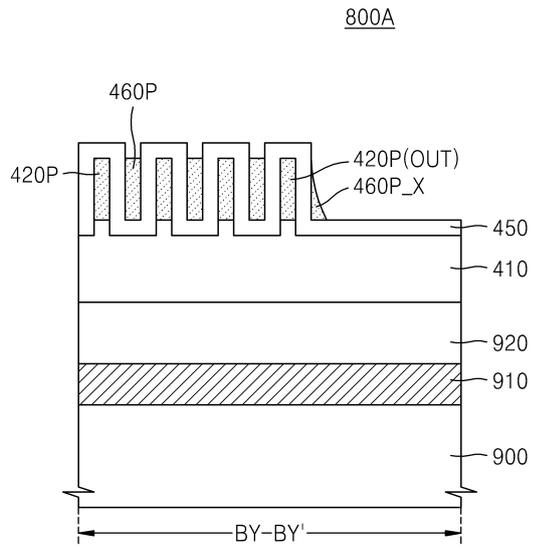
도면28c



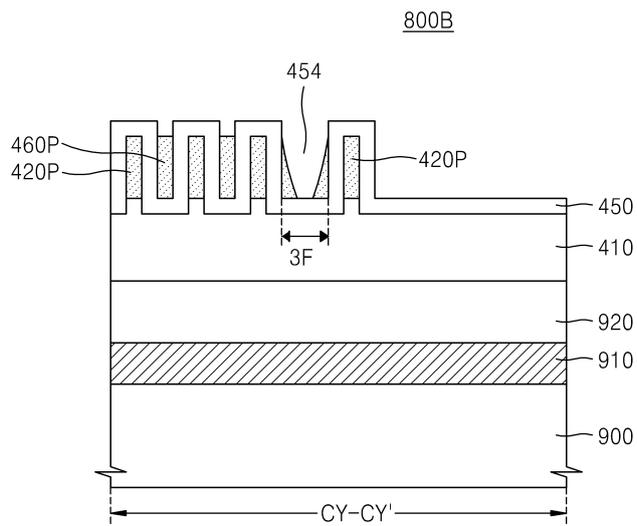
도면29a



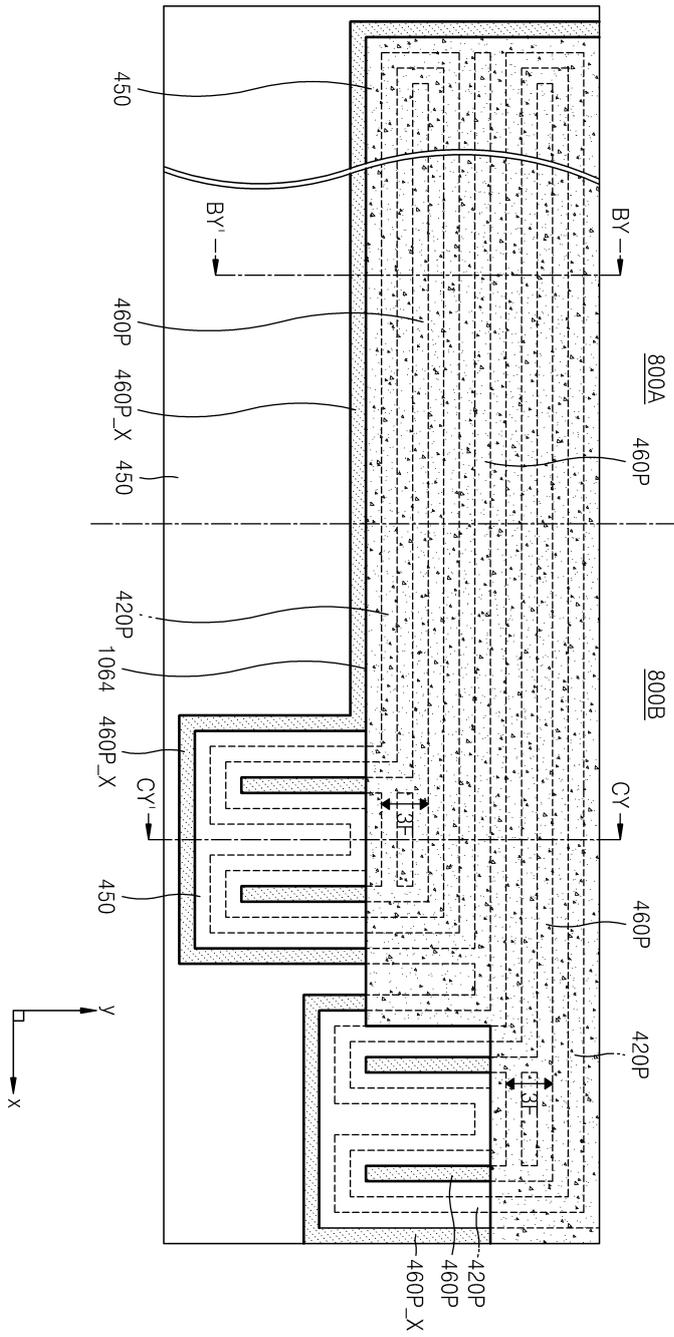
도면29b



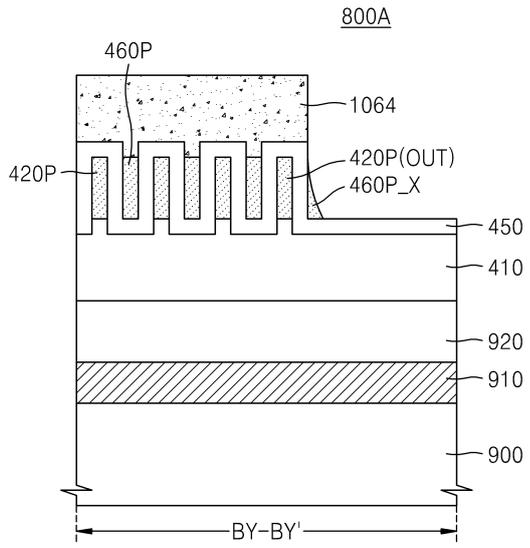
도면29c



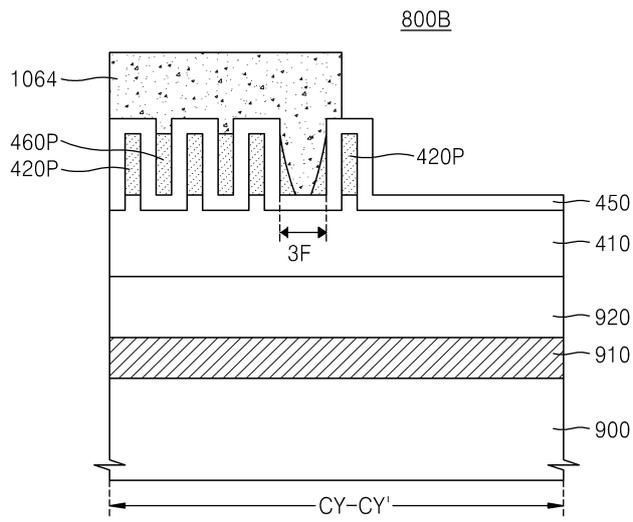
도면30a



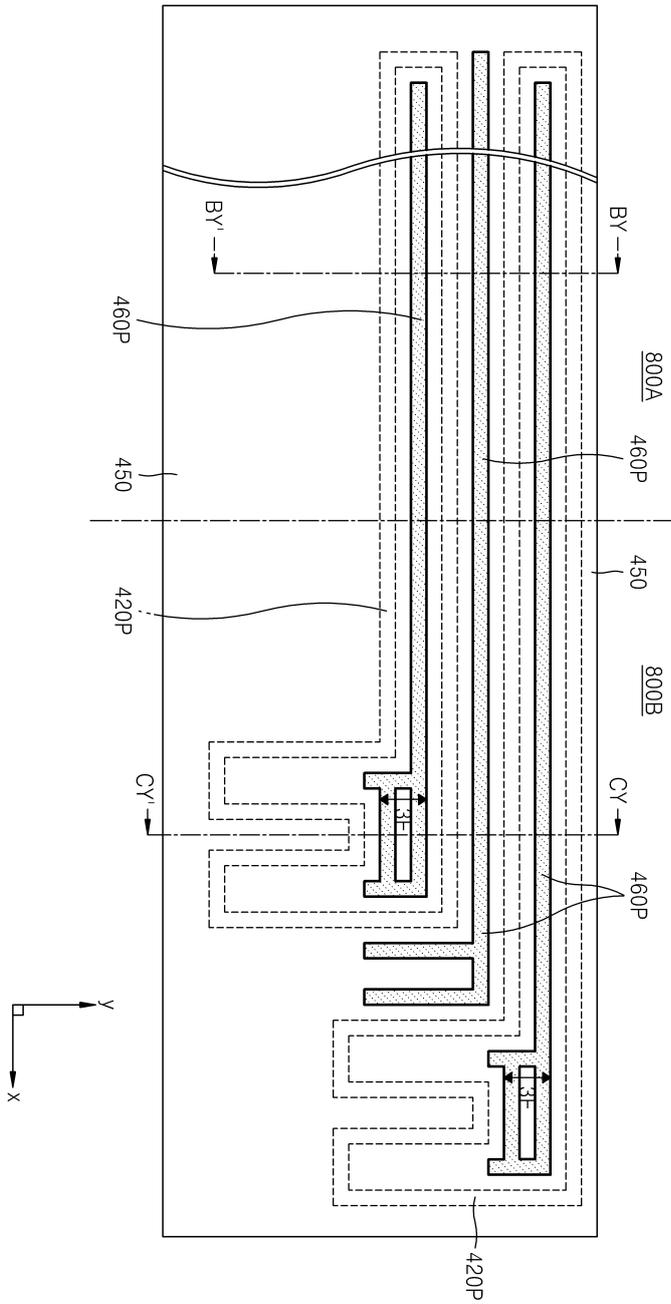
도면30b



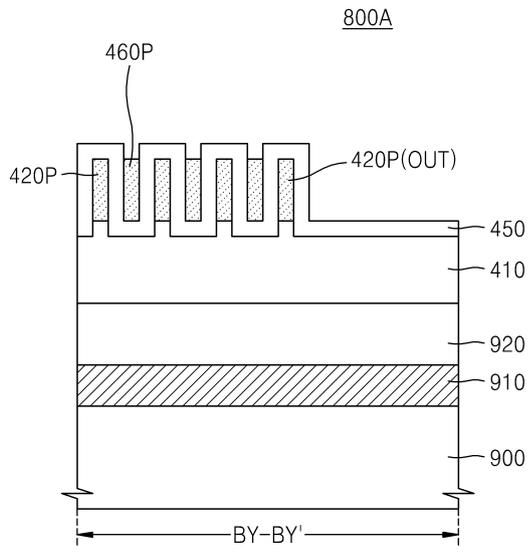
도면30c



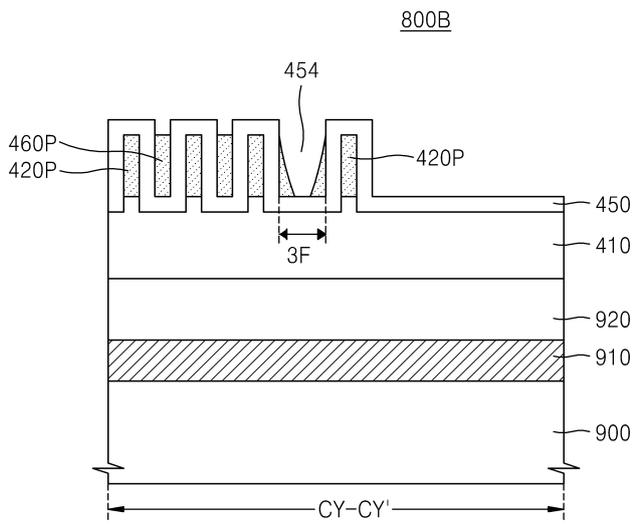
도면31a



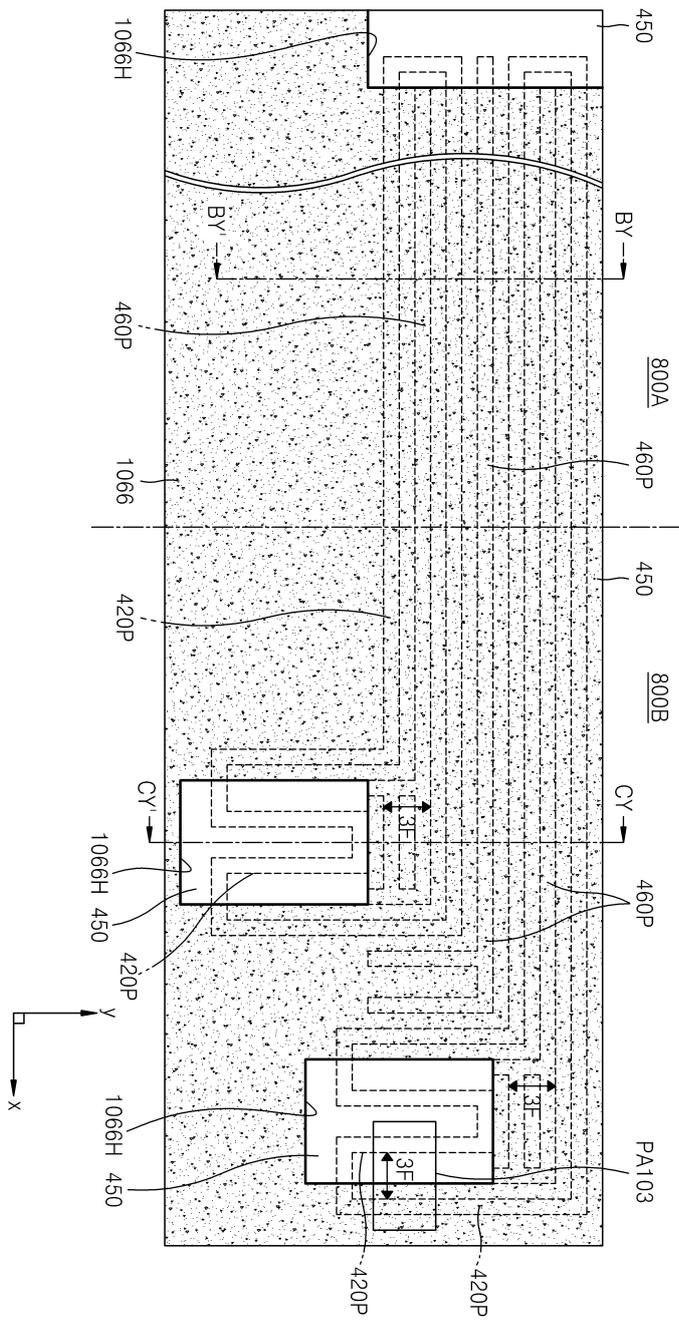
도면31b



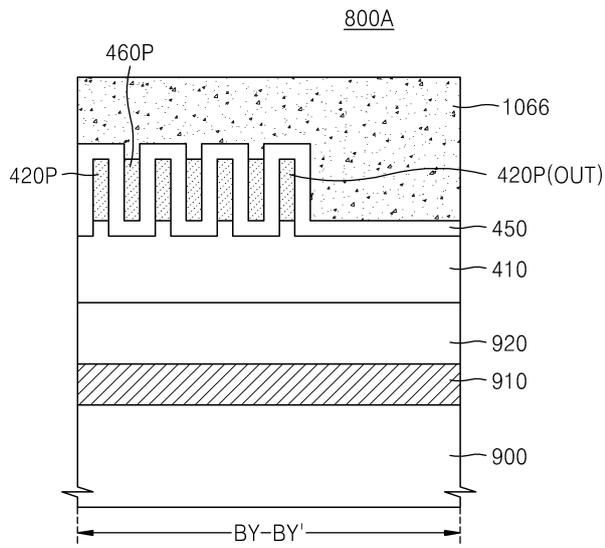
도면31c



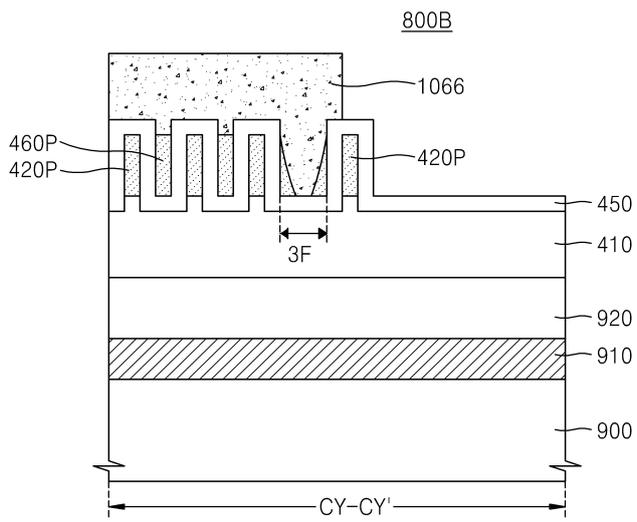
도면32a



도면32b

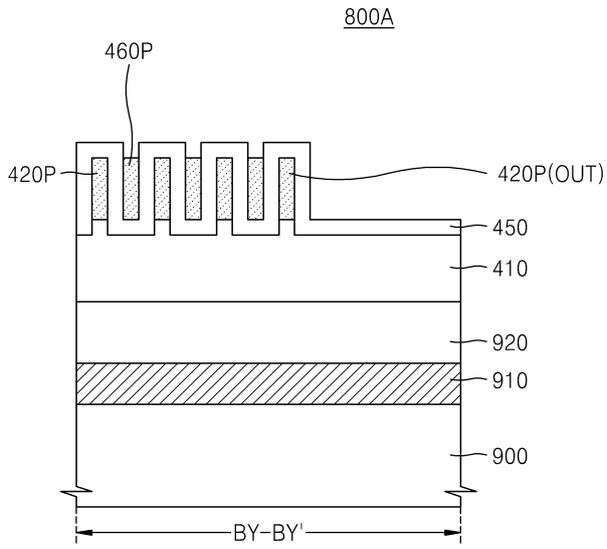


도면32c

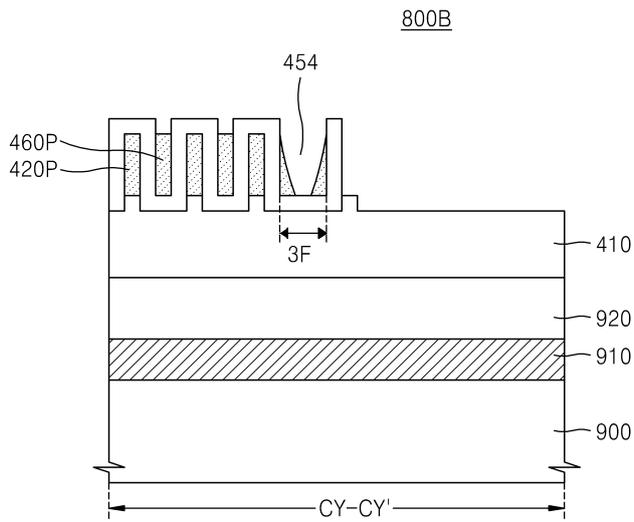




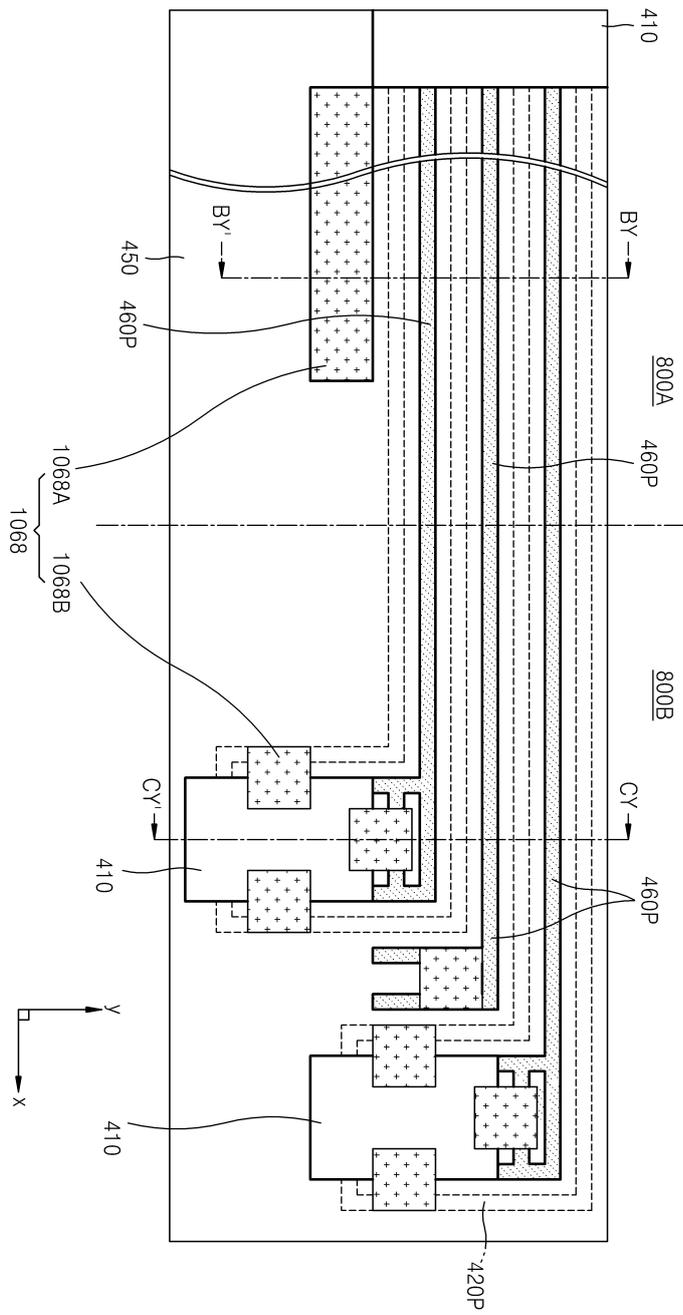
도면33b



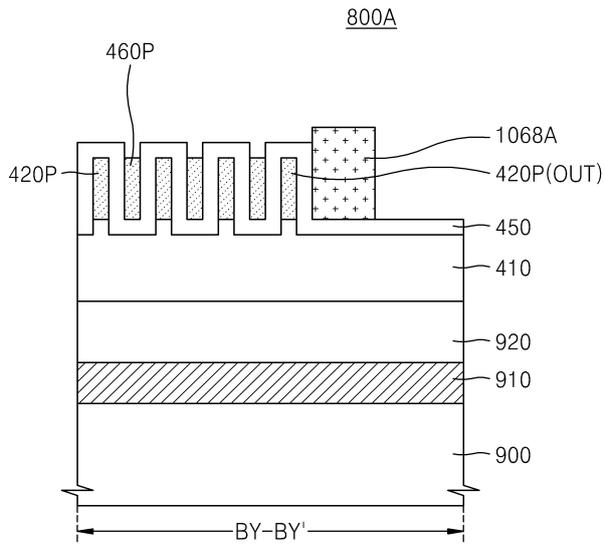
도면33c



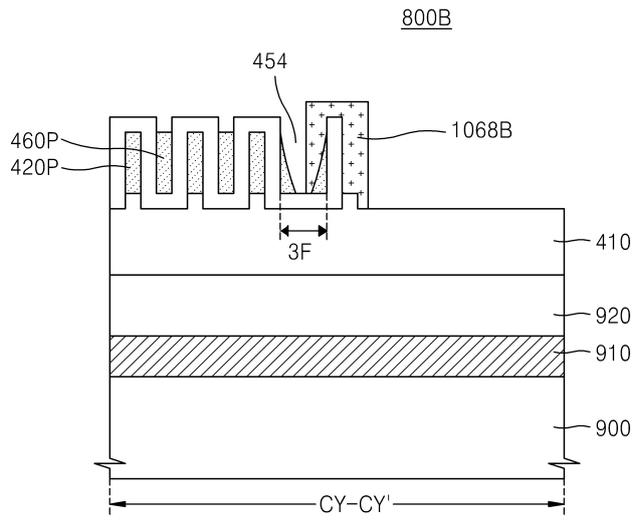
도면34a



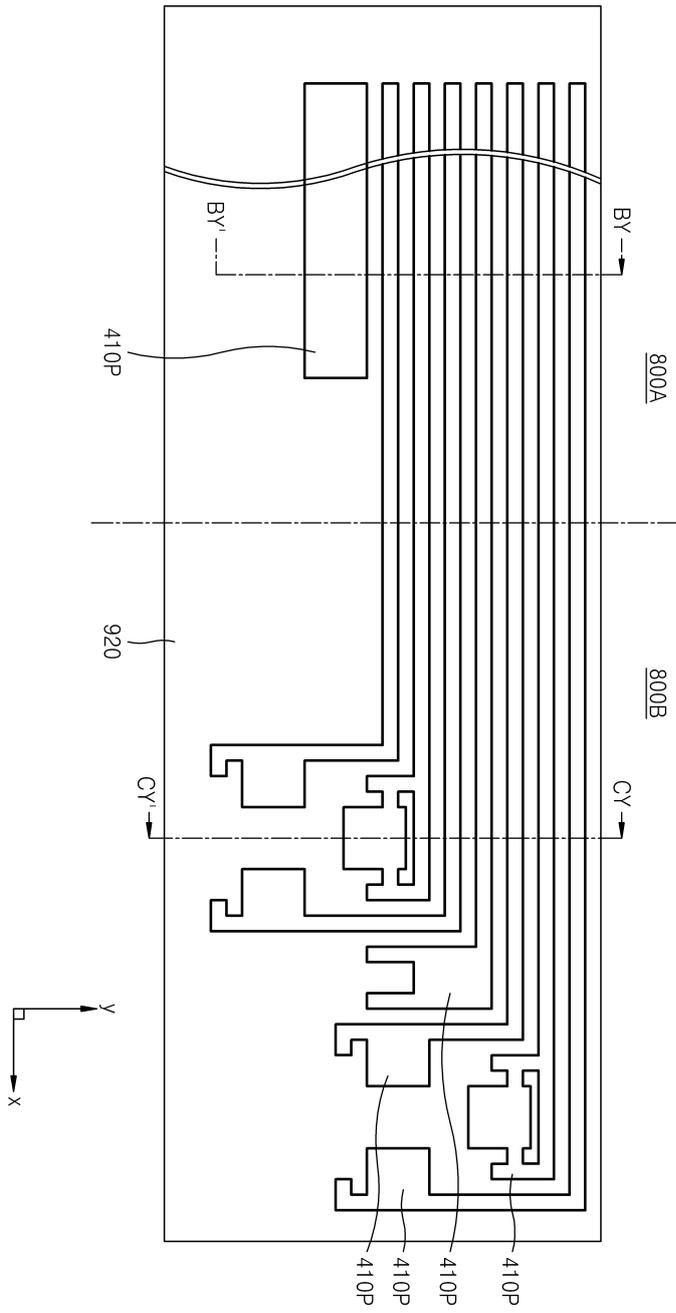
도면34b



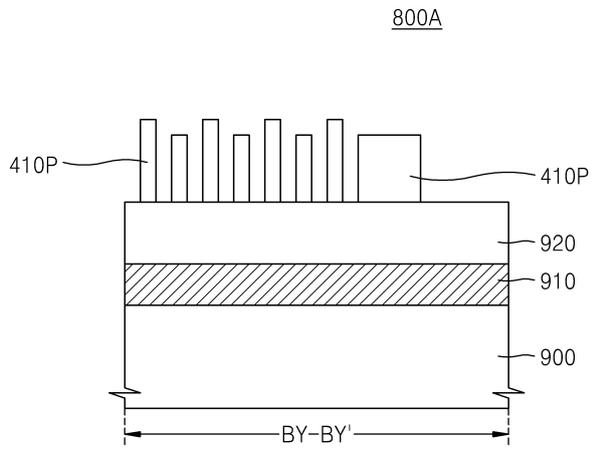
도면34c



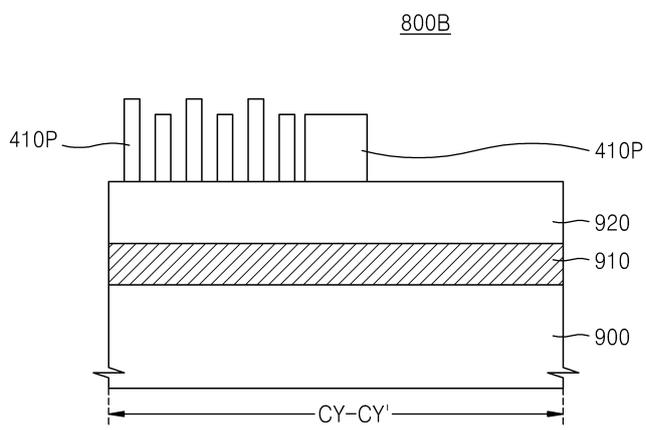
도면35a



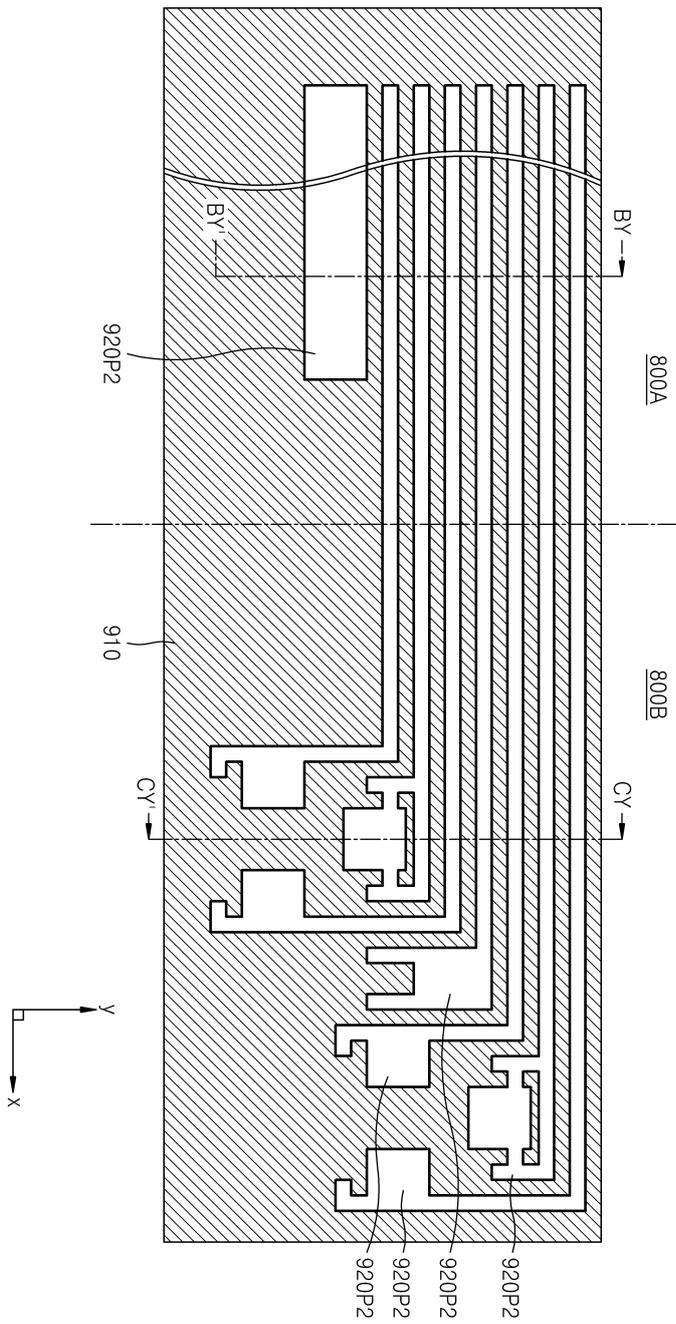
도면35b



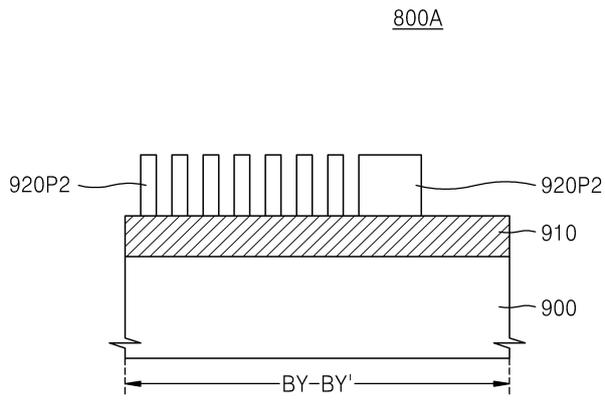
도면35c



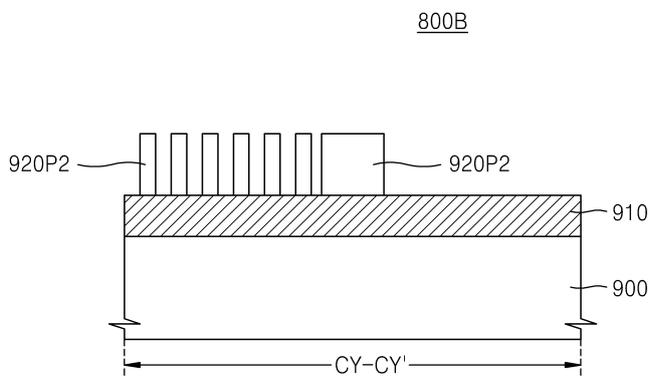
도면36a



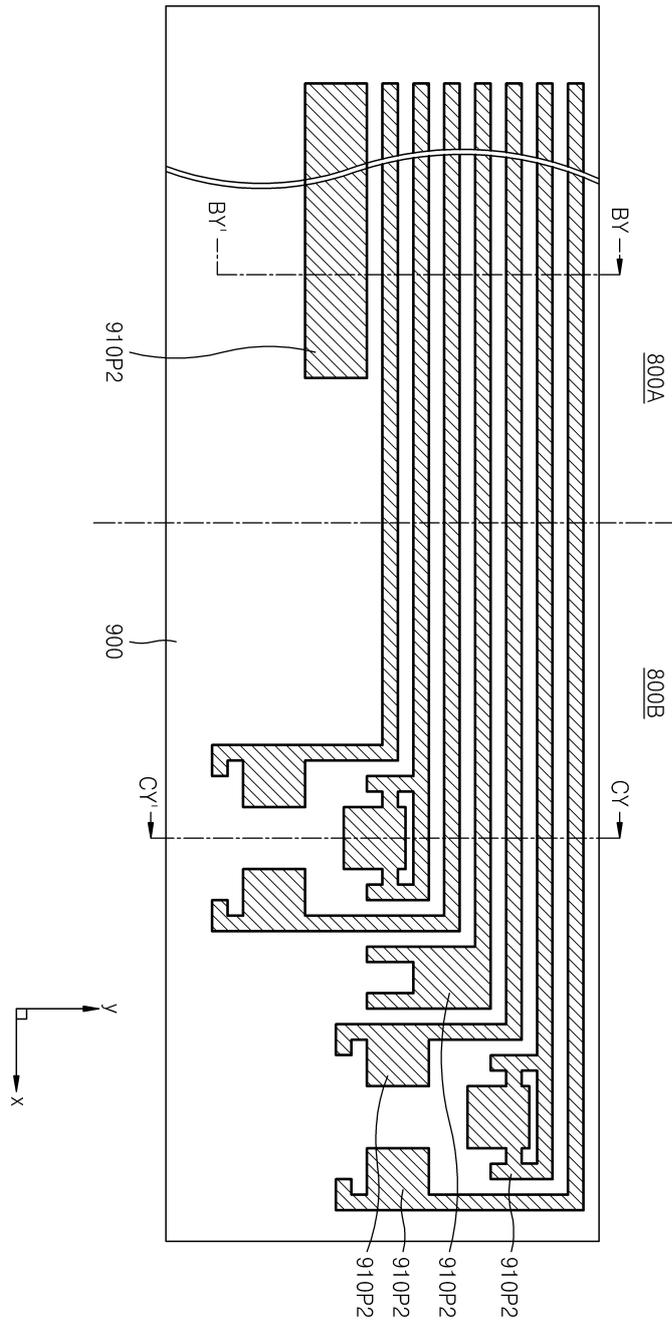
도면36b



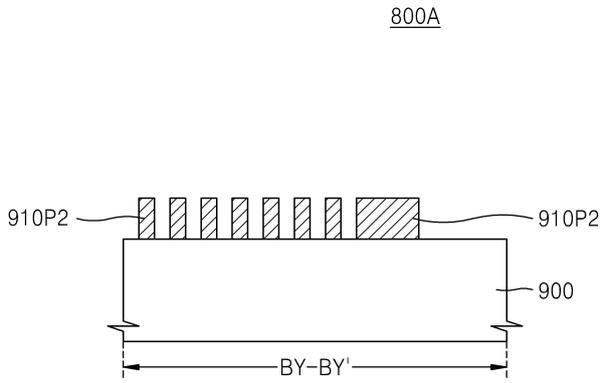
도면36c



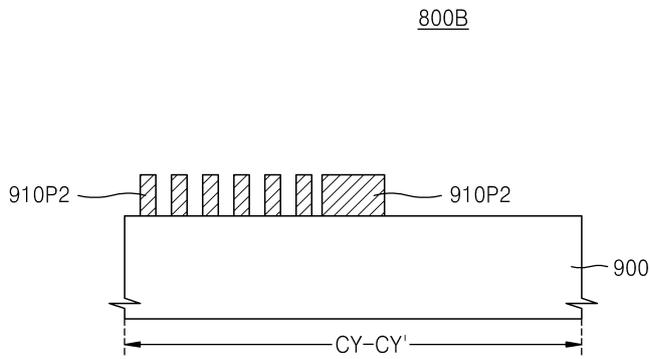
도면37a



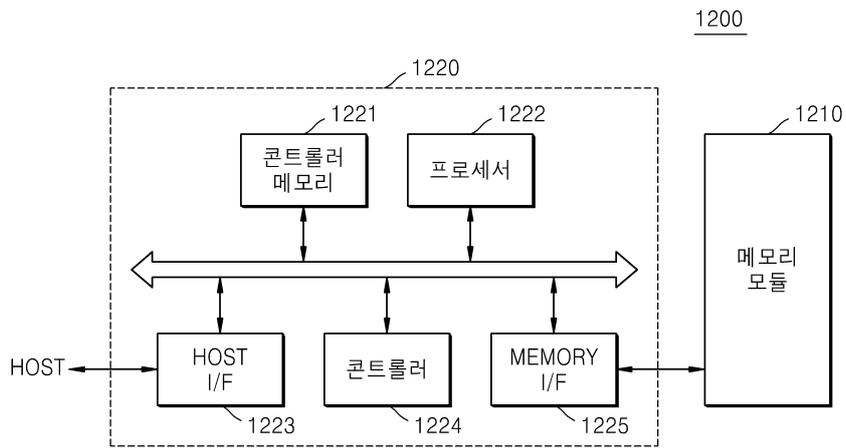
도면37b



도면37c



도면38



도면39

