



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0109934
(43) 공개일자 2009년10월21일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2008-0035434

(22) 출원일자 2008년04월17일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박은영

경기 이천시 부발읍 하이닉스반도체 아미기숙사
11동 325호

윤태언

충북 청주시 흥덕구 봉명동 현대 아이파크 119동
102호

(74) 대리인

신영무

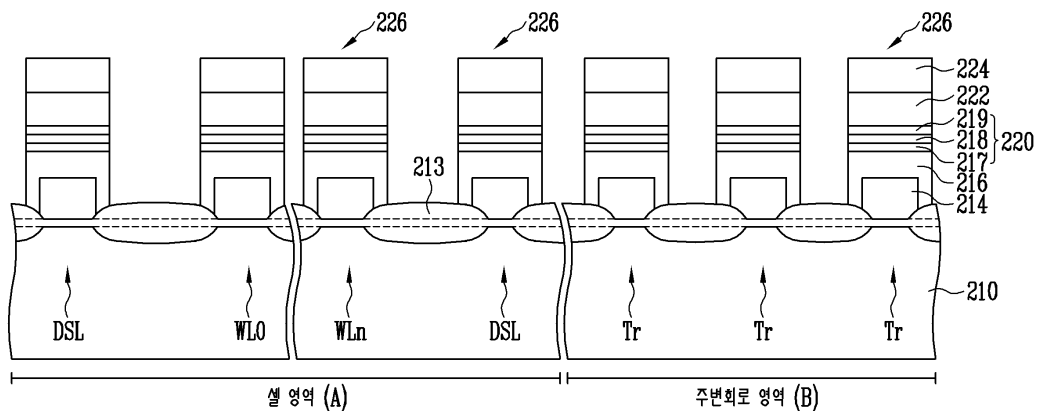
전체 청구항 수 : 총 13 항

(54) 반도체 소자의 제조 방법

(57) 요약

본 발명은, 활성 영역에는 제1 도전막이 형성되고, 소자분리 영역에는 소자분리막이 형성된 반도체 기판이 제공되는 단계; 상기 제1 도전막을 식각하여 도전막 패터를 형성하는 단계; 상기 도전막 패터 사이의 상기 반도체 기판에 식각 보호막을 형성하는 단계; 상기 식각 보호막 및 상기 도전막 패터를 포함한 상기 반도체 기판상에 유전체막 및 제2 도전막을 형성하는 단계; 및 상기 제2 도전막 및 상기 유전체막을 패터닝하여 상기 도전막 패터, 상기 유전체막 및 상기 제2 도전막을 포함하는 게이트 라인을 형성하는 단계를 포함한다.

대표도 - 도2d



특허청구의 범위

청구항 1

반도체 기관의 활성 영역 상에 절연막 및 도전막 패턴들을 형성하는 단계;

상기 도전막 패턴들 사이의 상기 활성 영역에 식각 보호막을 형성하는 단계;

상기 식각 보호막 및 상기 도전막 패턴들을 포함하는 상기 반도체 기관상에 유전체막 및 제1 도전막을 포함하는 다층막을 순차적으로 형성하는 단계; 및

상기 다층막을 순차적으로 식각하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 식각 보호막은 상기 절연막보다 더 두껍게 형성되는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 식각 보호막은 플라즈마 산화 공정을 실시하여 형성되는 반도체 소자의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 플라즈마 산화 공정은 O_2 , H_2 및 Ar 가스의 조합을 이용하는 반도체 소자의 제조 방법.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 플라즈마 산화 공정은 RF 전력이 3500 내지 4500W, 온도가 400 내지 500℃, 압력이 600 내지 700Pa인 조건에서 이루어지는 반도체 소자의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 식각 보호막은 70 내지 90Å 두께로 형성되는 반도체 소자의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 절연막은 50 내지 80Å 두께로 형성되는 반도체 소자의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 도전막 패턴들 및 상기 식각 보호막을 포함하는 상기 반도체 기관상에 제2 도전막을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 9

제 1 항 또는 제 8 항에 있어서,

상기 식각 공정 시 상기 제2 도전막은 상기 도전막 패턴들보다 넓은 폭으로 식각되는 반도체 소자의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 도전막 패턴들은 도핑되지 않은 폴리실리콘막으로 형성되고, 상기 제2 도전막은 도핑된 폴리실리콘막으로 형성되는 반도체 소자의 제조 방법.

청구항 11

제 1 항에 있어서,

상기 제1 도전막은 상기 제1 도전막 상부에 금속막을 더 포함하는 반도체 소자의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제1 도전막은 폴리실리콘막으로 형성되고, 상기 도전막은 텅스텐실리사이드막을 포함하는 반도체 소자의 제조 방법.

청구항 13

활성 영역에는 제1 도전막이 형성되고, 소자분리 영역에는 소자분리막이 형성된 반도체 기판이 제공되는 단계;

상기 제1 도전막을 식각하여 도전막 패턴을 형성하는 단계;

상기 도전막 패턴 사이의 상기 반도체 기판에 식각 보호막을 형성하는 단계;

상기 식각 보호막 및 상기 도전막 패턴을 포함한 상기 반도체 기판상에 유전체막 및 제2 도전막을 형성하는 단계; 및

상기 제2 도전막 및 상기 유전체막을 패터닝하여 상기 도전막 패턴, 상기 유전체막 및 상기 제2 도전막을 포함하는 게이트 라인을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 게이트 식각 공정 시 게이트 간의 간격이 넓게 형성되는 영역의 기판 활성영역에 가해지는 손상을 완화하여 셀 내의 반복적인 프로그램/지우기(Program/Erase) 동작 시 문턱 전압의 변동 증가 문제를 개선할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

- <2> 반도체 소자 중에서 NAND형 플래시 메모리 소자는 메모리 셀 어레이가 블록 단위로 나누어지며, 각각의 블록에는 다수의 스트링을 포함한다. 여기서 스트링은 셀렉트 트랜지스터와 메모리 셀을 포함한다. 구체적으로, 스트링은 비트라인에 연결되는 드레인 셀렉트 트랜지스터, 공통 소오스에 연결되는 소오스 셀렉트 트랜지스터, 및 드레인 셀렉트 트랜지스터와 소오스 셀렉트 트랜지스터 사이에 직렬로 접속된 다수의 메모리들을 포함한다. 드레인 셀렉트 트랜지스터의 게이트는 다른 스트링에 포함된 드레인 셀렉트 트랜지스터들의 게이트들과 연결되며, 연결된 게이트들은 드레인 셀렉트 라인이 된다. 소오스 셀렉트 트랜지스터의 게이트는 다른 스트링에 포함된 소오스 셀렉트 트랜지스터들의 게이트들과 연결되며, 연결된 게이트들은 소오스 셀렉트 라인이 된다. 메모리 셀의 게이트는 다른 스트링에 포함된 메모리 셀들의 게이트들과 각각 연결되며, 연결된 게이트들은 워드 라인들이 된다.
- <3> 상기의 스트링을 포함하는 NAND 플래시 메모리 소자는 플로팅 게이트로 전자를 주입하는 프로그램 동작으로 데이터를 저장한다. 프로그램 동작을 실시하기 전에 해당 메모리 셀들은 모두 소거된다. 즉, 프로그램 동작 전에 소거 동작에 의해 플로팅 게이트에 주입된 전자들을 모두 방출시켜 메모리 셀들을 소거 상태로 만든다. 이후 프로그램 동작을 실시하는데, 모든 메모리 프로그램 동작 시 선택된 워드라인에 15V 내지 20V의 높은 프로그램 전압이 인가되며, 그 외의 워드라인에는 메모리 셀을 턴온시키기 위하여 9V 내지 10V의 패스 전압이 인가된다. 한편, 워드라인에 연결된 메모리 셀들이 모두 프로그램되는 것이 아니라, 저장해야할 데이터에 따라 일부

메모리 셀들은 소거된 상태를 유지해야 된다. 따라서, 프로그램 동작이 실시될 메모리 셀이 포함된 스트링과 연결되는 비트라인에는 0V를 인가하고, 소거 상태를 유지해야하는 메모리 셀이 포함된 스트링과 연결되는 비트라인에는 프로그램 동작을 방해하기 위하여 프로그램 방해 전압(예를 들어, Vcc)이 인가된다. 프로그램 방해 전압이 인가되면, 워드라인에 높은 프로그램 전압이 인가되더라도 프로그램 전압이 채널 영역까지 전달되어 전압차가 감소하기 때문에 프로그램 동작이 이루어지지 않는다.

- <4> 하지만, 셀렉트 라인의 트랜지스터와 인접한 메모리 셀에서는 핫 캐리어 인젝션에 의해 문턱전압이 달라지는 현상이 발생되는데, 이를 해결하기 위하여 핫 캐리어 인젝션을 완화하고자 전기장이 감소되도록 셀렉트 트랜지스터와 셀렉트 트랜지스터에 인접한 메모리 셀 사이의 공간 확보를 증가시켰다. 하지만, 상기와 같은 영역의 공간 확보로 인하여 게이트 식각 공정 시 셀렉트 트랜지스터와 셀렉트 트랜지스터에 인접한 메모리 셀 사이로 노출되는 기관의 활성영역을 손상시키며, 후속의 이온주입공정 및 열 공정 등에 의해 기관의 원자 배열이 어긋나는 디스로케이션(Dislocation)이 발생하여 수율 저하를 초래한다. 즉, 도 1에서 보듯이, 반복적인 프로그램/지우기(Program/Erase) 동작의 횟수가 증가함에 따라 셀렉트 라인에 인접한 워드 라인(WL31) 내의 문턱 전압은 중간 워드 라인의 문턱 전압에 비해 상대적으로 많이 증가됨으로서 궁극적으로 소자의 신뢰성을 저하시킨다.

발명의 내용

해결 하고자하는 과제

- <5> 전술한 문제를 해결하기 위해 본 발명은, 게이트 식각 공정 시 게이트 간의 간격이 넓게 형성되는 영역의 기관 활성영역에 가해지는 손상을 완화하여 셀 내의 반복적인 프로그램/지우기(Program/Erase) 동작시 문턱 전압의 변동 증가 문제를 개선할 수 있는 반도체 소자의 제조 방법을 제공하는데 목적이 있다.

과제 해결수단

- <6> 전술한 목적을 달성하기 위해 본 발명은, 반도체 기관의 활성 영역 상에 절연막 및 도전막 패턴들을 형성하는 단계; 상기 도전막 패턴들 사이의 상기 활성 영역에 식각 보호막을 형성하는 단계; 상기 식각 보호막 및 상기 도전막 패턴들을 포함하는 상기 반도체 기관상에 유전체막 및 제1 도전막을 포함하는 다층막을 순차적으로 형성하는 단계; 및 상기 다층막을 순차적으로 식각하는 단계를 포함한다.
- <7> 본 발명에서, 상기 식각 보호막은 상기 절연막보다 더 두껍게 형성된다.
- <8> 본 발명에서, 상기 식각 보호막은 플라즈마 산화 공정을 실시하여 형성된다.
- <9> 본 발명에서, 상기 플라즈마 산화 공정은 O₂, H₂ 및 Ar 가스의 조합을 이용한다.
- <10> 본 발명에서, 상기 플라즈마 산화 공정은 RF 전력이 3500 내지 4500W, 온도가 400 내지 500℃, 압력이 600 내지 700Pa인 조건에서 이루어진다.
- <11> 본 발명에서, 상기 식각 보호막은 70 내지 90Å 두께로 형성된다.
- <12> 본 발명에서, 상기 절연막은 50 내지 80Å 두께로 형성된다.
- <13> 본 발명에서, 상기 도전막 패턴들 및 상기 식각 보호막을 포함하는 상기 반도체 기관상에 제2 도전막을 형성하는 단계를 더 포함한다.
- <14> 본 발명에서, 상기 식각 공정 시 상기 제2 도전막은 상기 도전막 패턴들보다 넓은 폭으로 식각된다.
- <15> 본 발명에서, 상기 도전막 패턴들은 도핑되지 않은 폴리실리콘막으로 형성되고, 상기 제2 도전막은 도핑된 폴리실리콘막으로 형성된다.
- <16> 본 발명에서, 상기 유전체막은 ONO막으로 형성된다.
- <17> 본 발명에서, 상기 제1 도전막은 상기 제1 도전막 상부에 금속막을 더 포함한다.
- <18> 본 발명에서, 상기 제1 도전막은 폴리실리콘막으로 형성되고, 상기 도전막은 텅스텐실리사이드막을 포함한다.
- <19> 본 발명에서, 상기 도전막 패턴들은 비트라인 방향의 제1 차 패터닝 공정 및 워드라인 방향의 제2 차 패터닝 공정을 실시하여 형성된다.
- <20> 또한, 본 발명은, 활성 영역에는 제1 도전막이 형성되고, 소자분리 영역에는 소자분리막이 형성된 반도체 기관

이 제공되는 단계; 상기 제1 도전막을 식각하여 도전막 패턴을 형성하는 단계; 상기 도전막 패턴 사이의 상기 반도체 기판에 식각 보호막을 형성하는 단계; 상기 식각 보호막 및 상기 도전막 패턴을 포함한 상기 반도체 기판상에 유전체막 및 제2 도전막을 형성하는 단계; 및 상기 제2 도전막 및 상기 유전체막을 패터닝하여 상기 도전막 패턴, 상기 유전체막 및 상기 제2 도전막을 포함하는 게이트 라인을 형성하는 단계를 포함한다.

효 과

<21> 본 발명에 따르면, 낸드 플래시 메모리 소자의 게이트 라인들을 형성하기 위한 식각 공정 시 본 발명에서와 같이 게이트 라인들 간의 간격이 넓게 형성된 영역을 포함한 각각의 게이트 라인들 사이로 노출되는 영역에 대해 국부적인 플라즈마 산화 공정을 실시하여 터널 절연막보다 더 두꺼운 두께의 식각 보호막을 형성해놓음으로써 식각률 증가에 따른 반도체 기판의 활성 영역 로스(loss)를 방지하면서도 터널 절연막을 보호하여 공정의 신뢰성을 향상시킬 수 있다. 따라서, 이러한 특성은 셀 내의 반복적인 프로그램/지우기(Program/Erase) 동작시 문턱전압의 변동을 감소시키고, 전하를 저장하는 리텐션(Retention) 특성을 개선함으로써 소자의 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 자세히 설명한다.

<23> 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.

<24> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 순차적인 공정 단면도들이다.

<25> 도 2a를 참조하면, 셀 영역(A)과 주변회로 영역(B)을 포함하는 반도체 기판(210)의 활성 영역 상에 터널 절연막(212) 및 제1 도전막 패턴들(214)을 형성한다. 또한, 도 2a에는 도시하지 않았지만, 제1 도전막 패턴들(214)을 형성하는 과정에서 소자분리 공정을 실시하여 반도체 기판(210)의 필드 영역(미도시)에는 소자분리막(미도시)이 형성된다. 이때, 제1 도전막 패턴들(214)은 소자분리막(미도시) 방향의 라인 형태로 제1 차 패터닝한 후에, 다시 후속으로 형성되는 게이트 라인들의 위드 라인 방향으로 제2차 패터닝하여 형성된다. 즉, 제1 차 도전막 패턴들(214)은 반도체 기판(210)의 셀 영역(A)에서 위드 라인이 형성될 영역(WL0 내지 WLn)과 셀렉트 라인이 형성될 영역(DSL 및 SSL)에 잔류되고, 주변회로 영역(B)에서 트랜지스터(Tr)의 게이트가 형성될 영역에 잔류된다.

<26> 여기서, 셀 영역(A)에 포함된 소오스 셀렉트 라인(SSL) 영역과 소오스 셀렉트 라인(SSL) 영역에 인접한 위드 라인(WL0) 영역 사이와, 드레인 셀렉트 라인(DSL) 영역과 드레인 셀렉트 라인(DSL) 영역에 인접한 위드 라인(WLn) 영역 사이의 간격은 위드 라인 영역들(즉, WL0 내지 WLn) 중 서로 인접한 위드라인 영역들 사이의 간격보다 넓게 정의될 수 있다.

<27> 한편, 터널 절연막(212)은 여러 가지 공지된 기술 예를 들어, 열산화 공정 등을 적용하여 50 내지 80Å의 두께의 열산화막으로 형성될 수 있다. 또한, 본 발명에서 제1 도전막 패턴들(214)은 플로팅 게이트를 구성하는 하부막으로 도핑되지 않은 폴리실리콘막으로 형성될 수 있다. 즉, 제1 도전막 패턴들(214)이 도핑되지 않은 폴리실리콘막으로 형성됨으로써 터널 절연막(212)과 게이트 전극 간 계면(interface)에서의 불순물 예를 들어, 인(P)의 농도를 낮출 수 있다.

<28> 도 2b를 참조하면, 제1 도전막 패턴들(214) 사이의 활성 영역에 대응하는 반도체 기판(210)의 활성 영역에 식각 보호막(213)을 형성한다. 식각 보호막(213)은 산화 공정을 통해 산화막으로 형성할 수 있다. 이때, 산화 공정은 상기에서 설명한 게이트 라인들 간에 간격이 넓게 형성되는 영역 즉, 소오스 셀렉트 라인(SSL) 영역과 소오스 셀렉트 라인(SSL)에 인접한 위드 라인(WL0) 영역 사이와, 드레인 셀렉트 라인(DSL) 영역과 드레인 셀렉트 라인(DSL) 영역에 인접한 위드 라인(WL31) 영역 사이의 활성 영역에 대해 국부적으로 실시됨으로써, 후속의 게이트 식각 공정 시 반도체 기판(210)의 활성 영역에 대한 어택(attack) 문제와 더불어 터널 절연막(212)의 특성이 저하되는 문제를 방지할 수 있다. 아울러, 이러한 산화 공정은 전술한 바와 같이 게이트 라인들 간에 간격이 넓게 형성되는 영역뿐만 아니라 각각의 위드 라인 영역들(즉, WL0 내지 WLn) 사이의 반도체 기판(210)에 대해서도 실시될 수 있다.

<29> 구체적으로, 산화 공정은 플라즈마 산화 공정으로 실시되며, 이러한 플라즈마 산화 공정은 O₂, H₂ 및 Ar 가스의

조합을 이용한다. 또한, 플라즈마 산화 공정은 RF 전력이 3500 내지 4500W, 온도가 400 내지 500℃, 압력이 600 내지 700Pa인 조건에서 이루어질 수 있다. 따라서, 이러한 산화 공정에 의해 제1 도전막 패턴들(214) 사이의 활성 영역에 터널 절연막(212)보다 더 두꺼운 두께인 70 내지 90Å 두께를 갖는 식각 보호막(213)이 형성된다.

<30> 하지만, 이때 상기와 같은 플라즈마 산화 공정에 의해 제1 도전막 패턴들(214) 하부의 가장자리 영역에 버즈 벅(bird's beak) 현상이 발생되는데, 본 발명에서와 같은 산화 공정 시에는 반응성이 좋은 라디칼 산화 즉, 플라즈마 산화 공정을 실시함으로써 버즈 벅 발생의 심화를 저하시킬 수 있다. 또한, 이러한 산화 공정은 상기와 같이 게이트 라인들 간의 간격이 넓게 형성되는 영역의 반도체 기관(210)의 활성 영역에 터널 절연막(212)이 식각되지 않은 상태에서 플라즈마 산화공정을 실시할 수도 있다.

<31> 도 2c를 참조하면, 제1 도전막 패턴들(214) 및 식각 보호막(213)을 포함하는 반도체 기관(210)상에 제2 도전막(216), 유전체막(220), 제3 도전막(222) 및 제4 도전막(224)을 포함하는 다층막을 순차적으로 형성한다. 제2 도전막(216)은 플로팅 게이트를 구성하는 상부막으로 불순물이 도핑된 폴리실리콘막으로 형성된다. 유전체막(220)은 제1 산화막(Oxide, 217), 질화막(Nitride, 218) 및 제2 산화막(Oxide, 219)의 ONO적층막으로 형성될 수 있다. 제3 및 제4 도전막(222 및 224)은 콘트롤 게이트용 도전막으로 형성되며 예를 들어, 제3 도전막(222)은 폴리실리콘막으로 형성되며, 제4 도전막(224)은 텅스텐 실리사이드막을 포함하는 금속막으로 형성될 수 있다.

<32> 도 2d를 참조하면, 다층막을 순차적으로 식각하여 게이트 라인들(226)을 형성한다. 다층막 즉, 제4 도전막(224), 제3 도전막(222), 유전체막(220) 및 제2 도전막(216)을 각각의 막들에 대한 공정 레시피(recipe)를 변화시키면서 순차적으로 RIE(Reactive Ion Etching)를 이용한 식각 공정을 실시할 수 있다. 이때, 상기와 같은 다층막을 식각하는 과정에서 플로팅 게이트를 구성하는 상부막인 제2 도전막(222)의 식각 공정 시 미리 형성된 제1 도전막(214)(즉, 플로팅 게이트를 구성하는 하부막)보다 넓은 폭으로 식각되는 것이 바람직하다. 이것은 반도체 소자의 고집적화에 따른 오버레이 공정 마진(margin)을 확보하기 위함이다.

<33> 특히, 식각 공정 시 전술한 바와 같이 게이트 라인들 간의 간격이 넓게 형성된 영역을 포함한 각각의 게이트 라인들 사이로 노출되는 반도체 기관(210)의 활성 영역에 대해 국부적인 플라즈마 산화 공정을 실시하여 제1 도전막 패턴들(214) 하부의 터널 절연막(212) 보다 더 두꺼운 두께의 식각 보호막(213)을 형성해놓음으로써 식각률 증가에 따른 반도체 기관(210)의 활성 영역 로스(loss)를 방지하면서도 터널 절연막(212)을 보호하여 공정의 신뢰성을 향상시킬 수 있다.

<34> 따라서, 이러한 특성은 셀 내의 반복적인 프로그램/지우기(Program/Erase) 동작시 문턱 전압의 변동을 감소시키고, 전하를 저장하는 리텐션(Retention) 특성을 개선함으로써 소자의 신뢰성을 향상시킬 수 있다.

<35> 본 발명에서는 낸드 플래시 메모리 소자를 제조하는 경우를 예로 들어 설명하였지만, 게이트 라인들 사이의 간격이 넓게 형성됨에 따른 로딩 효과가 발생하는 경우를 갖는 모든 반도체 소자의 제조 공정에서 응용될 수 있다.

<36> 지금까지 본 발명의 구체적인 구현예를 도면을 참조로 설명하였지만 이것은 본 발명이 속하는 기술분야에서 평균적 지식을 가진 자가 쉽게 이해할 수 있도록 하기 위한 것이고 발명의 기술적 범위를 제한하기 위한 것이 아니다. 따라서 본 발명의 기술적 범위는 특허청구범위에 기재된 사항에 의하여 정하여지며, 도면을 참조로 설명한 구현예는 본 발명의 기술적 사상과 범위 내에서 얼마든지 변형하거나 수정할 수 있다.

<37>

도면의 간단한 설명

<38> 도 1은 종래 기술에 따른 반도체 소자의 프로그램/소거 동작 시 동작 횟수 증가에 따른 각 영역의 메모리셀들의 문턱 전압 변화를 비교하는 상관 관계 그래프이다.

<39> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 순차적인 공정 단면도들이다.

<40> 210 : 반도체 기관

212 : 터널 절연막

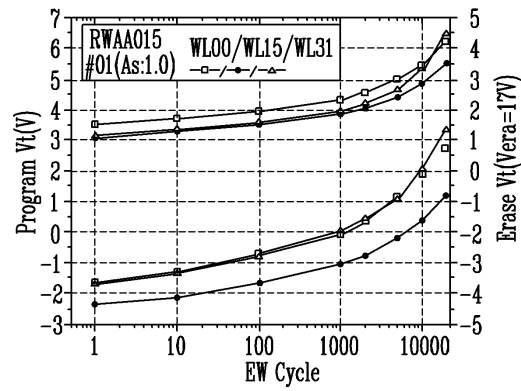
<41> 213 : 식각 보호막

214 : 제1 도전막 패턴들

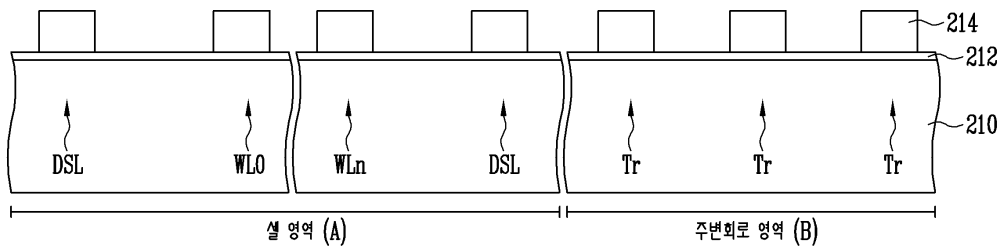
- <42> 216 : 제2 도전막 217 : 제1 산화막
 <43> 218 : 절화막 219 : 제2 산화막
 <44> 220 : 유전체막 222 : 제3 도전막
 <45> 224 : 제4 도전막 226 : 게이트 라인들

도면

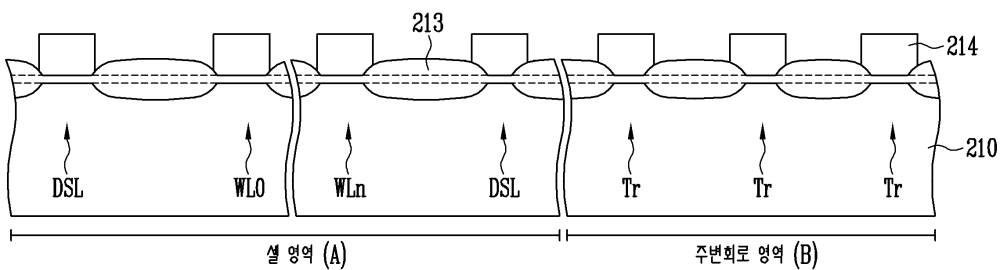
도면1



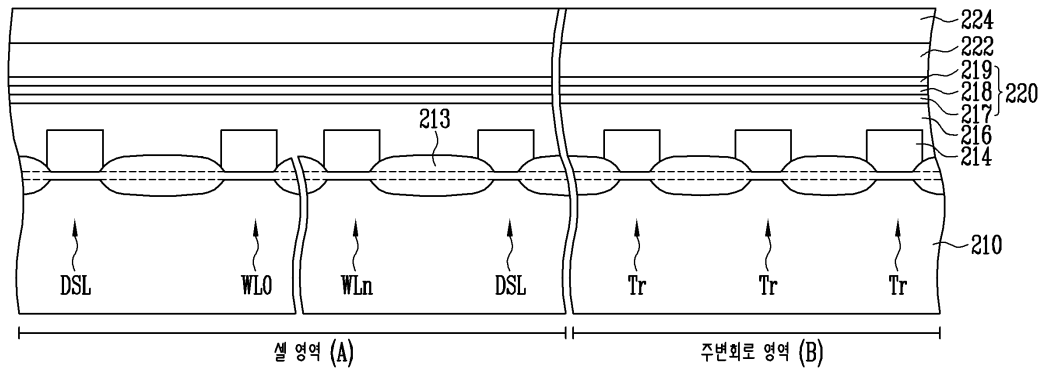
도면2a



도면2b



도면2c



도면2d

