

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 7월 21일 (21.07.2022)



(10) 국제공개번호
WO 2022/154248 A1

(51) 국제특허분류:
H01L 27/11582 (2017.01) H01L 27/1159 (2017.01)
H01L 27/1157 (2017.01) H01L 27/11597 (2017.01)

(21) 국제출원번호: PCT/KR2021/017521

(22) 국제출원일: 2021년 11월 25일 (25.11.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2021-0003678 2021년 1월 12일 (12.01.2021) KR

(71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 04763
서울시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: 송윤홍 (SONG, Yun Heub); 04763 서울시 성동구 왕십리로 222, Seoul (KR). 정재경 (JUNG, Jae Kyung); 04763 서울시 성동구 왕십리로 222, Seoul (KR).

(74) 대리인: 김정훈 (KIM, Jeong Hoon); 06099 서울시 강남구 선릉로125길 14 삼성빌딩 2층 피엔티특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

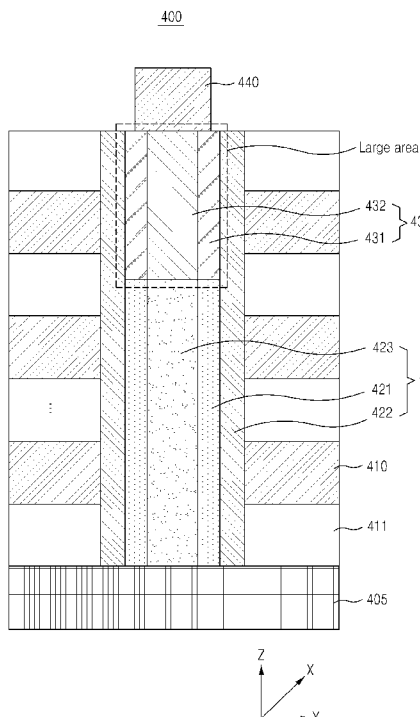
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: THREE-DIMENSIONAL FLASH MEMORY FOR IMPROVING CONTACT RESISTANCE OF IGZO CHANNEL LAYER

(54) 발명의 명칭: IGZO 채널층의 콘택트 저항을 개선하는 3차원 플래시 메모리



(57) Abstract: Disclosed are a three-dimensional flash memory for improving contact resistance of IGZO channel layer and a method for manufacturing same. According to one embodiment, the three-dimensional flash memory may comprise: multiple word lines sequentially stacked and extending in a horizontal direction on a substrate; and at least one string extending in a vertical direction on the substrate through the multiple word lines, the at least one string comprising a channel layer extending in the vertical direction and a charge storage layer formed to surround the channel layer, wherein the at least one string comprises a drain junction formed in a dual structure and comprising an N+ doped first area on the channel layer and an N+ doped second area with a material having lower contact resistance than the channel layer.

(57) 요약서: IGZO 채널층의 콘택트 저항을 개선하는 3차원 플래시 메모리 및 그 제조 방법이 개시된다. 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하고, 상기 적어도 하나의 스트링은, 상기 채널층에 N+ 도핑된 제1 영역 및 상기 채널층보다 콘택트 저항이 작은 물질에 N+ 도핑된 제2 영역을 포함하는 이중 구조로 형성된 드레인 정션(Drain junction)을 포함하는 것을 특징으로 할 수 있다.

WO 2022/154248 A1

명세서

발명의 명칭: IGZO 채널층의 컨택트 저항을 개선하는 3차원 플래시 메모리

기술분야

- [1] 아래의 실시예들은 3차원 플래시 메모리에 관한 것으로, 보다 상세하게는 IGZO 채널층에서의 컨택트 저항(Contact resistance)을 개선하기 위한 기술이다.

배경기술

- [2] 플래시 메모리 소자는 전기적으로 소거가능하며 프로그램 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, 그 메모리는, 예를 들어, 컴퓨터, 디지털 카메라, MP3 플레이어, 게임 시스템, 메모리 스틱(Memory stick) 등에 공통적으로 이용될 수 있다. 이러한, 플래시 메모리 소자는 F-N 터널링(Fowler-Nordheimtunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어한다.
- [3] 구체적으로, 기존의 3차원 플래시 메모리의 어레이를 나타낸 도 1을 참조하면, 3차원 플래시 메모리의 어레이는 공통 소스 라인(CSL), 비트 라인(BL) 및 공통 소스 라인(CSL)과 비트 라인(BL) 사이에 배치되는 복수 개의 셀 스트링들(CSTR)을 포함할 수 있다.
- [4] 비트 라인들은 2차원적으로 배열되고, 그 각각에는 복수 개의 셀 스트링들(CSTR)이 병렬로 연결된다. 셀 스트링들(CSTR)은 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수의 비트 라인들과 하나의 공통 소스 라인(CSL) 사이에 복수의 셀 스트링들(CSTR)이 배치될 수 있다. 이 때, 공통 소스 라인들(CSL)은 복수 개일 수 있으며, 복수 개의 공통 소스 라인들(CSL)이 2차원적으로 배열될 수 있다. 여기서, 복수 개의 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으며, 또는 복수 개의 공통 소스 라인들(CSL) 각각이 전기적으로 제어될 수도 있다.
- [5] 셀 스트링들(CSTR) 각각은 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트 라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 그리고, 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST) 및 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다.
- [6] 공통 소스 라인(CSL)은 접지 선택 트랜지스터들(GST)의 소스들에 공통으로 연결될 수 있다. 이에 더하여, 공통 소스 라인(CSL)과 비트 라인(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수 개의 워드 라인들(WL0-WL3) 및 복수개의 스트링 선택 라인들(SSL)이 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT) 및 스트링 선택 트랜지스터들(SST)의 전극층들로서 각각

사용될 수 있다. 또한, 메모리 셀 트랜지스터들(MCT) 각각은 메모리 요소(memory element)를 포함한다. 이하, 스트링 선택 라인(SSL)은 상부 선택 라인(Upper Selection Line; USL)으로 표현될 수 있으며, 접지 선택 라인(GSL)은 하부 선택 라인(Lower Selection Line; LSL)으로 표현될 수 있다.

- [7] 한편, 기존의 3차원 플래시 메모리는 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해, 수직적으로 셀을 적층함으로써, 집적도를 증가시키고 있다.
- [8] 예를 들어, 기존의 3차원 플래시 메모리의 구조를 나타낸 도 2를 참조하면, 기존의 3차원 플래시 메모리는 기판(200) 상에 층간 절연층들(211) 및 수평 구조체들(250)이 교대로 반복적으로 형성된 전극 구조체(215)가 배치되어 제조된다. 층간 절연층들(211) 및 수평 구조체들(250)은 제1 방향으로 연장될 수 있다. 층간 절연층들(211)은 일례로 실리콘 산화막일 수 있으며, 층간 절연층들(211) 중 최하부의 층간 절연층(211a)은 나머지 층간 절연층들(211)보다 얇은 두께를 가질 수 있다. 수평 구조체들(250) 각각은 제1 및 제2 블로킹 절연막들(242, 243) 및 전극층(245)을 포함할 수 있다. 전극 구조체(215)는 복수 개로 제공되며, 복수 개의 전극 구조체들(215)은 제1 방향에 교차하는 제2 방향으로 서로 마주보며 배치될 수 있다. 제1 및 제2 방향은 각각 도 2의 x축 및 y축에 해당할 수 있다. 복수 개의 전극 구조체들(215) 사이에는 이들을 이격시키는 트렌치들(240)이 제1 방향으로 연장될 수 있다. 트렌치들(240)에 의해 노출된 기판(200) 내에는 고농도로 도핑된 불순물 영역들이 형성되어 공통 소스 라인(CSL)이 배치될 수 있다. 도시하지 않았으나, 트렌치들(240)을 채우는 분리 절연막들이 더 배치될 수 있다.
- [9] 전극 구조체(215)를 관통하는 수직 구조체들(230)이 배치될 수 있다. 일례로, 수직 구조체들(230)은 평면적 관점에서, 제1 및 제2 방향을 따라 정렬되어 매트릭스 형태로 배치될 수 있다. 다른 예로, 수직 구조체들(230)은 제2 방향으로 정렬되며, 제1 방향으로 지그재그 형태로 배치될 수도 있다. 수직 구조체들(230) 각각은 보호막(224), 전하 저장막(225), 터널 절연막(226), 및 채널층(227)을 포함할 수 있다. 일례로, 채널층(227)은 그 내부의 속이 빈 튜브 형태로 배치될 수 있으며, 이 경우 채널층(227)의 내부를 채우는 매립막(228)(산화물(Oxide)로 형성됨)이 더 배치될 수 있다. 채널층(227)의 상부에는 드레인 영역(D)이 배치되고, 드레인 영역(D) 상에 도전 패턴(229)이 형성되어, 비트 라인(BL)과 연결될 수 있다. 비트 라인(BL)은 수평 전극들(250)과 교차하는 방향, 예를 들어 제2 방향으로 연장될 수 있다. 일례로, 제2 방향으로 정렬된 수직 구조체들(230)은 하나의 비트 라인(BL)에 연결될 수 있다.
- [10] 수평 구조체들(250)에 포함된 제1 및 제2 블로킹 절연막들(242, 243) 및 수직 구조체들(230)에 포함된 전하 저장막(225) 및 터널 절연막(226)은 3차원 플래시 메모리의 정보 저장 요소인 ONO(Oxide-Nitride-Oxide)층으로 정의될 수 있다. 즉, 정보 저장 요소 중 일부는 수직 구조체들(230)에 포함되고, 나머지 일부는 수평

구조체들(250)에 포함될 수 있다. 일례로, 정보 저장 요소 중 전하 저장막(225) 및 터널 절연막(226)은 수직 구조체들(230)에 포함되고, 제1 및 제2 블로킹 절연막들(242, 243)은 수평 구조체들(250)에 포함될 수 있다.

- [11] 기판(200) 및 수직 구조체들(230) 사이에 에피택시얼 패턴들(222)이 배치될 수 있다. 에피택시얼 패턴들(222)은 기판(200)과 수직 구조체들(230)을 연결한다. 에피택시얼 패턴들(222)은 적어도 한 층의 수평 구조체들(250)과 접할 수 있다. 즉, 에피택시얼 패턴들(222)은 최하부의 수평 구조체(250a)와 접하도록 배치될 수 있다. 다른 실시예에 따르면, 에피택시얼 패턴들(222)은 복수 개의 층, 예를 들어 두 개의 층의 수평 구조체들(250)과 접하도록 배치될 수도 있다. 한편, 에피택시얼 패턴들(222)이 최하부의 수평 구조체(250a)와 접하도록 배치되는 경우, 최하부의 수평 구조체(250a)는 나머지 수평 구조체들(250)보다 두껍게 배치될 수 있다. 에피택시얼 패턴들(222)에 접하는 최하부의 수평 구조체(250a)는 도 1을 참조하여 기재한 3차원 플래시 메모리의 어레이의 접지 선택 라인(GSL)에 해당할 수 있으며, 수직 구조체들(230)에 접하는 나머지 수평 구조체들(250)은 복수 개의 워드 라인들(WL0-WL3)에 해당할 수 있다.

- [12] 에피택시얼 패턴들(222) 각각은 리세스된 측벽(222a)을 갖는다. 그에 따라, 에피택시얼 패턴들(222)에 접하는 최하부의 수평 구조체(250a)는 리세스된 측벽(222a)의 프로파일을 따라 배치된다. 즉, 최하부의 수평 구조체(250a)는 에피택시얼 패턴들(222)의 리세스된 측벽(222a)을 따라 안쪽으로 볼록한 형태로 배치될 수 있다.

- [13] 이와 같은 구조를 갖는 기존의 3차원 플래시 메모리와 관련하여 채널층(227)에서의 누설 전류 특성을 개선하는 것이 최근 이슈화되고 있는 바, 채널층(227)이 IGZO와 같이 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질로 형성되는 구조가 제안되었다.

- [14] 그러나 IGZO 물질은 폴리 실리콘에 비해 컨택트 저항(Contact resistance)이 큰 특성을 갖는 바, 도 3에 도시된 IGZO 물질로 형성되는 채널층(310)을 포함하는 기존의 3차원 플래시 메모리(300)는 드레인 정션(Drain junction)(311)의 면적이 작아 적어도 하나의 스트링의 상단에 위치하는 드레인 라인과 같은 배선(320)과의 컨택트 저항에 의한 문제를 갖는다.

- [15] 따라서, 기존의 3차원 플래시 메모리(300)가 갖는 IGZO 채널층(310)의 컨택트 저항 문제를 해결하기 위한 기술이 제안될 필요가 있다.

발명의 상세한 설명

기술적 과제

- [16] 일 실시예들은 우수한 누설 전류 특성을 가지나 컨택트 저항이 폴리 실리콘보다 큰 물질로 형성되는 채널층의 컨택트 저항을 개선하고자, 드레인 정션의 면적이 최대한 증가된 구조를 갖는 3차원 플래시 메모리 및 그 제조 방법을 제안한다.

과제 해결 수단

- [17] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하고, 상기 적어도 하나의 스트링은, 상기 채널층에 N+ 도핑된 제1 영역 및 상기 채널층보다 콘택트 저항이 작은 물질에 N+ 도핑된 제2 영역을 포함하는 이중 구조로 형성된 드레인 정션(Drain junction)을 포함하는 것을 특징으로 한다.
- [18] 일 측면에 따르면, 상기 제2 영역은, 상기 채널층보다 콘택트 저항이 작은 물질이 내부가 빈 마카로니 형태로 형성된 상기 채널층의 내부 공간에 충전됨에 따라, 상기 제1 영역이 갖는 내부 공간에 형성되는 것을 특징으로 할 수 있다.
- [19] 다른 일 측면에 따르면, 상기 채널층보다 콘택트 저항이 작은 물질은, 상기 채널층의 내부 공간 중 상단 일부분에만 충전되는 것을 특징으로 할 수 있다.
- [20] 또 다른 일 측면에 따르면, 상기 적어도 하나의 스트링은, 상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 드레인 정선의 면적이 최대한 증가된 구조를 갖는 것을 특징으로 할 수 있다.
- [21] 또 다른 일 측면에 따르면, 상기 적어도 하나의 스트링은, 상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 채널층의 접촉 면적이 최대한 증가된 구조를 갖는 것을 특징으로 할 수 있다.
- [22] 또 다른 일 측면에 따르면, 상기 채널층은, 누설 전류를 억제 및 차단하도록 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질로 형성되고, 상기 채널층보다 콘택트 저항이 작은 물질은, 폴리 실리콘인 것을 특징으로 할 수 있다.
- [23] 일 실시예에 따르면, 3차원 플래시 메모리의 제조 방법은, 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하는 반도체 구조체를 준비하는 단계; 상기 채널층의 상단 일부분에 N+ 도핑을 하여 이중 구조의 드레인 정선에 포함되는 제1 영역을 형성하는 단계; 상기 채널층의 내부 영역 중 상단 일부분을 식각하는 단계; 및 상기 식각된 공간 내에 상기 이중 구조의 드레인 정선에 포함되는 제2 영역-상기 제2 영역은 상기 채널층보다 콘택트 저항이 작은 물질에 N+ 도핑된 영역임-을 형성하는 단계를 포함한다.
- [24] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드

라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하고, 상기 적어도 하나의 스트링은, 상기 채널층에 N+ 도핑된 제1 영역 및 상기 적어도 하나의 스트링의 상부에 배치되는 배선을 구성하는 물질과 동일한 물질로 형성되는 제2 영역을 포함하는 이중 구조로 형성된 드레인 정션(Drain junction)을 포함하는 것을 특징으로 한다.

- [25] 일 측면에 따르면, 상기 제2 영역은, 상기 배선을 구성하는 물질과 동일한 물질이 내부가 빈 마카로니 형태로 형성된 상기 채널층의 내부 공간에 충전됨에 따라, 상기 제1 영역이 갖는 내부 공간에 형성되는 것을 특징으로 할 수 있다.
- [26] 다른 일 측면에 따르면, 상기 배선을 구성하는 물질과 동일한 물질은, 상기 채널층의 내부 공간 중 상단 일부분에만 충전되는 것을 특징으로 할 수 있다.
- [27] 또 다른 일 측면에 따르면, 상기 적어도 하나의 스트링은, 상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 드레인 정선의 면적이 최대한 증가된 구조를 갖는 것을 특징으로 할 수 있다.
- [28] 또 다른 일 측면에 따르면, 상기 적어도 하나의 스트링은, 상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 채널층의 접촉 면적이 최대한 증가된 구조를 갖는 것을 특징으로 할 수 있다.
- [29] 또 다른 일 측면에 따르면, 상기 채널층은, 누설 전류를 억제 및 차단하도록 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질로 형성되는 것을 특징으로 할 수 있다.
- [30] 일 실시예에 따르면, 3차원 플래시 메모리의 제조 방법은, 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하는 반도체 구조체를 준비하는 단계; 상기 채널층의 상단 일부분에 N+ 도핑을 하여 이중 구조의 드레인 정선에 포함되는 제1 영역을 형성하는 단계; 상기 채널층의 내부 영역 중 상단 일부분을 식각하는 단계; 및 상기 식각된 공간 내에 상기 이중 구조의 드레인 정선에 포함되는 제2 영역-상기 제2 영역은 상기 적어도 하나의 스트링의 상부에 배치되는 배선을 구성하는 물질과 동일한 물질로 형성됨-을 형성하는 단계를 포함한다.

발명의 효과

- [31] 일 실시예들은 우수한 누설 전류 특성을 가지나 컨택트 저항이 폴리 실리콘보다 큰 물질로 형성되는 채널층과 관련하여, 드레인 정선의 면적이 최대한 증가된 구조를 갖는 3차원 플래시 메모리 및 그 제조 방법을 제안함으로써, 채널층의 컨택트 저항을 개선할 수 있다.

도면의 간단한 설명

- [32] 도 1은 기존의 3차원 플래시 메모리의 어레이를 나타낸 간략 회로도이다.
- [33] 도 2는 기존의 3차원 플래시 메모리의 구조를 나타낸 사시도이다.
- [34] 도 3은 기존의 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [35] 도 4는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [36] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [37] 도 6a 내지 6d는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리는 나타낸 측면 단면도이다.
- [38] 도 7은 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [39] 도 8은 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [40] 도 9a 내지 9d는 도 8에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리는 나타낸 측면 단면도이다.

발명의 실시를 위한 최선의 형태

- [41] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [42] 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [43]
- [44] 이하, 3차원 플래시 메모리를 나타낸 측면 단면도에서는 설명의 편의를 위해 복수의 스트링들의 하부에 위치하는 소스 라인 등의 구성요소가 생략된 채 3차원 플래시 메모리가 도시 및 설명될 수 있다. 그러나 후술되는 3차원 플래시 메모리는 이에 제한되거나 한정되지 않고 도 2를 참조하여 도시된 기존의 3차원 플래시 메모리의 구조에 기초하여 추가적인 구성요소를 더 포함할 수 있다.
- [45]
- [46] 도 4는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [47] 도 4를 참조하면, 일 실시예에 따른 3차원 플래시 메모리(400)는 복수의 워드 라인들(410) 및 적어도 하나의 스트링(420)을 포함한다.
- [48] 복수의 워드 라인들(410)은 기판(405) 상 수평 방향으로 연장 형성된 채 순차적으로 적층되며, 각각이 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리), Mo(몰리브덴), Ru(루테튬) 또는 Au(금)과 같은 도전성 물질(설명된 금속 물질 이외에도 ALD 형성 가능한 모든 금속 물질이 포함됨)로 형성되어 각각에

대응하는 메모리 셀들로 전압을 인가하여 메모리 동작(판독 동작, 프로그램 동작 및 소거 동작 등)을 수행할 수 있다. 이러한 복수의 워드 라인들(410)의 사이에는 절연 물질로 형성되는 복수의 절연층들(411)이 개재될 수 있다.

[49] 이러한 복수의 워드 라인들(410)의 상단에는 SSL(String Selection Line)이 배치될 수 있으며, 하단에는 GSL(Ground Selection Line)이 배치될 수 있다.

[50] 적어도 하나의 스트링(420)은 복수의 워드 라인들(410)을 관통하여 기판(405) 상 수직 방향으로 연장 형성되는 가운데, 각각이 채널층(421) 및 전하 저장층(422)을 포함함으로써, 복수의 워드 라인들(410)에 대응하는 복수의 메모리 셀들을 구성할 수 있다.

[51] 전하 저장층(422)은 채널층(421)을 감싸도록 연장 형성된 채, 복수의 워드 라인들(410)을 통해 인가되는 전압에 의한 전하 또는 홀을 트랩하거나, 전하들의 상태(예를 들어, 전하들의 분극 상태)를 유지하는 구성요소로서, 3차원 플래시 메모리(400)에서 데이터 저장소의 역할을 할 수 있다. 일례로, 전하 저장층(422)으로는 ONO(Oxide-Nitride-Oxide)층 또는 강유전체층이 사용될 수 있다. 전하 저장층(422)은 채널층(421)을 감싸도록 연장 형성되는 것에 제한되거나 한정되지 않고 채널층(421)을 감싸며 메모리 셀 별로 분리된 구조를 가질 수도 있다.

[52] 채널층(421)은 복수의 워드 라인들(410), SSL, GSL, 비트 라인을 통해 인가되는 전압에 의해 메모리 동작을 수행하는 구성요소로서, In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질과 같이 우수한 누설 전류 특성을 가지나 콘택트 저항이 폴리 실리콘보다 큰 물질로 형성될 수 있다.

[53] 이러한 채널층(421)의 내부에는 매립막(423)이 형성될 수 있다. 일례로, 채널층(421)이 내부가 빈 마카로니 형태로 구성됨에 따라 채널층(421)의 내부 공간에는 산화물(Oxide)의 매립막(423)이 형성될 수 있다.

[54] 특히, 적어도 하나의 스트링(420)은 이중 구조로 형성된 드레인 정션(Drain junction)(430)을 포함함으로써, 드레인 정션(430)의 면적이 최대한 증가된 구조를 가질 수 있다.

[55] 보다 상세하게, 드레인 정션(430)은 채널층(421)에 N+ 도핑된 제1 영역(431) 및 채널층(421)보다 콘택트 저항이 작은 물질(일례로, 폴리 실리콘)에 N+ 도핑된 제2 영역(432)을 포함하는 이중 구조를 가질 수 있다. 따라서, 드레인 정션(430)은 이중 구조를 갖게 됨에 따라 면적이 최대한 증가된 구조를 가질 수 있고, 이를 통해 채널층(421)의 접촉 면적이 최대한 증가된 구조를 갖게 되어 채널층(421)의 큰 콘택트 저항이 개선될 수 있다(작아질 수 있다). 이하, 드레인 정션(430)이 면적이 최대한 증가된 구조를 갖는 것은, 적어도 하나의 스트링(420)에 포함되는 복수의 메모리 셀들의 개수가 계획된 개수로 구현됨을 전제로 적어도 하나의 스트링(420)에서 복수의 메모리 셀들이 구현되는 영역을 제외한 나머지 영역 상에서 드레인 정션(430)의 면적이 최대한 증가된 구조를 갖는 것을 의미한다. 마찬가지로, 채널층(421)의 접촉 면적이 최대한 증가된 구조를 갖게 되는 것은,

적어도 하나의 스트링(420)에 포함되는 복수의 메모리 셀들의 개수가 계획된 개수로 구현됨을 전제로 적어도 하나의 스트링(420)에서 복수의 메모리 셀들이 구현되는 영역을 제외한 나머지 영역 상에서 채널층(421)의 접촉 면적이 최대한 증가된 구조를 갖는 것을 의미한다.

[56] 드레인 정션(430)의 이중 구조와 관련하여, 제2 영역(432)은 도면과 같이 채널층(421)보다 컨택트 저항이 작은 물질이 내부가 빈 마카로니 형태로 형성된 채널층(421)의 내부 공간에 충전됨에 따라, 제1 영역(431)이 갖는 내부 공간에 형성될 수 있다. 일례로, 채널층(421)보다 컨택트 저항이 작은 물질은 채널층(421)의 내부 공간 중 상단 일부분에만 충전됨으로써, 제2 영역(432)은 적어도 하나의 스트링(420)의 상단 일부분에 형성될 수 있다. 마찬가지로, 제1 영역(431) 역시 적어도 하나의 스트링(420)의 상단 일부분에 형성될 수 있다.

[57] 적어도 하나의 스트링(420)의 상부에는(보다 정확하게, 드레인 정션(430)의 상부에는) 드레인 라인과 같은 배선(440)이 배치될 수 있다.

[58] 이처럼 드레인 정션(430)은, 채널층(421)에 N+ 도핑된 제1 영역(431) 및 채널층(421)보다 컨택트 저항이 작은 물질에 N+ 도핑된 제2 영역(432)을 포함하는 이중 구조를 통해 면적이 최대한 증가된 구조를 가질 수 있고, 이를 기반으로 배선(440)에 대한 채널층(421)의 컨택트 저항을 개선할 수 있다.

[59]

[60] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 6a 내지 6d는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리는 나타낸 측면 단면도이다.

[61] 이하, 후술되는 제조 방법은 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 하며, 제조 방법을 통해 제조 완료되는 3차원 플래시 메모리는 도 4를 참조하여 설명된 구조를 갖게 될 수 있다.

[62] 도 5를 참조하면, 일 실시예에 따른 제조 시스템은 단계(S510)에서, 도 6a와 같이 반도체 구조체(600)를 준비할 수 있다.

[63] 여기서, 반도체 구조체(600)는 기판(605) 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들(610) 및 복수의 워드 라인들(610)을 관통하여 기판(605) 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링(620)을 포함할 수 있다. 적어도 하나의 스트링(620)은 수직 방향으로 연장 형성되는 채널층(621) 및 채널층(621)을 감싸도록 수직 방향으로 연장 형성되는 전하 저장층(622)을 포함할 수 있다.

[64] 이 때, 채널층(621)은 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질과 같이 우수한 누설 전류 특성을 가지나 컨택트 저항이 폴리 실리콘보다 큰 물질로 형성될 수 있으며, 채널층(621)은 내부가 빈 마카로니 형태로 형성되어 그 내부에 매립막(623)을 포함할 수 있다.

[65] 이어서 제조 시스템은 단계(S520)에서, 도 6b와 같이 채널층(621)의 상단 일부분에 N+ 도핑을 하여 이중 구조의 드레인 정션(630)에 포함되는 제1

영역(631)을 형성할 수 있다.

- [66] 그 다음 제조 시스템은 단계(S530)에서, 도 6c와 같이 채널층(621)의 내부 영역 중 상단 일부분을 식각할 수 있다. 일례로, 제조 시스템은 채널층(621)의 내부에 포함된 매립막(623) 중 상단 일부분을 식각하여, 공간(621-1)을 확보할 수 있다.
- [67] 그 후 제조 시스템은 단계(S540)에서, 도 6d와 같이 식각된 공간(621-2) 내에 이중 구조의 드레인 정션(630)에 포함되는 제2 영역(632)을 형성할 수 있다. 여기서, 제2 영역(632)은 채널층(621)보다 콘택트 저항이 낮은 물질(예컨대, 폴리실리콘)에 N+ 도핑된 영역일 수 있다. 예를 들어, 제조 시스템은 식각된 공간(621-2) 내에 채널층(621)보다 콘택트 저항이 낮은 물질(예컨대, 폴리실리콘)을 충전한 뒤, N+ 도핑을 하여 제2 영역(632)을 형성할 수 있다.
- [68] 별도의 단계로 도 5에 도시되지는 않았으나, 이와 같이 단계들(S510 내지 S540)이 수행되고 나면 제조 시스템은, 도 6d와 같이 적어도 하나의 스트링(620)의 상부에 배선(640)을 배치할 수 있다.
- [69]
- [70] 도 7은 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [71] 도 7을 참조하면, 다른 일 실시예에 따른 3차원 플래시 메모리(700)는 도 4를 참조하여 설명된 3차원 플래시 메모리(400)와 동일한 구조(이중 구조의 드레인 정션)를 가지나, 이중 구조의 드레인 정션에 포함되는 제2 영역을 구성하는 물질이 3차원 플래시 메모리(400)와 상이하다는 점에서 차이가 있다. 이에 대한 상세한 설명은 아래에서 기재하기로 한다.
- [72] 3차원 플래시 메모리(700)는 복수의 워드 라인들(710) 및 적어도 하나의 스트링(720)을 포함한다.
- [73] 복수의 워드 라인들(710)은 기판(705) 상 수평 방향으로 연장 형성된 채 순차적으로 적층되며, 각각이 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리), Mo(몰리브덴), Ru(루테튬) 또는 Au(금)와 같은 도전성 물질(설명된 금속 물질 이외에도 ALD 형성 가능한 모든 금속 물질이 포함됨)로 형성되어 각각에 대응하는 메모리 셀들로 전압을 인가하여 메모리 동작(판독 동작, 프로그램 동작 및 소거 동작 등)을 수행할 수 있다. 이러한 복수의 워드 라인들(710)의 사이에는 절연 물질로 형성되는 복수의 절연층들(711)이 개재될 수 있다.
- [74] 이러한 복수의 워드 라인들(710)의 상단에는 SSL(String Selection Line)이 배치될 수 있으며, 하단에는 GSL(Ground Selection Line)이 배치될 수 있다.
- [75] 적어도 하나의 스트링(720)은 복수의 워드 라인들(710)을 관통하여 기판(705) 상 수직 방향으로 연장 형성되는 가운데, 각각이 채널층(721) 및 전하 저장층(722)을 포함함으로써, 복수의 워드 라인들(710)에 대응하는 복수의 메모리 셀들을 구성할 수 있다.
- [76] 전하 저장층(722)은 채널층(721)을 감싸도록 연장 형성된 채, 복수의 워드 라인들(710)을 통해 인가되는 전압에 의한 전하 또는 홀을 트랩하거나, 전하들의 상태(예를 들어, 전하들의 분극 상태)를 유지하는 구성요소로서, 3차원 플래시

메모리(700)에서 데이터 저장소의 역할을 할 수 있다. 일례로, 전하 저장층(722)으로는 ONO(Oxide-Nitride-Oxide)층 또는 강유전체층이 사용될 수 있다.

- [77] 채널층(721)은 복수의 워드 라인들(710), SSL, GSL, 비트 라인을 통해 인가되는 전압에 의해 메모리 동작을 수행하는 구성요소로서, In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질과 같이 우수한 누설 전류 특성을 가지나 컨택트 저항이 폴리 실리콘보다 큰 물질로 형성될 수 있다.
- [78] 이러한 채널층(721)의 내부에는 매립막(723)이 형성될 수 있다. 일례로, 채널층(721)이 내부가 빈 마카로니 형태로 구성됨에 따라 채널층(7210)의 내부 공간에는 산화물(Oxide)의 매립막(723)이 형성될 수 있다.
- [79] 특히, 적어도 하나의 스트링(720)은 이중 구조로 형성된 드레인 정션(Drain junction)(730)을 포함함으로써, 드레인 정션(730)의 면적이 최대한 증가된 구조를 가질 수 있다.
- [80] 보다 상세하게, 드레인 정션(730)은 채널층(721)에 N+ 도핑된 제1 영역(731) 및 적어도 하나의 스트링(720)의 상부에 배치되는 배선(740)을 구성하는 물질(예컨대, W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리), Mo(몰리브덴), Ru(루테튬) 또는 Au(금)과 같은 도전성 물질)과 동일한 물질로 형성되는 제2 영역(732)을 포함하는 이중 구조를 가질 수 있다. 따라서, 드레인 정션(730)은 이중 구조를 갖게 됨에 따라 면적이 최대한 증가된 구조를 가질 수 있고, 이를 통해 채널층(721)의 접촉 면적이 최대한 증가된 구조를 갖게 되어 채널층(721)의 큰 컨택트 저항이 개선될 수 있다(작아질 수 있다). 이하, 드레인 정션(730)이 면적이 최대한 증가된 구조를 갖는 것은, 적어도 하나의 스트링(720)에 포함되는 복수의 메모리 셀들의 개수가 계획된 개수로 구현됨을 전제로 적어도 하나의 스트링(720)에서 복수의 메모리 셀들이 구현되는 영역을 제외한 나머지 영역 상에서 드레인 정션(730)의 면적이 최대한 증가된 구조를 갖는 것을 의미한다. 마찬가지로, 채널층(721)의 접촉 면적이 최대한 증가된 구조를 갖게 되는 것은, 적어도 하나의 스트링(720)에 포함되는 복수의 메모리 셀들의 개수가 계획된 개수로 구현됨을 전제로 적어도 하나의 스트링(720)에서 복수의 메모리 셀들이 구현되는 영역을 제외한 나머지 영역 상에서 채널층(721)의 접촉 면적이 최대한 증가된 구조를 갖는 것을 의미한다.
- [81] 드레인 정션(730)의 이중 구조와 관련하여, 제2 영역(732)은 도면과 같이 배선(740)을 구성하는 물질과 동일한 물질이 내부가 빈 마카로니 형태로 형성된 채널층(721)의 내부 공간에 충전됨에 따라, 제1 영역(731)이 갖는 내부 공간에 형성될 수 있다. 일례로, 배선(740)을 구성하는 물질과 동일한 물질은 채널층(721)의 내부 공간 중 상단 일부분에만 충전됨으로써, 제2 영역(732)은 적어도 하나의 스트링(720)의 상단 일부분에 형성될 수 있다. 마찬가지로, 제1 영역(731) 역시 적어도 하나의 스트링(720)의 상단 일부분에 형성될 수 있다.
- [82] 적어도 하나의 스트링(720)의 상부에는(보다 정확하게, 드레인 정션(730)의

상부에는) 드레인 라인과 같은 배선(740)이 배치될 수 있다.

- [83] 이처럼 드레인 정선(730)은, 채널층(721)에 N+ 도핑된 제1 영역(731) 및 배선(740)을 구성하는 물질과 동일한 물질로 형성되는 제2 영역(732)을 포함하는 이중 구조를 통해 면적이 최대한 증가된 구조를 가질 수 있고, 이를 기반으로 배선(740)에 대한 채널층(721)의 컨택트 저항을 개선할 수 있다.
- [84]
- [85] 도 8은 다른 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 9a 내지 9d는 도 8에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리는 나타낸 측면 단면도이다.
- [86] 이하, 후술되는 제조 방법은 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 하며, 제조 방법을 통해 제조 완료되는 3차원 플래시 메모리는 도 7을 참조하여 설명된 구조를 갖게 될 수 있다.
- [87] 도 8을 참조하면, 일 실시예에 따른 제조 시스템은 단계(S810)에서, 도 9a와 같이 반도체 구조체(900)를 준비할 수 있다.
- [88] 여기서, 반도체 구조체(900)는 기판(905) 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들(910) 및 복수의 워드 라인들(910)을 관통하여 기판(905) 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링(920)을 포함할 수 있다. 적어도 하나의 스트링(920)은 수직 방향으로 연장 형성되는 채널층(921) 및 채널층(921)을 감싸도록 수직 방향으로 연장 형성되는 전하 저장층(922)을 포함할 수 있다.
- [89] 이 때, 채널층(921)은 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질과 같이 우수한 누설 전류 특성을 가지나 컨택트 저항이 폴리 실리콘보다 큰 물질로 형성될 수 있으며, 채널층(921)은 내부가 빈 마카로니 형태로 형성되어 그 내부에 매립막(923)을 포함할 수 있다.
- [90] 이어서 제조 시스템은 단계(S820)에서, 도 9b와 같이 채널층(921)의 상단 일부분에 N+ 도핑을 하여 이중 구조의 드레인 정선(930)에 포함되는 제1 영역(931)을 형성할 수 있다.
- [91] 그 다음 제조 시스템은 단계(S830)에서, 도 9c와 같이 채널층(921)의 내부 영역 중 상단 일부분을 식각할 수 있다. 일례로, 제조 시스템은 채널층(921)의 내부에 포함된 매립막(923) 중 상단 일부분을 식각하여, 공간(921-1)을 확보할 수 있다.
- [92] 그 후 제조 시스템은 단계(S840)에서, 도 9d와 같이 식각된 공간(921-2) 내에 이중 구조의 드레인 정선(930)에 포함되는 제2 영역(932)을 형성할 수 있다. 여기서, 제2 영역(932)은 적어도 하나의 스트링(920)의 상부에 배치되는 배선(940)을 구성하는 물질과 동일한 물질로 형성될 수 있다. 예를 들어, 제조 시스템은 식각된 공간(921-2) 내에 배선(940)을 구성하는 물질(예컨대, W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리), Mo(몰리브덴), Ru(루테튬) 또는 Au(금)과 같은 도전성 물질)과 동일한 물질을 충전하여 제2 영역(932)을 형성할 수 있다.

- [93] 별도의 단계로 도 8에 도시되지는 않았으나, 이와 같이 단계들(S810 내지 S840)이 수행되고 나면 제조 시스템은, 도 9d와 같이 적어도 하나의 스트링(920)의 상부에 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리), Mo(몰리브덴), Ru(루테튬) 또는 Au(금)과 같은 도전성 물질로 구성되는 배선(940)을 배치할 수 있다.
- [94]
- [95] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [96] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 기관 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및
상기 복수의 워드 라인들을 관통하여 상기 기관 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-
을 포함하고,
상기 적어도 하나의 스트링은,
상기 채널층에 N+ 도핑된 제1 영역 및 상기 채널층보다 컨택트 저항이 작은 물질에 N+ 도핑된 제2 영역을 포함하는 이중 구조로 형성된 드레인 정션(Drain junction)을 포함하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 2] 제1항에 있어서,
상기 제2 영역은,
상기 채널층보다 컨택트 저항이 작은 물질이 내부가 빈 마카로니 형태로 형성된 상기 채널층의 내부 공간에 충전됨에 따라, 상기 제1 영역이 갖는 내부 공간에 형성되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 3] 제2항에 있어서,
상기 채널층보다 컨택트 저항이 작은 물질은,
상기 채널층의 내부 공간 중 상단 일부분에만 충전되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 4] 제1항에 있어서,
상기 적어도 하나의 스트링은,
상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 드레인 정션의 면적이 최대한 증가된 구조를 갖는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 5] 제4항에 있어서,
상기 적어도 하나의 스트링은,
상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 채널층의 접촉 면적이 최대한 증가된 구조를 갖는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 6] 제1항에 있어서,
상기 채널층은,
누설 전류를 억제 및 차단하도록 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질로 형성되고,
상기 채널층보다 컨택트 저항이 작은 물질은,

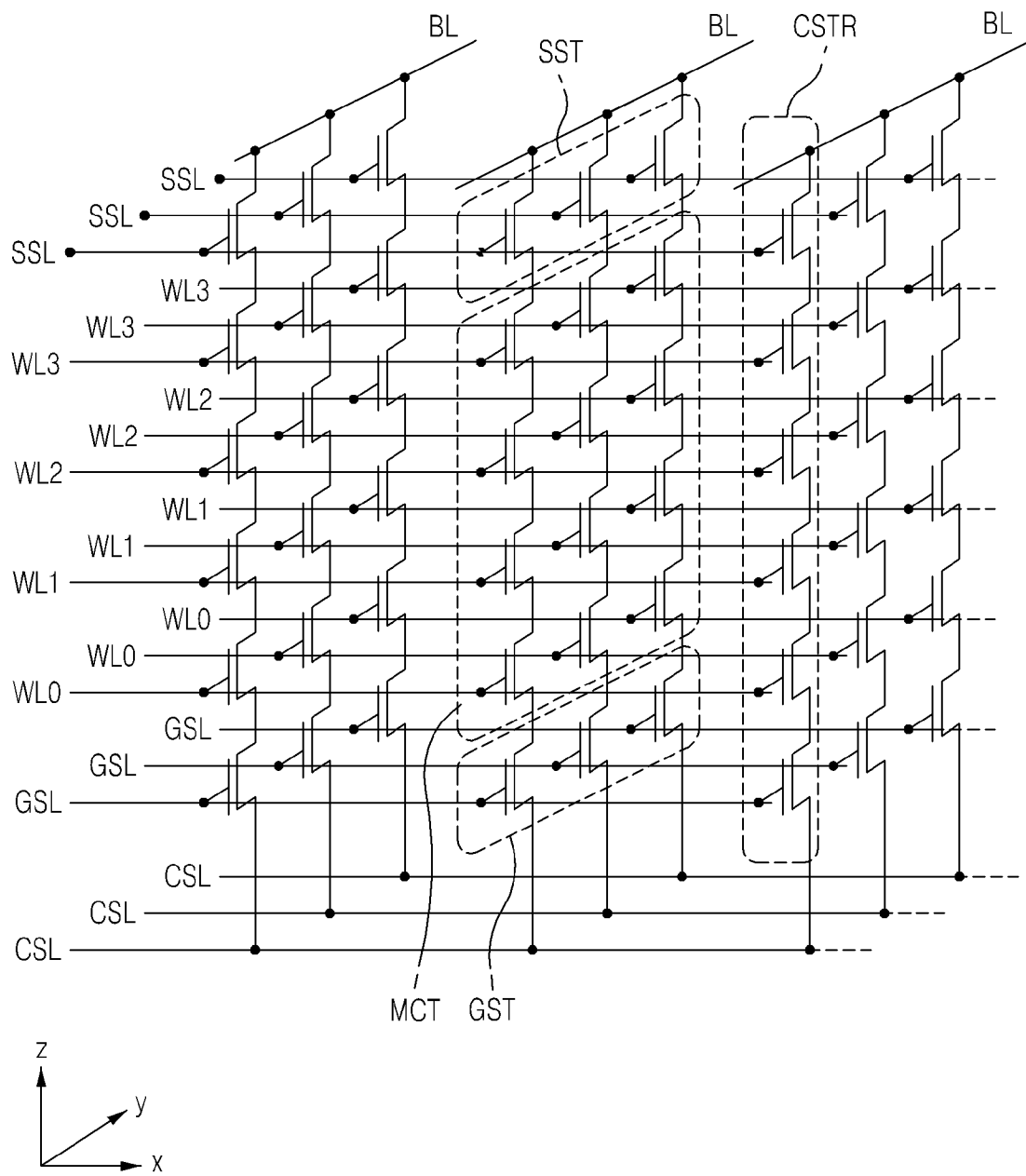
- 폴리 실리콘인 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 7] 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하는 반도체 구조체를 준비하는 단계;
- 상기 채널층의 상단 일부분에 N+ 도핑을 하여 이중 구조의 드레인 정션에 포함되는 제1 영역을 형성하는 단계;
- 상기 채널층의 내부 영역 중 상단 일부분을 식각하는 단계; 및
- 상기 식각된 공간 내에 상기 이중 구조의 드레인 정션에 포함되는 제2 영역-상기 제2 영역은 상기 채널층보다 콘택트 저항이 작은 물질에 N+ 도핑된 영역임-을 형성하는 단계
- 를 포함하는 3차원 플래시 메모리의 제조 방법.
- [청구항 8] 기판 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및
- 상기 복수의 워드 라인들을 관통하여 상기 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하고,
- 상기 적어도 하나의 스트링은,
- 상기 채널층에 N+ 도핑된 제1 영역 및 상기 적어도 하나의 스트링의 상부에 배치되는 배선을 구성하는 물질과 동일한 물질로 형성되는 제2 영역을 포함하는 이중 구조로 형성된 드레인 정션(Drain junction)을 포함하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 9] 제8항에 있어서,
- 상기 제2 영역은,
- 상기 배선을 구성하는 물질과 동일한 물질이 내부가 빈 마카로니 형태로 형성된 상기 채널층의 내부 공간에 충전됨에 따라, 상기 제1 영역이 갖는 내부 공간에 형성되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 10] 제9항에 있어서,
- 상기 배선을 구성하는 물질과 동일한 물질은,
- 상기 채널층의 내부 공간 중 상단 일부분에만 충전되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 11] 제8항에 있어서,
- 상기 적어도 하나의 스트링은,
- 상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 드레인 정선의

면적이 최대한 증가된 구조를 갖는 것을 특징으로 하는 3차원 플래시 메모리.

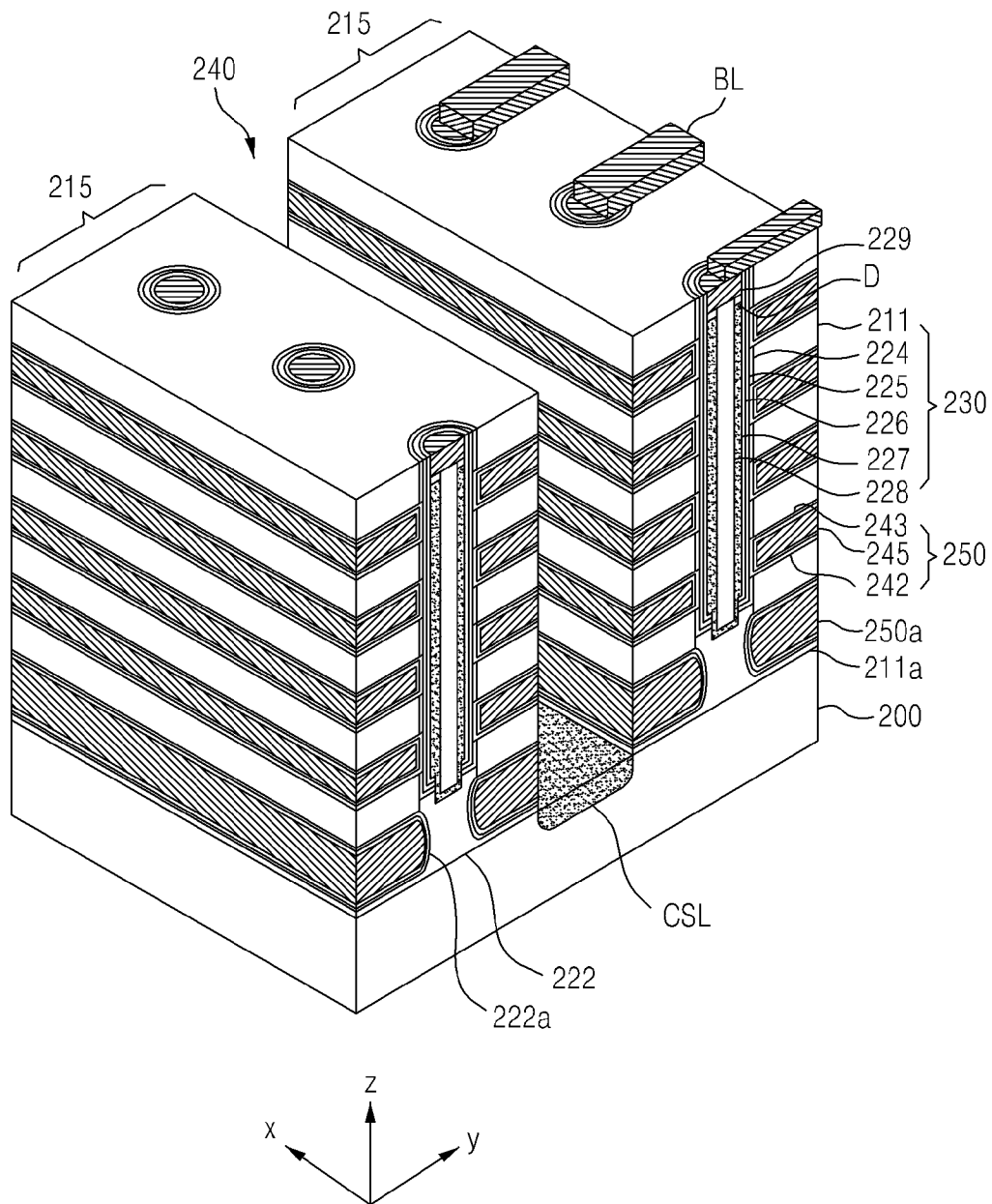
[청구항 12] 제11항에 있어서,
상기 적어도 하나의 스트링은,
상기 드레인 정션이 상기 이중 구조로 형성됨에 따라 상기 채널층의 접촉 면적이 최대한 증가된 구조를 갖는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 13] 제8항에 있어서,
상기 채널층은,
누설 전류를 억제 및 차단하도록 In, Zn 또는 Ga 중 적어도 하나를 포함하는 물질 또는 4족 반도체 물질로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.

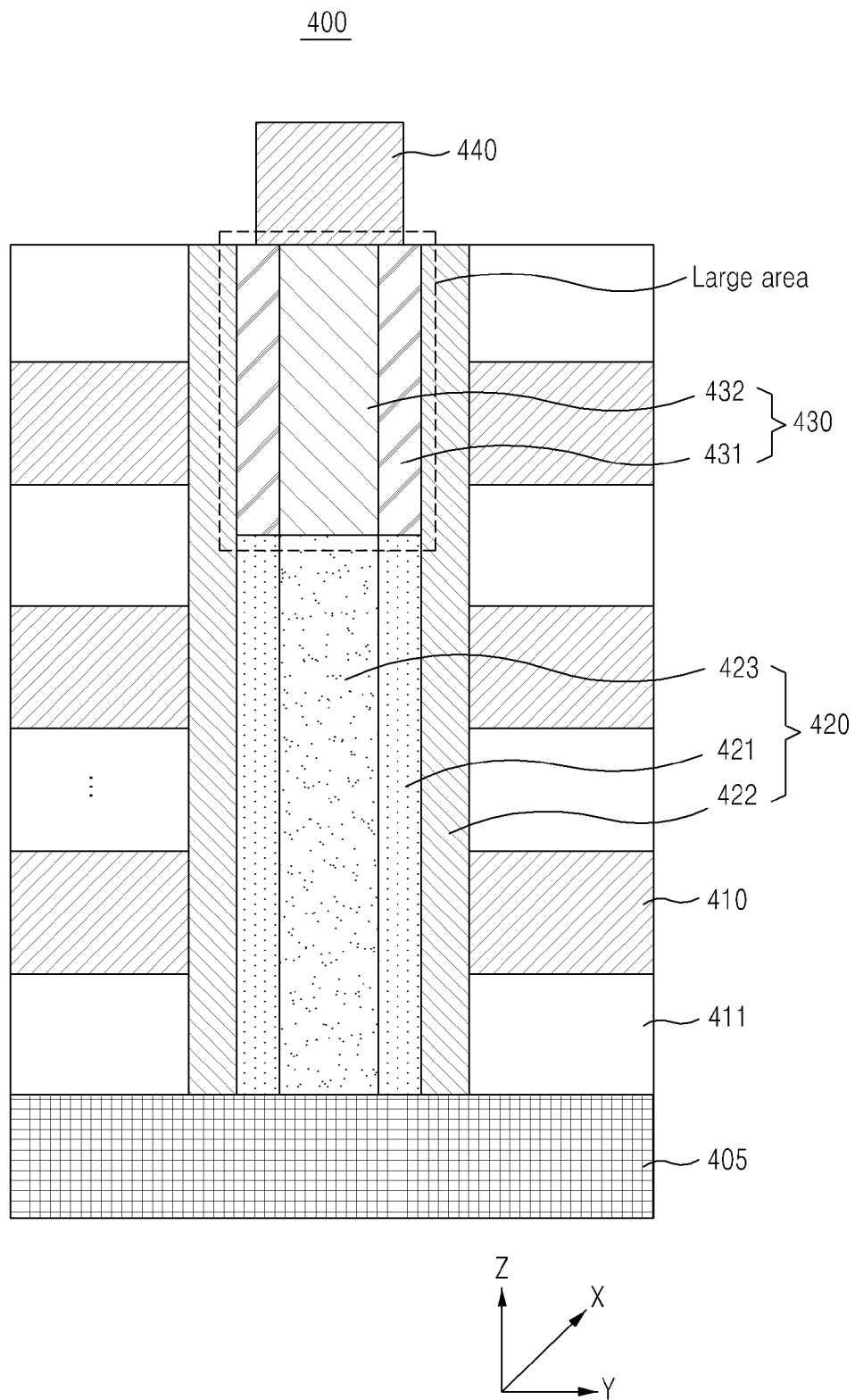
[청구항 14] 기관 상 수평 방향으로 연장 형성되며 순차적으로 적층되는 복수의 워드 라인들; 및 상기 복수의 워드 라인들을 관통하여 상기 기관 상 수직 방향으로 연장 형성되는 적어도 하나의 스트링-상기 적어도 하나의 스트링은 상기 수직 방향으로 연장 형성되는 채널층 및 상기 채널층을 감싸도록 형성되는 전하 저장층을 포함함-을 포함하는 반도체 구조체를 준비하는 단계;
상기 채널층의 상단 일부분에 N⁺ 도핑을 하여 이중 구조의 드레인 정션에 포함되는 제1 영역을 형성하는 단계;
상기 채널층의 내부 영역 중 상단 일부분을 식각하는 단계; 및
상기 식각된 공간 내에 상기 이중 구조의 드레인 정션에 포함되는 제2 영역-상기 제2 영역은 상기 적어도 하나의 스트링의 상부에 배치되는 배선을 구성하는 물질과 동일한 물질로 형성됨-을 형성하는 단계를 포함하는 3차원 플래시 메모리의 제조 방법.



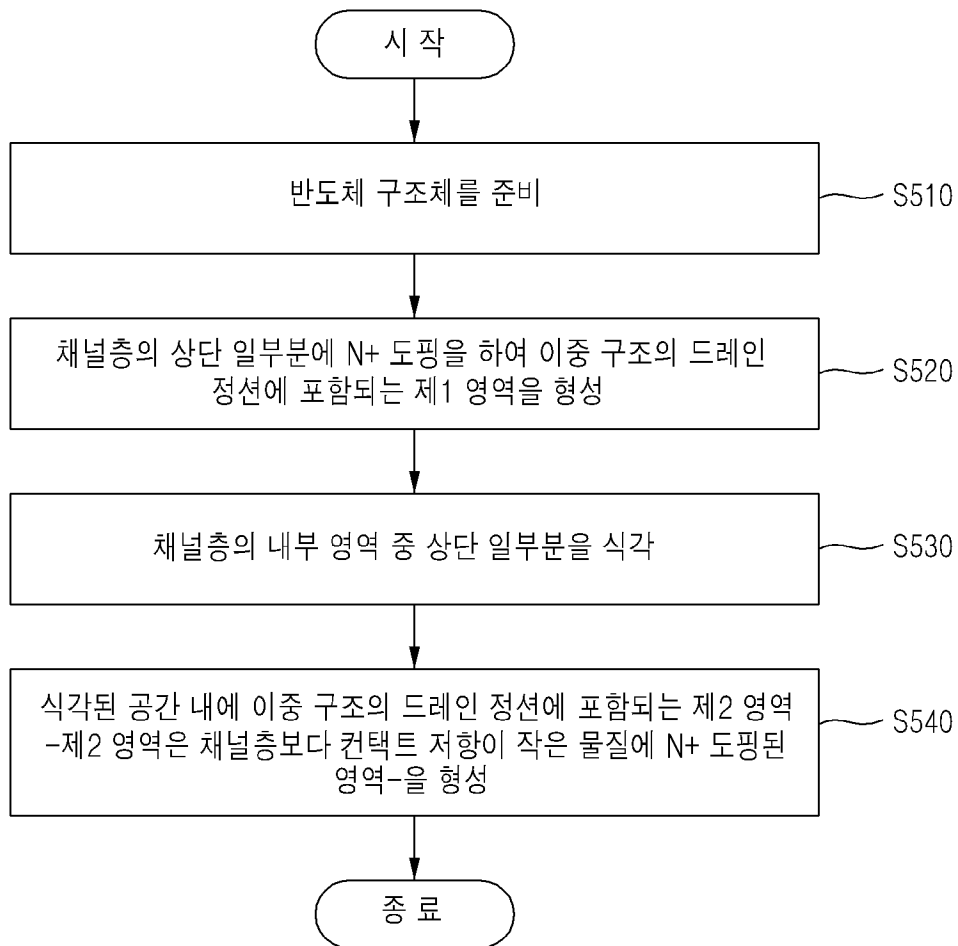
[도2]



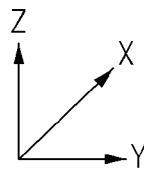
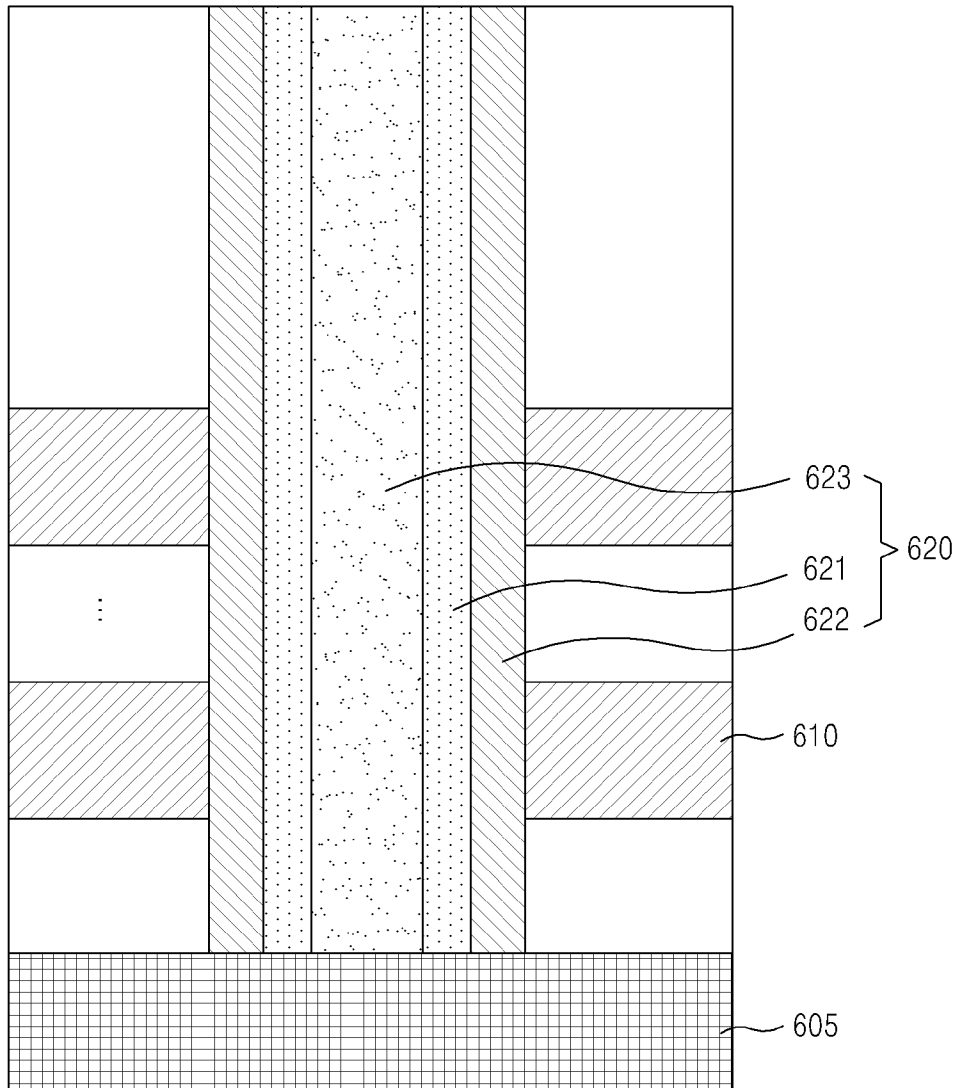
[도4]



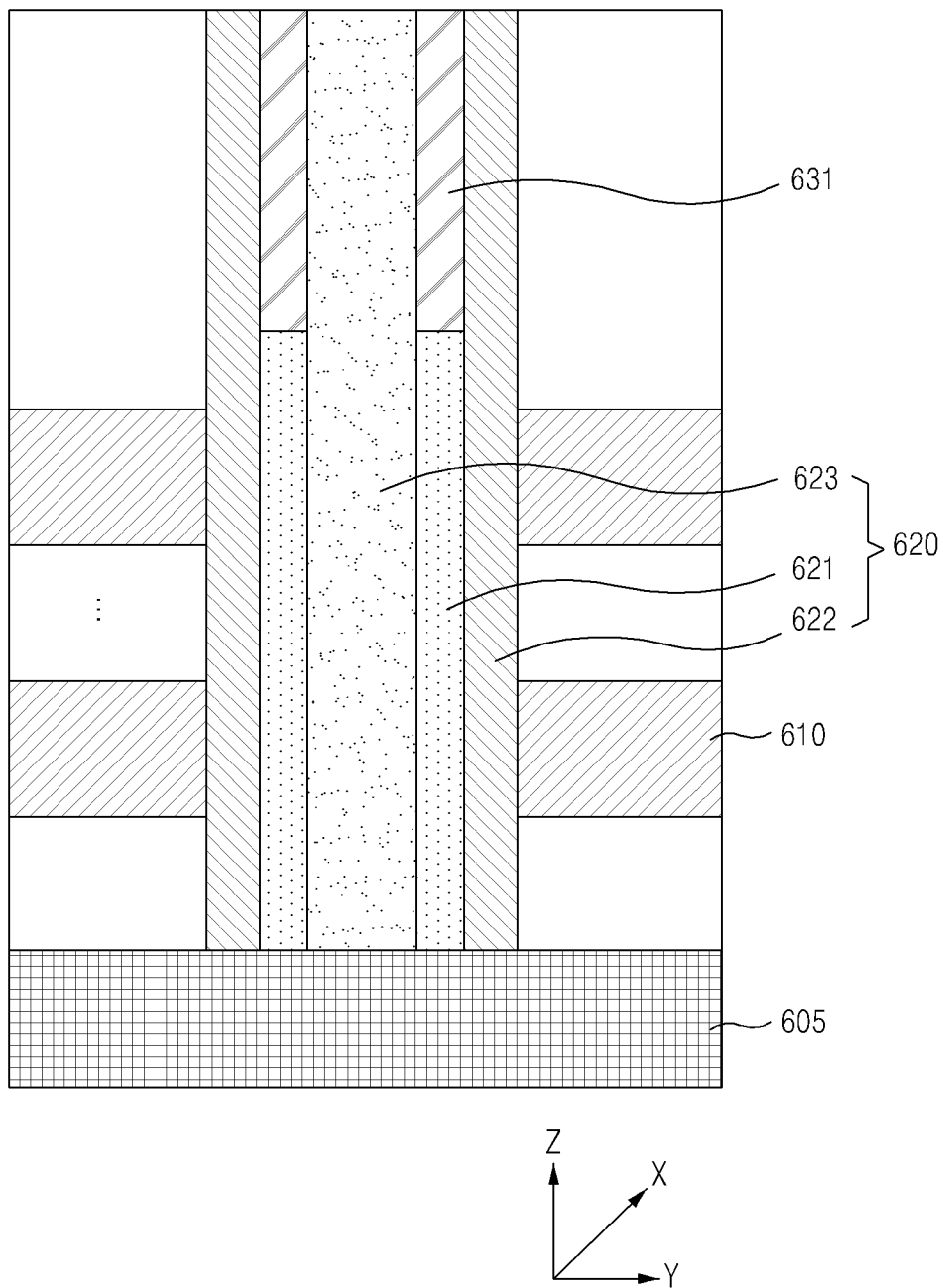
[도5]



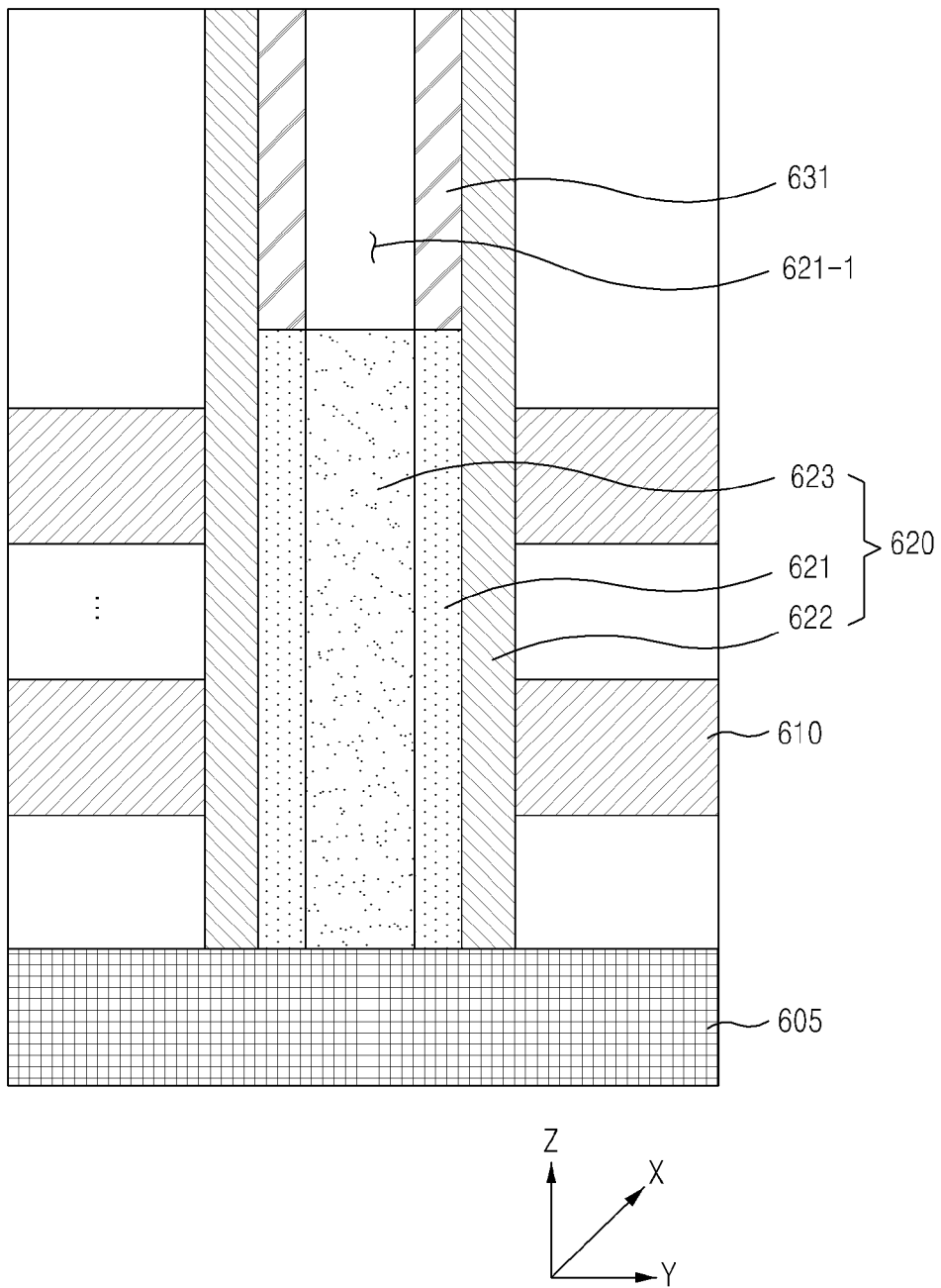
[도6a]

600

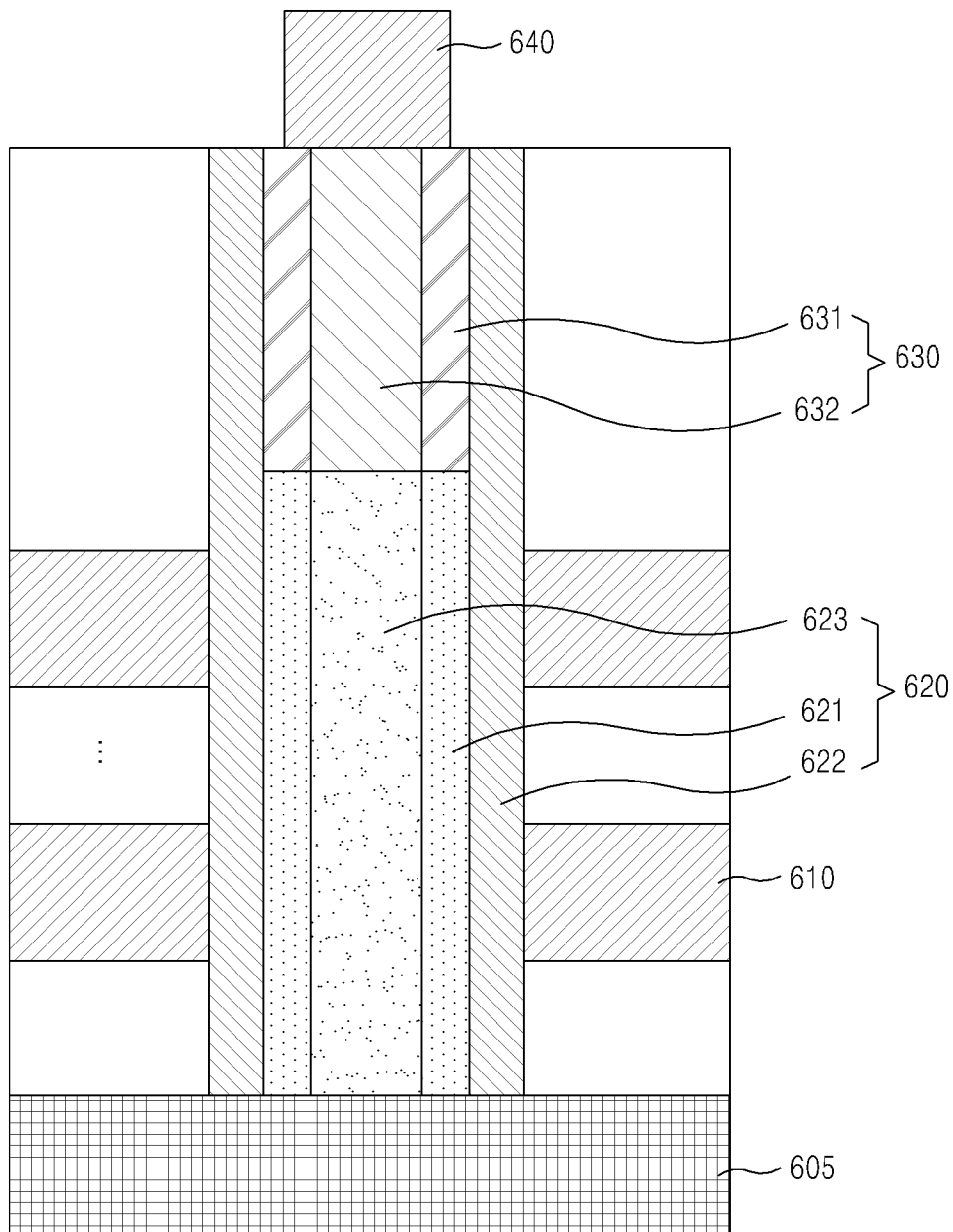
[도6b]



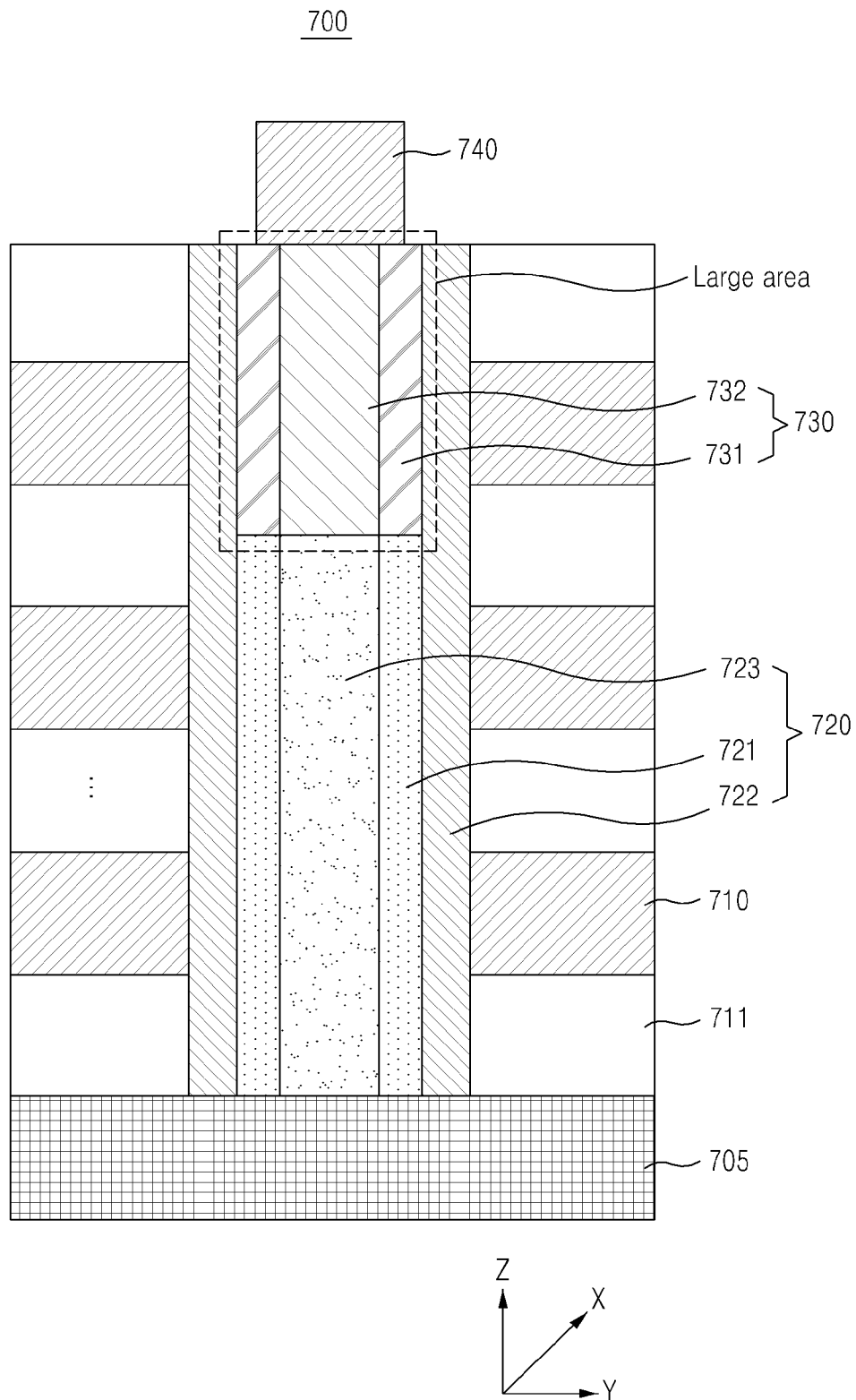
[도6c]



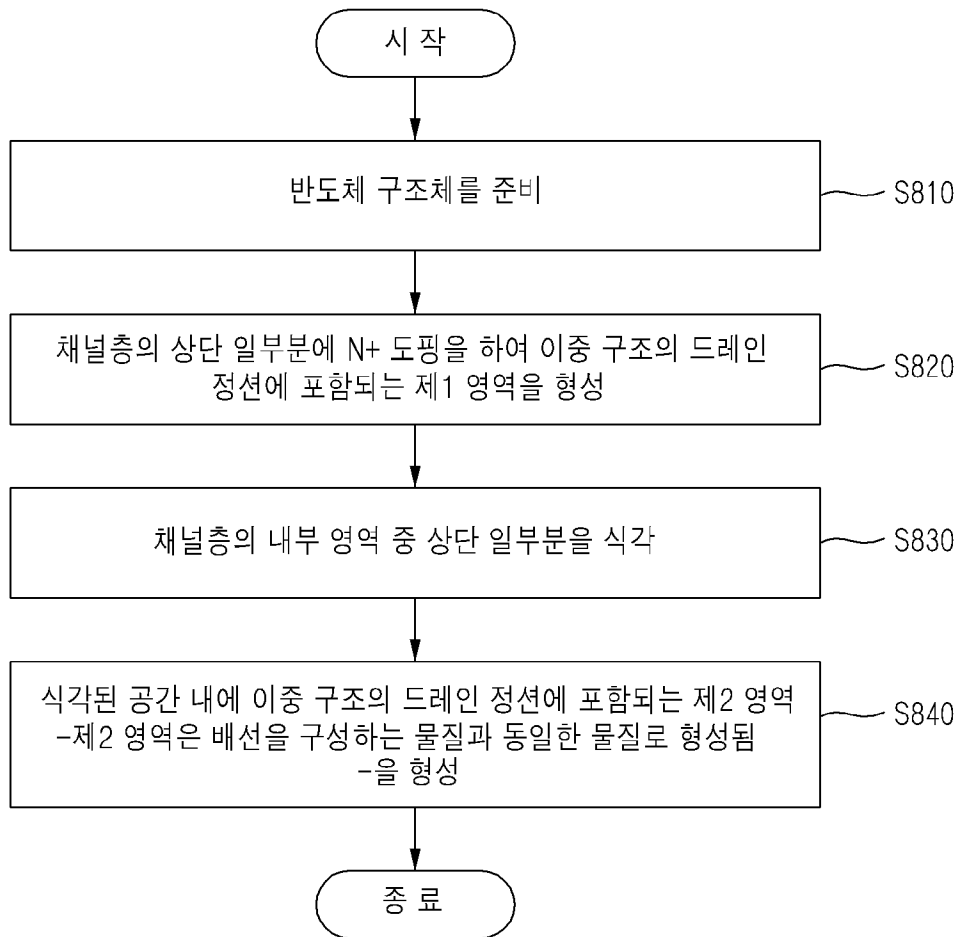
[도6d]



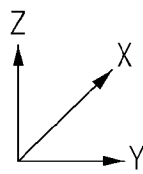
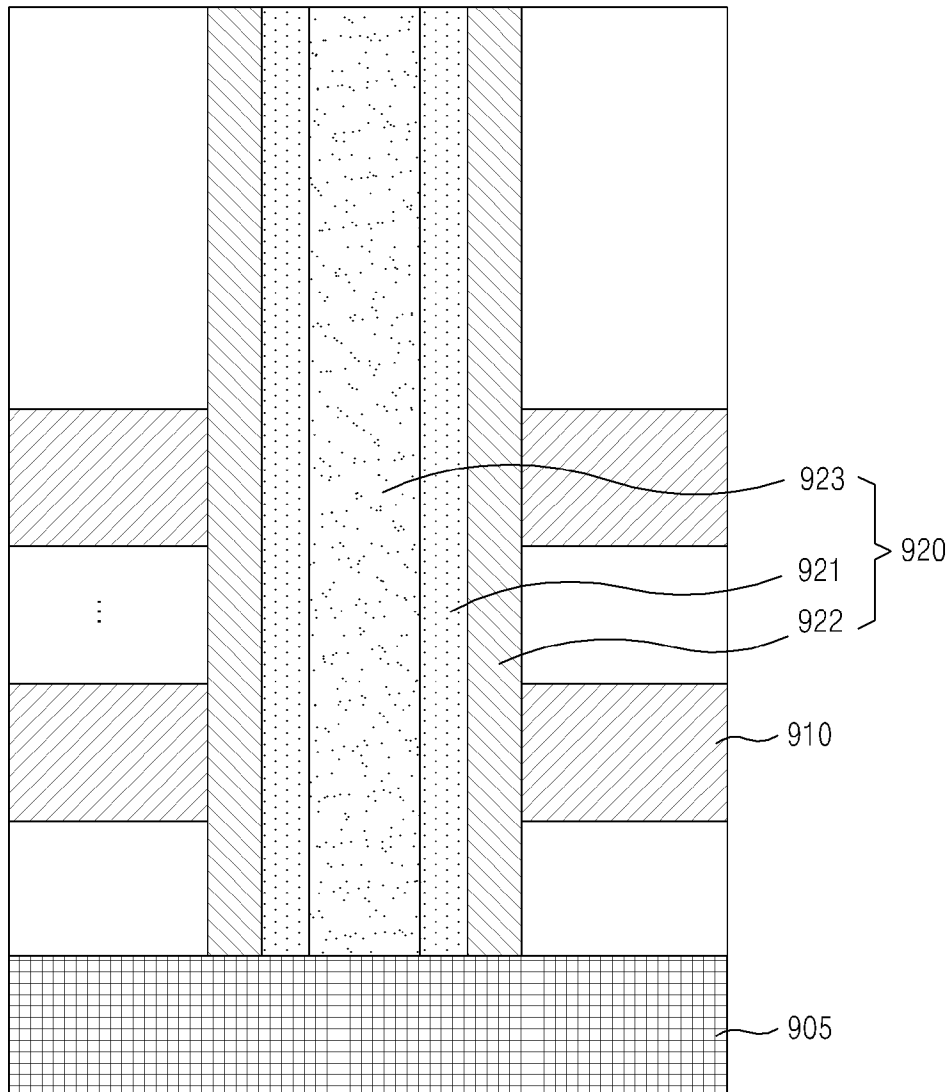
[도7]



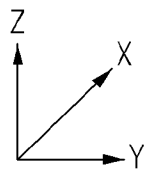
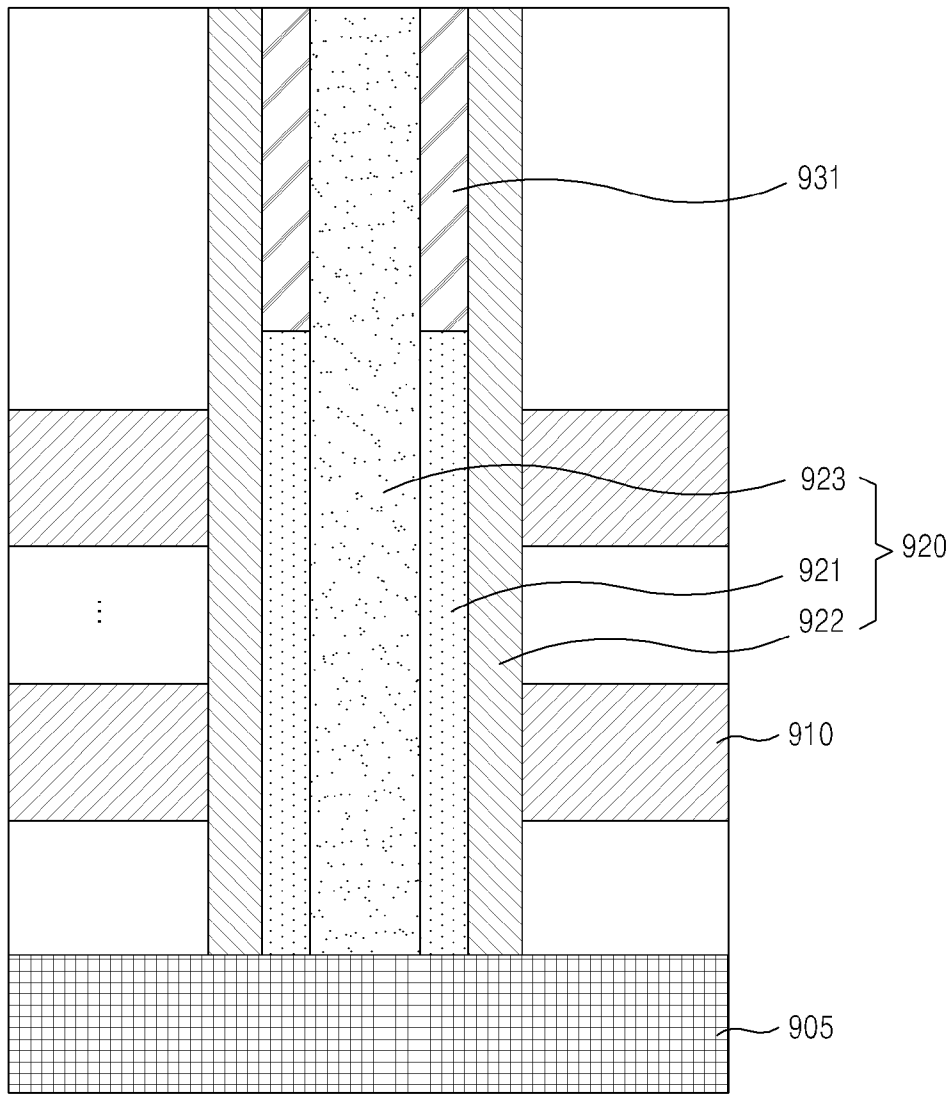
[도8]



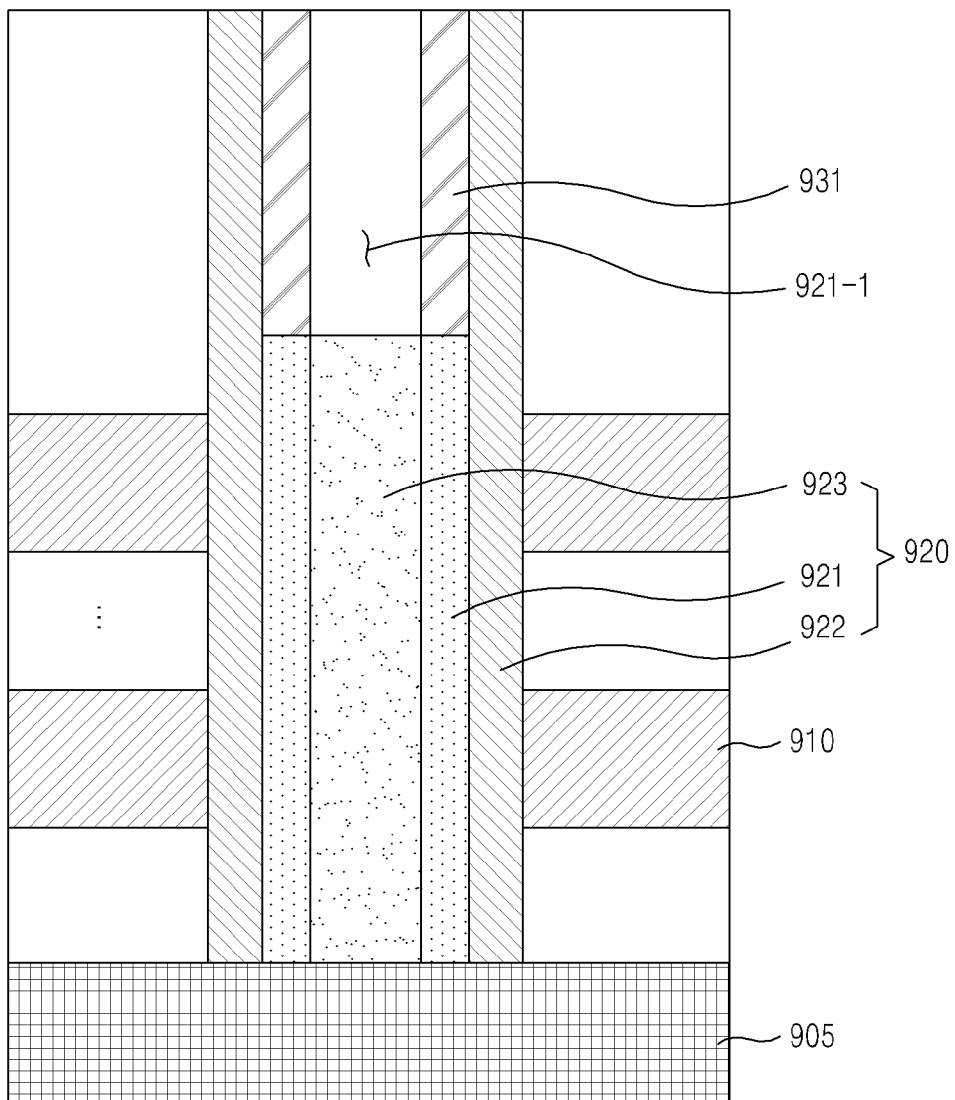
[도9a]

900

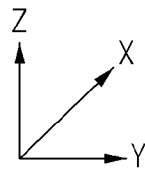
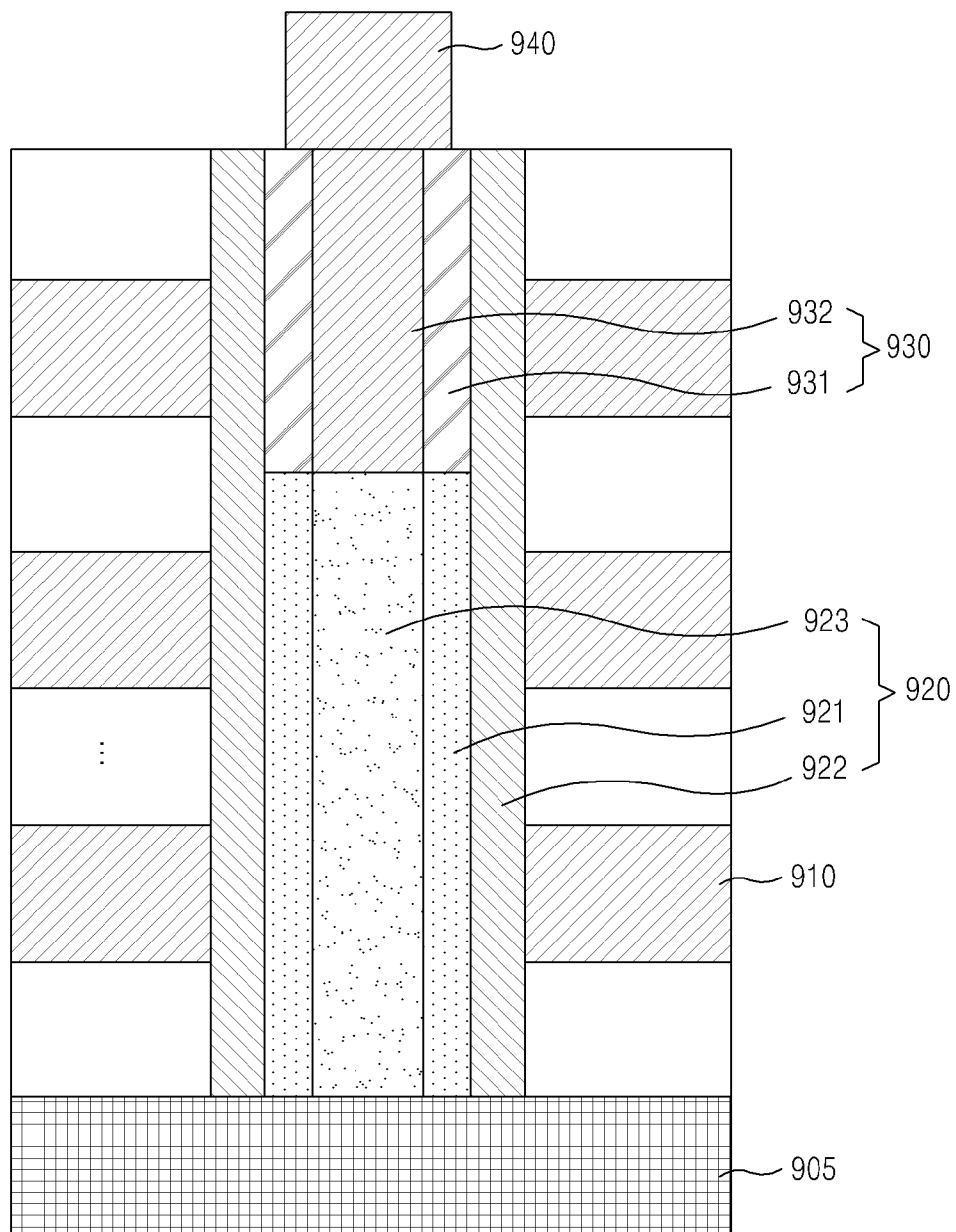
[도9b]



[도9c]



[도9d]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/017521

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/11582(2017.01)i; H01L 27/1157(2017.01)i; H01L 27/1159(2017.01)i; H01L 27/11597(2017.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 27/11582(2017.01); H01L 21/768(2006.01); H01L 21/8247(2006.01); H01L 27/115(2006.01); H01L 27/11556(2017.01); H01L 29/22(2006.01); H01L 29/732(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 메모리(memory), 워드 라인(word line), 드레인 정션(drain junction), 채널(channel)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2020-0078768 A (SAMSUNG ELECTRONICS CO., LTD.) 02 July 2020 (2020-07-02) See paragraphs [0010]-[0066] and figures 1-17.	1-14
Y	KR 10-2013-0072516 A (SK HYNIX INC.) 02 July 2013 (2013-07-02) See paragraphs [0048], [0055] and [0060] and figures 3e and 3h.	1-14
Y	US 2019-0067326 A1 (MICRON TECHNOLOGY, INC.) 28 February 2019 (2019-02-28) See paragraph [0049].	6,13
Y	KR 10-2020-0024642 A (SK HYNIX INC.) 09 March 2020 (2020-03-09) See paragraph [0058] and figure 4b.	7,14
A	KR 10-2017-0099687 A (SK HYNIX INC.) 01 September 2017 (2017-09-01) See paragraphs [0073]-[0093] and figures 10a-13c.	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 March 2022		Date of mailing of the international search report 03 March 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/017521

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2020-0078768	A	02 July 2020	US	10998334	B2	04 May 2021
				US	2020-0203372	A1	25 June 2020
KR	10-2013-0072516	A	02 July 2013	US	2013-0161731	A1	27 June 2013
				US	2016-0056302	A1	25 February 2016
				US	9209291	B2	08 December 2015
US	2019-0067326	A1	28 February 2019	US	10608012	B2	31 March 2020
				US	11107832	B2	31 August 2021
				US	2020-0219899	A1	09 July 2020
				US	2021-0375925	A1	02 December 2021
KR	10-2020-0024642	A	09 March 2020	CN	110867447	A	06 March 2020
				US	10991716	B2	27 April 2021
				US	2020-0075629	A1	05 March 2020
				US	2021-0233930	A1	29 July 2021
KR	10-2017-0099687	A	01 September 2017	US	2017-0243651	A1	24 August 2017
				US	9754670	B1	05 September 2017

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/11582(2017.01)i; H01L 27/1157(2017.01)i; H01L 27/1159(2017.01)i; H01L 27/11597(2017.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/11582(2017.01); H01L 21/768(2006.01); H01L 21/8247(2006.01); H01L 27/115(2006.01); H01L 27/11556(2017.01); H01L 29/22(2006.01); H01L 29/732(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리(memory), 워드 라인(word line), 드레인 정션(drain junction), 채널(channel)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2020-0078768 A (삼성전자주식회사) 2020.07.02 단락 [0010]-[0066] 및 도면 1-17	1-14
Y	KR 10-2013-0072516 A (에스케이하이닉스 주식회사) 2013.07.02 단락 [0048], [0055], [0060] 및 도면 3e, 3h	1-14
Y	US 2019-0067326 A1 (MICRON TECHNOLOGY, INC.) 2019.02.28 단락 [0049]	6,13
Y	KR 10-2020-0024642 A (에스케이하이닉스 주식회사) 2020.03.09 단락 [0058] 및 도면 4b	7,14
A	KR 10-2017-0099687 A (에스케이하이닉스 주식회사) 2017.09.01 단락 [0073]-[0093] 및 도면 10a-13c	1-14
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년03월03일(03.03.2022)		국제조사보고서 발송일 2022년03월03일(03.03.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0078768 A	2020/07/02	US 10998334 B2	2021/05/04
		US 2020-0203372 A1	2020/06/25
KR 10-2013-0072516 A	2013/07/02	US 2013-0161731 A1	2013/06/27
		US 2016-0056302 A1	2016/02/25
		US 9209291 B2	2015/12/08
US 2019-0067326 A1	2019/02/28	US 10608012 B2	2020/03/31
		US 11107832 B2	2021/08/31
		US 2020-0219899 A1	2020/07/09
		US 2021-0375925 A1	2021/12/02
KR 10-2020-0024642 A	2020/03/09	CN 110867447 A	2020/03/06
		US 10991716 B2	2021/04/27
		US 2020-0075629 A1	2020/03/05
		US 2021-0233930 A1	2021/07/29
KR 10-2017-0099687 A	2017/09/01	US 2017-0243651 A1	2017/08/24
		US 9754670 B1	2017/09/05