

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 29/78	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월14일 10-0500448 2005년06월30일
--	-------------------------------------	--

(21) 출원번호	10-2003-0007547	(65) 공개번호	10-2004-0071527
(22) 출원일자	2003년02월06일	(43) 공개일자	2004년08월12일

(73) 특허권자                    삼성전자주식회사  
                                      경기도 수원시 영통구 매탄동 416

(72) 발명자                       송윤흡  
                                      경기도수원시팔달구영통동청명마을동신아파트314-1003호

                                      이상은  
                                      경기도수원시장안구천천동544번지천천삼성래미안아파트106동1202호

(74) 대리인                      박상수

심사관 : 임동우

(54) 선택적 디스포저블 스페이서 기술을 사용하는 반도체집적회로의 제조방법 및 그에 의해 제조된 반도체 집적회로

요약

선택적 디스포저블 스페이서 기술을 사용하는 반도체 집적회로의 제조방법 및 그에 의해 제조된 반도체 집적회로를 제공한다. 이 방법은 반도체기판 상에 복수개의 평행한 게이트 패턴들을 형성하는 것을 구비한다. 상기 게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부로 구성된다. 상기 제2 개구부의 측벽 상에 스페이서를 형성함과 동시에 상기 제1 개구부를 채우는 스페이서막 패턴을 형성한다. 상기 스페이서를 선택적으로 제거하여 상기 제1 개구부의 측벽을 노출시킨다. 결과적으로, 상기 반도체 집적회로는 스페이서의 제거에 기인하여 확장된 넓은 개구부와 아울러서 스페이서막 패턴으로 채워진 좁고 깊은 개구부를 구비한다.

대표도

도 14a

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 집적회로를 보여주는 평면도이다.

도 2a 내지 도 14a는 도 1의 I-I에 따라 본 발명의 실시예에 따른 반도체 집적회로의 제조방법을 설명하기 위한 단면도들이다.

도 2b 내지 도 14b는 도 1의 II-II에 따라 본 발명의 실시예에 따른 반도체 집적회로의 제조방법을 설명하기 위한 단면도들이다.

도 2c 내지 도 14c는 도 1의 III-III에 따라 본 발명의 실시예에 따른 반도체 집적회로의 제조방법을 설명하기 위한 단면도들이다.

도 2d 내지 도 14d는 도 1의 IV-IV에 따라 본 발명의 실시예에 따른 반도체 집적회로의 제조방법을 설명하기 위한 단면도들이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 집적회로의 제조방법 및 그에 의해 제조된 반도체 집적회로에 관한 것으로, 특히 선택적 디스포저블 스페이서 기술을 사용하는 반도체 집적회로의 제조방법 및 그에 의해 제작된 반도체 집적회로에 관한 것이다.

모스 트랜지스터들은 바이폴라 트랜지스터들에 비하여 여러가지의 장점들을 보인다. 예를 들면, 상기 모스 트랜지스터들은 높은 집적도(high integration density), 낮은 전력소모(low power consumption) 및 낮은 동작전압(low operating voltage)을 갖는 반도체 집적회로를 구현하는 데 적합하다. 이에 따라, 대부분의 반도체 집적회로들은 스위칭 소자들로서 상기 모스 트랜지스터들을 널리 채택하고 있다.

한편, 상기 반도체 집적회로들의 집적도가 증가함에 따라, 상기 모스 트랜지스터들은 점점 작아지고 있다. 이에 따라, 상기 모스 트랜지스터들의 전기적인 특성 및 신뢰성이 저하되어 상기 반도체 집적회로들의 오동작(malfunction)을 유발시킨다. 예를 들면, 상기 반도체 집적회로들의 고집적화에 대한 시도는 상기 모스 트랜지스터들의 게이트 전극들의 선폭 및 그들의 소오스/드레인 영역들의 접합깊이를 감소시키는 결과를 초래한다. 이 경우에, 상기 게이트 전극들 및 상기 소오스/드레인 영역들의 전기적인 저항이 증가하고, 상기 모스 트랜지스터들의 신뢰성(예를 들면, 핫 캐리어 효과 및 짧은 채널 효과) 및 전기적인 특성(예를 들면, 신호 지연시간)이 저하된다. 이러한 문제점들을 개선하기 위하여, 샐리사이드 기술(SALICIDE technique; self-aligned silicide technique) 및 엘디디형의 소오스/드레인 구조가 상기 모스 트랜지스터들의 제조에 널리 사용되고 있다. 상기 엘디디형의 소오스/드레인 구조 및 상기 샐리사이드 기술을 구현하기 위해서는 상기 모스 트랜지스터들의 게이트 전극들의 측벽 상에 게이트 스페이서들을 형성하여야 한다.

상기 게이트 스페이서들을 사용하는 반도체 소자의 제조기술은 미국특허 제6,043,537호에 "자기정렬 샐리사이드를 사용하는 임베디드 메모리 로직 소자 및 그 제조방법(Embedded memory logic device using self-aligned silicide and manufacturing method therefor)"라는 제목으로 전(Jun) 등에 의해 개시된 바 있다. 상기 미국특허 제6,043,537호에 따른 반도체소자의 제조방법은 디램 셀 어레이 영역 및 주변회로 영역을 갖는 반도체기판을 준비하는 것을 포함한다. 상기 반도체기판에 활성영역들을 형성한다. 상기 디램 셀 어레이 영역 및 주변회로 영역 내에 각각 워드라인들 및 게이트 전극들을 형성한다. 상기 워드라인들은 상기 디램 셀 어레이 영역 내의 상기 활성영역들의 상부를 가로지르도록 형성되고, 상기 게이트 전극들은 상기 주변회로 영역 내의 상기 활성영역들의 상부를 가로지르도록 형성된다. 이어서, 상기 워드라인들 및 게이트 전극들을 이온주입 마스크로 사용하여 상기 활성영역들 내에 불순물 이온들을 주입하여 저농도 소오스/드레인 영역들을 형성한다. 그 결과, 상기 디램 셀 어레이 영역 내의 상기 각 활성영역들에 공통 저농도 드레인 영역과 아울러서 제1 및 제2 저농도 소오스 영역들이 형성된다. 상기 제1 및 제2 저농도 소오스 영역들은 디램 셀들의 스토리지 노드 접합들에 해당한다.

상기 저농도 소오스/드레인 영역들을 갖는 반도체기판의 전면 상에 콘포말한 스페이서막을 형성한다. 상기 스페이서막 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴은 상기 제1 및 제2 저농도 소오스 영역들의 상부에 형성된다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 스페이서막을 이방성 식각한다. 이에 따라, 상기 워드라인들 및 게이트 전극들의 측벽들 상에 스페이서들이 형성된다. 그러나, 상기 제1 및 제2 저농도 소오스 영역들 상의 상기 콘포말한 스페이서막은 상기 포토레지스트 패턴에 기인하여 이방성 식각되지 않는다. 이에 따라, 상기 제1 및 제2 저농도 소오스 영역들 상에 샐리사이드 방지 패턴들(salicide blocking patterns) 역할을 하는 스페이서막 패턴들이 형성된다. 상기 포토레지스트 패턴을 제거한 후에, 상기 워드라인들, 상기 게이트 전극들, 상기 스페이서들 및 상기 샐리사이드 방지 패턴들을 이온주입 마스크로 사용하여 상기 활성영역들 내에 불순물 이온들을 주입하여 고농도 소오스/드레인 영역들을 형성한다. 그 결과, 상기 주변회로 영역 내의 상기 활성영역들에 엘디디형의 소오스/드레인 영역들이 형성되고, 상기 디램 셀 어레이 영역 내의 상기 활성영역들에 엘디디형의 공통 드레인 영역이 형성된다.

계속해서, 상기 엘디디형의 소오스/드레인 영역들을 갖는 반도체기판의 전면 상에 금속막을 형성하고, 상기 금속막을 열처리하여 금속 샐리사이드막을 형성한다. 그 결과, 상기 금속 샐리사이드막은 상기 워드라인들, 상기 공통 드레인 영역들, 상기 게이트 전극들 및 상기 주변회로 영역 내의 상기 소오스/드레인 영역들 상에 선택적으로 형성된다. 다시 말해서, 상기 스토리지 노드들, 즉 상기 제1 및 제2 저농도 소오스 영역들 상에는 상기 금속 샐리사이드막이 형성되지 않는다.

결과적으로, 상기 미국특허 제6,043,537호에 따르면, 상기 스토리지 노드 접합들을 통하여 흐르는 누설전류를 현저히 감소시킬 수 있다.

이에 더하여, 상기 스페이서들을 이용하여 자기정렬 콘택홀을 형성하는 방법들이 최근에 널리 사용되고 있다. 이 경우에, 상기 스페이서들은 일반적인 중간절연막에 대하여 식각 선택비를 갖는 절연막(예컨대 실리콘 질화막)으로 형성한다.

그러나, 상기 워드라인들과 같은 배선들 사이의 간격이 더욱 좁아지면, 상기 자기정렬 콘택홀에 의해 노출되는 상기 소오스/드레인 영역들의 실제 면적은 상기 스페이서들의 존재에 기인하여 현저히 감소한다. 이에 따라, 디스포저블 스페이서(disposable spacer)를 사용하여 반도체소자를 제조하는 방법들이 제안된 바 있다.

그럼에도 불구하고, 상기 디스포저블 스페이서를 고집적 플래쉬 메모리소자와 같은 반도체소자에 적용하는 데에 여러가지의 제약들이 있다. 이에 따라, 고집적 반도체소자에 적용할 수 있는 디스포저블 스페이서 기술의 지속적인 연구가 요구된다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는 신뢰성을 개선시킬 수 있는 선택적 디스포저블 스페이서 기술(selective disposable spacer technique)을 사용하여 반도체 집적회로를 제조하는 방법 및 그에 의해 제조된 반도체 집적회로를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 보이드가 형성되는 것을 방지할 수 있는 선택적 디스포저블 스페이서 기술을 사용하여 고집적 플래쉬 메모리소자를 제조하는 방법 및 그에 의해 제조된 고집적 플래쉬 메모리소자를 제공하는 데 있다.

**발명의 구성 및 작용**

상기 기술적 과제를 이루기 위하여 본 발명은 반도체 집적회로의 제조방법 및 그에 의해 제조된 반도체 집적회로를 제공한다.

상기 반도체 집적회로의 제조방법은 반도체기판의 소정영역에 소자분리막을 형성하여 제1 및 제2 활성영역들을 한정하는 것을 포함한다. 상기 제1 활성영역을 가로질러 복수개의 제1 평행한 게이트 패턴들이 형성된다. 상기 제1 게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부를 포함한다. 상기 제1 개구부에 의해 노출된 상기 소자분리막을 선택적으로 제거한다. 상기 제2 활성영역을 가로질러 제2 게이트 패턴이 형성된다. 상기 제2 게이트 패턴의 양 옆에 위치하는 상기 제2 활성영역에 저농도 소오스/드레인 영역들을 형성한다. 상기 제2 개구부의 측벽 및 상기 제2 게이트 패턴의 측벽 상에 스페이서들을 형성한다. 이때, 상기 제1 개구부를 채우는 스페이서막 패턴이 상기 스페이서들과 함께 동시에 형성된다. 상기 제2 활성영역에 상기 저농도 소오스/드레인 영역들에 인접하는 고농도 소오스/드레인 영역들을 형성하여 상기 저농도 소오스/드레인 영역들 및 상기 고농도 소오스/드레인 영역들을 포함하는 엘디디형의 소오스/드레인 영역들을 형성한다. 이어서, 상기 스페이서들을 제거하여 상기 제2 개구부의 측벽 및 상기 제2 게이트 패턴의 측벽을 노출시킨다. 상기 스페이서들을 제거하는 동안 상기 제1 개구부 내에 리세스된 스페이서막 패턴이 잔존한다. 상기 리세스된 스페이서막 패턴을 갖는 반도체기판의 전면 상에 콘포말한 식각저지막을 형성한다.

상기 제2 게이트 패턴을 형성하기 전에, 상기 제1 개구부에 의해 노출된 상기 반도체기판의 표면에 라인 형태의(line-shaped) 제1 불순물 영역을 형성한다. 이어서, 상기 제2 개구부에 의해 노출된 상기 제1 활성영역의 표면에 섬 형태의(island-shaped) 제2 불순물 영역을 형성한다. 상기 제1 및 제2 불순물 영역들은 단일 이온주입 공정을 사용하여 동시에 형성될 수도 있다.

상기 반도체 집적회로는 반도체기판 상에 형성되어 제1 및 제2 활성영역들을 한정하는 소자분리막을 포함한다. 상기 제1 활성영역을 가로질러 복수개의 제1 평행한 게이트 패턴들이 배치된다. 상기 제1 게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부로 구성된다. 상기 제2 활성영역을 가로질러 제2 게이트 패턴이 배치된다. 상기 제1 개구부는 리세스된 스페이서막 패턴으로 채워진다. 상기 제2 게이트 패턴의 양 옆에 위치하는 상기 제2 활성영역에 엘디디형의 소오스/드레인 영역들이 형성된다. 상기 리세스된 스페이서막 패턴 및 상기 엘디디형의 소오스/드레인 영역들을 갖는 반도체기판의 전면은 콘포말한 식각저지막으로 덮여진다.

이에 더하여, 상기 제1 개구부 하부의 상기 반도체기판의 표면에 라인 형태의 제1 불순물 영역이 형성된다. 또한, 상기 제2 개구부 하부의 상기 제1 활성영역의 표면에 섬 형태의 제2 불순물 영역이 형성된다. 결과적으로, 상기 제1 불순물 영역은 상기 리세스된 스페이서막 패턴으로 덮여진다.

상기 다른 기술적 과제를 이루기 위하여 본 발명은 플래쉬 메모리소자의 제조방법 및 그에 의해 제조된 플래쉬 메모리소자를 제공한다.

상기 플래쉬 메모리소자의 제조방법은 셀 어레이 영역 및 주변회로 영역을 갖는 반도체기판을 준비하는 것을 포함한다. 상기 반도체기판의 소정영역에 소자분리막을 형성하여 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 셀 활성영역 및 주변회로 활성영역을 한정한다. 상기 셀 어레이 영역 및 상기 주변회로 영역 상에 각각 적층 게이트막(stacked gate layer) 및 주변회로 게이트막을 형성한다. 상기 적층 게이트막을 패터닝하여 상기 셀 활성영역의 상부를 가로지르는 복수개의 평행한 적층 게이트 패턴들(parallel stacked gate patterns)을 형성한다. 상기 적층 게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부들 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부들을 포함한다. 상기 제1 개구부들에 의해 노출된 상기 소자분리막을 선택적으로 제거한다. 상기 주변회로 게이트막을 패터닝하여 상기 주변회로 활성영역의 상부를 각각 가로지르는 주변회로 게이트 전극을 형성한다. 상기 주변회로 게이트 전극을 이온주입 마스크로 사용하여 상기 주변회로 활성영역 내에 불순물 이온들을 주입한다. 그 결과, 상기 주변회로 활성영역에 저농도 소오스/드레인 영역들이 형성된다. 상기 제2 개구부들의 측벽 및 상기 주변회로 게이트 전극의 측벽 상에 스페이서들을 형성한다. 이때, 상기 제1 개구부들을 채우는 스페이서막 패턴들이 상기 스페이서들과 동시에 형성된다. 상기 주변회로 게이트 전극 및 그 측벽을 덮는 상기 스페이서를 이온주입 마스크들로 사용하여 상기 주변회로 활성영역에 고농도 소오스/드레인 영역들을 형성하여 상기 저농도 소오스/드레인 영역들 및 상기 고농도 소오스/드레인 영역들을 포함하는 엘디디형의 소오스/드레인 영역들을 형성한다. 상기 스페이서들을 제거하여 상기 제2 개구부의 측벽, 상기 주변회로 게이트 전극의 측벽을 노출시킨다. 상기 스페이서들을 제거하는 동안, 상기 제1 개구부들 내에 리세스된 스페이서막 패턴들이 잔존한다. 상기 리세스된 스페이서막 패턴들을 갖는 반도체기판의 전면 상에 콘포말한 식각저지막을 형성한다.

이에 더하여, 상기 주변회로 게이트 전극을 형성하기 전에, 상기 제1 개구부들에 의해 노출된 상기 반도체기판의 표면 및 상기 제2 개구부들에 의해 노출된 상기 셀 활성영역의 표면에 각각 라인 형태의 공통 소오스 영역들 및 섬 형태의 드레인 영역들을 형성한다. 결과적으로, 상기 공통 소오스 영역들은 상기 스페이서막 패턴들로 덮여진다.

상기 플래쉬 메모리소자는 셀 어레이 영역 및 주변회로 영역을 갖는 반도체기판을 포함한다. 상기 반도체기판의 소정영역에 소자분리막이 형성된다. 상기 소자분리막은 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 셀 활성영역 및 주변회로 활성영역을 한정한다. 상기 셀 활성영역을 가로질러 복수개의 평행한 적층 게이트 패턴들이 배치된다. 상기 적층 게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부들 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부들을 포함한다.

다. 상기 주변회로 활성화영역을 가로질러 주변회로 게이트 전극이 배치된다. 상기 제1 개구부들은 리세스된 스페이스막 패턴들로 채워진다. 상기 주변회로 게이트 전극의 양 옆에 위치하는 상기 주변회로 활성화영역에 엘디디형의 소오스/드레인 영역들이 형성된다. 상기 리세스된 스페이스막 패턴들 및 상기 엘디디형의 소오스/드레인 영역들을 갖는 반도체기판의 전면은 콘포말한 식각저지막으로 덮여진다.

이에 더하여, 상기 제1 개구부들 하부의 상기 반도체기판의 표면에 라인 형태의 공통 소오스 영역들이 형성된다. 또한, 상기 제2 개구부들 하부의 상기 셀 활성화영역의 표면에 섬 형태의 드레인 영역들이 형성된다. 결과적으로, 상기 공통 소오스 영역들은 상기 리세스된 스페이스막 패턴들로 덮여진다.

이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 노어형 플래쉬 메모리소자를 예로 하여 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 예를 들면, 본 발명은 본 발명의 사상 및 범위 내에서 낸드형 플래쉬 메모리소자에도 적용될 수 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 1은 본 발명의 실시예에 따른 노어형 플래쉬 메모리소자의 평면도이고, 도 14a, 도 14b, 도 14c 및 도 14d는 각각 도 1의 절단선들 I-I, II-II, III-III 및 IV-IV에 따라 취해진 단면도들이다.

도 1, 도 14a, 도 14b, 도 14c 및 도 14d를 참조하면, 반도체기판(1)은 셀 어레이 영역(A) 및 상기 셀 어레이 영역(A)을 둘러싸는 주변회로 영역(B)을 갖는다. 상기 주변회로 영역(B)은 고전압 모스 트랜지스터 영역 또는 저전압 모스 트랜지스터 영역에 해당할 수 있다. 본 실시예에서, 상기 주변회로 영역(B)은 절명의 편의를 도모하기 위하여 NMOS 트랜지스터 영역인 것으로 가정한다. 상기 반도체기판(1)의 소정영역에 소자분리막이 배치된다. 상기 소자분리막은 상기 셀 어레이 영역(A) 및 주변회로 영역(B) 내에 각각 제1 및 제2 활성화영역들을 한정한다. 좀 더 구체적으로, 상기 소자분리막은 상기 셀 어레이 영역(A) 및 상기 주변회로 영역(B)에 각각 셀 활성화영역들(도 1의 37c) 및 주변회로 활성화영역(도 1의 37p)을 한정한다. 바람직하게는, 상기 소자분리막은 상기 셀 어레이 영역(A) 내에 형성된 셀 소자분리막(39b) 및 상기 주변회로 영역(B) 내에 형성된 주변회로 소자분리막(39a)을 포함한다. 이 경우에, 상기 셀 소자분리막(39b)은 도 14a에 도시된 바와 같이 상기 주변회로 소자분리막(39a)에 비하여 상대적으로 얇은 것이 바람직하다.

상기 셀 활성화영역들(37c)을 가로질러 복수개의 제1 평행한 게이트 패턴들(52a), 즉 적층 게이트 패턴들이 배치된다. 상기 적층 게이트 패턴들(52a)의 각각은 차례로 적층된 터널산화막 패턴(19a), 부유게이트(FG), 게이트 층간유전막(47) 및 제어게이트 전극(CG)을 포함한다. 상기 제어게이트 전극들(CG)은 도 1 및 도 14c에 보여진 바와 같이 상기 셀 활성화영역들(37c) 및 그들 사이의 셀 소자분리막(39b)의 상부를 가로지르도록 배치된다. 또한, 상기 부유게이트들(FG)은 상기 제어게이트 전극들(CG) 및 상기 셀 활성화영역들(37c) 사이에 개재된다. 상기 제어게이트 전극들(CG)의 각각은 차례로 적층된 제1 및 제2 제어게이트 전극들(49c, 51c)을 포함하고, 상기 부유게이트들(FG)의 각각은 차례로 적층된 하부 부유게이트(21f) 및 상부 부유게이트(41f)를 포함한다.

한편, 상기 적층게이트 패턴들(52a) 사이의 영역들은 제1 폭(S1)을 갖는 제1 개구부들(first spaces) 및 상기 제1 폭(S1)보다 큰 제2 폭(S2)을 갖는 제2 개구부들(second spaces)을 포함한다. 상기 제1 개구부들은 리세스된 스페이스막 패턴들(65a)로 채워진다. 상기 리세스된 스페이스막 패턴들(65a) 하부의 상기 반도체기판의 표면에는 라인 형태의 제1 불순물 영역들(55), 즉 공통 소오스 영역들이 형성된다. 결과적으로, 상기 공통 소오스 영역들(55)은 상기 리세스된 스페이스막 패턴들(65a)로 덮여진다. 이 경우에, 상기 리세스된 스페이스막 패턴들(65a)은 도 14b에 도시된 바와 같이 상기 셀 활성화영역들(37c) 사이의 셀 소자분리막이 제거된 영역들을 채운다. 또한, 상기 제2 개구부들 하부의 상기 셀 활성화영역들(37c)의 표면에는 섬 형태의 제2 불순물 영역들(57), 즉 드레인 영역들이 형성된다.

상기 주변회로 활성화영역(37p)을 가로질러 주변회로 게이트 전극(G)이 배치된다. 상기 주변회로 게이트 전극(G)은 차례로 적층된 하부 게이트 전극(15h), 제1 상부 게이트 전극(41h) 및 제2 상부 게이트 전극(51h)을 포함한다. 상기 주변회로 게이트 전극(G) 및 상기 주변회로 활성화영역(37p) 사이에는 게이트 절연막(11b)이 개재된다. 상기 게이트 절연막(11b)은 고전압 게이트 절연막 또는 저전압 게이트 절연막에 해당할 수 있다.

상기 주변회로 활성화영역(37p)에 엘디디형의 소오스/드레인 영역들(LDD-type source/drain regions)이 형성된다. 상기 엘디디형의 소오스/드레인 영역들은 상기 주변회로 게이트 전극(G)의 양 옆에 형성된다. 상기 엘디디형의 소오스/드레인 영역들의 각각은 상기 주변회로 게이트 전극(G)에 인접한 저농도 소오스/드레인 영역(61) 및 상기 저농도 소오스/드레인 영역(61)에 인접한 고농도 소오스/드레인 영역(69)을 포함한다.

상기 리세스된 스페이스막 패턴들(65a) 및 상기 공통 소오스 영역들(55) 사이에 스트레스 완충산화막(stress buffer oxide layer; 63)이 개재될 수 있다. 상기 스트레스 완충산화막(63)은 연장되어 상기 적층게이트 패턴들(52a), 상기 드레인 영역들(57), 상기 소자분리막들(39a, 39b), 상기 엘디디형의 소오스/드레인 영역들 및 상기 주변회로 게이트 전극(G)을 덮는다. 상기 스트레스 완충산화막(63)은 상기 리세스된 스페이스막 패턴들(65a)의 물리적 스트레스(physical stress)를 완화시키기(alleviate) 위한 물질막이다.

이에 더하여, 상기 리세스된 스페이스막 패턴들(65a)을 갖는 반도체기판의 전면은 콘포말한 식각저지막(71)으로 덮여진다. 상기 콘포말한 식각저지막(71)은 층간절연막(73)으로 덮여진다. 상기 식각저지막(71)은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막인 것이 바람직하다. 예를 들면, 상기 식각저지막(71)은 실리콘 질화막일 수 있다. 이 경우에, 상기 스트레스 완충산화막(63)은 상기 식각저지막(71) 및 상기 리세스된 스페이스막 패턴들(65a) 하부에 위치한다.

상기 엘디디형의 소오스/드레인 영역들 및 상기 주변회로 게이트 전극(G)은 상기 층간절연막(73) 및 상기 식각저지막(71)을 관통하는 제1 금속 콘택홀들(75)에 의해 노출된다. 또한, 상기 드레인 영역들(57)은 상기 층간절연막(73) 및 상기 식각저지막(71)을 관통하는 제2 금속 콘택홀들(77)에 의해 노출된다. 상기 드레인 영역들(57)에 플러그 이온주입 영역들



(78)이 추가로 형성될 수 있다. 상기 플러그 이온주입 영역들(78)은 상기 제2 금속 콘택홀들(77)과 자기정렬된다. 상기 제1 및 제2 금속 콘택홀들(75, 77)은 각각 제1 및 제2 금속 콘택 플러그들(79a, 79b)로 채워진다. 상기 증간절연막(73) 상에 상기 제1 및 제2 금속 콘택 플러그들(79a, 79b)을 덮는 금속배선들(81a, 81b)이 배치된다.

이제, 본 발명의 실시예에 따른 플래쉬 메모리소자의 제조방법을 설명하기로 한다.

도 2a 내지 도 14a는 도 1의 절단선 I-I에 따라 취해진 단면도들이고, 도 2b 내지 도 14b는 도 1의 절단선 II-II에 따라 취해진 단면도들이다. 또한, 도 2c 내지 도 14c는 도 1의 절단선 III-III에 따라 취해진 단면도들이고, 도 2d 내지 도 14d는 도 1의 절단선 IV-IV에 따라 취해진 단면도들이다.

도 1, 도 2a, 도 2b, 도 2c 및 도 2d를 참조하면, P형 실리콘 웨이퍼와 같은 반도체기판(1)을 준비한다. 상기 반도체기판(1)은 셀 어레이 영역(A) 및 주변회로 영역(B)을 갖는다. 상기 주변회로 영역은 고전압 모스 트랜지스터 영역 또는 저전압 모스 트랜지스터 영역에 해당할 수 있다. 본 실시예에서, 상기 주변회로 영역(B)은 설명의 편의를 도모하기 위하여 NMOS 트랜지스터 영역인 것으로 가정한다. 상기 반도체기판(1) 상에 게이트 절연막(11) 및 하부 게이트 도전막(15)을 차례로 형성한다. 상기 하부 게이트 도전막(15)은 도우핑된 폴리실리콘막으로 형성할 수 있다. 상기 하부 게이트 도전막(15) 및 상기 게이트 절연막(11)을 패터닝하여 상기 셀 어레이 영역(A) 내의 상기 반도체기판(1)을 노출시킨다. 상기 노출된 반도체기판(1) 상에 선택적으로 터널 절연막(19) 및 하부 부유게이트막(21)을 차례로 형성한다. 상기 터널 절연막(19)은 열산화막으로 형성할 수 있다. 상기 하부 부유게이트막(21)은 도우핑된 폴리실리콘막으로 형성할 수 있다.

도 1, 도 3a, 도 3b, 도 3c 및 도 3d를 참조하면, 상기 하부 부유게이트막(21) 및 상기 하부 게이트 도전막(15)을 갖는 반도체기판의 전면 상에 연마저지막(polishing stop layer) 및 하드마스크막을 차례로 형성한다. 상기 연마저지막 및 상기 하드마스크막은 각각 실리콘 질화막 및 CVD 산화막으로 형성하는 것이 바람직하다. 상기 연마저지막을 형성하기 전에 완충산화막(buffer oxide layer)을 추가로 형성할 수 있다. 상기 완충산화막은 상기 연마저지막에 기인하는 물리적인 스트레스를 완화시키는 스트레스 완충막 역할을 한다.

상기 하드마스크막, 연마저지막, 완충산화막, 하부 부유게이트막(21), 하부 게이트 도전막, 터널산화막 패턴(19a) 및 게이트 절연막(11)을 패터닝하여 상기 셀 어레이 영역(A) 및 상기 주변회로 영역(B) 내에 각각 제1 및 제2 트렌치 마스크 패턴들(33a, 33b)을 형성한다. 그 결과, 상기 제1 트렌치 마스크 패턴들(33a)의 각각은 차례로 적층된 터널산화막 패턴(19a), 하부 부유게이트 패턴(21a), 완충산화막 패턴(27a), 연마저지막 패턴(29a) 및 하드마스크 패턴(31a)을 포함하고, 상기 제2 트렌치 마스크 패턴(33b)은 차례로 적층된 게이트 절연막 패턴(11b), 하부 게이트 도전막 패턴(15b), 완충산화막 패턴(27b), 연마저지막 패턴(29b) 및 하드마스크 패턴(31b)을 포함한다.

도 1, 도 4a, 도 4b, 도 4c 및 도 4d를 참조하면, 상기 셀 어레이 영역(A)을 덮는 포토레지스트 패턴(35)을 형성한다. 상기 포토레지스트 패턴(35) 및 상기 제2 트렌치 마스크 패턴(33b)을 식각 마스크들로 사용하여 상기 반도체기판(1)을 식각하여 상기 주변회로 영역(B) 내에 예비 주변회로 트렌치 영역(preliminary peripheral circuit trench region; 37a)을 형성한다. 이어서, 상기 포토레지스트 패턴(35)을 제거한다.

도 1, 도 5a, 도 5b, 도 5c 및 도 5d를 참조하면, 상기 제1 및 제2 트렌치 마스크 패턴들(33a, 33b)을 식각 마스크들로 사용하여 상기 반도체기판(1)을 다시 식각한다. 그 결과, 상기 주변회로 영역(B) 내에 상기 예비 주변회로 트렌치 영역(37a)보다 깊은 주변회로 트렌치 영역(37a')이 형성되고, 상기 셀 어레이 영역(A) 내에 상기 주변회로 트렌치 영역(37a')보다 얇은 셀 트렌치 영역(37b)이 형성된다. 상기 셀 트렌치 영역(37b)은 상기 셀 어레이 영역(A) 내에 셀 활성영역들(37c)을 한정하고, 상기 주변회로 트렌치 영역(37a')은 상기 주변회로 영역(B) 내에 주변회로 활성영역(37p)을 한정한다.

상기 주변회로 트렌치 영역(37a')은 후속 공정에서 형성되는 주변회로 모스 트랜지스터의 소자분리 특성을 개선시키기 위해 적절한 충분한 깊이(sufficient depth)를 갖도록 형성되는 것이 바람직하다. 이에 반하여, 상기 셀 트렌치 영역(37b)은 후속공정에서 형성되는 공통 소오스 영역을 형성하기에 적합한 얇은 깊이를 가져야 한다. 결과적으로, 상기 주변회로 트렌치 영역(37a')은 상기 셀 트렌치 영역(37b)보다 깊은 것이 바람직하다.

그러나, 상기 트렌치 영역들(37a', 37b)은 도 4a, 도 4b, 도 4c 및 도 4d에 보여진 상기 포토레지스트 패턴(35)의 사용없이 1회의 식각공정(a single step of etching process)으로 형성할 수도 있다. 이 경우에, 상기 셀 트렌치 영역(37b)은 상기 주변회로 트렌치 영역(37a')과 동일한 깊이를 갖는다.

도 1, 도 6a, 도 6b, 도 6c 및 도 6d를 참조하면, 통상의 방법을 사용하여 상기 셀 트렌치 영역(37b) 및 상기 주변회로 트렌치 영역(37a') 내에 각각 셀 소자분리막(39b) 및 주변회로 소자분리막(39a)을 형성한다. 그 결과, 상기 하드마스크 패턴들(31a, 31b)은 상기 소자분리막들(39a, 39b)을 형성하는 동안 제거되어 상기 연마저지막 패턴들(29a, 29b)을 노출시킨다. 상기 소자분리막들(39a, 39b)은 도 6a, 도 6b, 도 6c 및 도 6d에 보여진 바와 같이 리세스되어 상기 하부 부유게이트 패턴들(21a)의 상부면들과 동일한 높이를 갖는 것이 바람직하다.

도 1, 도 7a, 도 7b, 도 7c 및 도 7d를 참조하면, 상기 연마저지막 패턴들(29a, 29b) 및 상기 완충산화막 패턴들(27a, 27b)을 제거하여 상기 하부 부유게이트 패턴들(21a) 및 상기 하부 게이트 도전막 패턴(15b)을 노출시킨다. 상기 연마저지막 패턴들(29a, 29b) 및 상기 완충산화막 패턴들(27a, 27b)이 제거된 반도체기판의 전면 상에 도전막을 차례로 형성한다. 상기 도전막은 도우핑된 폴리실리콘막으로 형성하는 것이 바람직하다. 상기 도전막을 패터닝하여 상기 하부 부유게이트 패턴들(21a)을 덮는 상부 부유게이트 패턴들(41a)을 형성함과 동시에 상기 주변회로 영역(B)을 덮는 제1 상부 게이트 도전막(41b)을 형성한다. 상기 상부 부유게이트 패턴들(41a)은 상기 하부 부유게이트 패턴들(21a)보다 넓은 폭을 갖도록 형성되는 것이 바람직하다.

계속해서, 상기 상부 부유게이트 패턴들(41a) 및 상기 제1 상부 게이트 도전막(41b)을 갖는 반도체기판의 전면 상에 게이트 증간유전막(inter-gate dielectric layer; 47) 및 도전막(49)을 차례로 형성한다. 상기 도전막(49)은 도우핑된 폴리실리콘막으로 형성할 수 있다.

도 1, 도 8a, 도 8b, 도 8c 및 도 8d를 참조하면, 상기 도전막(49) 및 상기 게이트 층간유전막(47)을 패터닝하여 상기 주변회로 영역(B) 상의 상기 제1 상부 게이트 도전막(41b)을 노출시킨다. 그 결과, 상기 셀 어레이 영역(A) 상에 제1 제어 게이트 도전막(49a)이 형성되고, 상기 제1 제어 게이트 도전막(49a)의 하부에 상기 게이트 층간유전막(47)이 잔존한다. 상기 제1 제어 게이트 도전막(49a)을 갖는 반도체기판의 전면 상에 도전막(51)을 형성한다. 상기 도전막(51)은 도우핑된 폴리실리콘막보다 낮은 비저항(resistivity)을 갖는 도전막으로 형성하는 것이 바람직하다. 예를 들면, 상기 도전막(51)은 텅스텐 실리사이드막과 같은 금속 실리사이드막으로 형성할 수 있다. 상기 셀 어레이 영역(A) 상의 상기 도전막(51)은 제2 제어 게이트 도전막에 해당하고, 상기 주변회로 영역(B) 상의 상기 도전막(51)은 제2 상부 게이트 도전막에 해당한다. 상기 도전막(51)을 형성하는 공정은 생략할 수도 있다.

상기 셀 어레이 영역(A) 내에서, 상기 하부 부유 게이트 패턴들(21a), 상기 상부 부유 게이트 패턴들(41a), 상기 게이트 층간유전막(47), 상기 제1 제어 게이트 도전막(49a) 및 상기 제2 제어 게이트 도전막(51)은 적층 게이트막을 구성한다. 또한, 상기 주변회로 영역(B) 내에서, 상기 하부 게이트 도전막 패턴(15b)과 아울러서 상기 제1 및 제2 상부 게이트 도전막들(41b, 51)은 주변회로 게이트막을 구성한다.

도 1, 도 9a, 도 9b, 도 9c 및 도 9d를 참조하면, 상기 적층 게이트막을 패터닝하여 상기 셀 어레이 영역(A) 내에 상기 셀 활성화영역들(37c)의 상부를 가로지르는 복수개의 제1 평행한 게이트 패턴들(52a), 즉 적층 게이트 패턴들(stacked gate patterns)을 형성한다. 결과적으로, 상기 적층 게이트 패턴들(52a)의 각각은 차례로 적층된 터널산화막 패턴(19a), 부유 게이트(FG), 게이트 층간유전막(47) 및 제어 게이트 전극(CG)을 포함한다.

상기 부유 게이트들(FG)은 상기 제어 게이트 전극들(CG) 및 상기 셀 활성화영역들(37c)의 교차점들(intersections)에 형성된다. 다시 말해서, 상기 부유 게이트들(FG)은 상기 제어 게이트 전극들(CG) 및 상기 셀 활성화영역들(37c) 사이에 개재된다. 이에 반하여, 상기 제어 게이트 전극들(CG)은 상기 셀 활성화영역들(37c) 및 그들 사이의 셀 소자분리막(39b)의 상부를 가로지른다. 상기 부유 게이트들(FG)의 각각은 차례로 적층된 하부 부유 게이트(21f) 및 상부 부유 게이트(41f)를 포함하고, 상기 제어 게이트 전극들(CG)의 각각은 차례로 적층된 제1 제어 게이트 전극(49c) 및 제2 제어 게이트 전극(51c)을 포함한다.

상기 적층 게이트 패턴들(52a) 사이의 영역들은 제1 개구부들(first spaces; SO) 및 제2 개구부들(second spaces; DO)을 포함한다. 상기 제1 개구부들(SO)은 제1 폭(S1)을 갖고, 상기 제2 개구부들(DO)은 상기 제1 폭(S1)보다 큰 제2 폭(S2)을 갖는다. 상기 적층 게이트 패턴들(52a)을 갖는 반도체기판 상에 포토레지스트 패턴(53)을 형성한다. 상기 포토레지스트 패턴(53)은 상기 주변회로 영역(B)은 물론 상기 제2 개구부들(DO)을 덮는다. 다시 말해서, 상기 포토레지스트 패턴(53)은 상기 제1 개구부들(SO)을 선택적으로 노출시킨다.

도 1, 도 10a, 도 10b, 도 10c 및 도 10d를 참조하면, 상기 포토레지스트 패턴(53)을 식각 마스크로 사용하여 상기 셀 소자분리막(39b)을 선택적으로 식각한다. 그 결과, 도 10b에 도시된 바와 같이, 상기 제1 개구부들(SO) 내의 상기 셀 활성화영역들(37c) 사이에 상기 셀 트렌치 영역(도 9b의 37b)이 다시 형성된다. 즉, 상기 제1 개구부들(SO)의 바닥면들(bottom surfaces)은 상기 셀 활성화영역들(37p)을 가로지르는 방향을 따라서 굴곡진 프로파일을 보인다.

상기 포토레지스트 패턴(53)을 이온주입 마스크로 사용하여 상기 반도체기판 내에 N형의 불순물 이온들을 주입한다. 그 결과, 상기 제1 개구부들(SO)에 의해 노출된 상기 반도체기판의 표면에 라인 형태의 제1 불순물 영역들(55), 즉 라인 형태의 공통 소오스 영역들을 형성한다. 이 경우에, 상기 이온주입 공정은 상기 제1 개구부들(SO) 내의 상기 셀 트렌치 영역의 측벽에 형성되는 상기 공통 소오스 영역들(55)의 전기적인 저항을 감소시키기 위하여 경사 이온주입 공정(tilted ion implantation process)을 사용하여 실시하는 것이 바람직하다. 이에 더하여, 상기 트렌치 영역(37b)은 상기 공통 소오스 영역들(55)의 전기적인 저항을 감소시키기 위하여 도 9a 내지 도 9d에서 설명된 바와 같이 얇은 것이 바람직하다.

계속해서, 상기 포토레지스트 패턴(53)을 제거한 후에, 상기 적층 게이트 패턴들(52a), 상기 상부 게이트 도전막들(41b, 51b) 및 상기 셀 소자분리막(39b)을 이온주입 마스크들로 사용하여 상기 제1 및 제2 개구부들(SO, DO) 내에 N형의 불순물 이온들을 선택적으로 주입한다. 그 결과, 상기 제2 개구부들(DO)에 의해 노출된 상기 셀 활성화영역들(37c)의 표면들에 섬 형태의(island-shaped) 제2 불순물 영역들(57), 즉 드레인 영역들이 형성된다. 상기 드레인 영역들(57)을 형성하기 위한 이온주입 공정 동안, 상기 공통 소오스 영역들(55) 내에 상기 N형의 불순물 이온들이 추가로 주입된다. 이에 따라, 상기 공통 소오스 영역들(55)의 불순물 농도는 더욱 증가되어 상기 공통 소오스 영역들(55)의 전기적인 저항을 감소시킨다.

한편, 상기 포토레지스트 패턴(53)을 제거하기 전에, 상기 공통 소오스 영역들(55)을 형성하기 위한 이온주입 공정은 생략될 수도 있다. 이 경우에, 상기 공통 소오스 영역들(55) 및 상기 드레인 영역들(57)은 1회의 이온주입 공정만(only a single step of ion implantation process)을 사용하여 형성된다.

도 1, 도 11a, 도 11b, 도 11c 및 도 11d를 참조하면, 상기 주변회로 게이트막을 패터닝하여 상기 주변회로 영역 내에 제2 게이트 패턴(G), 즉 주변회로 게이트 전극을 형성한다. 상기 주변회로 게이트 전극(G)은 상기 주변회로 활성화영역(37p)의 상부를 가로지르도록 형성된다. 상기 주변회로 게이트 전극(G)은 차례로 적층된 하부 게이트 전극(15h), 제1 상부 게이트 전극(41h) 및 제2 상부 게이트 전극(51h)을 포함한다.

상기 적층 게이트 패턴들(52a), 상기 주변회로 게이트 전극(G) 및 상기 소자분리막들(39a, 39b)을 이온주입 마스크들로 사용하여, 상기 활성화영역들(37c, 37p) 내에 N형의 불순물 이온들(59)을  $1 \times 10^{12}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{14}$  atoms/cm<sup>2</sup>의 낮은 도우즈로 주입한다. 그 결과, 상기 주변회로 활성화영역(37p)에 저농도 소오스/드레인 영역들(61)이 형성된다.

도 1, 도 12a, 도 12b, 도 12c 및 도 12d를 참조하면, 상기 저농도 소오스/드레인 영역들(61)을 갖는 반도체기판의 전면 상에 스페이서막을 형성한다. 상기 스페이서막은 실리콘 산화막에 대하여 식각 선택비를 갖는 절연막, 예컨대 실리콘 질화막으로 형성하는 것이 바람직하다. 또한, 상기 스페이서막은 상기 제1 폭(S1)의 1/2보다 크고 상기 제2 폭(S2)의 1/2보다 작은 두께로 형성한다. 이에 따라, 상기 제1 개구부들(SO)은 상기 스페이서막으로 채워진다. 상기 스페이서막을 형성하기 전에, 상기 저농도 소오스/드레인 영역들(61)을 갖는 반도체기판의 전면 상에 스트레스 완충산화막(63)을 형성하는 것이

바람직하다. 상기 스트레스 완충산화막(63)은 상기 스페이서막의 스트레스를 완화시키기(alleviate) 위하여 형성한다. 상기 스트레스 완충산화막(63)은 중간온도산화막(MTO; medium temperature oxide layer)과 같은 CVD 산화막으로 형성할 수 있다. 또한, 상기 스트레스 완충산화막(63)은 약 200Å의 얇은 두께로 형성하는 것이 바람직하다.

상기 스페이서막을 이방성 식각하여 상기 제2 개구부들(DO)의 측벽들 및 상기 주변회로 게이트 전극(G)의 측벽 상에 스페이서(65)를 형성한다. 이 경우에, 상기 제1 개구부들(SO)은 여전히 상기 이방성 식각된 스페이서막 패턴들(65')로 채워진다. 다시 말해서, 상기 공통 소오스 영역들(55) 상의 상기 스트레스 완충산화막(63)은 상기 스페이서(65)를 형성한 후에도 상기 스페이서막 패턴들(65')로 여전히 덮여진다. 이에 반하여, 상기 드레인 영역들(57) 및 상기 저농도 소오스/드레인 영역들(61) 상의 상기 스트레스 완충산화막(63)은 상기 스페이서(65)의 형성 후에 노출된다.

상기 스페이서막이 과도식각되는 경우에, 상기 드레인 영역들(57) 및 상기 저농도 소오스/드레인 영역들(61)은 노출될 수도 있다. 그럼에도 불구하고, 상기 공통 소오스 영역들(55) 상의 상기 스페이서막 패턴들(65')은 상기 스페이서(65)와 다른 형태(different configuration)를 가지며, 쉽게 제거되지 않는다. 이어서, 상기 셀 어레이 영역(A)을 덮는 포토레지스트 패턴(67)을 형성한다. 상기 포토레지스트 패턴(67), 상기 주변회로 게이트 전극(G), 상기 스페이서(65) 및 상기 주변회로 소자분리막(39a)을 이온주입 마스크들로 사용하여, 상기 주변회로 활성영역(37p) 내에 N형의 불순물 이온들을  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 내지  $5 \times 10^{15}$  atoms/cm<sup>2</sup>의 높은 도우즈로 주입하여 상기 저농도 소오스/드레인 영역들(61)에 인접하는 고농도 소오스/드레인 영역들(69)을 형성한다. 결과적으로, 상기 주변회로 영역(B) 내에 상기 저농도 소오스/드레인 영역들(61) 및 상기 고농도 소오스/드레인 영역들(69)을 포함하는 엘디디형의(LDD-type) 소오스/드레인 영역들이 형성된다. 상기 제2 개구부들(DO)의 폭은 상기 스페이서(65)의 존재에 기인하여 상기 제2 폭(도 14a 및 도 1의 S2)보다 작은 제3 폭(S3)을 갖는다.

도 1, 도 13a, 도 13b, 도 13c 및 도 13d를 참조하면, 상기 포토레지스트 패턴(67)을 제거한다. 일반적으로, 상기 스페이서(65)는 상술한 바와 같이 상기 엘디디형의 소오스/드레인 영역들을 형성하기 위하여 사용된다. 따라서, 상기 엘디디형의 소오스/드레인 영역들이 형성된 후에, 상기 스페이서(65)는 제거되는 것이 바람직하다. 이는, 상기 스페이서(65)가 후속공정에서 어려움을 초래할 수 있기 때문이다. 예를 들어, 상기 스페이서(65)가 잔존하면, 후속공정에서 상기 드레인 영역들(57) 및 상기 엘디디형의 소오스/드레인 영역들을 노출시키기 위하여 형성되는 콘택홀들의 폭을 증가시키는 데에 한계가 있다. 이에 반하여, 상기 제1 개구부들(SO) 내의 상기 스페이서막 패턴들(65')은 제거되지 않는 것이 바람직하다. 이는, 상기 스페이서막 패턴들(65')이 제거되는 경우에, 상기 제1 개구부(SO)의 종횡비(aspect ratio)가 현저히 증가되어 후속공정에서 중간절연막을 형성하는 동안 상기 제1 개구부들(SO) 내에 보이드들을 발생시키기 때문이다. 이러한 보이드들은 플래쉬 메모리 셀의 전기적인 특성을 불안정하게 만들 수 있다.

결과적으로, 상기 스페이서(65)는 습식 식각공정을 사용하여 제거되는 것이 바람직하다. 상기 습식 식각공정은 인산(H<sub>3</sub>PO<sub>4</sub>)을 사용하여 실시할 수 있다. 상기 습식 식각공정 동안 상기 스페이서막 패턴들(65')은 제거되지 않아야 한다. 따라서, 상기 습식 식각공정은 적절한 시간동안 실시한다. 그 결과, 상기 제1 개구부들(SO) 내에 리세스된 스페이서막 패턴들(65a)이 잔존한다.

바람직하게는, 상기 리세스된 스페이서막 패턴들(65a)을 갖는 반도체기판의 전면 상에 식각저지막(71)을 형성한다. 상기 식각저지막(71)은 상기 스페이서(65)의 폭보다 작은 두께로 형성한다. 이에 따라, 상기 제2 개구부들(DO)은 상기 제3 폭(S3)보다 큰 제4 폭(S4)을 갖는다. 상기 식각저지막(71)은 통상의 층간절연막에 대하여 식각 선택비를 갖는 절연막, 예컨대 실리콘 질화막으로 형성할 수 있다. 상기 식각저지막(71) 상에 층간절연막(73)을 형성한다. 이 경우에, 상기 리세스된 스페이서막 패턴들(65a)의 존재에 기인하여 상기 제1 개구부들(SO) 내에 보이드들이 형성되는 것을 방지할 수 있다.

도 1, 도 14a, 도 14b, 도 14c 및 도 14d를 참조하면, 상기 층간절연막(73), 상기 식각저지막(71) 및 상기 스트레스 완충산화막(63)을 패터닝하여 상기 주변회로 영역(B) 내의 상기 엘디디형의 소오스/드레인 영역들을 노출시키는 제1 금속 콘택홀들(75)을 형성한다. 상기 제1 금속 콘택홀들(75)을 형성하는 동안 상기 주변회로 게이트 전극(G) 역시 노출될 수 있다. 이어서, 상기 층간절연막(73), 상기 식각저지막(71) 및 상기 스트레스 완충산화막(63)을 다시 패터닝하여 상기 드레인 영역들(57)을 노출시키는 제2 금속 콘택홀들(77)을 형성한다. 상기 스페이서(65)의 제거에 기인하여 상기 제1 및 제2 금속 콘택홀들(75, 77)의 폭을 극대화시킬 수 있다. 결과적으로, 금속콘택 저항을 감소시킬 수 있다.

이에 더하여, 상기 제2 금속 콘택홀들(77)을 통하여 상기 드레인 영역들(57) 내에 N형의 불순물 이온들을 추가로 주입할 수도 있다. 그 결과, 상기 드레인 영역들(57) 내에 상기 제2 금속 콘택홀들(77)과 자기정렬된 플러그 이온주입 영역들(78)이 형성된다. 이러한 플러그 이온주입 영역들(78)은 상기 드레인 영역들(57)의 콘택저항의 감소로 이어지고, 상기 드레인 영역들(57)에서 접합 스파이킹(junction spiking)이 발생하는 것을 방지한다.

다른 방법으로(alternatively), 상기 제1 금속 콘택홀들(75) 및 상기 제2 금속 콘택홀(77)은 1회의 식각공정을 사용하여 동시에 형성될 수 있다.

계속해서, 상기 제1 및 제2 금속 콘택홀들(75, 77) 내에 각각 통상의 방법을 사용하여 제1 및 제2 금속 콘택 플러그들(79a, 79b)을 형성한다. 상기 금속 콘택 플러그들(79a, 79b)은 텅스텐막으로 형성할 수 있다.

상기 층간절연막(73) 상에 알루미늄막과 같은 금속막을 형성한다. 상기 금속막을 패터닝하여 상기 주변회로 영역(B) 및 상기 셀 어레이 영역(A) 내에 각각 제1 금속배선들(81a) 및 제2 금속배선들(81b)을 형성한다. 상기 제2 금속배선들(81b)은 상기 제어게이트 전극들(CG)의 상부를 가로지르도록 형성되고 플래쉬 메모리 셀들의 비트라인들 역할을 한다. 상기 비트라인들(81b)은 상기 제2 금속 콘택 플러그들(79b)을 통하여 상기 드레인 영역들(57)에 전기적으로 연결된다. 상기 제1 및 제2 금속배선들(81a, 81b)은 구리막과 같은 신뢰성 있는 금속막(reliable metal layer)을 채택하는 통상의 다마신 공정을 사용하여 형성될 수도 있다.

**발명의 효과**

상술한 바와 같이 본 발명에 따르면, 적층게이트 패턴들의 측벽들 및 주변회로 게이트 전극의 측벽 상에 형성된 스페이서들은 주변회로 영역 내에 엘디디형의 소오스/드레인 영역들을 형성한 후에 제거되는 반면에, 상기 적층게이트 패턴들 사이의 영역들중 좁은 개구부들은 리세스된 스페이서막 패턴들로 채워진다. 이에 따라, 소오스/드레인 영역들을 노출시키는 급속 콘택홀의 폭을 최대화시킬 수 있고, 상기 좁은 개구부들 내에 보이드가 형성되는 것을 방지할 수 있다. 결과적으로, 신뢰성 있는 고집적 플래쉬 메모리소자를 구현하는 것이 가능하다.

**(57) 청구의 범위**

**청구항 1.**

반도체기판에 소자분리막을 형성하여 제1 및 제2 활성영역들을 한정하고,

상기 제1 활성영역의 상부를 가로지르는 복수개의 제1 평행한 게이트 패턴들을 형성하되, 상기 제1 게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부를 구비하고,

상기 제1 개구부에 의해 노출된 상기 소자분리막을 선택적으로 제거하고,

상기 소자분리막이 선택적으로 제거된 결과물의 상기 제1 개구부에 의해 노출된 상기 반도체기판의 표면 및 상기 제2 개구부에 의해 노출된 상기 제1 활성영역에 각각 라인 형태의(line-shaped) 제1 불순물 영역 및 섬 형태의(island-shaped) 제2 불순물 영역을 형성하고,

상기 제2 활성영역의 상부를 가로지르는 제2 게이트 패턴을 형성하고,

상기 제2 게이트 패턴의 양 옆에 위치하는 상기 제2 활성영역에 저농도 소오스/드레인 영역들을 형성하고,

상기 제1 및 제2 불순물 영역들과 아울러서 상기 저농도 소오스/드레인 영역들을 갖는 기판의 상기 제2 개구부의 측벽 및 상기 제2 게이트 패턴의 측벽을 덮는 스페이서들 및 상기 제1 개구부를 채우는 스페이서막 패턴을 형성하고,

상기 제2 활성영역에 상기 저농도 소오스/드레인 영역들에 인접하는 고농도 소오스/드레인 영역들을 형성하여 상기 저농도 소오스/드레인 영역들 및 상기 고농도 소오스/드레인 영역들을 포함하는 엘디디형의 소오스/드레인 영역들을 제공하고,

상기 스페이서들을 제거하여 상기 제2 개구부의 측벽 및 상기 제2 게이트 패턴의 측벽을 노출시킴과 동시에 상기 제1 개구부 내에 리세스된 스페이서막 패턴을 남기고,

상기 리세스된 스페이서막 패턴을 갖는 반도체기판의 전면 상에 콘포말한 식각저지막을 형성하는 것을 포함하는 반도체 집적회로의 제조방법.

**청구항 2.**

제 1 항에 있어서,

상기 제1 활성영역은 상기 반도체기판의 제1 영역 내에 한정되고, 상기 제2 활성영역은 상기 반도체기판의 제2 영역 내에 한정되는 것을 특징으로 하는 반도체 집적회로의 제조방법.

**청구항 3.**

제 1 항에 있어서,

상기 소자분리막은 트렌치 소자분리 기술을 사용하여 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

**청구항 4.**

제 1 항에 있어서,

상기 제1 개구부에 의해 노출된 상기 소자분리막을 선택적으로 제거하는 것은

상기 제1 개구부를 노출시키는 포토레지스트 패턴을 형성하고,



상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제1 개구부 내의 상기 소자분리막과 접촉하는 상기 반도체기판이 노출될 때까지 상기 소자분리막을 식각하는 것을 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 5.

제 4 항에 있어서,

상기 제1 및 제2 불순물 영역들을 형성하는 것은

상기 포토레지스트 패턴을 이온주입 마스크로 사용하여 상기 제1 개구부에 의해 노출된 상기 반도체기판 내에 제1 불순물 이온들을 주입하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 게이트 패턴들 및 상기 소자분리막을 이온주입 마스크들로 사용하여 상기 제1 개구부 및 상기 제2 개구부에 의해 노출된 상기 반도체기판 내에 제2 불순물 이온들을 주입하는 것을 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 6.

제 1 항에 있어서,

상기 스페이서들 및 상기 스페이서막 패턴을 형성하는 것은

상기 저농도 소오스/드레인 영역들을 갖는 반도체기판의 전면 상에 상기 제1 폭의 1/2보다 크고 상기 제2 폭의 1/2보다 작은 두께를 갖는 스페이서막을 형성하고,

상기 스페이서막을 이방성 식각하여 제2 불순물 영역 및 상기 저농도 소오스/드레인 영역들을 노출시킴과 동시에 상기 제1 개구부를 채우는 이방성 식각된 스페이서막을 남기는 것을 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 7.

제 6 항에 있어서,

상기 스페이서막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 8.

제 7 항에 있어서,

상기 스페이서막을 형성하기 전에, 상기 저농도 소오스/드레인 영역들을 갖는 반도체 기판의 전면 상에 콘포말한 (conformal) 스트레스 완충산화막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 9.

제 1 항에 있어서,

상기 식각저지막을 갖는 반도체기판의 전면 상에 층간절연막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 10.

제 9 항에 있어서,

상기 식각저지막은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 집적 회로의 제조방법.

### 청구항 11.

제 9 항에 있어서,

상기 층간절연막 및 상기 식각저지막을 패터닝하여 상기 엘디디형의 소오스/드레인 영역들 및 상기 제2 게이트 패턴을 노출시키는 제1 금속 콘택홀들을 형성하고,

상기 층간절연막을 및 상기 식각저지막을 패터닝하여 상기 제2 불순물 영역을 노출시키는 제2 금속 콘택홀을 형성하고,

상기 제2 금속 콘택홀에 의해 노출된 상기 제2 불순물 영역에 선택적으로 플러그 이온주입 공정을 적용하고,

상기 제1 및 제2 금속 콘택홀들을 채우는 금속 콘택 플러그들을 형성하고,

상기 층간절연막 상에 상기 금속 콘택 플러그들을 덮는 금속배선들을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 12.

셀 어레이 영역 및 주변회로 영역을 갖는 반도체기판을 준비하고,

상기 반도체기판의 소정영역에 소자분리막을 형성하여 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 셀 활성영역 및 주변회로 활성영역을 한정하고,

상기 셀 어레이 영역 및 상기 주변회로 영역 상에 각각 적층 게이트막(stacked gate layer) 및 주변회로 게이트막을 형성하고,

상기 적층 게이트막을 패터닝하여 상기 셀 활성영역의 상부를 가로지르는 복수개의 평행한 적층 게이트 패턴들(parallel stacked gate patterns)을 형성하되, 상기 적층게이트 패턴들 사이의 영역들은 제1 폭을 갖는 제1 개구부들 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부들을 구비하고,

상기 제1 개구부들에 의해 노출된 상기 소자분리막을 선택적으로 제거하고,

상기 소자분리막이 선택적으로 제거된 결과물의 상기 제1 개구부들에 의해 노출된 상기 반도체기판의 표면 및 상기 제2 개구부들에 의해 노출된 상기 셀 활성영역의 표면에 각각 라인 형태의 공통 소오스 영역들 및 섬 형태의 드레인 영역들을 형성하고,

상기 주변회로 게이트막을 패터닝하여 상기 주변회로 활성영역의 상부를 가로지르는 주변회로 게이트 전극을 형성하고,

상기 주변회로 게이트 전극을 이온주입 마스크로 사용하여 상기 주변회로 활성영역 내에 불순물 이온들을 주입하여 상기 주변회로 활성영역에 저농도 소오스/드레인 영역들을 형성하고,

상기 공통 소오스 영역들 및 상기 드레인 영역들과 아울러서 상기 저농도 소오스/드레인 영역들을 갖는 기판의 상기 제2 개구부들의 측벽 및 상기 주변회로 게이트 전극의 측벽을 덮는 스페이서들과 아울러서 상기 제1 개구부들을 채우는 스페이서막 패턴들을 형성하고,

상기 주변회로 게이트 전극 및 그 측벽을 덮는 상기 스페이서를 이온주입 마스크들로 사용하여 상기 주변회로 활성영역에 고농도 소오스/드레인 영역들을 형성하여 상기 저농도 소오스/드레인 영역들 및 상기 고농도 소오스/드레인 영역들을 포함하는 엘디디형의 소오스/드레인 영역들을 제공하고,

상기 스페이서들을 제거하여 상기 제2 개구부의 측벽 및 상기 주변회로 게이트 전극의 측벽을 노출시킴과 동시에 상기 제1 개구부들 내에 리세스된 스페이서막 패턴들을 남기고,

상기 리세스된 스페이서막 패턴을 갖는 반도체기판의 전면 상에 콘포말한 식각저지막을 형성하는 것을 포함하는 플래쉬 메모리 소자의 제조방법.

### 청구항 13.

제 12 항에 있어서,

상기 소자분리막을 형성하는 것은

상기 셀 어레이 영역 내의 상기 반도체기판 및 상기 주변회로 영역 내의 상기 반도체기판 상에 각각 제1 및 제2 트렌치 마스크 패턴들을 형성하고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각마스크들로 사용하여 상기 반도체기판을 식각하여 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 셀 트렌치 영역 및 주변회로 트렌치 영역을 형성하고,

상기 셀 트렌치 영역 및 상기 주변회로 영역 내에 각각 셀 소자분리막 및 주변회로 소자분리막을 형성하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

#### 청구항 14.

제 13 항에 있어서,

상기 제1 및 제2 트렌치 마스크 패턴들을 형성하는 것은

상기 반도체기판의 전면 상에 게이트 절연막 및 하부 게이트 도전막을 차례로 형성하고,

상기 하부 게이트 도전막 및 상기 게이트 절연막을 패터닝하여 상기 셀 어레이 영역 내의 상기 반도체기판을 노출시키고,

상기 노출된 반도체기판 상에 터널 절연막 및 하부 부유게이트막을 차례로 형성하고,

상기 하부 부유게이트막 및 상기 하부 게이트 도전막을 갖는 반도체기판의 전면 상에 차례로 적층된 연마저지막 및 하드 마스크막으로 이루어진 트렌치 마스크막을 형성하고,

상기 트렌치 마스크막을 패터닝하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

#### 청구항 15.

제 13 항에 있어서,

상기 셀 트렌치 영역 및 상기 주변회로 트렌치 영역을 형성하는 것은

상기 제1 및 제2 트렌치 마스크 패턴들을 갖는 반도체기판 상에 상기 셀 어레이 영역을 덮는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴 및 상기 제2 트렌치 마스크 패턴을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 상기 주변회로 영역 내에 예비 주변회로 트렌치 영역을 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 상기 셀 어레이 영역 및 상기 주변회로 영역 내에 각각 제1 깊이를 갖는 트렌치 영역 및 상기 제1 깊이보다 큰 제2 깊이를 갖는 트렌치 영역을 형성하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

#### 청구항 16.

제 14 항에 있어서,

상기 적층게이트막 및 상기 주변회로 게이트막을 형성하는 것은

상기 패터닝된 트렌치 마스크막을 제거하여 상기 하부 부유게이트막 및 상기 하부 게이트 도전막을 노출시키고,

상기 노출된 하부 부유게이트막을 덮는 상부 부유게이트 패턴 및 상기 주변회로 영역을 덮는 제1 상부 게이트 도전막을 형성하고,

상기 상부 부유게이트 패턴을 갖는 상기 셀 어레이 영역의 전면 상에 차례로 적층된 게이트 층간유전막 및 제1 제어게이트 도전막을 형성하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

### 청구항 17.

제 16 항에 있어서,

상기 제1 제어게이트 도전막 및 상기 제1 상부 게이트 도전막 상에 금속 실리사이드막을 형성하는 것을 더 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

### 청구항 18.

제 12 항에 있어서,

상기 제1 개구부들에 의해 노출된 상기 소자분리막을 선택적으로 제거하는 것은

상기 적층 게이트 패턴들을 갖는 반도체기판 상에 상기 제1 개구부들을 노출시키는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 소자분리막을 식각하여 상기 제1 개구부들 내의 상기 소자분리막과 접촉하는 상기 반도체기판을 노출시키는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

### 청구항 19.

제 18 항에 있어서,

상기 공통 소오스 영역들 및 상기 드레인 영역들을 형성하는 것은

상기 포토레지스트 패턴을 이온주입 마스크로 사용하여 상기 제1 개구부들에 의해 노출된 상기 반도체기판 내에 제1 불순물 이온들을 주입하고,

상기 포토레지스트 패턴을 제거하고,

상기 적층 게이트 패턴들 및 상기 소자분리막을 이온주입 마스크들로 사용하여 상기 셀 어레이 영역 내의 상기 반도체기판 내에 선택적으로 제2 불순물 이온들을 주입하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 제조방법.

### 청구항 20.

제 12 항에 있어서,

상기 스페이서들 및 상기 스페이서막 패턴을 형성하는 것은

상기 저농도 소오스/드레인 영역들을 갖는 반도체기판의 전면 상에 상기 제1 폭의 1/2보다 크고 상기 제2 폭의 1/2보다 작은 두께를 갖는 스페이서막을 형성하고,

상기 스페이서막을 이방성 식각하여 드레인 영역들 및 상기 저농도 소오스/드레인 영역들을 노출시킴과 동시에 상기 제1 개구부들을 채우는 이방성 식각된 스페이서막을 남기는 것을 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 21.

제 20 항에 있어서,

상기 스페이서막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 22.



제 21 항에 있어서,

상기 스페이서막을 형성하기 전에, 상기 저농도 소오스/드레인 영역들을 갖는 반도체 기판의 전면 상에 콘포말한 (conformal) 스트레스 완충산화막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 23.

제 12 항에 있어서,

상기 식각저지막 상에 층간절연막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 24.

제 23 항에 있어서,

상기 식각저지막은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 25.

제 23 항에 있어서,

상기 층간절연막 및 상기 식각저지막을 패터닝하여 상기 엘디디형의 소오스/드레인 영역들 및 상기 주변회로 게이트 전극을 노출시키는 제1 금속 콘택홀들을 형성하고,

상기 층간절연막 및 상기 식각저지막을 패터닝하여 상기 셀 어레이 영역 내의 상기 드레인 영역들을 노출시키는 제2 금속 콘택홀들을 형성하고,

상기 제2 금속 콘택홀들에 의해 노출된 상기 드레인 영역들에 선택적으로 플러그 이온주입 공정을 적용하고,

상기 제1 및 제2 금속 콘택홀들을 채우는 금속 콘택 플러그들을 형성하고,

상기 층간절연막 상에 상기 금속 콘택 플러그들을 덮는 금속배선들을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

### 청구항 26.

반도체기판 상에 형성되어 제1 및 제2 활성영역들을 한정하는 소자분리막;

상기 제1 활성영역의 상부를 가로지르되, 그들 사이의 영역들은 제1 폭을 갖는 제1 개구부 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부로 구성된 복수개의 제1 평행한 게이트 패턴들;

상기 제1 개구부 하부의 상기 반도체기판의 표면에 형성되고 상기 제1 개구부와 동일하거나 그 보다 큰 폭을 갖는 라인 형태의 제1 불순물 영역;

상기 제2 개구부 하부의 상기 제1 활성영역의 표면에 형성된 섬 형태의 제2 불순물 영역;

상기 제2 활성영역의 상부를 가로지르는 제2 게이트 패턴;

상기 제1 개구부를 채우면서 상기 제1 불순물 영역을 덮는 리세스된 스페이서막 패턴;

상기 제2 게이트 패턴의 양 옆에 위치하는 상기 제2 활성영역에 형성된 엘디디형의 소오스/드레인 영역들; 및

상기 리세스된 스페이서막 패턴 및 상기 엘디디형의 소오스/드레인 영역들을 갖는 반도체기판의 전면을 덮는 콘포말한 식각저지막을 포함하는 반도체 집적회로.

**청구항 27.**

제 26 항에 있어서,

상기 리세스된 스페이서막 패턴 및 상기 제1 불순물 영역 사이와 상기 리세스된 스페이서막 패턴 및 상기 제1 게이트 패턴들 사이에 개재된 스트레스 완충산화막을 더 포함하되, 상기 스트레스 완충산화막은 연장되어 상기 제1 게이트 패턴들의 표면들, 상기 제2 불순물 영역의 표면, 상기 소자분리막의 표면, 상기 제2 게이트 패턴의 표면 및 상기 엘디디형의 소오스/드레인 영역들의 표면들을 덮는 것을 특징으로 하는 반도체 집적회로.

**청구항 28.**

제 26 항에 있어서,

상기 식각저지막 상에 형성된 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

**청구항 29.**

제 28 항에 있어서,

상기 식각저지막은 상기 층간절연막에 대하여 식각 선택비를 갖는 절연막인 것을 특징으로 하는 반도체 집적회로.

**청구항 30.**

제 28 항에 있어서,

상기 층간절연막 및 상기 식각저지막을 관통하여 상기 제2 불순물 영역, 상기 제2 게이트 패턴 및 상기 엘디디형의 소오스/드레인 영역들과 접촉하는 금속 콘택 플러그들을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

**청구항 31.**

셀 어레이 영역 및 주변회로 영역을 갖는 반도체기판;

상기 반도체기판에 형성되되, 상기 셀 어레이 영역 및 주변회로 영역 내에 각각 셀 활성영역 및 주변회로 활성영역을 한정하는 소자분리막;

상기 셀 활성영역의 상부를 가로지르되, 그들 사이의 영역들은 제1 폭을 갖는 제1 개구부들 및 상기 제1 폭보다 큰 제2 폭을 갖는 제2 개구부들로 구성된 복수개의 평행한 적층 게이트 패턴들;

상기 제1 개구부들 하부의 상기 반도체기판의 표면에 형성되고 상기 제1 개구부와 동일하거나 그 보다 큰 폭을 갖는 라인 형태의 공통 소오스 영역들;

상기 제2 개구부들 하부의 상기 셀 활성영역의 표면에 형성된 섬 형태의 드레인 영역들;

상기 주변회로 활성영역의 상부를 가로지르는 주변회로 게이트 전극;

상기 제1 개구부들을 채우면서 상기 공통 소오스 영역들을 덮는 리세스된 스페이서막 패턴들;

상기 주변회로 게이트 전극의 양 옆에 위치하는 상기 주변회로 활성영역에 형성된 엘디디형의 소오스/드레인 영역들; 및

상기 리세스된 스페이서막 패턴들 및 상기 엘디디형의 소오스/드레인 영역들을 갖는 반도체기판의 전면을 덮는 콘포말한 식각저지막을 포함하는 플래쉬 메모리소자.

**청구항 32.**

제 31 항에 있어서,

상기 소자분리막은

상기 셀 어레이 영역 내에 형성된 셀 소자분리막; 및

상기 주변회로 영역 내에 형성되고 상기 셀 소자분리막보다 더 깊은 주변회로 소자분리막을 포함하는 것을 특징으로 하는 플래쉬 메모리소자.

### 청구항 33.

제 31 항에 있어서,

상기 리세스된 스페이서막 패턴들 및 상기 공통 소오스 영역들 사이와 상기 리세스된 스페이서막 패턴들 및 상기 적층 게이트 패턴들 사이에 개재된 스트레스 완충산화막을 더 포함하되, 상기 스트레스 완충산화막은 연장되어 상기 적층 게이트 패턴들의 표면들, 상기 드레인 영역들의 표면들, 상기 소자분리막의 표면, 상기 주변회로 게이트 전극의 표면 및 상기 엘디디형의 소오스/드레인 영역들의 표면들을 덮는 것을 특징으로 하는 플래쉬 메모리소자.

### 청구항 34.

제 31 항에 있어서,

상기 식각저지막 상에 형성된 층간절연막을 더 포함하는 것을 특징으로 하는 플래쉬 메모리소자.

### 청구항 35.

제 34 항에 있어서,

상기 식각저지막은 상기 층간절연막에 대하여 식각 선택비를 갖는 절연막인 것을 특징으로 하는 플래쉬 메모리소자.

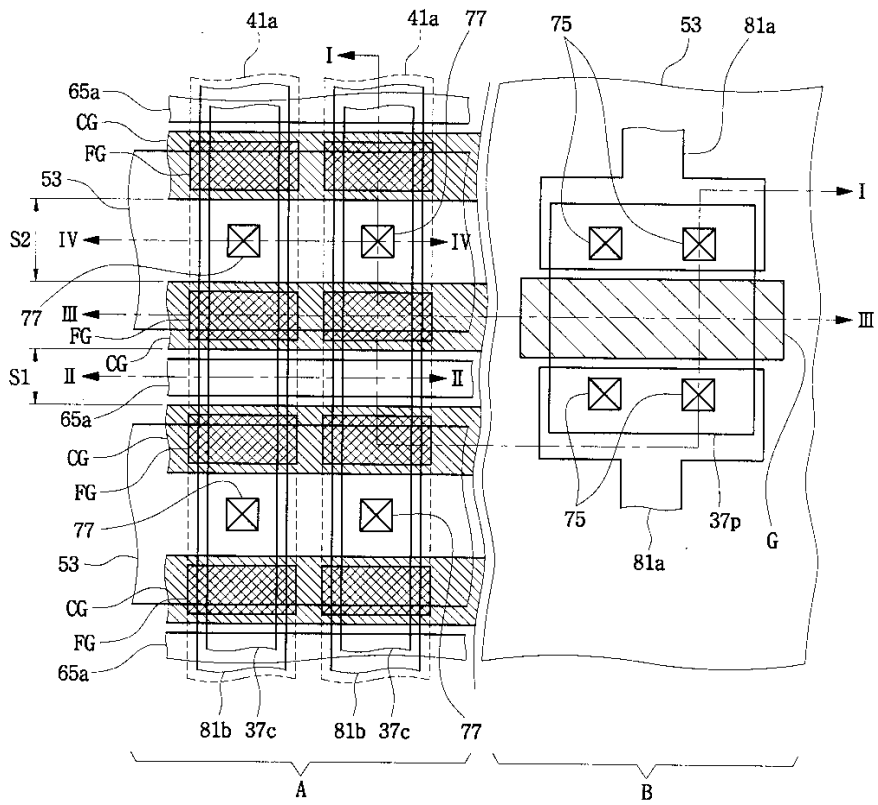
### 청구항 36.

제 34 항에 있어서,

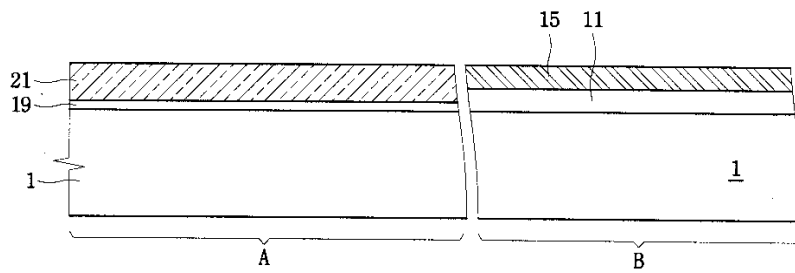
상기 층간절연막 및 상기 식각저지막을 관통하여 상기 드레인 영역들, 상기 주변회로 게이트 전극 및 상기 엘디디형의 소오스/드레인 영역들과 접촉하는 금속 콘택 플러그들을 더 포함하는 것을 특징으로 하는 플래쉬 메모리소자.

도면

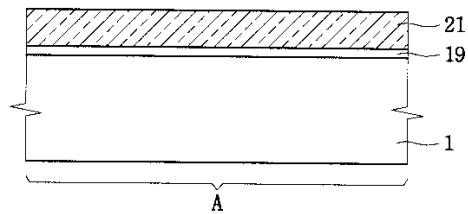
도면1



도면2a

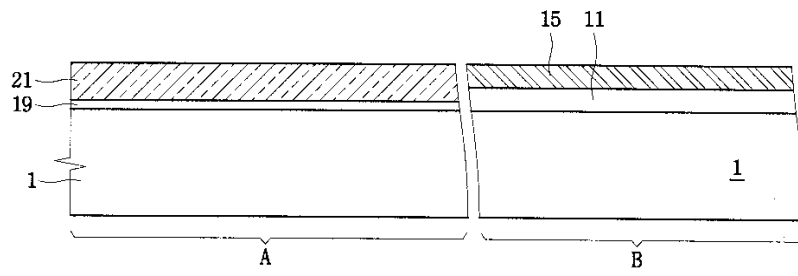


도면2b

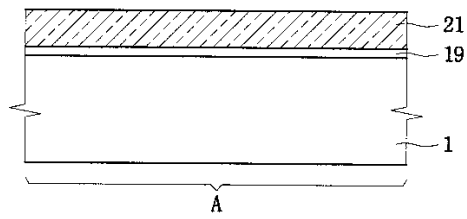




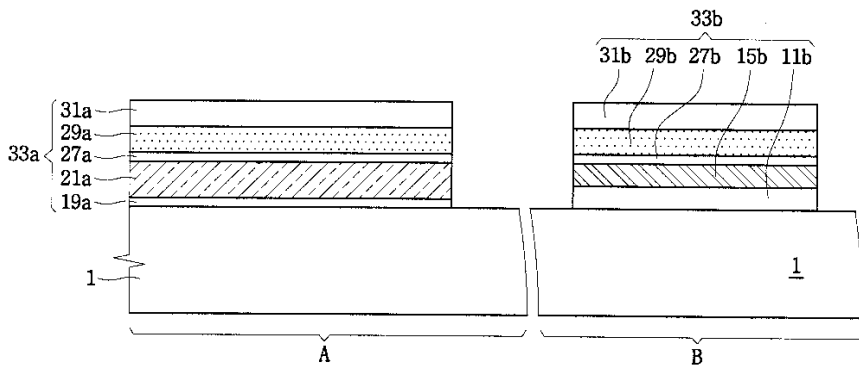
도면2c



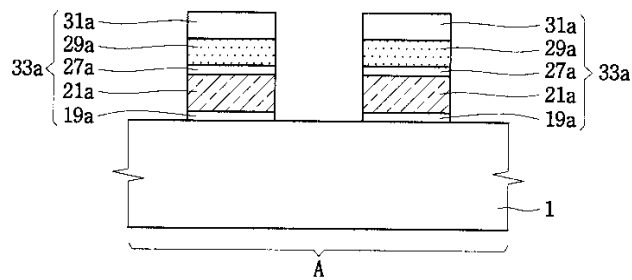
도면2d



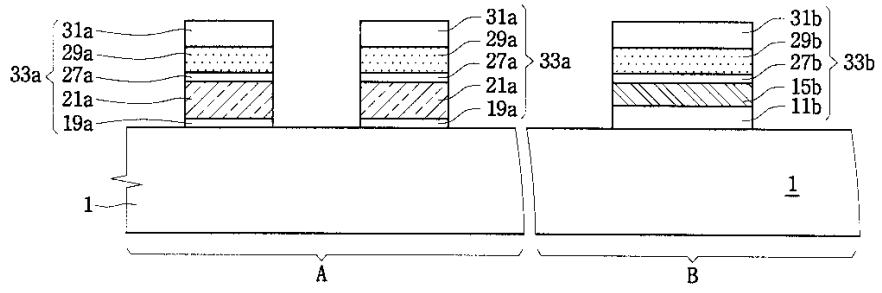
도면3a



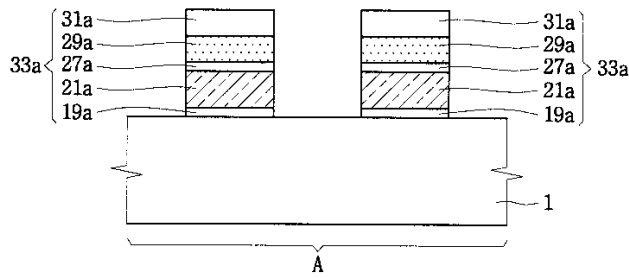
도면3b



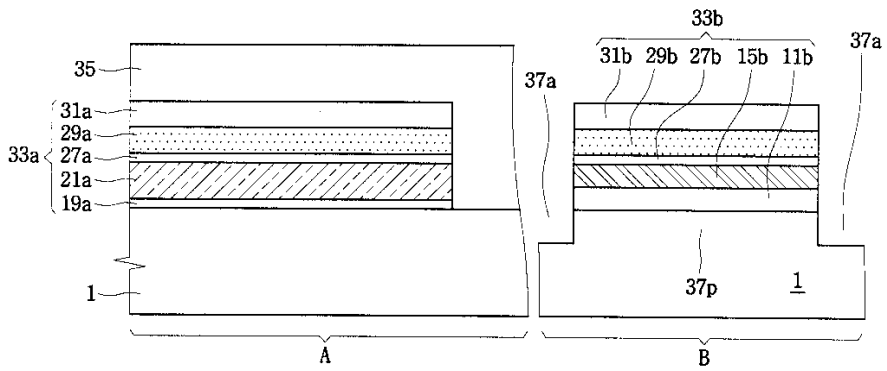
도면3c



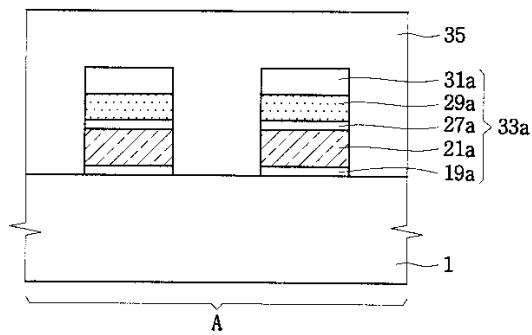
도면3d



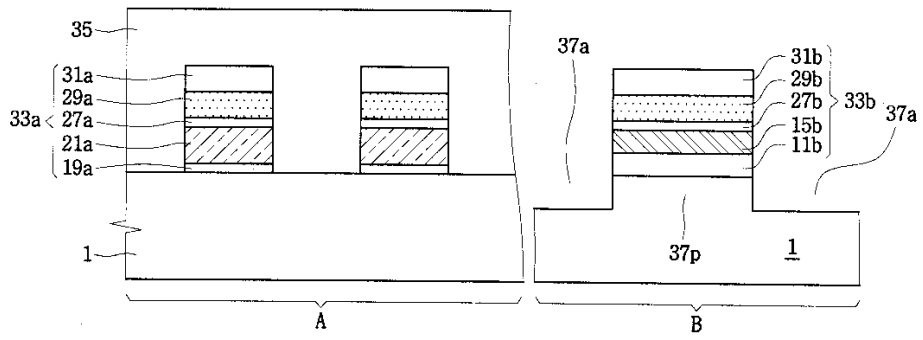
도면4a



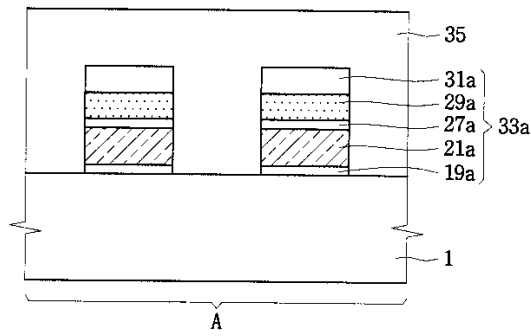
도면4b



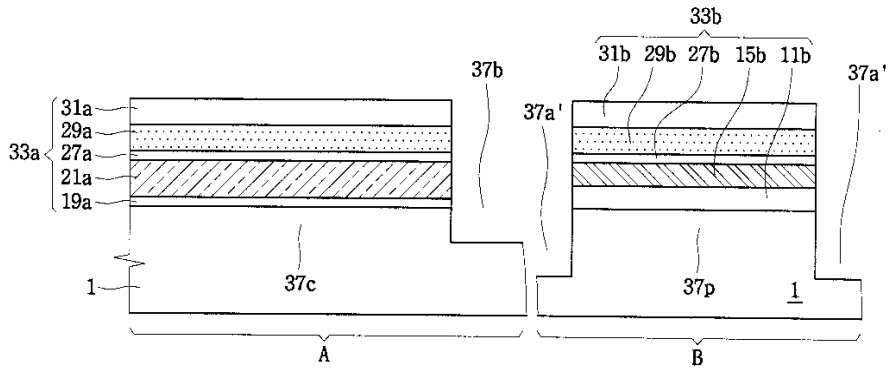
도면4c



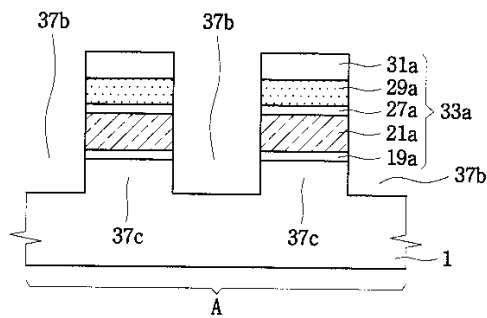
도면4d



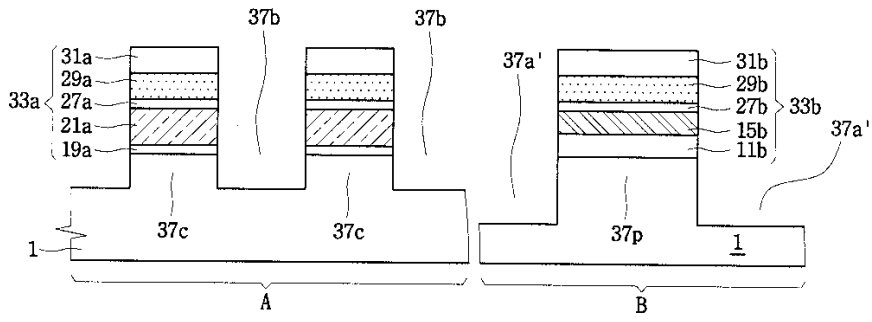
도면5a



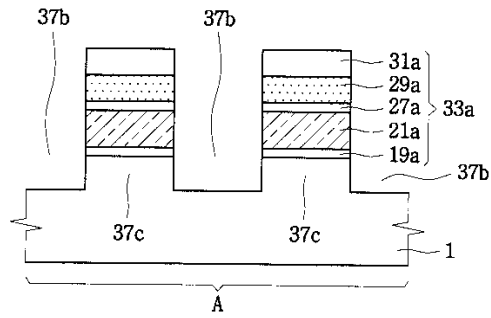
도면5b



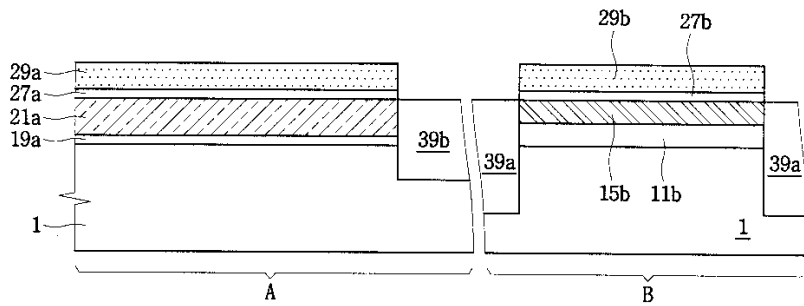
도면5c



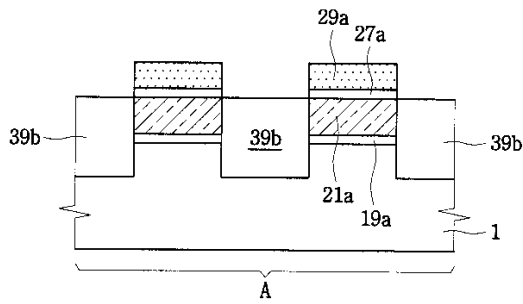
도면5d



도면6a

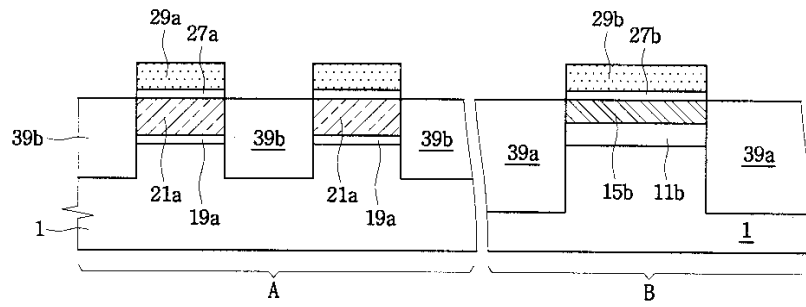


도면6b

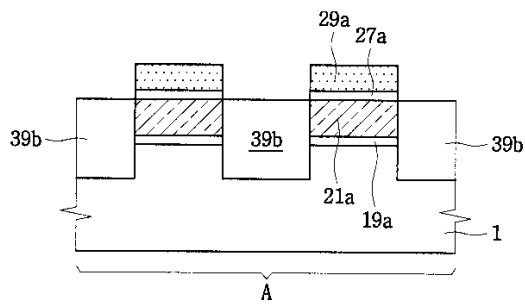




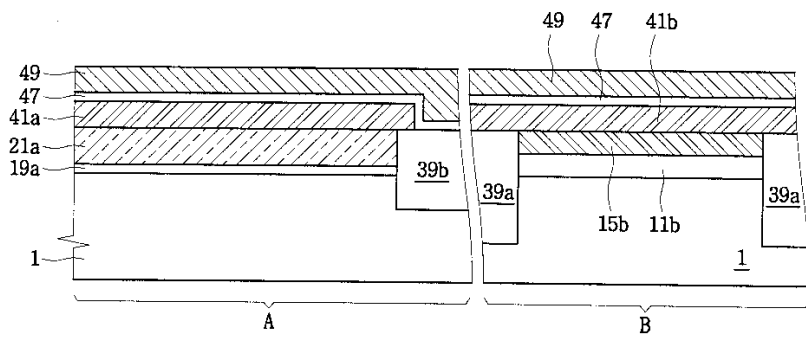
도면6c



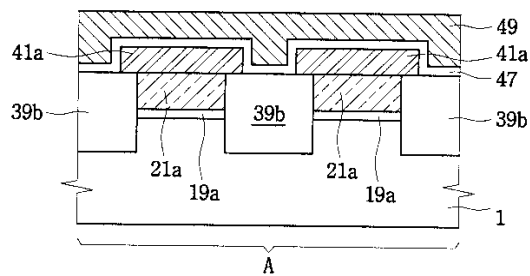
도면6d



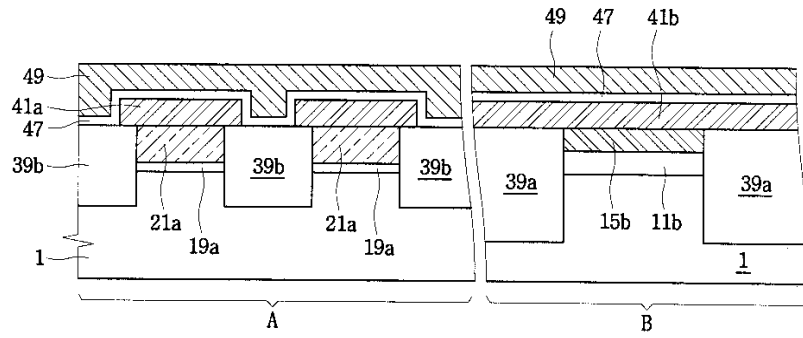
도면7a



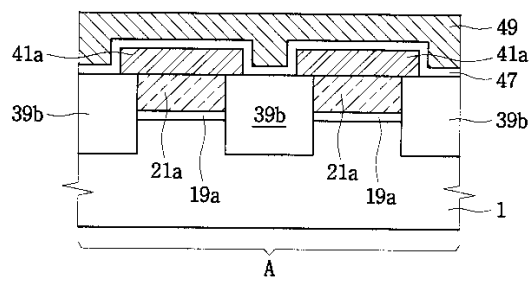
도면7b



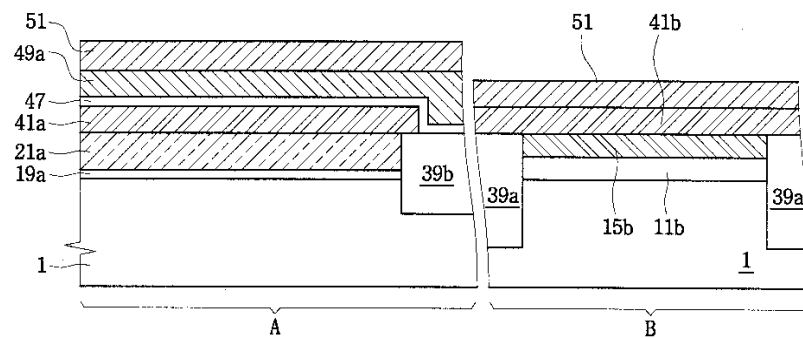
도면7c



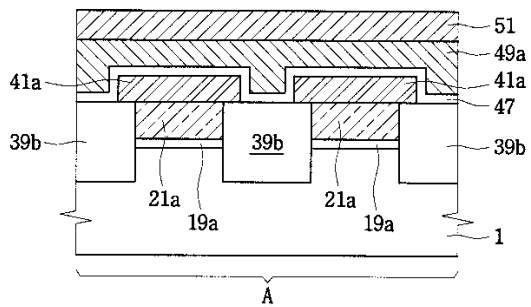
도면7d



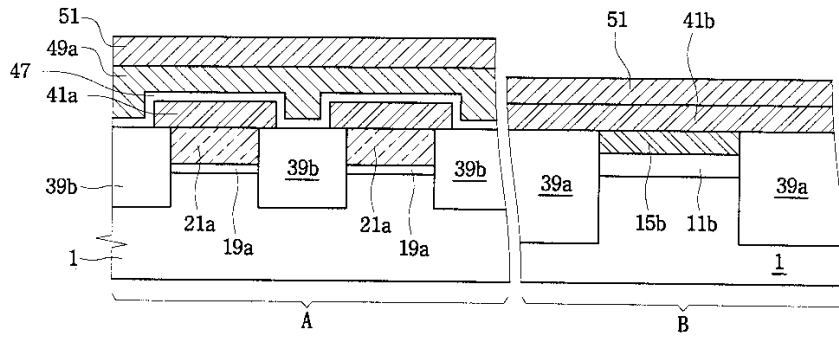
도면8a



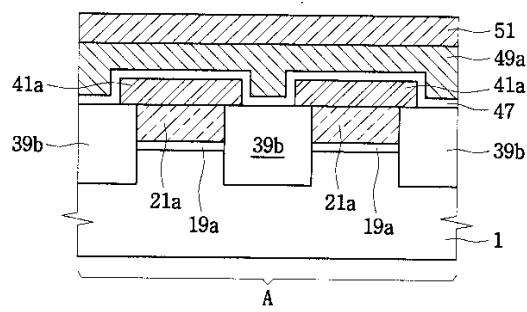
도면8b



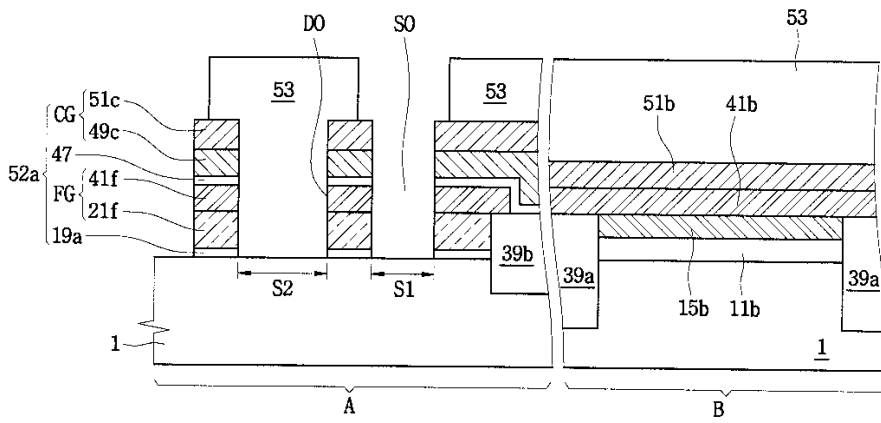
도면8c



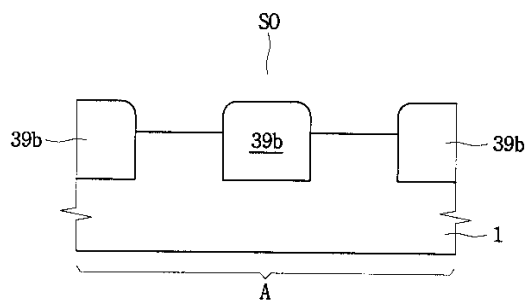
도면8d



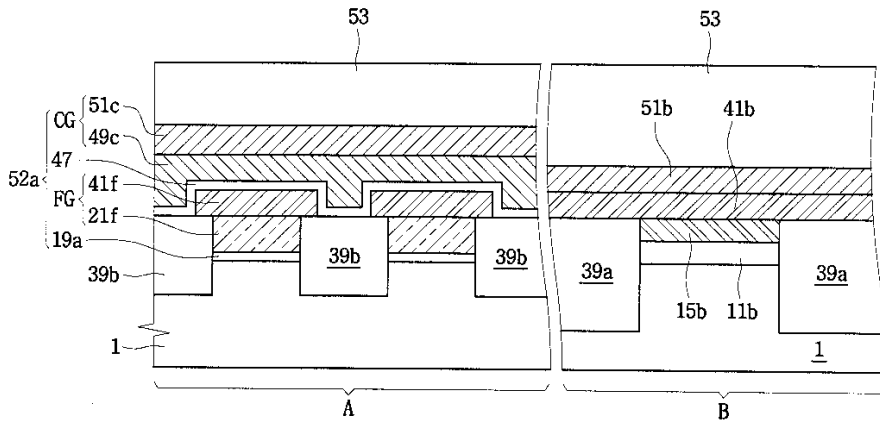
도면9a



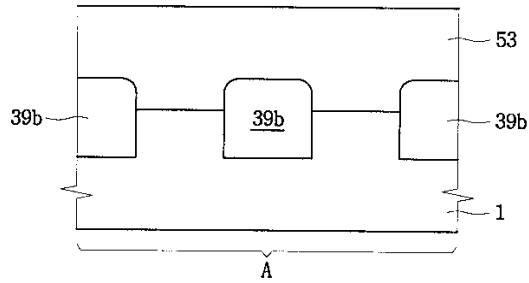
도면9b



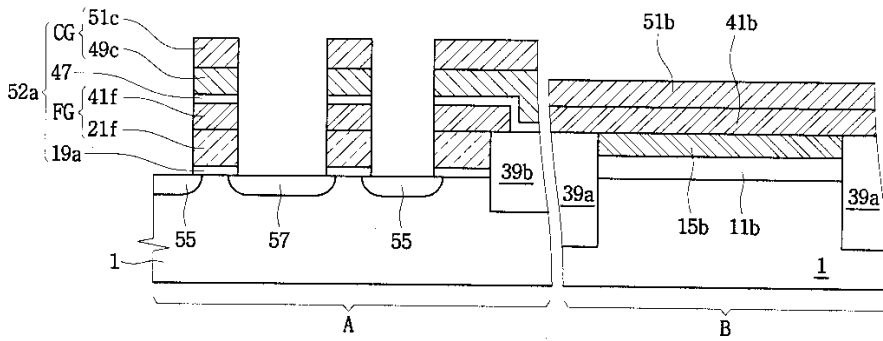
도면9c



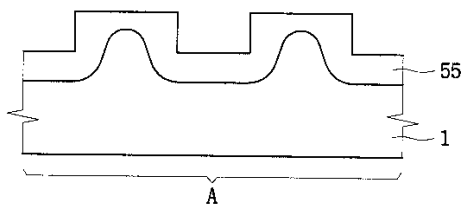
도면9d



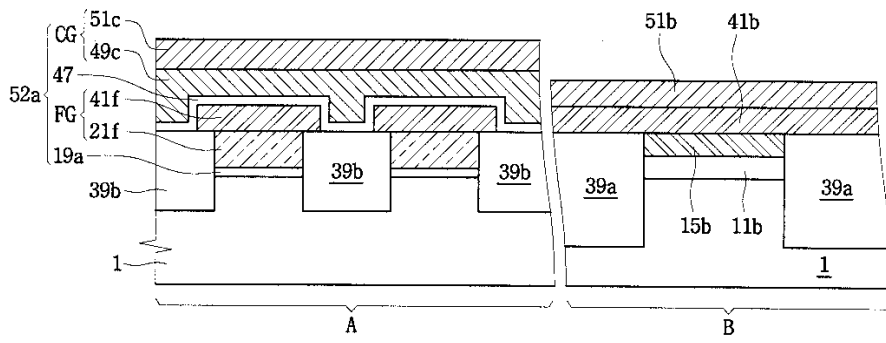
도면10a



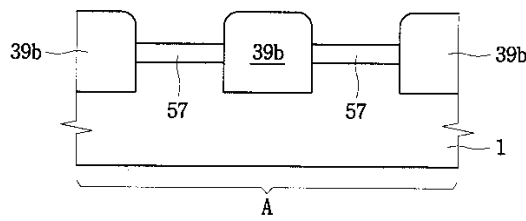
도면10b



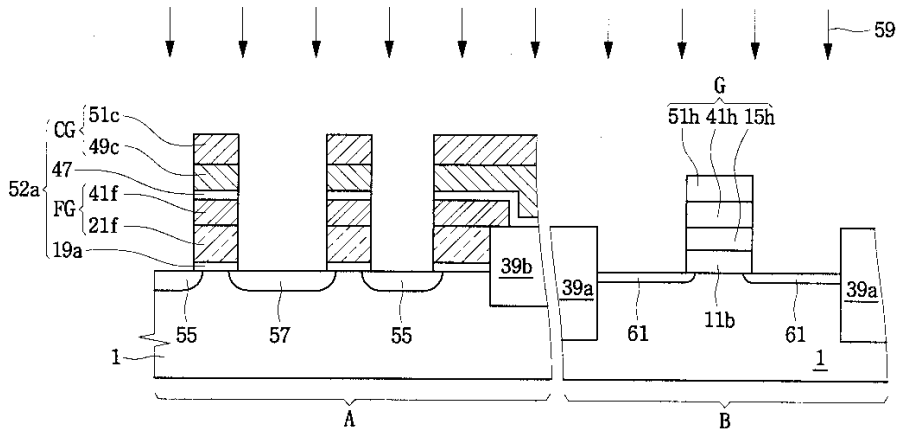
도면10c



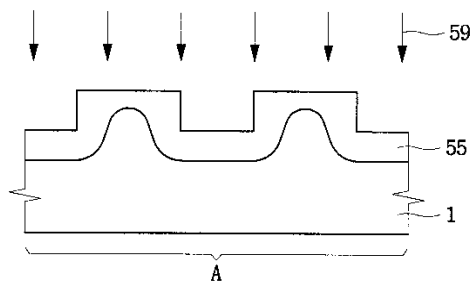
도면10d



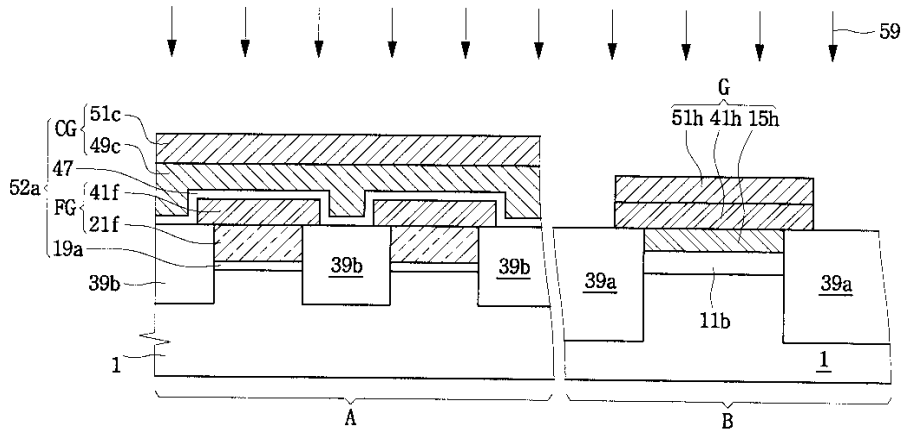
도면11a



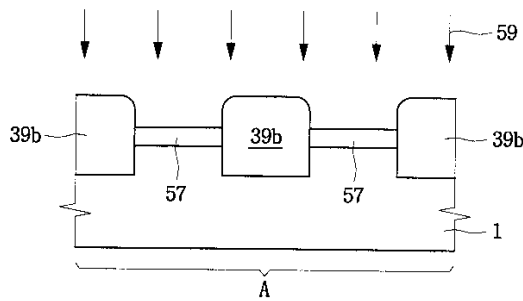
도면11b



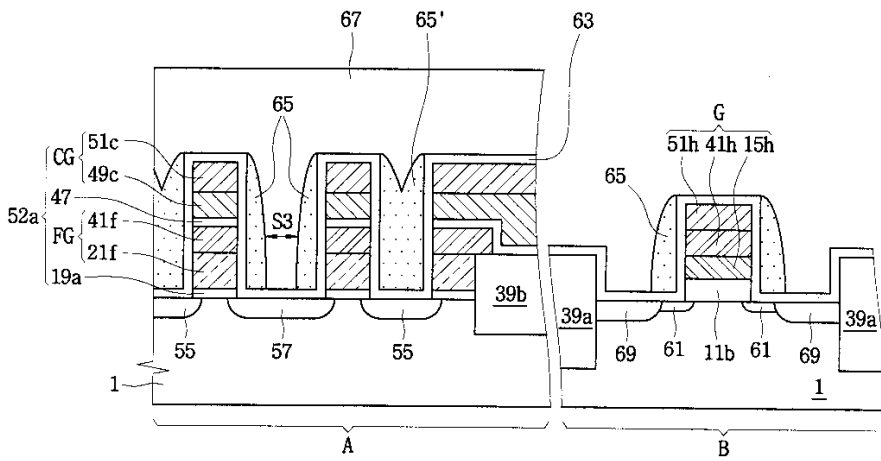
도면11c



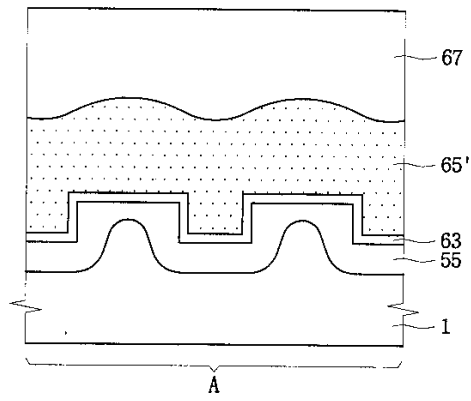
도면11d



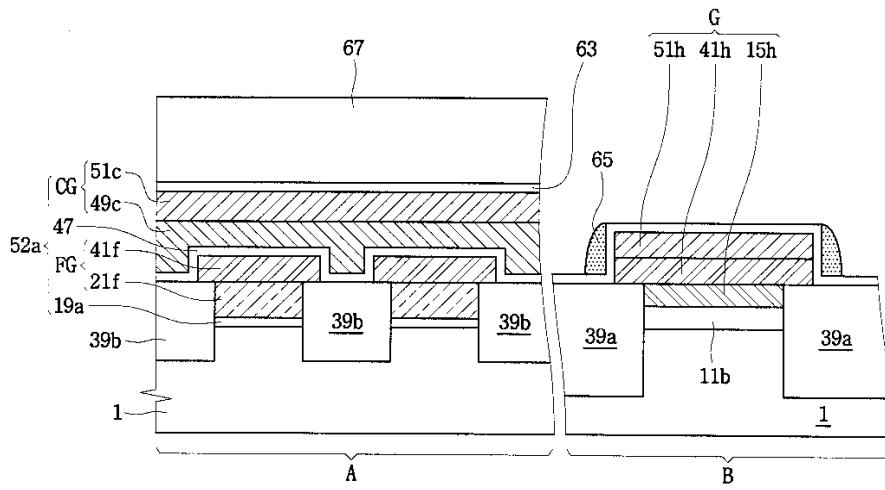
도면12a



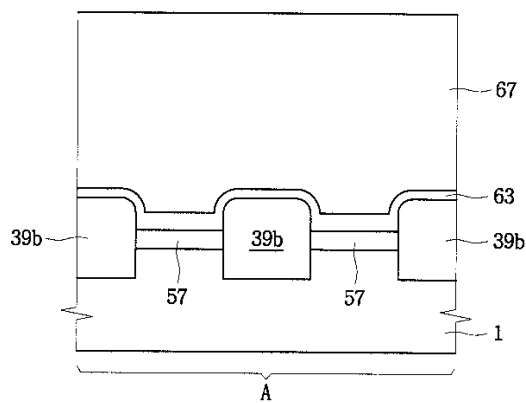
도면12b



도면12c



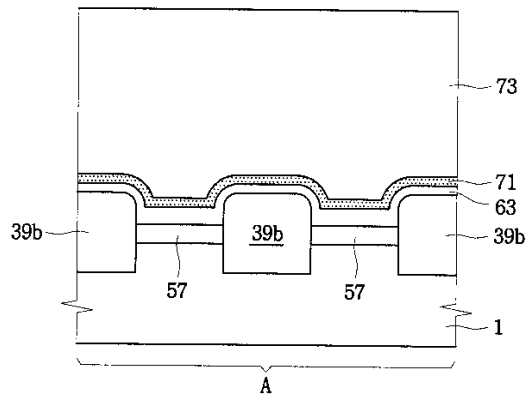
도면12d



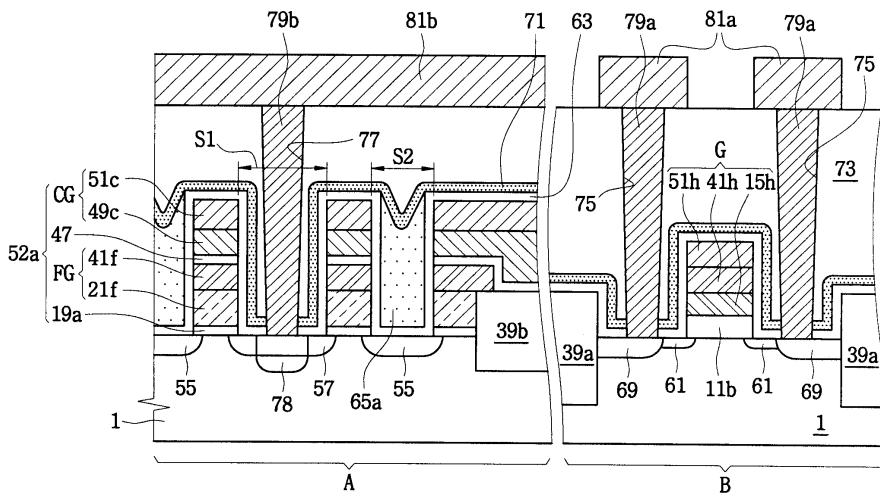




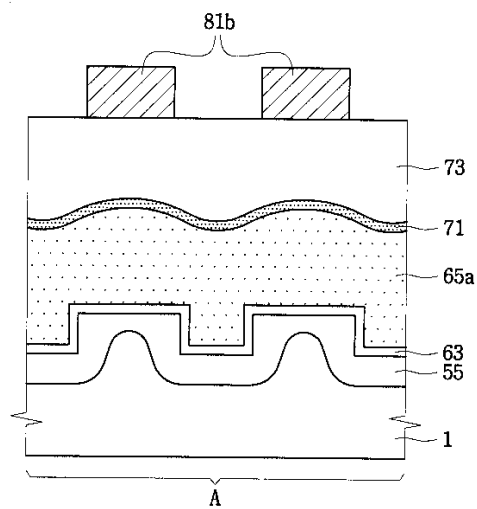
도면13d



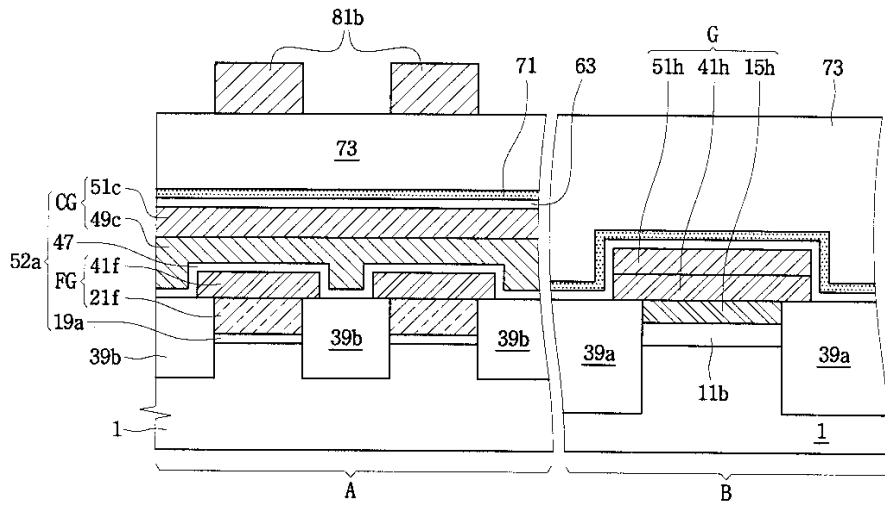
도면14a



도면14b



도면14c



도면14d

