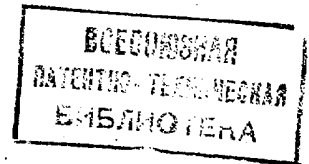




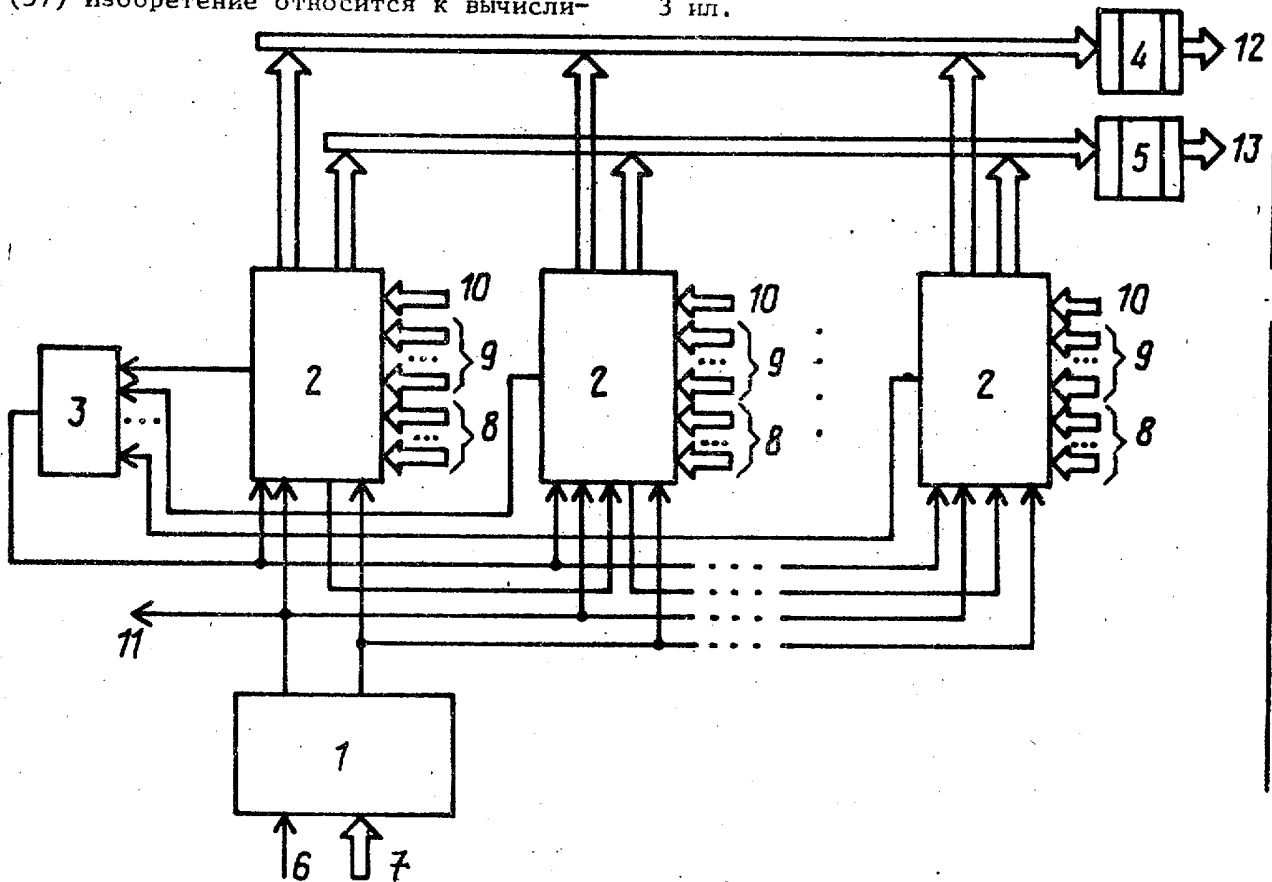
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4468846/24-24
- (22) 01.08.88
- (46) 30.06.90. Бюл. № 24
- (72) В.И.Бенкевич, В.В.Мазаник,
М.М.Зарецкий и А.В.Сорокин
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР
№ 1254497, кл. G 06 F 13/00, 1986.
Авторское свидетельство СССР
№ 1488817, кл. G 06 F 13/00, 1988.
- (54) УСТРОЙСТВО ДЛЯ ВЫДЕЛЕНИЯ ОБЛАСТИ
ВО ВНЕШНЕЙ ПАМЯТИ
- (57) Изобретение относится к вычисли-

тельной технике, в частности к устройствам управления внешней памятью. Цель изобретения - снижение аппаратных затрат. Устройство содержит преобразователь 1 кода, M блоков 2 анализа свободных участков внешней памяти, элемент ИЛИ 3, регистры 4,5, входы и выходы. Устройство позволяет сформировать начальный адрес оптимального по размерам участка памяти и определить номер внешнего носителя, в котором он находится. 1 з.п.ф-лы, 3 ил.



(19) **SU** (11) **1575192** **A1**

Фиг.1

Изобретение относится к вычислительной технике и может применяться в устройствах управления внешней памятью.

Целью изобретения является снижение аппаратурных затрат.

На фиг.1 изображена функциональная схема предлагаемого устройства; на фиг.2 - функциональная схема преобразователя кодов; на фиг.3 - функциональная схема блока анализа свободных участков внешней памяти.

Устройство содержит преобразователь 1 кода, М блоков 2 анализа свободных участков внешней памяти, элемент ИЛИ 3, первый регистр 4, второй регистр 5, вход 6 запуска, вход 7 задания кода требуемого размера участка памяти, М групп входов 8 кода размера i -го участка памяти, М групп входов 9 начального адреса i -го участка памяти, М входов 10 номера внешнего носителя, сигнальный выход 11, выход 12 начального адреса выбранного участка памяти, выход 13 номера выбранного внешнего носителя. Преобразователь 1 кода содержит триггер 14, генератор 15 импульсов, элемент И 16, счетчик 17 и элемент 18 задержки. Блок 2 анализа свободных участков внешней памяти содержит N счетчиков 19, N элементов 20 задержки, первый элемент ИЛИ 21, N триггеров 22, N элементов И 23 первой группы, N элементов И 24 второй группы, N регистров 25, второй элемент ИЛИ 26 и дополнительный регистр 27.

Устройство работает следующим образом.

В исходном состоянии все триггеры, счетчики и регистры устройства обнулены (не показано). В счетчик 17 по входу 7 записывается код требуемого размера участка памяти на внешнем носителе. По входам 8 в счетчики 19 которого K -го блока 2 анализа свободных участков внешней памяти ($K=1, \dots, M$, где М - число внешних носителей памяти) заносятся коды размеров свободных участков памяти, а в регистры 25 по входам 9 заносятся их начальные адреса, причем если i -й участок памяти занят ($i = 1, 2, \dots, N$, где N - число анализируемых участков на одном внешнем носителе), то в i -й счетчик 19 и i -й регистр 25 заносится нулевой код (нули во все разряды). Код номера внешнего носителя заносится в дополнительный регистр 27 по

входу 10. Регистры 25 и дополнительный регистр 27 находятся в третьем состоянии (с большим входным сопротивлением) и не оказывают влияние на регистры 4 и 5. С приходом импульса запуска по входу 6 триггер 14 переходит в единичное состояние и импульсы с генератора 15 импульсов через элемент И 16 поступают на счетные входы счетчика 17 и счетчиков 19 всех блоков 2 анализа свободных участков внешней памяти. Состояние всех счетчиков с каждым импульсом увеличивается на единицу.

Чем больше код размера свободного участка памяти в одном из счетчиков 19, тем раньше возникает сигнал переполнения на соответствующем счетчике. При возникновении сигнала переполнения на одном из счетчиков все триггеры 22 через элементы ИЛИ 21 и 3 обнуляются и через время τ_1 , определяемое элементом 20 задержки, соответствующий счетчику 19 триггер 22 переводится в единичное состояние. Если к этому моменту времени сигнал переполнения счетчика 17 не поступил, то перевод триггера 22 в единичное состояние означает, что обнаружен участок памяти, размер которого больше требуемого. Если с приходом очередного импульса с генератора 15 импульсов ни на одном из счетчиков сигнал переполнения не возникает, то состояние триггером 22 не изменяется.

При появлении сигнала переполнения на счетчике 17 триггер 14 переводится в нулевое состояние и генератор 15 импульсов отключается. Через время τ_2 , определяемое элементом 18 задержки, на сигнальном выходе 11 устройства появляется сигнал "Готовность" устройства. К этому моменту времени один или несколько триггеров 22 находятся в единичном состоянии (если имелся участок памяти размером больше, либо равный требуемому). В общем случае может быть несколько участков памяти одинаковой длины, что обуславливает единичное состояние нескольких триггеров 22.

Группы элементов И 23 и 24 всех блоков 2 анализа свободных участков внешней памяти представляют собой схему приоритета. В том случае, если два и более триггеров 22 находятся в единичном состоянии, то лишь один элемент И 24 будет открыт. Импульс

с элемента 18 задержки через единственно открытый элемент И 24 в одном из блоков 2 анализа свободных участков внешней памяти подается на разрешающий вход соответствующего регистра 25 и начальный адрес оптимального участка внешней памяти из регистра 25 переписывается в регистр 4. Кроме того, на выходе элемента ИЛИ 26 одного из блоков 2 анализа свободных участков внешней памяти, на котором выделен свободный участок памяти, появляется единичный импульс, который подается на разрешающий вход дополнительного регистра 27 и код номера внешнего носителя из дополнительного регистра 27 переписывается в регистр 5. В том случае, если нет свободного участка памяти, размер которого больше или равен требуемому, в момент возникновения сигнала переключения все триггеры 22 находятся в нулевом состоянии, следовательно состояние регистров 4 и 5 не изменится (регистры 4 и 5 останутся в нулевом состоянии, что означает отсутствие участка памяти требуемого размера).

На этом устройство завершает работу.

Ф о р м у л а и з о б р е т е н и я

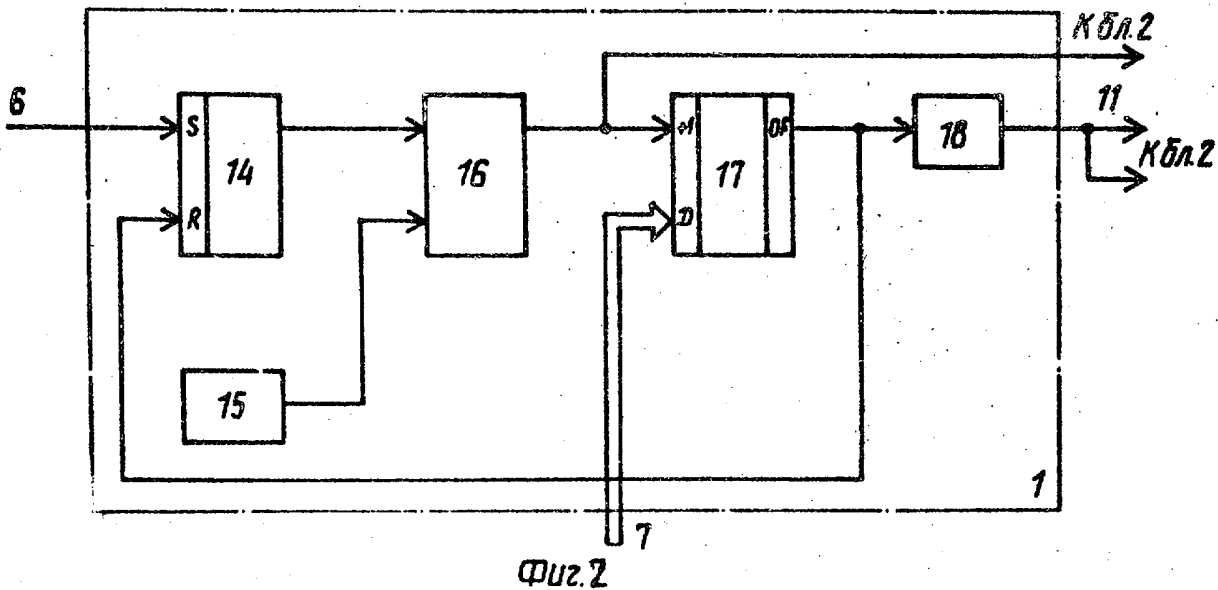
1. Устройство для выделения области во внешней памяти, содержащее преобразователь кода, M блоков анализа свободных участков внешней памяти, первый и второй регистры, причем вход запуска устройства соединен с управляющим входом преобразователя кода, выход признака исполнения которого является сигнальным выходом устройства, а информационный выход соединен с управляющими входами блоков анализа свободных участков внешней памяти, первая информационная группа входов каждого K -го блока анализа свободных участков внешней памяти ($K=1, \dots, M$, где M - количество внешних носителей) является входом кода размера i -го участка памяти устройства ($i = 1, \dots, N$, где N - количество анализируемых участков на одном внешнем носителе), вторая информационная группа входов каждого K -го блока анализа свободных участков внешней памяти является входом начального адреса i -го участка

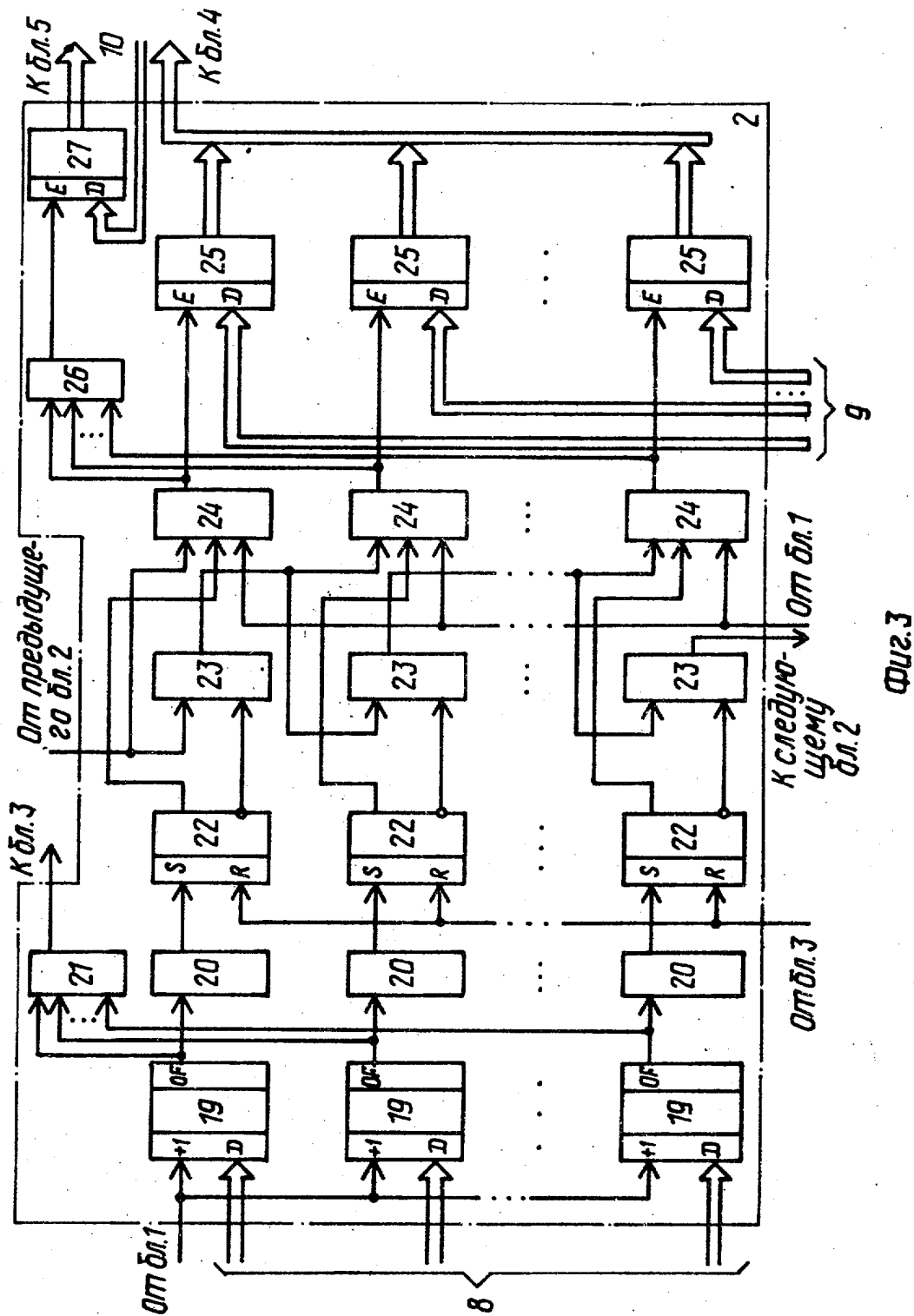
памяти устройства, информационный вход каждого K -го блока анализа свободных участков внешней памяти является входом номера внешнего носителя устройства, информационный вход преобразователя кода является входом задания кода требуемого размера участка памяти устройства, выход первого регистра является выходом начального адреса выбранного участка памяти устройства, а выход второго регистра является выходом номера выбранного внешнего носителя устройства, о т л и ч а ю щ е е с я тем, что, с целью снижения аппаратурных затрат, в него введен элемент ИЛИ, K -й вход которого соединен с выходом признака выбора участка памяти K -го блока анализа свободных участков внешней памяти, а выход соединен с входами признака продолжения поиска блоков анализа свободных участков внешней памяти, выходы начальных адресов свободных участков всех блоков анализа свободных участков внешней памяти соединены между собой и с информационным входом первого регистра, а выходы номера внешнего носителя всех блоков анализа свободных участков внешней памяти соединены между собой и с информационным входом второго регистра, выход признака исполнения преобразователя кода соединен с входами выбора оптимального участка блоков анализа свободных участков внешней памяти, выходы признака приоритета блоков анализа свободного участка внешней памяти с первого до $(M-1)$ -й соединены с входами признака приоритета блоков анализа свободного участка со второго по M -й соответственно, вход признака приоритета первого блока анализа свободных участков внешней памяти соединен с логической единицей.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок анализа свободных участков внешней памяти содержит N счетчиков, N элементов задержки, N триггеров, первый и второй элементы ИЛИ, первую и вторую группы из N элементов И, N регистров и дополнительный регистр, причем управляющий вход блока соединен со счетными входами всех счетчиков, выход переполнения i -го счетчика соединен с i -м входом первого элемента ИЛИ, выход

которого является выходом признака выбора участка памяти блока, вход пере-
 5 полнения i -го счетчика соединен с входом i -го элемента задержки, выход которого с входом установки в "1" i -го
 10 триггера, прямой выход которого соединен с вторым входом i -го элемен-
 та И второй группы, выход которого соединен с разрешающим входом i -го
 регистра и с i -ым входом второго элемента И, выход которого является
 15 разрешающим входом дополнительного регистра, вход признака продолжения
 поиска блока соединен с входом установки в "0" триггеров, инверсный вы-
 ход i -го триггера соединен с вторым входом i -го элемента И первой группы,
 20 выходы элементов И с первого по $(N-1)$ -й первой группы соединены с
 первыми входами элементов И с вто-
 рого по N -й соответственно первой и

второй группы, первые входы первых
 5 элементов И первой и второй групп
 соединены между собой и являются входом признака приоритета блока, выход
 10 N -го элемента И первой группы явля-
 ется выходом признака приоритета бло-
 ка, вход выбора оптимального участка
 блока соединен с третьими входами
 15 элементов И второй группы, первая ин-
 формационная группа входов блока
 соединена с информационными входами
 счетчиков, вторая информационная груп-
 20 па входов блока соединена с информа-
 ционными входами регистров с первого
 по N -й, выходы которых соединены меж-
 ду собой и являются выходом началь-
 ного адреса свободного участка, инфор-
 мационный вход блока соединен с ин-
 формационным входом дополнительного
 регистра, выход которого является вы-
 ходом номера внешнего носителя блока,





Редактор Ю.Середа

Составитель А.Петров
 Техред М.Ходанич Корректор Т.Малец

Заказ 1786

Тираж 569

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101