

I309845

(此處由本局於收  
文時黏貼條碼)

842433

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92127075

※申請日期：92年09月30日

※IPC分類：H01L 21/00

## 壹、發明名稱：

(中) 大面積奈米致能巨集電子基體及其使用

(外) Large-area nanoenabled macroelectronic substrates and uses  
therefor

## 貳、申請人：(共 1 人)

1. 姓 名：(中) 南諾西斯股份有限公司  
(英) NANOSYS, INC.

代表人：(中) 1.馬休 莫非

(英) 1. MURPHY, MATTHEW

地 址：(中) 美國加州巴洛艾托漢諾威街二六二五號

(英) 2625 Hanover Street, Palo Alto, CA 94304, U.S.A.

國籍：(中英) 美國 U.S.A.

## 參、發明人：(共 10 人)

1. 姓 名：(中) 段鑑峰

(英) DUAN, XIANGFENG

地 址：(中) 美國麻州索麥維烽火街八十八號第三十三號公寓

(英) 88 Beacon Street, Apartment 33, Somerville, MA 02143,  
U.S.A.

2. 姓 名：(中) 牛春明

(英) NIU, CHUNMING

地 址：(中) 美國麻州列星頓福特勒大道八十一號

(英) 81 Fottler Avenue, Lexington, MA 02420, U.S.A.

3. 姓 名：(中) 史蒂芬 安培度克斯

(英) EMPEDOCLES, STEPHEN

地 址：(中) 美國加州蒙坦夫由馬德爾大道二五〇七號

(英) 2507 Mardell Way, Mountain View, CA 94043, U. S. A.

4. 姓 名：(中) 琳達·羅曼諾

(英) ROMANO, LINDA T.

地 址 : (中) 美國加州太陽谷西赤斯特大道一〇五五號

(英) 1055 Westchester Drive, Sunnyvale, CA 94087, U.S.A.

5. 姓 名 : (中) 陳建

(英) CHEN, JIAN

地 址 : (中) 美國加州蒙坦夫由西密德福特路七七七號第六十一號公寓

(英) 777 West Middleford Road, Apartment 61, Mountain View, CA 94043, U.S.A.

6. 姓 名 : (中) 維珍卓·沙希

(英) SAHI, VIJENDRA

地 址 : (中) 美國麻州波士頓#1 烏斯特街一四八號

(英) 148 Worcester Street, #1, Boston, MA 02118, U.S.A.

7. 姓 名 : (中) 勞倫斯·巴克

(英) BOCK, LAWRENCE

地 址 : (中) 美國加州恩西尼塔斯隆多夫巷三六六三號

(英) 3663 Lone Dove Lane, Encinitas, CA 92024, U.S.A.

8. 姓 名 : (中) 大衛 史坦波

(英) STUMBO, DAVID

地 址 : (中) 美國加州貝蒙特第六大道一五六一號

(英) 1561 6th Avenue, Belmont, CA 94002, U. S. A.

9. 姓 名 : (中) 傑·帕斯

(英) PARCE, J. WALLACE

地 址 : (中) 美國加州巴洛艾托洛斯羅伯斯大道七五四號

(英) 754 Los Robles Avenue, Palo Alto, CA 94306, U.S.A.

10. 姓 名 : (中) 杰·哥德曼

(英) GOLDMAN, JAY L.

地 址 : (中) 美國麻州梅德福#2 主街五二一號

(英) 521 Main Street, #2, Medford, MA 02155, U.S.A.

**肆、聲明事項:**◎本案申請前已向下列國家(地區)申請專利  主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 美國 ; 2002/09/30 ; 60/414,323  有主張優先權2. 美國 ; 2002/09/30 ; 60/414,359  有主張優先權3. 美國 ; 2003/05/07 ; 60/468,276  有主張優先權4. 美國 ; 2003/05/29 ; 60/474,065  有主張優先權5. 美國 ; 2003/07/22 ; 60/488,801  有主張優先權

(英) ROMANO, LINDA T.

地 址 : (中) 美國加州太陽谷西赤斯特大道一〇五五號

(英) 1055 Westchester Drive, Sunnyvale, CA 94087, U.S.A.

5. 姓 名 : (中) 陳建

(英) CHEN, JIAN

地 址 : (中) 美國加州蒙坦夫由西密德福特路七七七號第六十一號公寓

(英) 777 West Middleford Road, Apartment 61, Mountain View, CA 94043, U.S.A.

6. 姓 名 : (中) 維珍卓·沙希

(英) SAHI, VIJENDRA

地 址 : (中) 美國麻州波士頓#1 烏斯特街一四八號

(英) 148 Worcester Street, #1, Boston, MA 02118, U.S.A.

7. 姓 名 : (中) 勞倫斯·巴克

(英) BOCK, LAWRENCE

地 址 : (中) 美國加州恩西尼塔斯隆多夫巷三六六三號

(英) 3663 Lone Dove Lane, Encinitas, CA 92024, U.S.A.

8. 姓 名 : (中) 大衛 史坦波

(英) STUMBO, DAVID

地 址 : (中) 美國加州貝蒙特第六大道一五六一號

(英) 1561 6th Avenue, Belmont, CA 94002, U. S. A.

9. 姓 名 : (中) 傑·帕斯

(英) PARCE, J. WALLACE

地 址 : (中) 美國加州巴洛艾托洛斯羅伯斯大道七五四號

(英) 754 Los Robles Avenue, Palo Alto, CA 94306, U.S.A.

10. 姓 名 : (中) 杰·哥德曼

(英) GOLDMAN, JAY L.

地 址 : (中) 美國麻州梅德福#2 主街五二一號

(英) 521 Main Street, #2, Medford, MA 02155, U.S.A.

## 肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 美國 ; 2002/09/30 ; 60/414,323  有主張優先權

2. 美國 ; 2002/09/30 ; 60/414,359  有主張優先權

3. 美國 ; 2003/05/07 ; 60/468,276  有主張優先權

4. 美國 ; 2003/05/29 ; 60/474,065  有主張優先權

5. 美國 ; 2003/07/22 ; 60/488,801  有主張優先權

(1)

## 玖、發明說明

### 相關申請案前後對照

本申請案請求對以下美國臨時申請案之優先權，此處參考其整體而納入所有該臨時申請案：

2002年9月30日所申請之臨時申請案號60/414,323（委託代理案號2132.0010000）；

2002年9月30日所申請之臨時申請案號60/414,359（委託代理案號2132.0020000）；

2003年5月7日所申請之臨時申請案號60/468,276（委託代理案號2132.0150000）；

2003年5月29日所申請之臨時申請案號60/474,065（委託代理案號2132.0070001）；及

2003年7月22日所申請之臨時申請案號60/488,801（委託代理案號2132.0080000）；

以下申請案與本申請案有關，與本申請案之申請日期相同，此處將參考其整體予以納入：

“使用奈米線電晶體之積體顯示器”，委託代理案號2132.0080001），案號\_\_\_\_\_；

### 【發明所屬之技術領域】

本發明是與半導體裝置有關，且更尤其是與在半導體裝置中所使用之奈米線之薄膜有關。

### 【先前技術】

(2)

工業中有興趣的是在開發低成本電子裝置，且尤其是在開發低成本、大面積之電子裝置。這種可用之大面積電子裝置可改革各種技術領域，範圍從民用至軍事應用。這種裝置之實例應用包含主動矩陣液晶顯示器（LCD）及其它型矩陣顯示器之驅動電路，智慧館、信用卡、智慧錢財和庫存標籤之射頻識別標籤，安全篩檢（監視或高速公路交通監控系統，大面積感測器陣列之類者。

依據實際規模，電子之進展已移向兩個極端。根據摩化定律（Moore's law），微電子之快速迷你化已導致增加計算能力而同時能降低成本。同時，在巨集電子領域已有進展，當中將電子裝置整合在大面積基體上（例如，其大小以平方米加以量測）。現行巨集電子主要以玻璃上之非結晶矽（a-Si）或多晶矽（p-Si）薄膜電晶體（TFT）為準並在各種領域找到重要之應用，這包含平面面板顯示器（TPD），太陽電池，影像感測器陣列和數位x-射線影像裝置。

然而，現行技術侷限在可應用在什麼應用上。例如，由於塑膠在彈性，撞擊阻抗，輕量及低成本之各種有利屬性，已提升興趣使用塑膠作為巨集電子之基體。然而，因必須在塑膠之玻璃過渡溫度以下實施製程步驟，故難以針對塑膠製造高效能之TFT。已致力於明顯的努力針對塑膠在尋找新材料（如有機物及有機無機混合物）或適合TFT之新製造策略，但只具有限之成就。有機TFT對於塑膠基體具有捲對捲製程之潛力，但只具約 $1\text{cm}^2/\text{V}\cdot\text{s}$ （每伏・

秒 / 平方公分 ) 之有限載子移動性。由材料及 / 或基體製程溫度 (尤其是對塑膠) 所擺出之限制導致裝置之低效能，使裝置侷限在低 之應用。因此，現有之 TFT 技術無法提出要甚至適度計算，控制，或通訊功能之應用。

要製造電子效能可媲美且在某些情況下超乎最高品質單晶材料之奈米尺度之場效電晶體 (TFT) 可使用個別之半導體奈米線 (NW) 及單壁碳奈米管。尤其是，p-Si NW 已展示  $300 \text{ cm}^2/\text{V} \cdot \text{s}$  之載子移動率，n-銦 InP NW 為  $2000 - 4000 \text{ cm}^2/\text{V} \cdot \text{s}$  而單壁碳奈米管則上達  $20,000 \text{ cm}^2/\text{V} \cdot \text{s}$ 。這些奈米 FET 使摩代定律延伸至分子層級。然而，由於裝置製程之複雜性及有限定比性，對於生產規模之奈米電子，目前難以將他們付諸實施。

因此，所需要的是較高效能之導體或半導體材料及裝置，以及用以製造低成本，高效能電子裝置與組件之方法與系統。

而且，所需要的是適用於塑膠及需要低製程溫度之其它基體之高效能 TFT。

所亦需要的是不只是當高能 TFT 用之製造奈米尺度半導體裝置之生產定比方法。

### 【發明內容】

現說明上面有形成一或多半導體裝置之一電子基體之方法，系統及裝置。一半導體奈米線之薄膜是形成在一基體上。奈米線之薄膜是形成具有充份奈米線密度，完成

一可運作之現有層級。多數半導體區域是界定在奈米線薄膜中。接觸點是形成在半導體裝置區域，因此對多數半導體裝置提供電性連結性。

在本發明第一觀點中形成一半導體裝置。多數奈米線是以一薄膜沈積在一基體上面。第一和第二電氣接觸點是形成在基體上。至少其中之一奈米線將第一電氣接點連接至第二電氣連點。在本發明觀點中，所沈積之奈米線可為半導電性、磁性、鐵電性、熱電性、壓電性、金屬性或過渡性氧化金屬之奈米線。

本發明之另一觀點中，製造在一或更多半導體裝置中所使用之薄膜。形成第一多數之p摻雜奈米線。形成第二多數之n摻雜奈米線。將第一多數奈米線及第二多數奈米線沈積在一基體上面，形成包含n摻雜及p摻雜奈米線之薄膜。奈米線薄膜展現出n摻雜和p摻雜奈米線之特性。

在本發明另一觀點中，形成含奈米線異質結構之電氣裝置。多數奈米線形成為各奈米線沿其長軸至少有第一部位摻雜—第一摻雜劑且至少有第二部位摻雜—第二摻雜劑。各奈米線在第一和第二部位之連續接面之間之間隔實質上等於第一距離。一對電氣接觸點是形成在基體上。電氣接點間之距離大概等於第一距離。多數奈米線是沈積在基體上面。多數奈米線中至少一奈米線將第一電氣接觸點連接至第二電氣接觸點。

在本發明另一觀點中，製造含奈米異質結構之發光薄膜。至少為一發光半導體材料。多數奈米線是選自至少一

(5)

發光半導體材料所形成。各奈米線被摻雜為使得各奈米線含至少一 p-N 接面。多數奈米線是沈積在一基體上面。

本發明還另一觀點中，奈米線是位在一標的表面上。一流罩幕之一第一表面與標的表面搭配，使得形成在流罩幕之第一表面中之至少一通道覆蓋標的表面之一部位。使包含多數奈米線之液體流經至少一通道。允許在流經至少一通道之液體中所含之奈米線變成位在由至少一通道所覆蓋之標的表面之部位上。

本發明還另一觀點中，將奈米線塗敷在一標的表面上。一溶液源提供一種奈米線溶液。奈米線溶液由含多數奈米線之液體；組成。將一噴嘴耦合至溶液源。噴嘴至少有一輸出開口。噴嘴經由輸出開口將奈米線溶液導引在標的表面上。將奈米線溶液之奈米線導引在標的表面上，彼此實質上為平行地對齊在該標的表面上，或彼此方位隨意。

本發明還另一觀點中，設計出具高度移動率電子之傳導奈米線。選定一半導體材料。決定的是由所選定之半導體材料所製造之最大直徑之奈米線，該半導體材料提供電子之實質大量限制。

在一實例觀點中，藉計算以下最大直徑加以決定直徑

：

$$\text{最大直徑} = \sqrt{\frac{Nk_b T(8.9)\hbar^2}{2m_{eff}}}$$

其中：

$\hbar$ =蒲即克 (Planck) 常數 =  $4.14 \times 10^{-15}$  eV·sec;

$m_{\text{eff}}$ =所選定半導體材料之有效質量；

$N$ =一預定因數；

$k_b$ =波茲曼 (Boltzmann) 常數 =  $8.62 \times 10^{-5}$  eV/°K；

以及

$T$ =操作溫度；室溫下  $k_b T = 0.0259$  eV

本發明還另一觀點中，將奈米線建置成使用電子作為傳導載子，實質上降低或完全消除奈米線中電子之聲子散射。在一觀點中，將奈米線摻雜一n型摻雜劑材料加以建置成使用電子作為傳導載子。在另一觀點中，將奈米線摻雜一p型摻雜劑材料。藉由對奈米線之一薄膜施加充份偏壓，以逆向模式操作奈米線，俾能使用電子作為傳導載子。

本發明還另一觀點中，製造會降低表面散射之奈米線。選定一半導體材料。從所選定之半導體材料形成多數奈米線。將多數奈米線之各奈米線之四周表面塗上一絕緣層。

本發明還另一觀點中，製造會降低表面散射之奈米線。選定一半導體材料。從所選定半導體材料形成多數奈米線。將多數奈米線之各奈米線摻雜為使得各奈米線包含一核殼型結構。外殼為圍繞各別內核之各奈米線所摻雜之外層。因此使各奈米線之載子在操作期間實質上侷限在內

核。

在進一步觀點中，將本發明導向使用奈米線，奈米棒，或奈米絲之薄膜電晶體，以及在各種基體上用以生產這種電晶體之生產定比方法。尤其是，藉使用具方位之半導體奈米線或奈米絲薄膜已開發出全新之巨集電子觀念加以生產具有平行的線/絲軸之傳導通道之薄膜電晶體（TFT）。這些新TFT具有由多個平行單晶奈米線（像圓木橋）或單晶奈米絲所形成之傳導通道，為得到高度之載子移動性，這通道交叉從源極至汲極電極之所有路徑。

在本發明另一觀點中，設有一NW-TFT之製造方法，當中，在將主動半導體材料塗敷在一裝置基體上前先實施一高溫主動半導體材料之合成製程（例如，用以形成奈米線或奈米絲）。隨後，將所形成之NW-TFT經由溶液組裝製程塗敷在裝置基體上，該製程設有通用技術，將任何半導體材料塗敷在含塑膠基體之任何基體型上。

根據本發明之觀點，可形成p通道和n通道之TFT。在一實例觀點中，此處說明使用奈米線及奈米絲之組合，從p通道與n通道TFT所組裝之互補反相器。

根據本發明一步之觀點，此處說明進而增進效能之系統與方法。例如，本發明之觀點允許NW-TFT之效能融合或超出大量單晶材料之效能。在一實例觀點中，藉製造嶄新之核殼型NW結構並以縮減尺寸，完全探求大量之電子效應，可增強載子之移動率，超出大量單晶材料。此外，根據本發明之觀點，製造NW-TFT之方法代表各種巨集電

子應用一適用平台。在本發明觀點中，使用由具有各種帶間隙之光主動材料所製成 NW 加以生產多色固態發光二極體（LED）顯示器之高效能，光主動薄膜。而且，根據本發明之觀點，使用例如含微接觸點或噴墨列印技術之低成本，低溫製程可將 NW-TFT 從溶液沈積至大面積基體上面。

在本發明另一觀點中，用一包含多重奈米線薄膜層之結構可形成電氣裝置。第一多數奈米線是沈積在一基體上，形成一第一奈米線薄膜層。第二多層奈米線是沈積在第一奈米線薄膜層上，形成一第二奈米線薄膜層。因此，如 p-n 之接面是形成在第一和第二薄膜層奈米線間之交叉點。根據接面之性質可形成接觸點，產生電氣裝置。第一薄膜層之奈米線最好彼此平行對齊，且第二薄膜層之奈米線最好彼此平行對齊。然而，在另有觀點中，第一及 / 或第二薄膜層奈米線之方位可隨意。

在本發明另一觀點中，形成一電氣裝置使其包含一混合奈米線之單晶半導體結構。形成一單晶半導體條片 / 薄膜。多數奈米線是沈積在條片頂部上。如 p-n 之接面是形成在奈米線與單晶半導體條片間之交叉點。根據這些接面之性質可形成接觸點，產生電氣裝置。這多數奈米線最好彼此平行對齊，但另外方位可隨意。

在本發明另一觀點中，形成一電氣裝置使其包含一混合奈米線 - 非結晶質 / 多晶質半導體結構。非結晶質或多晶質半導體薄膜是沈積在一基體上。多數奈米線是沈積在薄

膜圖案上。如 p-n 之接面是形成在奈米線與非結晶質 / 多晶質半導體薄膜圖案間之交叉點。根據這些接面之性質形成接觸點，產生電氣裝置。這多數奈米線最好彼此平行對齊，但另外方位可隨意。

在本發明另一觀點中，可將以一預定比率發出紅，綠與藍色光線之半導體奈米線混合在一溶液中。線混合物流跨過一單晶，非結晶質或多晶質半導體條片 / 薄膜。形成接觸點，產生一發光電氣裝置。依發光奈米線之混合物而定，發光電氣裝置可發出包含白光任何顏色之光線。

因此，根據本發明之觀點，奈米線，奈米棒，奈米絲及奈米管薄膜能有各種能力。在態勢上，這些包含：將微電子從單晶質基體移至玻璃及塑膠基體；裝置之層級加以整合巨集電子，微電子及奈米電子；以及，將不同之半導體材料整合在一單基體上。本發明之這些觀點衝擊到廣大範圍從平面面板顯示器至影像感測器陣列之現有應用並啓用全新範疇之全球彈性，可穿戴，可拋棄式之計算，儲存及通訊之電子裝置。

鑑於本發明之以下詳細說明，這些及其它之目的，優點及特性將變得輕易明顯。

## 【實施方式】

### 介紹

應理解的是此處所示及說明之特定實施只是發明實例且無意以任何方式另有限制本發明之範圍。實在是，為簡

要起見，此處可不詳細說明習知電子，製造，半導體裝置，及奈米線（NW），奈米棒，奈米管。與奈米絲技術及系統之其它功能觀點（及系統之個別操作組件）。為簡要起見，本發明常作為與奈米線有關，且與半導體電晶體裝置有關之說明。而且，雖然對於所研討之特定實施設有奈米線數量及那些奈米線之間隔，本實施例之意圖不在設限且亦能使用廣大範圍數量之奈米線及間隔。應理解的是，雖然常指的是奈米線，但此處所說明之技術亦適用於奈米棒，奈米管，及奈米絲。應更加理解的是可使用此處所說明之製造技術，產生半導體裝置型，及其它電子組件型。而且，這技術會適合應用在電氣系統，光學系統，消費電子，工業電子，無線式系統，太空應用，或任何其它應用上。

如此處所用的“奈米線”一詞通常指的是任何伸長之導體或半導體材料（或此處所說明之其它材料），該材料包含至少一為小於500nm之截面，且最好小於100nm，且其縱橫比（長：寬）大於10，最好大於50，且更最好是大於100。這種奈米線之實例包含如公告國際專利案號WO 02/17362，WO 02/48701及01/03208中所說明之半導體奈米線，碳奈米管，及相同尺度之其它伸長導體或半導體結構。

如此處所使用的，“奈米棒”一詞通常指的是類似於奈米線，但縱橫比（長：寬）小於奈米線之任何伸長之導體或半導體材料（或此處所說明之其它材料）。注意到沿

著奈米棒之縱軸可將兩或更多奈米棒連接在一起，使得所連接之奈米棒全長一路跨在電極棒之間。另外，兩成更多奈米棒可沿其縱軸實質上加以對齊，但非連接在一起，使得在兩或更多奈米棒端末之間存在小間隙。在這情況下，藉由從一奈米棒跳至另一奈米棒，跨越小間隙，電子可從一奈米棒流至另一奈米棒。兩或更多奈米棒可實質上加以對齊，使得他們形成電子可藉此行經電極間之路徑。

雖然此處所說明之實施例主要使用 CdS 和 Si，可使用其它型式材料之奈米線及奈米絲，這包含半導體奈米線或奈米絲，這由選自，例如，Si，Ge，Sn，Se，Te，B，C（含鑽石），P，B-C，B-P (BP6)，B-Si，Si-C，Si-Ge，Si-Sn 和 Ge-Sn，SiC，Bn/BP/BAS，AlN/AlP/AlAs/AlSb，GaN/GaP/GaAs/GaSb，InN/InP/InAs/InSb，BN/BP/BAs，AlN/AlP/AlAs/AlSb，GaN/GaP/GaAs/GaSb，InN/InP/InAs/InSb，ZnO/ZnS/ZnSe/ZnTe，CdS/CdSe/CdTe，HgS/HgSe/HgTe，BeS/BeSe/BeTe/MgS/MgSe，GeS，GeSe，GeTe，SnS，SnSe，SnTe，PbO，PbS，PbSe，PbTe，CuF，CuCl，CuBr，CuI，AgF，AgCl，AgBr，AgI，BeSiN<sub>2</sub>，CaCN<sub>2</sub>，ZnGeP<sub>2</sub>，CdSnAs<sub>2</sub>，ZnSnSb<sub>2</sub>，CuGeP<sub>3</sub>，CuSi<sub>2</sub>P<sub>3</sub>，(Cu，Ag)(Al，Ga，In，Tl，Fe)(S，Se，Te)<sub>2</sub>，Si<sub>3</sub>N<sub>4</sub>，Ge<sub>3</sub>N<sub>4</sub>，Al<sub>2</sub>O<sub>3</sub>，(Al，Ga，In)<sub>2</sub>(S，Se，Te)<sub>3</sub>，Al<sub>2</sub>CO，之半導體材料及二或更多這種半導體適當組合加以組成。

在某些觀點中，半導體可包含來自一群族之摻雜劑，

該一群族包含：來自週期表Ⅲ族之 p 型摻雜劑；來自週期表 V 族之 n 型摻雜劑；選自由 B, Al 和 In 組成群族之 p 型摻雜劑；選自由 P, As 和 Sb 組成群族之 n 型摻雜劑；來自週期表Ⅱ族之 p 型摻雜劑；選自由 Mg, Zn, Cd 和 Hg 組成群族之 p 型摻雜劑；來自週期表Ⅳ族之 p 型摻雜劑；選自由 C 和 Si 組成群族之 p 型摻雜劑，或選自由 Si, Ge, Sn, S, Se 和 Te 組成群族之 n 型摻雜劑。

此外，奈米線或奈米絲可包含碳奈米管，或由導體或半導體有機聚合物材料（例如，五苯及過渡氧化金屬）所形成之奈米管。

因此，雖然“奈米線”一詞在此處從頭到尾說明中是為說明起見而指，其意圖為，此處之說明亦包奈米管（例如，具中空管形成穿過軸向之像奈米線之結構）之使用。如此處對奈米線，單獨或組合之說明，奈米管亦可形成奈米管之組合/薄膜，提供此處所說明之特性與優點。

而且，注意到，本發明之一奈米線薄膜可為一“異質”膜，其含半導體奈米線及/或奈米管，及/或奈米棒，及/或奈米絲，及/或不同組成之其任何組合及/或結構特性。例如，一“異質膜”可包含具變化直徑與長度之奈米線（奈米管，及奈米管及/或具變化特性之“異質結構”之奈米管）。

就本發明而言，雖然詳細說明之焦點與奈米線，奈米棒，奈米管，或塑膠基體上之奈米絲薄膜之使用有關，這些奈米結構物所附接上去之基體可包含其它材料，包含，

但不限於：一均勻基體，例如，如矽，玻璃，石英，聚合物等固態材料之晶圓；固態材料之大剛性薄片，例如，如聚碳酸酯，聚苯乙烯等之玻璃，石英，塑膠，或可包含額外之元件，例如，結構性的，組成式的等。可使用一如一捲塑膠之如聚丙烴，聚酰胺之彈性基體，及其它者，一透明基體，或這些特性之組合。例如，基體可包含其它電路或最終預期裝置部分之結構元件。這些元件之特例包含如電氣接觸點之電路元件，其它線路，或導電路徑，及結構元件（例如，微懸臂樑，坑穴，電位阱，支柱等），其中之導電路徑含奈米線或其它奈米尺度之傳導元件，光及/或光電元件（例如，雷射，LED等）。

藉實質加以“對齊”或“定方位”意為集合群體奈米線中大半奈米線之縱軸方位是在單方向之 $30^\circ$ 內。雖然可認為大半奈米線數大於50%，但在各種實施例中，可考慮大半方位如此者之奈米線為60%，75%，80%，90%或其它百分比。在某些較佳觀點中，大半奈米線方位是在預期方向之 $10^\circ$ 內。在另外實施例中，大半奈米線之方位是在預期方向之其它數字或範圍度數內，包含方位隨意者及方位等方性者。

應了解的是此處之空間性說明（例如，“以上”，“以下”，“上”，“下”，“頂”，“底”等）只為說明起見，且本發明之該裝置可以任何方位或方式作空間上之佈置。

此處所說明為奈米線所使用之材料亦具有高度移動率

半導體材料之固有機械彈性，該材料允許製造真正彈性之高效能電子裝置。由於極小之直徑與大縱橫比（在某些實施例中 $>1,000$ ），奈米線擁有卓越之機械彈性與強度。故障前，個別之奈米線可輕易以  $\gamma < 10 \mu\text{m}$  之曲度半徑加以彎曲。因在這些高密度基體上之各個別奈米線是對齊在相同方向，但實際上與圍繞之線路無關，故含濃密，無機，和被定方位之奈米線薄膜（DION 薄膜）之本發明奈米線薄膜中即維持這種彈性。甚至不致折彎一裝置內之個別奈米線，各奈米線只有  $100 \mu\text{m}$  長之事實允許巨觀之  $\gamma << 1 \text{ mm}$ 。

### 奈米線薄膜之實施例

本發明是導向在系統及裝置中使用奈米線加以增進系統及裝置之效能。例如，本發明是導向在半導體裝置中使用奈米線。根據本發明，使多重奈米線形成一高移動率薄膜。在電子裝置中使用奈米線薄膜，增強裝置之效能及可造性。

第 1 圖表示根據本發明一實施例，一奈米線 100 薄膜之近視圖。在習知電子裝置中可使用半導體奈米線 100 薄膜而非非結晶質矽或有機薄膜，達成增進之裝置作用，卻允許直接而不昂貴之製程。經由奈米線薄膜之使用，特別調整本發明，順應在大且彈性基體上製造高效能，低成本之裝置。

注意到此處所說明之奈米線 100 薄膜可形成廣大範圍之可能表面積。例如，本發明奈米線 100 之薄膜可形成大

於  $1\text{mm}^2$ ，大於  $1\text{cm}^2$ ，大於  $10\text{cm}^2$ ，大於  $1\text{m}^2$  及甚至更大或更小之功能面積。

如第 1 圖中所示，奈米線 100 之薄膜包含緊密靠在一起之多數個別奈米線、奈米線 100 薄膜具有大或等於一單奈米線厚度之各種厚度量。在第 1 圖實例中，對齊奈米線 100 薄膜之奈米線，使其長軸實質上彼此平行。注意到在另有之實施例中，未對齊奈米線 100 薄膜之奈米線，取代的是彼此相對具不同方位，是隨意的或別種方式。在另有之實施例中，奈米線 100 薄膜之奈米線方位可為等方性，致在所有方向提供高度移動性。注意到為了如一特定應用之要求，增強效能，可以相對於電子流方向之任何方式對齊奈米線 100 薄膜之奈米線。

第 2 圖表示根據本發明一實施例，包含奈米線 100 薄膜之一半導體裝置 200。在第 2 圖中，半導體裝置 200 表示為形成在基體 208 上，具一源極電極 202，一閘極電極 204，一汲極電極 206 之電晶體。奈米線 100 薄膜是耦合在遍及閘極電極 204 部位上之源極電極 202 和汲極電極 206 之間。奈米線 100 薄膜實質上作用為半導體裝置 200 電晶體之通道區，且如此處之進一步說明，允許半導體 200 產生增強特性之作用。此間別處會說明應用於基體 208 之多種基體型式。

注意到為圖解說明起見，第 2 圖中之半導體裝置 200 以一電晶體表示。對於熟悉相關技術之個人，從此處之傳授，將會了解到，奈米線 100 之薄膜可包含在除含二極體

之電晶體外之半導體裝置型式。

在實施例中，奈米線 100 薄膜之奈米線為單晶石半導體奈米線，其全長一路跨在源極電極 202 和汲極電極 206 之間。因此，電載子能經由單晶石奈米線傳輸，造成以現有之非結晶質與聚矽技術，實際上不可能得到之高移動率。

如以上說明，可將奈米線 100 薄膜之奈米線對齊或置予方位。例如，可將第 2 圖中所示之奈米線 100 薄膜奈米線對齊成平行於源極電極 202 和汲極電極 206 間通道之長度，或以另外方式加以對齊。

奈米線 100 之薄膜可形成充分數量之奈米線，提供半導體裝置 200 預期之特性。例如，奈米線 100 薄膜可形成充份數量之奈米線，達成特別半導體裝置之預期電流密度或電流位準。例如，在第 2 圖之電晶體實例中，奈米線 100 之薄膜可在通道中形成大於約 10 奈安培之電流位準。

在一實施例中，奈米線 100 薄膜可形成具非對稱性之移動率。例如，這可藉由以非對稱性方式對齊奈米線 100 薄膜之奈米線且 / 或以特別方式加以摻雜奈米線加以完成。第一方向中所造成之這種非對稱性移動率甚大於第二方向。例如，在第一方向中所產生之非對稱性移動率大小可大於第二方向中之 10, 100, 1000 及 10000 倍，或介於，大於或小於這些值之任何其它非對稱性移動率。

可以各種方式摻雜奈米線 100 薄膜之奈米線加以增進

效能。包含在半導體裝置 200 之前或之後可摻雜奈米線。而且，沿其長軸部位可不同地加以摻雜一奈米線並從奈米線 100 薄膜中之其它奈米線可不同地加以摻雜。個別奈米線及奈米線薄膜摻雜結構之某些實例設置如下。然而，對於熟悉相關技術之個人，從此處之傳授，明顯地，根據另外之方法，及此處所說明方法之任何組合可加以摻雜奈米線，及其薄膜。

第 3A 圖表示均勻所摻雜單晶石奈米線之奈米線 300。以適當控制之方式可將這種單晶石奈米線摻雜成 p 或 n 型半導體。所摻雜如奈米線 300 之奈米線展現增進之電子特性。例如，可將這種奈米線摻雜成具有可媲美另有單晶石材料之載子移動率位準。此外，不侷限於任何特別之操作理論，由於橫跨奈米線通道內部電子波之次元性質，及降低之散射概率，這種奈米線可能比一堆單晶石材料能達成甚至更高之移動率。單 p 型 Si (矽) 奈米線已表示上達  $1500 \text{ cm}^2/\text{V} \cdot \text{s}$  之載子移動率位準，而 n 型 InPC 則已表示上達  $4000 \text{ cm}^2/\text{V} \cdot \text{s}$  之載子移動率位準。

第 3B 圖表示根據一核殼型結構所摻雜之奈米線 310。如第 3B 圖中所示，奈米線 310 具一變化厚度位準之摻雜表層層 302，該表面層包含的是奈米線 310 表面上之分子單層。這種表面摻雜能從奈米線之傳導通道分離出雜質，並抑制有關雜質之散射事件，且因此更造成重大增強載子之移動率。例如，當根據核殼型結構加以摻雜奈米線時，可在奈米線內部達成“彈道”傳輸。“彈道”傳輸為基

本上無阻抗地經由一奈米線加以傳輸電載子。以下提供有關摻雜奈米線之進一步細節。

第 3C 圖表示根據另一型式之核殼型結構，均勻地摻雜並塗敷上一電介體材料層 304 之奈米線 320。電介體材料層 304 可選自如  $\text{SiO}_2$  或  $\text{Si}_3\text{N}_4$  之各種電介體材料。如此間別處之說明，電介體材料層 304 之使用可簡化半導體裝置 200 之製造。如以下之進一步說明，電介體材曾 304 可形成在奈米線 320 上。

第 3D 圖表示根據第 3B 圖中所示之核殼型結構，摻雜一摻雜表面層 302，且如第 3C 圖中所示，亦塗上一電介體材料層 304 之奈米線 330。

第 4A 和 4B 圖表示根據本發明一摻雜實施例之半導體裝置 200。如第 4A 圖中所示，基體 208 之頂部表面塗上一摻雜劑層 402。摻雜劑層 402 包含電子施體或電子受體摻雜材料。半導體裝置 200 之特性可藉摻雜劑層 402 之導入而加以控制。電子施體或電子受體材料使負或正電荷載子導入奈米線內，分別達成 n 或 p 通道電晶體。因摻雜劑和實際之傳導通道分開，故在這建置中能使半導體裝置 200 達成非常高之移動率位準。

如第 4B 圖中所示，摻雜劑層 402 覆蓋實質上局部位在奈米線 100 薄膜附近之基體 208 一區域。在實施例中，可使塗敷在半導體裝置 200 之摻雜劑層 402 形成圖案，使兩或更多區域根據不同之 n 和 p 型特性加以摻雜。例如，在第 4B 圖之實施例中，摻雜層 402 之第一部位 404 摻雜

一 n 型特性，而一第二部位 406 則摻雜一 p 型特性。在這種實施例中，根據含發光二極體 (LED) 之各種電子及光電裝置，可完成一 p-n 接面。

如以上說明，在實際製造半導體裝置 200 之前或之後可將摻雜劑層 402 導入在基體 208 上。

在建立高效能電子之區塊上，以這些材料所製造之奈米線集合物是有用的。收集方位實質上為同向之奈米線將具一高移動率值。而且，在溶液中可具彈性地處理奈米線，允許不昂貴之製造。奈米線之集合物可從溶液輕易地以；組裝在任何型式之基體上面，達成一奈米線薄膜。例如，可形成在一半導體裝置中所使用之奈米線薄膜而包含 2, 5, 10, 100 及介於或大於這些圖之任何其它奈米線數量，供高效能電子裝置用。

注意到當與如有機半導體材料之聚合物/材料組合時亦可使用奈米線加以製造高效能之複合材料，其中之有機半導體材料可彈性地為在任何型式基體上之旋轉澆鑄。奈米線/聚合物之複合物可提供優於純聚合物材料之特性。以下提供有關奈米線/聚合物複合物之進一步細節。

如以上說明，可將奈米線之集合物或薄膜對齊成實質上彼此平行，或可不加以對齊或隨意。奈米線之非對齊集合物或薄膜提供可媲美或優於聚矽材料之電子特性，其移動性值範圍一向在  $1\text{-}10 \text{ cm}^2/\text{V}\cdot\text{s}$ 。

奈米線之對齊集合物或薄膜提供之材料效能可媲美或優於單晶石材料。而且，含對齊彈道奈米線（例如，第

3B 圖中所示之核殼型奈米線) 之奈米線集合物或薄膜可提供比單晶石材料急劇增進之效能。

根據本發明可以各種方式生產對齊或非對齊，及複合和非複合之奈米線薄膜。組裝及生產這些型式之奈米線薄膜之實施例則提供如下。

可以各種方式得到隨意方位之奈米線薄膜。例如，可將奈米線分散在一適當溶液中。使用旋轉澆鑄法，下丟-及-吹乾、湧灌-及-吹乾，或滴水-及-吹乾方法，然後可將奈米線沈積在一預期基體上面。這些製程可進行多次，確保高度涵蓋到。假設當中分散奈米線之溶液為一聚合物溶液的話，則可以類似方式生產隨方位之奈米線/聚合物複合物之薄膜。

以各種方式可得到對齊之奈米線薄膜。例如，利用以下技術可生產對齊之奈米線薄膜：(a) L-B 膜對齊；(b) 如 2002 年 9 月 10 日所申請，美國案號 10/239,000 (委託代理案號 01-000540) 中所說明且此處整體上將其納入參考之流體流方法；以及 (c) 機械剪力之應用。例如，藉由將奈米線置放在第一和第二表面之間，然後在相對方向移動第一和第二表面加以對齊奈米線即能使用機械剪力。使用這些技術，接著藉著將預期聚合物以旋轉澆鑄在所產生之奈米線薄膜上面即能得到奈米線/聚合物複合物之對齊薄膜。例如，可將奈米線沈積在一液態聚合物溶液中，然後可根據這些或其它對齊製程之一加以實施對齊，且然後可使所對齊之奈米線硬化 (例如，UV 硬化，交叉鏈結

等)。以機械方式拉長隨方位之奈米線/聚合物複合物之薄膜亦可得到奈米線/聚合物複合物之對齊之薄膜。

### 含奈米線薄膜之電子裝置之製造

本次章節中進一步說明用以製造根據本發明含奈米線薄膜之電子裝置及系統之實施例。這些實施例在此只為圖解闡述目的加以說明，且未加以設限。如對於熟悉相關技術之個人，從此處之傳授會是顯而易見者。如本章節中之說明，可以另有方式製造本發明之電子裝置及系統。

第 5 圖表示提供多數半導體裝置實例製造步驟之流程圖 500，該半導體裝置含本發明之奈米線薄膜。如對於熟悉相關技術之個人，根據此處之傳授將是顯而易見的，第 5 圖之步驟未必依所示次序發生。其它結構之實施例對於熟悉相關技術之個人，根據以下之研討將是顯而易見的。這些步驟將詳細說明如下。

流程圖 500 從步驟 502 開始。在步驟 502 中，在一基體上形成具有充份密度奈米線之奈米線薄膜，達成一操作電流位準。例如，如以上說明，根據本發明可以各種方式在一基體上形成一奈米線薄膜。這奈米線薄膜形成一具有充份密度之奈米線，達成一操作之電流位準。一充份操作之電流位準一向是應用加以決定。例如，電流位準可在奈安培範圍內，含 2 奈安培，且大或小於電流位準。可以此間別處所說明之各種方式形成奈米線薄膜，得到所要之操作電流位準。可將奈米線之薄膜加以對齊或不對齊，且其

可為一複合物或非複合物。

例如，要達成所需之操作電流密度，對基體上一特定面積而言，在奈米線薄膜中可包含最小數量之奈米線。因此，各形成之半導體裝置將具充份數量之奈米線，載有一操作電流位準之電流。例如，每單位面積所需之奈米線數量可為 1 奈米線，2 奈米線，及含 5, 10, 100 或更大之任何其它較大之奈米線數量。

在步驟 504 中，將多數半導體裝置區界定在奈米線薄膜中。例如，參考第 2 圖中所示之單半導體裝置 200，使步驟 502 中所形成之整體奈米線薄膜圖案化，對正在形成一半導體裝置處之基體各區域形成一局部之奈米線 100 薄膜。在另有實施例中，不需將奈米線薄膜圖案化。注意到在一特別基體上，半導體裝置區域可全部界定相同之半導體裝置型式，或可界定兩或更多不同之半導體裝置型式。

在步驟 506 中，在半導體裝置區形成接觸點（例如，電極）區域，因此對多數半導體裝置提供電氣連結。半導體裝置可形成任何個數之所需接觸點區域，提供電氣連結。例如，一二極體或其它兩個端點之裝置可形成陽極和陰極。例如，再次參考第 2 圖中所示之單半導體裝置 200，形成三個接觸點區域之源極電極 202，閘極電極 204，及汲極電極 206。其它半導體裝置可形成較大或較小個數之接觸點區域。

注意到在步驟 506 中可形成各種型式之接觸點區域。

接觸點區域可為歐姆和非歐姆接觸。例如，可使用一非歐姆蕭特基（Schottky）二極體障壁接觸點作為一電極。蕭特基二極體障壁接觸點通常使用Ⅲ-V族之半導體材料，它難以做出高品質之閘極電介體。如對技術具有平常技能之個人會是顯而易見的，源極電極 202，閘極電極 204，及汲極電極 206 是由如金屬，合金，矽化物，聚合矽之類者，含其組合物所形成。

在某些實施例中，第 5 圖之流程圖 500 可包含奈米線之摻雜步驟。奈米線之摻雜是在形成薄膜前或後。奈米線薄膜之摻雜可在形成在基體上之後。可以針對第 3A-3D 圖之以上所說明那些方式之數種方式加以摻雜奈米線。例如，可摻雜一奈米線之內核及/或摻雜一奈米線之外殼層。而且，可沿其各別長度之不同區域中不同地加以摻雜個別之奈米線及/或奈米線之薄膜。

而且，在某些實施例中，第 5 圖之流程圖 500 可包含在奈米線上形成一電介體層之步驟。藉由使奈米線氧化可形成電介體層，或另以別的方式形成電介體層。例如，可使用含氮化矽， $Ta_2O_5$ ， $TiO_2$ ， $ZrO_2$ ， $HfO_2$ ， $Al_2O_3$ ，及其它者之其它非氧化高電介常數之材料。以類似於那些在奈米線氮化中所使用之製程可完成奈米線之氮化。藉化學氣相沈積（CVD），溶液相外表塗覆，或只是將適當之先驅物質旋塗在基體上面即可將這些物質塗敷在奈米線上。可使用其它已知之技術。

第 5 圖之步驟可適應於在基體上製造單一或多層半導

體裝置。第 6A-6F 圖表示根據本發明一實施例，具上面有多數半導體裝置之一基體 600 之各種製造階段。以下相關於第 6A-6F 圖中所示之製程，提到第 5 圖中所示之流程圖 500 步驟。

第 6A 圖表示基體 600 之透視圖。基體 600 可為含矽，玻璃，石英，聚合物之任何基體型式，及此間所說明或另外已知之任何其它基體型式。基體 600 可為大面積或小面積，且可為剛性或柔性，如柔軟塑膠或薄膜基體型式。基體 600 可為不透明或透明，且可且可為導電，半導電，或非導電材料製成。

第 6B 圖表示多數閘極 204 在基體 600 上之圖案成形。例如，使用標準光蝕刻術，噴墨列印，或微接觸點列印製程，或其它製程可在基體 600 上形成閘極 204 之圖案。例如，在第 5 圖中所示流程圖 500 之步驟 506 期間可實施第 6B 圖中所示多數閘極 204 之圖案成形。

第 6C 圖表示在基體 600 上沈積一電介體層 602。電介體層 602 使多數閘極 204 電氣絕緣。電介體層 602 在基體 600 上之沈積可使用蒸鍍，聚合物或氧化電介體之溶液澆鑄或其它製程加以完成。注意到如要沈積在基體 600 上之奈米線為其本身之電介體層所絕緣，則基體 600 上之電介體層 602 之沈積未必需要。例如，第 3C 和 3D 圖中所示之奈米線 320 和 330 有一電介體材料層 304 預先形成在其表面上。亦可預見不需一電介體層之直接接觸點裝置。

第 6D 圖表示在基體 600 上沈積一奈米線 604 薄膜。使用此間別處所說明，含旋轉澆鑄，L-B 對齊，機械式對齊，及流-對齊技術之各種步驟可完成奈米線 604 薄膜之沈積。例如，在第 5 圖中所示流程圖 500 之步驟 502 期間可實施第 6D 圖中所示之奈米線 604 薄膜之沈積。

第 6E 圖表示奈米線 604 薄膜在多數奈米線 100 薄內案形成。使用含蝕刻技術之各種製程可完成奈米線 604 薄膜之圖案形成。注意到使用如噴墨列印或微接觸點列印方法之各種製程可同時完成如第 6D 和 6E 圖中所示之奈米線 604 薄膜之沈積與圖案形成。例如，在第 5 圖中所示流程圖 500 之步驟 504 期間可實施第 6E 圖中所示，奈米線 604 之多數薄膜在奈米線 100 之多數薄膜內之圖案形成。

第 6F 圖表示多數源極 202 和多數汲極 206 在基體 600 上之圖案形成，加以形成多數半導體裝置 200。使用類似於如第 6B 圖中所示，用以使多數閘極 204 形成圖案之那些製程，可完成源極和汲極電極之圖案形成。例如，在第 5 圖中所示流程圖 500 之步驟 506 期間可實施第 6F 圖中所示多數源極和汲極之圖案形成。

注意到可改變閘極 204，源極 202 及汲極 206 形成圖案之次序。例如，可使閘極 204，源極 202，及汲極 206 彼此同時或在不同時間形成圖案。他們全部可在奈米線 604 薄膜沈積前或沈積後形成圖案。源極 202 和汲極 206 可在奈米線 604 薄膜沈積前形成圖案，而閘極 204 則在之後形成圖案。另外，閘極 204 可在奈米線 604 薄膜沈積前

形成圖案，而源極 202 和汲極 206 則在之後形成圖案。源極 202 或汲極 206 亦在奈米線 604 薄膜沈積前形成圖案，而另一則在之後形成圖案。

注意在某些實施例中，可將一層以上之奈米線薄膜塗覆在基體之一指定區域中。多重層膜可允許更大之電氣連結，且可用來修飾各別半導體裝置之電氣特性。這多重層膜可彼此類似或相異。例如，在一特別之半導體裝置中可使用奈米線是對齊在不同方向，以不同方式摻雜，及/或以不同方式加以絕緣之奈米線之兩或更多層薄膜。一特別半導體裝置之接觸點區域可被連接至一奈米線多層薄膜之任一或多層。注意到一奈米線薄膜可形成一單層奈米線，一次單層奈米線，及如預期，形成多於一單層之奈米線。

#### 大面積巨集電子基體之奈米線材料

如以上說明，使用由半導體材料製成之奈米線可在巨集電子（即大面積電子）上形成電子及光電膜。而且，根據本發明實施例，奈米線可由另種材料製成，且至於由半導體材料所製成奈米線，可使用這些奈米線，以類似方式形成薄膜。

在本發明實施例中，奈米線可從如磁性材料，鐵電材料，熱電材料，壓電材料，金屬/合金，及過渡氧化金屬材料之材料加以製成。而且，從磁性奈米線，鐵電奈米線，熱電奈米線，壓電奈米線，金屬/合金，及過渡氧化金屬奈米線可形成對應之薄膜。因此這些薄膜展現對應磁性

。鐵電性，熱電性，壓電性，金屬性，或過渡性氧化金屬材料之特性，並能形成在可為彈性或非彈性之大面積積體上。因此，根據本發明可形成全新之材料/金屬。

例如，第 3A 圖中所示之奈米線 300 可為由一磁性，鐵電性，熱電性，壓電性，金屬性，或過渡性氧化金屬材料所製成之奈米線。而且，因此，例如第 1 圖中所示之奈米線 100 薄膜可為一磁性奈米線薄膜，鐵電奈米線薄膜，熱電奈米線薄膜，壓電奈米線薄膜，金屬奈米線薄膜，或一過渡氧化金屬奈米線薄膜，或其任何組成物。

因此，使用一或多更多這些材料所製成之奈米線薄膜可形成如第 2 圖中所示之半導體裝置 200。依如為磁性奈米線之奈米線材料型式而定，這些裝置可或可不需要電氣接觸點。

例如，如此間別處之說明，在如第 2 圖中所示半導體裝置 200 之電氣裝置中可使用一半導電奈米線薄膜。半導體裝置 200 為一三端點之電晶體裝置，具一源極電極 202，閘極電極 204，及汲極電極 206。如第 2 圖中所示，奈米線 100 之薄膜將源極電極 202 連接至汲極電極 206。閘極電極 204 是形成在毗鄰於奈米線 100。操作期間，當施力一足夠電壓至閘極電極 204 時，電流可在汲極電極 206 和源極電極 202 之間導通。在另有實施例中，閘極電極 204 不需存在，且裝置 200 以諸如為一二極體之兩端點裝置加以運作。例如，在這一另有實施例中，源極電極 202 和汲極電極 206 可為陰極和陽極電極。

在一實施例中，當從磁性，鐵電性，熱電性，壓電性，金屬性，或過渡性氧化金屬材料之一形成奈米線 100 之薄膜時，在操作含薄膜之電氣裝置期間可展現特別奈米線材料之特性。

例如，在一實施例中，當施加一電流至鐵電奈米線之薄膜時，可造成永久或非永久型式鐵電奈米線薄膜中之電氣極化。

在另一實施例中，當施加一電流至壓電奈米線之薄膜時，在壓電奈米線之薄膜中可產生應力，展現出壓電奈米線薄膜之形狀變化，移動，及/或振動。這種壓電奈米線薄膜例如可應用在音訊及其它技術領域。過渡氧化金屬材料為可用在製造壓電奈米線之材料實例。

在另一實施例中，當施加電流至熱電奈米線之薄膜時，可跨熱電奈米線之薄膜傳送熱量。這種熱電奈米薄膜可具許多應用，如在熱控及加熱之領域，且尤其是在預期於空間上局部加熱及/或冷卻之應用上。

為了操作起見，不需將磁性奈米線耦合至電氣接觸點。磁性奈米線薄膜可形成在一表面上使表面具磁性特性。奈米線薄膜可依特別應用所需加以決定大小。在需要一有效率導體之應用中可將金屬奈米線形成在一薄膜中。而且，從金屬奈米線薄膜可形成如電感，變壓器，及電磁鐵之電氣裝置。

第 7 圖表示根據本發明一實施例，提供含本發明一奈米線薄膜之電氣裝置之實例製造步驟之流程圖 700。根據

以下之研討，對於熟悉相關技術之個人而言，其它的結構實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 700 從步驟 702 開始。在步驟 702 中，將多數{磁性，鐵電性，熱電性，壓電性，金屬性，或過渡性氧化金屬}奈米線沈積在一基體上。例如，基體可為第 2 圖中所示之基體 208。而且，如以上說明，多數奈米線可為奈米線 100 薄膜，其中，薄膜之奈米線是由磁性，鐵電性，熱電性，壓電性，金屬性/合金，或過渡性氧化金屬材料所製成。可將奈米線沈積在基體上面，使得奈米線彼此方位隨意，或對齊，使其長軸實質上為平行。

在步驟 704 中，第一和第二電氣接觸點是形成在基體上。例如，如第 2 圖中所示，第一和第二電氣接觸點可為源極電極 202 及汲極電極 206。在這一種實施例中，一閘極電極亦可形成在基體上。另外，第一和第二電氣接觸點可為陰極和陽極電極。在進一步實施例中，第一及第二電氣接觸點可為其它接觸點型式。而且，在基體上可形成其它個數之接觸點/另外接觸點。

步驟 702 和 704 可依任一次序加以實施。步驟 702 和 704 之作用為至少一奈米線將第一電氣接觸點連接至第二電氣接觸點，那些如此間別處所說明之後續處理步驟可依需要加以實施，這包含奈米線之圖案形成，奈米線之摻雜，及使/允許奈米線接著/附著至基體，和電氣接觸點接觸。

以高移動性傳導電子和電洞之大面積巨集電子材料

雖然可能將 p 和 n 摻雜劑調入一如為矽單一半導體中，相同材料之兩載子型式之存在致使載子之重新組合與消滅，造成任一載子之不良移動性。因此，不預期以習知裝置在一單半導體中組合 p 摻雜劑和 n 摻雜劑。

根據本發明之實施例，可分別製造 p 摻雜之奈米線及 n 摻雜之奈米線，並在一同質混合物中將它沈積在如一巨集電子基體之一表面上。依巨集觀之位準，所形成材料似乎包含高濃度之 n 和 p 摻雜劑。然而，這個別之載子型式實際上彼上分開（即，他們在不同奈米線中），且結果，他們實質上無互動（即，載子實質上不相互消滅）。因此，藉產生 p 和 n 摻雜奈米線之這種混合物可製造回應為好像他們摻雜 n 和 p 之巨集電子裝置。例如，所形成含摻雜兩 n 和 p 之奈米線薄膜可展現摻雜兩 n 和 p 之奈米線之特性。

例如，可製造二極體，電晶體，及此間別處所說明或另有所知之其它電氣裝置加以包含一 p 摻雜奈米線及 n 摻雜奈米線之組合。例如，第 2 圖中所含之半導體裝置 200 可包含一奈米線薄膜，該奈米線包含一 p 摻雜奈米線及 n 奈米線之組合。n 摻雜之奈米線和 p 摻雜之奈米線可以各種方式組合在薄膜中。某些這種方式說明如下。

例如，第 8A 圖表示一包含 n 摻雜之奈米線 802 和 p 摻雜之奈米線 804 之同質混合物之奈米線薄膜 800 實例部位之近視圖。薄膜 800 可使用在各種電氣裝置型式中，注

意到在第 8A 圖實例中，在沈積於一基體上面之前可形成並混合 n 摻雜之奈米線 802 及 p 摻雜之奈米線 804，或可將其混合在一基體上面。而且，雖然第 8A 圖中之奈米線表示方位為隨意，然而，如上述，本發明含使用在空間位置上且實質上方位為平行之奈米線。

在另一實施例中，第 8B 圖表示含 n 摻雜之奈米線 802 和 p 摻雜之奈米線 804 之一奈米線薄膜 810 之實例部位。例如，可在一基體上形成薄膜 810。如第 8B 圖中所示，薄膜 810 之第一區域 812 包含多數 n 摻雜之奈米線 802，而薄膜 810 之第二區域 814 包含多數 p 摻雜之奈米線 804。在第 8B 圖之實例中，第一區域 812 和第二區域 814 實質上未重疊。因此，如第 8B 圖中實例所示，可以在空間位置上或區域上分離之方式，實質上或完全分離，在一基體上沈積 n 摻雜之奈米線 802 及 p 摻雜之奈米線 804。n 摻雜和 p 摻雜之奈米線可以任何架構在空間位置上或區域上加以分離，包含在基體上形成 n 摻雜和 p 摻雜之奈米線之分離條片，點等。

在另一實施例中，第 8C 圖表示一包含 n 摻雜奈米線 802 和 p 摻雜奈米線 804 之奈米線薄膜 820。如第 8C 圖中所示，薄膜 820 之一第一次層 822 包含多數 n 摻雜之奈米線 802，而薄膜 802 之一第二次層 824 包含多數 p 摻雜之奈米線 804。因此，如第 8C 圖中之實例所示，可以兩或更多分離層在一基體上沈積 n 摻雜之奈米線 802 及 p 摻雜之奈米線 804。

在本發明實施例中，可在區域上分離在一層膜內，及/或以任何組合分離在各別層膜內，將 n 摻雜和 p 摻雜之奈米線 802 及 804 加以混合。

第 9 圖表示根據本發明一實施例，提本發明一奈米線薄膜之實例製造步驟之流程圖 900。第 9 圖中之步驟未必要依所示之次序發生，而根此處之傳授，對於熟悉相關技術之個人而言，這些步驟是顯而易見的。根據以下之研討，對於熟悉相關技術之個人而言，其它的結構實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 900 從步驟 902 開始。在步驟 902 中，形成 p 摻雜之第一多數奈米線。例如，如第 8A-8C 圖中所示，第一多數奈米線為 p 摻雜之奈米線 804。p 摻雜之奈米線可以此間別處所說明或另有所知之那些任何個數之方式加以形成。例如，p 摻雜之奈米線可以後續 p 摻雜之內在奈米線加以生長，或從一 p 摻雜之半導體材料加以生長。而且，p 摻雜之奈米線可全部從相同半導體材料（例如，全為 p 摻雜之 Si）所製成，或奈米線可由不同半導體材料製成（即，某些為 p 摻雜之 Si 奈米線和 p 摻雜之 CdS 奈米線）。

在步驟 904 中，形成摻雜 N 之第二多數奈米線。例如，如第 8A-8C 圖中所示第二多數奈米線為 n 摻雜之奈米線 802。n 摻雜之奈米線可以此間別處所說明或另有所知之那些任何個數之方式加以形成。例如，n 摻雜之奈米線可以後續 n 摻雜之內在奈米線加以生長，或從一摻雜 n

之半導體材料加以生長。而且，n 摻雜之奈米線可全部從相同半導體材料（例如，全為 n 摻雜之 Si）所製成，或奈米線可由不同半導體材料製成（即，某些為 n 摻雜之 Si 奈米線和 n 摻雜之 CdS 奈米線）。

在步驟 906 中，將第一多數奈米線和第二多數奈米線沈積在一基體上面，形成一包含 n 摻雜和 p 摻雜奈米線之奈米線薄膜。例如，在實施例中，可分開或同時沈積第一和第二多數奈米線。可將第一和第二多數奈米線混合加以形成一單或多層同質混合物。另外，可將第一和第二多數奈米線沈積在基體之兩或更多分開區域上面，及/或薄膜之兩或更多分開次層內。

在一 n 摻雜之奈米線和 p 摻雜之奈米線是在各別層之實施例中，流程圖 900 可包含另一層材料是形成在 n 摻雜之奈米線層和 p 摻雜之奈米線層之間之步驟。例如，中間層可為一絕緣層，如塑膠層，玻璃層，空氣層，或其它絕緣體層型式。

因此，可形成具有兩種 p 摻雜和 n 摻雜特性之半導體裝置/材料。在一實施例中，這種裝置/材料可被視為具有在長度尺度上大於一因子 X 之 n 和 p 特性。其中，X 依奈米線大小，奈米線密度，及/或其它因子而定。在本發明之前，這種裝置/材料不存在。

#### 製成奈米線異質結構之巨集電子裝置

在本發明另一實施例中，可使用奈米線異質結構加以

製造如 p-n 二極體，電晶體，及其它電氣裝置型式之電氣裝置。如此處之說明，奈米線異質結構為一向包含沿奈米線長度為多數 p、n 接面之奈米線。另言之，奈米線異質結構包含沿其不同長度之交替部位或移位。例如，奈米線異質結構可具有相異摻雜之及 / 或由相異材料所製成之交替部位。

藉由形成具不同部位之奈米線可大為簡化半導體裝置之製造。例如，在一部位是相異摻雜情況之實施例中，因有摻雜奈米線，故會有奈米線附接在上面之基體區域則不需如習知上所做的，使用昂貴光蝕刻術或離子植入製程加以摻雜，而且，與內在奈米線比較，經由利用所摻雜之奈米線，增進與基體之歐姆接。還有，與習知奈米線比較，不需小心地將奈米線異質結構置放在一基體上面，因他們一向甚大於基體上電極間之距離。因此他們更多是全長將跨電極間之距離上，且因此，相對於習知之奈米線，他們是與電極接觸。

在某些部位具有不同材料之實施例中，許多應用是可能的。例如，一奈米線異質結構可能包含一第一大量 p 摻雜矽之部位，一第二大量 n 摻雜之 GaN 部位及一第三大量 n 摻雜矽之部位。這可能用在簡化對一 GaN LED 之電氣干擾。可使用任何其它組合之摻雜及奈米線異質結構之材料。

在一第一結構中，使奈米線異質結構生長成沿其長度具有多個 p-n 接面。（注意到以下之研討可適用於沿奈米

線長度之其它差異，包含相異材料等。為說明起見，本研討集中在相異摻雜之部位上）。例如，第 10 圖表示根據本發明一實施例，為奈米線異質結構之一奈米線 1000。如第 10 圖中所示，奈米線 1000 具多數 n 摻雜部位 1010a，b 及多數 p 摻雜部位 1020a，b。因此，有多數 p-n 接面 1030a、b、c 存在於 p 摻雜部位 1010 和 n 摻雜部位 1020 之交界處。而且，奈米線 1000 之各摻雜部位具長度 1002。

在實施例中，奈米線 1000 摻雜部位之長度可為或不可為均勻。最好，本發明一奈米線異質結構之摻雜部位之長度（即，亦言之，p-n 接面是分開的）大概等於將會用奈米線異質結構之最終裝置中電極間之距離。例如，在實施例中，摻雜部位之長度可等於電極間之距離或稍長於電極間之距離。以這種方式，當將奈米線異質結構沈積在一基體上時，平均而論，各奈米線異質結構之一單 p-n 接面將位在最終裝置之電極之間，且各奈米線異質結構將能全長跨在電極間之距離。而且，由於各奈米線中所摻雜部位之個數，各奈米線異質結構之整體長度傾向於甚大於電極間之距離。這些屬性將在各電極對之間產生一有效率之 p-n 二極體，致產生一巨集電子裝置。而且，因幾乎可不需精準地將奈米線異質結構沈積在一基體上面，且甚至可隨意加以沈積，故藉使用奈米線異質結構可降低製造之限制。奈米線異質結構之重複結構統計起來允許隨意沈積之奈米線異質結構之足夠 p-n 接面位在電氣接觸之間，產生

操作裝置。以下進而說明奈米線異質結構之這種製造優點。

使用奈米線異質結構可產生巨觀之異質結構之電子裝置。例如，第 11A 圖表示根據本發明一實施例，包含多數奈米線 1000 之一兩端點電器裝置 1100 實例。如第 11A 圖中所示。奈米線 1000a-e 以非對齊方式沈積在一第一電氣接觸點 1102 和一第二電氣接觸點 1104 上。例如，裝置 1100 可為一二極體，而第一和第二電氣接觸點 1102 和 1104 可為陰極和陽極電極。如第 11A 圖之實施例中所示，第一電氣接觸點 1102 和第二電氣接觸點 1104 間之距離大概等於長度 1002 (例如，中心對中心或內緣之間)，這為奈米線 1000a-e 摻雜部位之長度。而且，各奈米線 1000a-e 之總長度大於第一電氣接觸點 1102 和第二電氣接觸點 1104 間之距離。如第 11A 圖中所示，奈米線 1000c，1000d，和 1000e 未一起連接第一和第二電氣接觸點 1102 和 1104。然而，由於其位置，奈米線 1000a 和 1000b 未一起連接第一和第二電氣接觸點 1102 和 1104。而且，奈米線 1000a 和 1000b 具有位在第一和第二電氣接點 1102 和 1104 間之各別 p-n 接面 1030a 和 1030b。因此，裝置 1100 可如第 11A 圖中之架構，以一二極體加以運作。

注意到在第 11 圖實例中，奈米線 1000a 和 1000b 之 p-n 接面 1030a 和 1030b 方向分別彼此相反。另言之，奈米線 1000a 之 n 摻雜部位及奈米線 1000b 之 p 摻雜部位與

第一電氣接觸點 1102 接觸，而奈米線 1000a 之 p 摻雜部位及奈米線 1000b n 摻雜部位與第二電氣接觸點 1104 接觸。因此，奈米線 1000a 和 1000b 之 p-n 接面 1030a 和 1030b 方向彼此相反，分別為導電和非導電。例如在一基體上隨意沈積奈米線異質結構期間會發生奈米線 1000a 和 1000b 之這種置放。然而，在某些應用中，第一和第二電氣接觸點 1102 和 1104 將施加只允許電流在 one direction 中流動之電壓，造成只有分別為奈米線 1000a 和 1000b 之 p-n 接面 1030a 和 1030b 中之一接面可運作。例如，（如以下次章節中之進一步說明）奈米線 1000a 和 1000b 可為發光奈米線。因此，當相對於第二電氣接觸點 1104，對第一電氣接觸點 1102 施加一足夠高壓時，奈米線 1000b 之 p-n 接面 1030b 將導通並發出光線。當從電氣接觸點 1102 移除高壓時，任一奈米線 1000a 和 1000b 皆未發出光線。因此，在額外之奈米線異質結構之方位方向與電流方向相反之這種應用中將不致影響運作。然而，這種實施例產生一嶄新型式之發光二極體。該二極體甚至當逆向壓時（即當 p-n 接面 1030a 為順向偏壓且 p-n 接面 1030b 不發出光線時）發出光線。然而，在其它應用中，可不預期奈米線異質結構之 p-n 接面方向相反。因此，在這種應用中，可預期的是以不發生 p-n 接面方向相反之方式加以沈積奈米線。

例如，在另一實施例中，奈米線 1000 可相對於彼此及相對於意圖之電極圖案加以對齊，俾能對齊其 p-n 接面

1030。例如，這可以化學方式使基體形成圖案，使得奈米線 1000 只附著或附接在所界定位置而加以達成。而且這可以其它方式加以達成。

在一類似於產生兩端點裝置之方式中，藉由產生奈米線異質結，可形成如一 p-n-p 或 n-p-n 雙極電晶體之更多複雜裝置，其中之奈米線異質結構具一 p-n-p 重複區段，其分開間距等於源極和汲極電極間之距離。在一實施例中，對於每一裝置具多於一介面之裝置而言，當奈米線異質結構之內建間距實質上等於電極間之距離時，可預期的是各間距內之裝置總長度相對於總全長為小。這將有助於降低奈米線個數，該奈米線將只以 p-n-p 區段之半，在各端，而非以整個 p-n-p 區段，在中段加以橋接電極間之間隙。

例如，第 11B 圖表示一含奈米線異質結構，並具一分開間距等於長度 1002（例如，對接鄰接觸點/電極而言，典型距離為中心對中心）之一汲極電極 1152，一閘極 1154 及一源極電極 1156 之實例 p-n-p 電晶體 1150。如第 11B 圖中所示，p-n 接面存在於汲極和閘極電極 1152 和 1154 之間，及閘極和源極電極 1154 與 1156 之間之各奈米線 1000a-c。例如，在一實施例中，藉由一電介體/絕緣層（未表示在第 11B 圖中）可將閘極電極 1154 從奈米線 1000a-c 加以分離。因此，經由將奈米線異質結構沈積在電極 1152，1154 和 1156 上可形成 p-n-p 電晶體 1150。

使用奈米線異質結構，從任何材料要形成實際上任何

型式之電子裝置是可能的。例如，使用從包含電子，半導體性，光學性，光電性，壓電性，熱電性，鐵電性之任何材料，及其它材料所形成之奈米線異質結構可製成裝置。

如以上之說明，可生長奈米線異質結構。另外，可使用光蝕刻術，離子植入，或其它摻雜製程，產生奈米線異質結構之相異摻雜區，俾能形成巨觀之 p-n 接面。在一實施例中，可完成這種製程作為圖案形成製程以及產生電極之一部分。

注意到在實施例中，奈米線異質結構可具多於兩種不同之摻雜劑型式。例如，奈米線 1000 具兩種重複摻雜劑型式部位之 n 摻雜及 p 摻雜之部位（即，一重複 n-p 所摻雜之組態）。而且，奈米線異質結構可具有其它個數之重複摻雜劑型式部位，包含 p:n:p, n:p:n, p:i:p, n:i:n, p<sup>+</sup>; p:n, n<sup>+</sup>:n:p, p<sup>+</sup>:n:p, n<sup>+</sup>:p:n，及任何其它重複組態。

第 12 圖表示根據本發明一實施例，提供含奈米線異質結構一電氣裝置之實例製造步驟之流程圖 1200。第 12 圖中之步驟未必要依所示之次序發生，而根據此處之傳授，對於熟悉相關技術之個人而言，這些步驟是顯而易見的。根據以下之研討，對於熟悉相關技之個人而言，其它的結構實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 1200 從步驟 1202 開始。在步驟 1202 中，形成多數奈米線，使得各奈米線沿其長軸，至少有一第一部位是摻雜一第一摻雜劑而至少一第二部位是摻雜一第二摻雜劑，各奈米線在第一和第二部位之連續接面間之間距

實質上等於第一距離，例如，多數奈米線可形成類似於第 10 圖之奈米線 1000。如第 10 圖中所示，奈米線 1000 是形成具有 p 摻雜之部位 1010 及 n 摻雜之部位 1020，其分別摻雜 n 和 p 型摻雜劑材料。而且，如第 10 圖中所示，奈米線 1000 在長度 1002 之 p-n 接面 1030 之間有一間距。一奈米線異質結構可形成具有任何交替摻雜部位個數之任何長度。

在步驟 1024 中，在基體上形成一對電氣接觸點，其中，電氣接觸點間之距離大概等於第一距離。例如，在一實施例中，電氣接觸點為第 11A 圖中所示之第一和第二電氣接觸點 1102 和 1104。如第 11A 圖中所示，第一和第二電氣接觸點 1102 和 1104 間之距離大概等於長度 1002。交互地，在一實施例中，電氣接觸點對為第 11B 圖中所示之汲極和閘極電極 1152 和 1154。

在步驟 1206 中，將多數奈米線沈積至基體上面，其中，多數奈米線中至少一奈米線將第一電氣接觸點連接至第二電氣接觸點。例如，如第 11A 中所示，將多數奈米線 1000a-e 沈積在基體上面。如第 11B 圖中所示，將多數奈米線 1000a-c 沈積在基體上面。以此處所說明，或為有所知之任何方式將多數奈米線沈積在基體上面。根據任何附接方式，然可將多數奈米線附接至電氣接觸點。

### 使用奈米線巨集電子之發光薄膜

在實施例中，可將由螢光半導體材料，磷光，由冷光

，陰極冷光或其它發光材料所製造之奈米線沈積在一玻璃，塑膠，或其它型式基體上面而允許低成本，發出白色或任何其它顏色光線之大面積照射。例如，為此用途可在一基體上形成一對齊之單層半導電奈米線。從諸如為 CdSe，CaN，InP 之螢光材料，或任何其它傳統或非傳統之電冷光半導體材料可製造這些奈米線。

然而，為形成一發光二極體 (LED)，在各奈米線之各電極對之間必須存在一 p-n 接面。如各奈米線必須使用，例如，後製造之離子植入，巨觀地加以摻雜的話這製造可困難且耗成本。

因此，根據本發明，以如以上奈米線異質結構所說明之類似方式加以形成奈米線，使 p-n 接面生長在他們裡面。如上述，各奈米線可形成具一或更多 p-n 接面。p-n 接面最好分開與電極間距大概相同之距離，其中，在最終顯示/照明裝置中會將該 p-n 接面附接至該電極上。因此，如上述，當將某數量之奈米線異質結構沈積在基體上面時，在電極之間將會分佈 p-n 接面，但不會有單一之 p 或 n 摻雜區會全長跨在電極間之整個距離。平均而論，每條線將跨電極間之整個間隙或距離且在電極之間將有一 p-n 接面。這在當中對於一巨集電子 LED，p-n 方對於偏壓方是正確之各奈米線中產生一有效率之 LED。藉由使一陽極和陰極電極，或源極/汲極電極陣列形成圖案，如想要的話，可在一彈性基體上遍及一極大面積上完成這個。注意到本發明唯一觀點如這般沈積奈米線使得端點位置是隨意的

，則粗略有一半在一特定表面上之奈米線將有 p-n 接面具適當方位且當以一特定方向施加偏壓時將因此發光，而另一半則不會。當偏壓為反向時，對於奈米線之不同群體其角色將會相反，使得奈米線之第二半會發光而第一半則不會。照此，這種技術啓用了雙極 LED。透過如上述部分端點對齊之使用，使用本發明亦能製造更多傳統之單極 LED。

一奈米線所發光之顏色與波長至少部分是依製造奈米線之材料型式，且依奈米線直徑而定。在一實施例中，藉使用單奈米線材料及在顯示/照明裝置中所使用之多數奈米線之奈米直徑，可產生一單色度光源。在另一實施例中，藉利用由不同材料及/或具不同直徑所製造之奈米混合物，可產生一聚合色度光源。例如，如在混合物中含紅，藍和綠奈米，則能產生一白色光源。

本發明之發光奈米薄膜允許發光較高品質純度之光源並比習知發光器增進色彩指數。在本發明實施例中，由於混合許多純色彩之能力，發光奈米線薄膜之這些因素是高於 OLED 式版之薄膜發光器。

可利用奈米線中之量子限制效應，以直徑為函數加以控制一電冷光奈米線之發射波長，而保持相同材料之組成。因混合膜內各發光元件之組成相同，故這可用來簡化對這種混合膜之電氣干擾。

注意到，如對一顯示或照明組態之預期，可以任何組態佈置發光奈米線異質結構之電極。例如，第 13A 圖表

示根據本發明一實施例，具有第一電氣接觸 1302 和第二氣接觸點 1304 之一對電極之一離散像素或光源 1300。對於一 LED，第一和第二電氣接觸點 1302 和 1304 可為陽極和陰極電極或可為發光電晶體之一對電極。光源 1300 中亦存在多數發光奈米線 1310a-e。類似於第 10 圖之奈米線 1000 所摻雜並由發光材料所製造之發光奈米線 1310a-e 是耦合在第一和第二電氣接觸點 1302 和 1304 之間。當相對於第二電氣接觸點 1304 施加一足夠電壓至第一電氣接觸 1302 時各發光奈米線 1310a-e 之 p-n 接面 1320 會發出光線。雖然在第 13A 圖中顯示奈米線 1310a-e 為對齊的，然而在另有實施例中，不需對齊奈米線 1310，例如，可隨意加以分佈。

在另一實施例中，第 13B 圖表示一行離散像素或光源 1300a-e，其各類似於像素或光源 1300。以一類似方式，可將任何數量之素或光源 1300 佈置成列，行或二次元陣列，用在例如具有大/多數像素之顯示器中。如第 13B 圖中所示，注意到，如想要的話，光源 1300a-e 可具一普通第二氣接觸點 1304，且仍然可分別由第一電氣接觸點 1302a-e 獨立加以控制。另外，獨立之第二電氣接觸點亦有可能。

在另一實施例中，第 13C 圖表示根據本發明一實施例，包含多數光源 1350 之一大面積光源 1320。光源 1320 包含伸長之第一和第二電氣接觸點 1324 和 1326，其被佈置成照明多行 1350a-e (或列) 中之 p-n 接面，提供遍及

一大面積上之照明。第一和第二電氣接觸點 1324 和 1326 具任何長度，可具任何數量之彎處及 / 或追蹤 “手指” 並能交互鎖住任何行數及 / 或列數，允許奈米線使其橋接，提供光線遍及於一相當大面積之上（及 / 或提供其它二極體功能）。

注意到可選定電極間之間距，供最佳電氣效能用。電極長度可為任意長，使總螢光 / 照明輸出為最大降低許多所需之處理步驟。

在另一實施例中，奈米線 1310 可相對於彼此且相對於預期之電極組態加以對齊，使其 p-n 接面 1320 對齊。例如，這可以化學方式使基體形成圖案加以完成，使得奈米線 1310 只接著或附接在所界定位置。這可產生一更有效率之發光裝置，並在所形成之光源裝置造成比較沒有統計性之變動。另外，奈米線 1310 可隨意或方位為等向地加以沈積。在這種實施例中，可產生相當較不具效率之發光裝置（例如，可將較少奈米線 1310 連接至電極，且因此不可用），且在所形成之光源裝之間可造成相當更有統計性之變動。

而且，一光源可包含形成一薄膜之奈米線 1310，該奈米線薄膜可為一單層奈米線 1310，（即，一奈米線厚層），一次單層奈米線 1310，或一多層奈米線 1310。

此外，不需在奈米線內製造 p-n 接面而產生一發光膜是可能的。這可透過後沈積蝕刻術和植入，或透過在半導體電極介面處製造一蕭特基二極體加以完成。

第 14 圖表示根據本發明一實施例，提供包含發光奈米線異質結構一發光裝置之實例製造步驟之流程圖 1400。第 14 圖中之步驟未必必要依所示之次序發生，而根據此處之傳授，對於熟悉相關技術之個人而言，這些步驟是顯而易見的。根據以下之研討，對於熟悉相關技術之個人而言，其它的結構實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 1400 從步驟 1402 開始。在步驟 1402 中，選定至少一發光半導體材料。例如，半導體材料可包含一或更多螢光材料，或如 CdSe 或 InP，適於發光奈米線應用之其它發光材料。可選定一單一材料為單色度光源，或可選定多重材料，製造不同奈米線，俾能產生一聚合色度光源。

注意到即使材料尺寸較大時真會發光，但某些材料在奈米尺度大小時即會發光。這些材料適合使用在發光奈米線。例如，某些大尺寸半導體材料不發光，但同材質之奈米尺度粒子則會發光。這包含一向非為發光半導體之，其在小於某一關鍵尺寸下真開始發光。任何這些型式之發光半導體材料適用於本發明。

注意到流程圖 1400 可選包含選定奈米線直徑之步驟。

在步驟 1404 中，從選定之至少一發光半導體材料形成多數奈米線。例如，多數奈米線為第 13A 圖中所示之奈米線 1310a-e。注意到，對一特定作業可產生任何個數

之發光奈米線，包含 10, 100, 1000 百萬個，及其它個數。在一實施例中，注意到步驟 1404 能包含一或更多多數奈米線形成步驟具有所選定之直徑。

在步驟 1406 中，將各奈米線摻雜得使各奈米線包含至少一 p-n 接面。在一實施例中，使各奈米線摻雜得具有多數摻雜 n 和 p 之部位。例如，以如第 10 圖中所示之奈米線 1000 所表示，及如以第 13A 圖中所示之奈米線 1310a-e 所表示之類似方式加以摻雜奈米線。奈米線被摻雜得具有任何個數交替 n 摻雜和 p 摻雜之部位。

注意到在一實施例中，同時實施步驟 1404 和 1406，此時，當奈米線生長時，在奈米線中形成 n 和 p 摻雜之區域。另外，可分別實施步驟 1404 和 1406。而且，在一實施例中，形成各奈米線，在交錯摻雜部位之連續接面之間具一距離，其實質上等於第一距離。

在步驟 1408 中，將多數奈米線沈積在一基體上面。例如，如第 13A-13C 圖中所示將多數奈米線沈積在一基體上。奈米線可以任何方式加以沈積，且可沈積在此間別處所說明，或另有所知之任何型式基體上面。這基體可為含小或大之任何尺寸，如一大面積巨集電子基體。在一實施例中，基體上面形成有第一和第二電氣接觸點。在一實施例中，多數奈米線中之至少一奈米線將第一電氣接觸點耦合至第二電氣接觸點。而且，電氣接觸點在奈米線之 p-n 接面之間分開一距離。

注意到在一發光半導體裝置之一另有實施例中，將奈

米線沈積在一基體上面，使一第一電氣接觸點耦合至一第二電氣接觸點。第一和第二電氣接觸點至少其中之一為金屬接觸點。在發光裝置運作中期間，以類似於蕭特基二極體運作之方式，由於蕭特基效應，可從奈米線和金屬電氣接觸點之一接面發出光線。在這種實施例中，裝置中所用之奈米線未必必須為奈米線異質結構，且如想要的話可另代之以均勻摻雜/未摻雜之奈米線。

#### 奈米線溶液流罩幕實施例

如上述，許多電子及其它型式裝置可含奈米線。在這次章節中，技術意在供奈米線之準確定位。

就大型製造環境而論，奈米線置放技術預期是為大量製造之裝置。例如，為了所製造之各裝置，必須將奈米線定位在裝置表面上，如所需地製成電氣接觸點。然而，裝必須以商業上/經濟上之實務方式以製造。奈米線必須準確地加以定位，並以足夠之數量/密度置放在表面上。在某些情況中，必須將奈米線安置成彼此對齊。因此，預期這技術是以商業上/經濟上之實務方式，根據這些製造要求加以置放奈米線。

而且，就品質控制而論，在製造奈米線後，可預期要測試某些所製造之奈米線。例如，可預期要測試奈米線是否充份導電，加以測量奈米線之阻抗，及/或加以測量奈米線之其它電氣/機械屬性。因此，可預期以一商業上之實務方式將奈米線定位在一表面上，與測試電極接觸。

根據本發明，溶液中之奈米線在一表面上流動。奈米線溶液以一種方式在表面上流動，使得一或多溶液奈米線存在表面上或附著在表面。然後移除奈米線溶液流，且一或多奈米線殘留在表面上，形成一或多氣連結及/或其它連結型式。

在一實施例中，使用一流罩幕將奈米線流導引在一表面之一指定部位上。因此，流罩幕允許奈米線定位在表面之指定部位上。在使用流罩幕之一實施例中，使奈米線定位成彼此對齊。在其它實施例中，奈米線之位置未由流罩幕所對齊。

在一實施例中，本發明允許奈米線定位成形成一並聯電路之概率低。另言之，本發明允以預期密度沈積奈米線，俾能以一單一奈米線形成電氣連結，如想要的話。而且，將裝置設置成亦能在潤濕化學及乾式環境中快速測量線及接觸阻抗。

本章節說明流技術之實例及用以使奈米線定位在表面上之流罩幕實施例。奈米線可由流罩幕定位在半導體晶圓，電子基體，或任何其它表面上，供使用在電子裝置中，電氣測試架構中，及任何其它裝置或系統中。此處所說明之特定實施例只為圖解說說明起見，並不在設限。從此處之傳授，對於熟悉相關技術之個人而言，流罩幕之另選實施例將是顯而易見的。

第 15A 和 15B 圖表示根本發明一實施例，一流罩幕 1500 實例之底部及切面圖。如第 15A 和 15B 圖中所示，

流罩幕 1500 含一本體 1502。體 1502 含一輸入埠 1510 及一輸出埠 1520。將本體 1502 之一第一表面 1504 建置成與標的表面搭配。例如，標的表面可為一晶圓表面，如巨集電子基體之一基體表面，或任何其它結構之表面。例如，標的表面可為一半導體晶圓之一表面，該晶圓上面有形成一積體電路陣列。可將流罩幕 1500 施加在半導體晶圓表面，使奈米線定位在任何或所有積體電路上。可決定流罩幕 1500 之大小加以覆蓋整片晶圓，或覆蓋其任何部位。

如第 15A 圖中所示，第一表面 1504 那裡有形成多數通道 1506a-1506e。第一表面 1504 那裡有形成任何數量之一或更多通道 1506。如第 15A 圖中所示，通道 1506 實質上彼此平行，或如沈積奈米線之預期，他們可形成在一或更多不同方向中。如第 15A 圖中所示，第一表面 1504 那裡也有形成第一和第二支流通道 1530a 和 1530b。第一支流通道 1530a 為一連接在輸入埠 1510 和通道 1506 第一末端間之輸入支流通道。第二支流通道 1530b 為一連接在通道 1506 第二末端和輸出埠 1520 間之輸出支流通道。第一和第二支流通道 1530a 和 1530b 為選擇性存在。而且，當存在時，可使第一和第二支流通道 1530a 和 1530b 曝露在第一表面 1504 上（如第 15A 圖中所示）或可在流罩幕 1500 內。在一或第一及第二支通道 1530a 及 1530b 兩者不存在之實施例中，可將各通道 1506 直接連接至輸入埠 1510 及 / 或輸出埠 1520。另外，各通道可存在輸入埠 1510

及 / 或 輸 出 埠 1520 。

如 第 15A 和 15B 圖 中 所 示 ， 經 由 第 一 支 流 通 道 1530a 將 輸 入 埠 1510 連 接 至 通 道 1506a-e 之 第 一 末 端 ， 並 經 由 第 二 支 流 通 道 1530b 將 輸 出 埠 1520 耦 合 至 通 道 1506a-e 之 第 二 末 端 。 輸 入 埠 1510 形 成 在 本 體 1502 內 ， 供 應 一 奈 米 線 流 至 通 道 1506a-e 。 輸 出 埠 1520 形 成 在 本 體 1502 內 ， 從 通 道 1506a-e 移 除 奈 米 線 流 。 因 此 ， 將 奈 米 線 流 導 入 本 體 1502 之 輸 入 埠 ， 並 流 經 第 一 支 流 通 道 1530a 。 第 一 支 流 通 道 1530 使 奈 米 線 流 分 散 至 通 道 1506a-e 。 第 二 支 流 通 道 1530b 由 來 自 通 道 1506a-e 之 奈 米 線 流 。 奈 米 線 流 從 第 二 支 流 通 道 1530b 流 至 從 流 罩 幕 1500 移 除 奈 米 線 流 處 之 輸 出 埠 1520 。 當 第 一 表 面 1504 和 一 標 的 表 面 配 成 一 對 時 ， 通 道 1506a-e 各 覆 蓋 標 的 表 面 之 一 部 位 。 通 道 1506a-e 是 形 成 在 第 一 表 面 1504 中 ， 允 許 奈 米 線 流 之 奈 米 線 定 位 在 通 道 1506a-e 所 覆 蓋 之 標 的 表 面 部 位 上 。

可 選 定 通 道 1506 之 長 度 ， 寬 度 及 / 或 深 度 ， 控 制 奈 米 線 流 ， 並 使 1 控 制 奈 米 線 在 標 的 表 面 上 之 奈 米 線 安 置 及 方 位 最 優 化 。 在 奈 米 線 流 奈 米 線 之 一 特 定 長 度 / 寬 度 可 使 這 些 參 數 達 最 優 化 。 而 且 ， 這 些 參 數 可 針 對 標 的 表 面 上 之 一 特 定 標 的 導 電 圖 案 加 以 最 優 化 。 例 如 ， 流 罩 幕 1500 之 通 道 可 為 任 何 寬 度 ， 該 寬 度 含 幾 ， 數 十 ， 數 佰 ， 及 數 仟 微 米 。 例 如 ， 對 於  $15 \mu\text{m}$  長 度 之 奈 米 線 ， 通 道 寬 度 範 圈 為 1- $1000 \mu\text{m}$  ， 含  $100 \mu\text{m}$ ，  $500 \mu\text{m}$ ，  $700 \mu\text{m}$ ， 及 之 間 之 其 它 寬 度 通 道 及 另 有 的 。 而 且 ， 通 道 1506 可 包 含 由 流 罩 幕 1500

內部之導管（即，流罩幕 1500 中之管子或隧道）所分開之多數通道段。依此方式，通道 1506 可定位沿通道 1506 在標的表面之分散，分開區域上之奈米線。

流罩幕 1500 可從各種材料所形成，該材料含鐵或鐵組合 / 一合金，塑膠，聚合物，玻璃，基體材料，及其它材料。流罩幕 1500 可加以鑄塑，以機具加工，蝕刻，及 / 或以別種方式形成。流罩幕 1500 可如需要做成任何尺寸。例如，可使用四吋直徑或方形流罩幕與一四吋基體或晶圓加以接合。

根據本發明之實施例，各種系統可包含流罩幕 1500，用以定位奈米線。例如，第 16 圖表示根據本發明一實施例，包含流罩幕 1500 之奈米線定位系統 1600。如第 16 圖中所示，系統 1600 包含流罩幕 1500，標的表面 1602，奈米線溶液源 1604，及一奈米線溶液座 1606。而且，如第 16 圖中所示，奈米線溶液源 1604 含一奈米線溶液 1650。奈米線溶液 1650 一向為一包含多數奈米線之液體溶液。可選定奈米線溶液 1650 之組成，協助經由流罩幕 1500，將來自奈米線流之奈米線傳送至標的表面 1602。

如第 16 圖中所示，流罩幕 1500 之第一表面 1504 與標的表面 1602 搭配。將流罩幕 1500 建置成標的表面 1602 搭配，俾能在其間形成一實質上防漏密封。因此，當奈米線溶液 1650 流經那裡時，它實質上是包含在一形成於流罩幕 1500 和標的表面 1602 間之機箱體內。在一實施例中，流罩幕 1500 之第一表面 1504 實質上為平整成平

面（當存在時，不含通道 1506 和支流通道 1530），與一平整或平面標的表面 1602 搭配而形成密封。然而，在另選實施例中，可以它法使第一表面 1504 循勢與標的表面 1602 搭配。而且，流罩幕 1500 和標的表面 1602 可具交互鎖住片及槽，允許他們彼此適當搭配/對齊。流罩幕 1500 和標的表面 1602 可另選及/或另外以機械方式加以搭配/對齊。在流罩幕 1500 和標的表面 1602 之間可使用一密封材料，協助維持密封，即使在所有應用中不需要這種密封材料。

將奈米線溶液源 1604 連接至流罩幕 1500 之輸入埠 1510。奈米線溶液源 1604 供應奈米線溶液 1650 至輸入埠 1510，跨越標的表面 1602，經由流罩幕 1500 加以供應一奈米線流。奈米線溶液座 1606 被連接至流罩幕 1500 之輸出埠 1520，接收並移除來自流罩幕 1500 之奈米線流，且在實施例中，能儲存所接收之奈米線溶液 1650。在一實施例中，奈米線溶液源 1604 能經由流罩幕 1500 供應一加壓之奈米線流。而且，在一實施例中，奈米線溶液源 1604 可經由流罩幕 1500 精確控制奈米線溶液 1650 之流率。

第 17A 和 17B 圖表示根據本發明一實施例，一流經流罩幕 1500 之奈米線流 1702 之平面及切面圖。通過流罩幕 1500 之流 1702 之方向/路徑通常以箭頭表示。而且，另外之箭頭 1710 表示奈米線流 1702 之某些奈米線離開奈米線溶液 1650，變成定位在標的表面 1602 上之路徑。

在一實施例中，奈米線以透過通道 1506，實質上平行於流 1702 方向之方位，定位在標的表面 1602 上。

第 18A 圖表示一與流罩幕 1500 搭配之半導體晶圓 1800 實例之平面圖（第 18A 圖中只表示流罩幕 1500 之通道位置）。相對於晶圓 1800 之流罩幕 1500 之通道 1506a-e 位置是以虛線表示。各通道 1506a-e 之位置在涵蓋晶圓 1800 部位 1802a-e 之對應部位。

由於本發明之操作，第 18B 圖表示在上面定位有奈米線於晶圓 1800 表面上之奈米線區 1810a-e（即，奈米線沈積區）。

第 18C 圖更表示一晶圓 1800 之實例細節，其表示形成在上面之積體電路 1820-n 陣列之位置。積體電路 1820 可為任何積體電路形式，及含  $0.5 \text{ cm}^2$  之任何尺寸。如第 18C 圖中所示，各積體電路 1820a-n 之部位是由其中一奈米線區 1810a-e 之一部位所覆蓋。因此，奈米線由本發明之流罩幕定位在各積體電路 1820a-n 之部位上。例如，積體電路可各包含多數導電線條。奈米線區 1810a-e 之奈米線在各積體電路 1820 之導電線時之間形成一或多連結。

例如，第 19A 圖表示可為積體電路 1820 其中一實例之一積體電路 1900。如第 19A 圖中所示，積體電路 1900 之一部位 1802 是由一流罩幕之一通道所覆蓋。第 19B 圖表示積體電路 1900 一部位 1920 之近視圖，其表示導電線條 1902 實例之細節。第 19C 圖表示利用流罩幕 1500 之操

作，在奈米線區 1810 中已將奈米線 1910 沈積在上面後之部位 1920 圖。如第 19C 圖中所示，在流罩幕 1500 操作後，使奈米線 1910 定位，在各種形式之導電線條 1902 之間形成電氣連結。例如，如第 19C 圖所示，奈米線 1900 在一接地訊號線條 1904 之線條指和一線條指 1956 之間形成一連結。

注意到可以各種方法控制沈積在積體電路，或其它表面上之奈米線 1910 之密度，包含：改變奈米線通過流罩幕 1500 之流率；選定奈米線溶液 1650 中之奈米線密度；控制奈米線溶液 1650 之組成（例如，選定基本溶液型式等）；選定塗敷奈米線流之時間長度等。因此可控制奈米線 1910 之密度，以統計方式控制將允許多少奈米線 1910 各連結在積體電路 1900 上。而且，可使用電極間之間隔，電極厚度，通道 1506 寬度等，控制將允許多少奈米線 1910 之各連結。

而且，注意到在基體上形成積體電路 1900 圖案前或後，可以流罩幕 1500 將奈米線 1910 沈積在基體上。例如，如首先沈積奈米線 1910，則將積體電路 1900 之線條形成在基體上，奈米線 1910 上。

第 20A 圖表示與第 19A-C 圖有關 2000 圖 2000 表示根據本發明，有關形成積體電路 1900 電氣連結之各種概率。圖 2000 之 Y 軸表示概率，而圖 2000 之 X 軸表示每單位長度之奈米線 ( $1/\mu\text{m}$ )。圖 2000 之實例與被塗敷在積體電路 1900，長度為  $15 \mu\text{m}$  之奈米線實例有關，該積

體電路在奈米線沈積區中之線條分開  $12 \mu\text{m}$ 。線 2002 表示一開路之概率。線 2004 表示在傳導線路間形成一傳導線路之一單一奈米線之概率。線 2006 表示在傳導線路間形成一傳導線徑之不只一單一奈米線之概率。如第 20A 圖中之線 2004 上所示，對於一分開  $12 \mu\text{m}$  之線條，及一平均長度為  $15 \mu\text{m}$  之奈米線，對一在傳導線路之間形成一傳導線徑之單一奈米線之最大概率約 0.35，範圍在所塗敷奈米線溶液之  $0.3 - 0.4$  奈米線/長度，其中：

$$\begin{aligned} \text{奈米線/長度} &= \text{奈米線溶液中 } \times \text{ 電氣接觸點長度} \\ (1/\Phi \text{ m}) &\quad \text{奈米線之密度} & (\Phi \text{ m}) \\ && (1/\Phi \text{ m}) \end{aligned}$$

第 19D 圖表示可為積體電路 1820 一實例之另一積體電路 1950 實例。如第 19D 圖所示，積體電路 1950 一部位 1802 是由一流罩幕之通道所覆蓋。第 19E 圖表示積體電路 1950 一部位 1960 之近視圖。第 19F 圖表示以流罩幕 1500 之操作，在奈米線區 1810 中，已將奈米線 1910 沈積在那上面後之部位 1960 圖。如第 19F 圖中所示，在流罩幕 1500 操作後，使奈米線 1910 定位，在積體電路 1950 之傳導線路 1952 之各種線條之間形成電氣連結。例如，奈米線 1910a 在線路指 1954 和 1956 之間形成一連結。

第 20B 圖表示與第 19D-19F 圖有關，類似於圖 2000

之一圖 2050。線 2052 表示在傳導線路 / 電極之間形成一傳導電線徑之一單一奈米線之概率。線 2054 表示在傳導線路間形成一傳導線徑之不只一單一奈米線之概率。如第 20B 圖中之線 2052 上所示，對於一分開  $4 \mu\text{m}$  之線條，及一平均長度為  $15 \mu\text{m}$  之奈米線，對一在傳導線路之間形成一傳導線徑之單一奈米線之最大概率約 0.06，為所塗敷奈米線溶液之約 0.05 奈米線 / 長度。藉由變更電氣接觸點間隔，奈米線長度，及 / 或其它參數，可改變第 20A 和 20B 圖中所示之概率，並對一特定應用使其達最大化。

注意到上述之積體電路可為，例如，供一末端產品用之任何型式之積體電路裝置。另外，可使用這些積體電路，供測試所製造之奈米線。例如，可將奈米線定位在一積體電路（或其它電路型式）上，使用本發明之流罩幕測試奈米線是否充份導電，加以測量奈米線之阻抗，及 / 或加以測量奈米線之其它電氣 / 機械屬性。例如，可使用兩點和四點之測試探針裝置加以測試積體電路上之奈米線。在一四測試點之探針系統中，例如，可使用第 19D 圖之積體電路 1950。可將測試探針耦合至接近積體電路 1950 外緣之接墊中之兩接墊，加以測試對應於兩接墊之一奈米線連接在一起之線路。由於可將奈米線連接至接墊，一對探針可測量接墊間之阻抗，或其它參數，而使用另一對探針加以供應測試電流。以一類似方式。在一兩測試點之探針系統中能使用第 19A 圖之積體電路 1900，其中，將第 19C 圖中所示之線路 1904 連接至地或其它參考電位。另

外，可使用積體電路 1900 和 1950 作為電器裝置，其中，使奈米線在上面流動，產生電氣連結，二極體，電晶體等。

第 21 圖表示根據本發明一實施例，利用一流罩幕，提供使奈米線定位在一標的表面上之實例步驟之流程圖。根據以下之研討，對於熟悉相關技術之個人而言，其它結構及操作實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 2100 從步驟 2102 開始。在步驟 2102 中，一流罩幕與標的表面搭配。例如，在一實施例中，流罩幕為第 15A 和 15B 圖中所示之流罩幕 1500。如第 16 圖中所示，流罩幕 1500 之第一表面 1504 是與標的表面 1602 搭配。

在步驟 2104 中，使一含多數奈米線之液體流過流罩幕一表面中之一至少一通道。例如，如第 17A 和 17B 圖中所示，含多數奈米線之液體為一奈米線溶液，如奈米線溶液 1650。如第 17A 圖中所示，奈米線溶液 1650 以流 1702 之方向流經流罩幕 1500。奈米線流 1702 流經一或更多通道，如第 15A 圖之流罩幕 1500 中所示之通道 1506a-e。如第 18A 圖中所示，通道 1506 覆蓋一標的表面實例之部位 1802。

在步驟 2106 中，允許流經至少一道之液體中所含之奈米線變成定位在由至少一通道所覆蓋之標的表面之部位上。例如，如第 17B 圖中之箭頭 1710 所示，允許奈米線變成定位在來自流 1702 之標的表面 1602 上。在一實施例

中，定位在標的表面 1602 上之奈米線在標的表面 1602 上之導電特性間形成至少一電氣連結。在一實施例中，可選定奈米線溶液中之奈米線密度，故允許足夠之奈米線數變成定位在標的表面之覆蓋部位上，形成電氣連結。

在步驟 2108 中，流經至少一通道之液體被斷流。依此方式，允許奈米線保持定位在標的表面之部位上。例如，如第 18B 圖中所示，奈米線保持定位在標的表面 1602 之剖位上，以奈米線區域 1810 表示。

在一實施例中，流程圖 2100 可含進一步步驟，其中，使奈米線變成附接（或粘著）在標的表面 1602。例如，可使奈米線溶液硬化在標的表面 1602 上，使奈米線粘著在標的表面 1602。另外，可將一環氧樹脂或其它粘著材料添加在標的表面 1602 上之奈米線，使他們變成附著。

#### 基體上奈米線之噴酒

如以上說明，想要的是將奈米線定位在基體上，且尤其是定位在大面積基體上之技術。對於這之一理由為非常難以或不可能將習知之光蝕刻技術應用到大面積基體上。

根據本發明一實施例，使用噴塗技術將奈米線附接至表面，包含一大面積之基體。或為其它原因之故可將奈米線噴塗在表面上，在電極之間形成電氣連結。可將奈米線噴塗在表面上之電氣接觸點上面，或可將奈米線首先噴塗在表面上面，且然後可將電氣接觸點金屬化或以它種方式

直接形成在上面。

根據本發明一實施例，使用噴塗技術將奈米線流導向在一指定之表面部位上面。例如，使用一噴嘴將奈米線溶液噴塗在一表面上面，使奈米線定位在表面之指定部位上。在一實施例中，使用噴塗技術，使奈米線定位成彼此對齊。在其它實施例中，噴洒奈米線溶液不會對齊奈米線。

這章節說明噴酒技術及噴嘴實施例，用以將奈米線安置並定位在表面上。奈米線可以噴嘴定位在半導體晶圓，電子基體，或在電氣測試架構中，及任何其它裝置或系統中供電子裝置使用之任何其它表面上。此處所說明之特定實施例是為圖解說明起見，且未在設限。從此處之傳授，對於熟悉相關技術之個人而言，噴嘴/技術，另選實施例將是顯而易見的。這些另選實施例是在本發明之範圍和精神內。

第 22 圖表示根據本發明一實施例，一奈米線噴塗應用系統 2200 實例之方塊圖。系統 2200 含一噴嘴 2202，一標的表面 2204，一奈米線溶液源 2206 及一奈米線溶液導管 2208。如熟悉相關技術個人所了解的，系統 2200 可另外有其它之架構。

如第 22 圖中所示，奈米線溶液源 2206 包含一奈米線溶液 2210。奈米線溶液 2210 一向為含多數奈米線之液體溶液。可選擇奈米線溶液之組成，使流經奈米線溶液導管 2208 及/或噴嘴 2202 至標的表面 2204 上面之奈米線達最優化。例如，可選定奈米線溶液 2210 之粘性，增強流至

標的表面 2204 上面之奈米線。可依奈米線溶液 2210 中奈米線之尺寸選定奈米線溶液 2210 之組成。標的表面 2204 可為一晶圓表面，一如巨集電子基體之基體表面，或此間別處所說明或另有所知之任何其它結構之表面。

奈米線溶液源 2206 經由奈米線溶液導管 2208 提供奈米線溶液 2210 細噴嘴 2202。奈米線溶液導管 2208 可為任何型式之流體或溶液導管，這含配管，排管，及 / 或閥。注意到在某些實施例中，在將奈米線溶液源 2206 直接連結至噴嘴 202 之情況中不需要奈米線溶液導管 2208。

將噴嘴連接至奈米線溶液源 2206，接收奈米線流，噴嘴 2202 導引及 / 或控制流至標的表面 2204 上面之奈米線。第 23 圖表示將奈米線流 2302 輸出至一標的表面 2204 上面之噴嘴 2202 詳細圖。在第 23 圖中，標的表面 2204 為一由基體載體 2308 所支撑之基體 2306。噴嘴 2202 可具有任何數量之一或多個開口，提供奈米線流至標的表面 2204 上。例如，噴嘴 2202 可具單一開口。另外，如第 23 圖中所示，噴嘴 2202 可具多數開口 2304a-e。開口 2304 可被佈置成單開口列或行，可被佈置成兩度空間之開口陣列，或可以任何其它方式加以佈置。而且，開口 2304 可為任何形狀，含圓形，橢圓形，矩形或其它形狀。開口 2304 可為任何寬度，含 10 或 100 微米之因數。例如，可使用開口 2304 之大小加以敘述塗敷在標的表面 2204 之奈米線溶液 2210 之液滴大小。

可使用壓控噴霧劑，或噴射噴塗源，使奈米線流以預

期速率從噴嘴 2202 噴塗。以特定速率從噴嘴 2202 噴塗奈米線所需之壓力可依應用加以決定。

第 24 圖表示由本發明之應用，有多數奈米線 2402 定位在上面之標的表面 2204 之平面圖。奈米線 2402 是由噴嘴 2202 從奈米線流 2302 加以沈積。如第 24 圖中所示，奈米線 2402 是以單一，實質上為均勻之奈米線分佈定位在標的表面 2204 上。利用噴嘴 2202 之單一開口 2304，或利用在標的表面 2204 上具有接鄰或重疊覆蓋面積之噴嘴 220 中之多數開口 2304 可將奈米線 2402 定位在單一分佈面積中。而且，將奈米線 2402 對齊（即彼此平行）定位在標的表面 2204 上。在實施例中，奈米線 2402 可利用噴嘴 2202，彼此相對加以對齊。奈米線 2402 可依噴嘴 2202 中開口 2304 之大小，奈米線溶液 2210 之粘性，奈米線 2402 之大小，及此間別處所提之其它因數，由噴嘴 2202 加以對齊。例如，塗敷至標的表面 2204 之奈米線溶液 2210 液滴可具有對齊奈米線 2402 之表面張力。

第 25 圖表示由本發明之應用，上面定位有一第二多數奈米線 2502 之標的表面 2204 之平面圖。奈米線 2502 由噴嘴 2202 從奈米線流 2302 加以沈積。如第 25 圖中所示，奈米線 2502 是定位在多數分佈面積 2504a-d 中之標的表面 2204 上。奈米線 2502 可利用被導引/移動而使奈米線沈積在多重非重疊區中之噴嘴 2202 中之單一開口 2304，或利用在標的表面 2204 上具非接鄰或非重疊覆蓋面積之噴嘴 2202 中之多數開口 2304 加以定位在多數分佈

面積 2504 a-d 中。而且，將奈米線 2502 對齊（即彼此平行）定位在標的表面 2204 上。在實施例中，可將開口 2304 建置得使奈米線隨意地（即，未必彼此平行）對齊在標的表面 2204 上。

在噴嘴 2202 沈積奈米線 2402 前或後，可在標的表面 2204 上形成電子接觸點。第 26 圖表示上面形成有多數電氣接觸點 2602 a-e，與奈米線 2402 成電氣接觸之第 24 圖中標的表面 2204 之平面圖。奈米線 2402 在電氣接觸點 2602 a-e 接鄰對之間形成電氣連結。電氣接觸 2602 可為任何電氣接觸點型式。例如，電氣接觸點 2602 之接鄰對可為陽極和陰極電極。另外，三接鄰電氣接觸點 2602 之作用為一電晶體之汲極，閘極，和源極電極。

此處所說明或另有所知之任何型式之奈米線可使用本發明之噴塗技術加以沈積。可控制奈米線溶液 2210 中之奈米線密度，產生沈積在標的表面 2204 上之奈米線預期密度。而且，一旦使用噴塗技術已將奈米線沈積在標的表面 2204 上時，可以此間別處所說明或另有所知之任何方式使奈米線/奈米線溶液硬化或設定在標的表面 2204 上。已將奈米線沈積在標的表面 2204 之後，可使用用以界定標的表面 2204 上之奈米線膜特性之任何製程，例如，包含蝕刻術及清洗技術。而且，可以此間別處所說明，或另有所知任何方式加以備置/處理標的表面 2204 加以增強奈米線之接著/附接。

可建置開口 2304 之大小/直接，增強奈米線流在標

的表面 2204 上面，如使奈米線沈積成對齊。在一實施例中，一或更多開口 2304 之寬度可大或等於 ( $\geq$ ) 要加以噴塗沈積之奈米線長度。另外，一或更多開口寬度可小於奈米線長度。在一實施例中，開口 2304 之寬度範圍為  $1 \mu\text{m}$  至  $1000 \mu\text{m}$ ，依特定應用而定，即使亦可使用超出這範圍外之寬度。而且，開口 2304 可為任何形狀，含圓形，橢圓形，矩形，或其它形狀。

第 27 圖表示根據本發明一實施例，使用噴塗技術，提供使奈米線定位在一標的表面上之實例步驟之流程圖 2700。根據以下之研討，對於熟悉相關技術之個人而言，其它結構和操作實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 2700 從步驟 2700 開始。在步驟 2702 中，提供一奈米線溶液。例如，奈米線溶液為第 22 圖中所示之奈米線溶液 2210。如上述，在一實施例中，奈米線溶液 2210 為一含多數奈米線之液體溶液。

在步驟 2704 中，導引奈米線溶液，通過一噴嘴之至少一輸出開口而至標的表面上面。例如，第 23 圖表示一含奈米線溶液 2210 之奈米線流 2302，它被導引通過噴嘴 2202 之開口 2304a-e 而至標的表面 2204 上面。

在步驟 2706 中，使奈米線附接至標的表面。例如，步驟 2706 可含一步驟，使奈米線溶液 2210 含一可硬化材料並硬化在標的表面 2204 上。在一實施例中於步驟 2704 中，塗敷奈米線期間，可將電荷塗敷在標的表面 2204 上。

，造成靜電吸引，協助使來自奈米線溶液 2210 之奈米線附著在標的表面 2204 上，並保持在原位。亦可將帶電聚合物，化學物，圖素，或塗劑塗敷在表面上。例如，可將一材料塗敷在一基體上，產生帶正電之基體。帶正電基體吸引帶負電奈米線，如塗覆一氧化（例如， $\text{SiO}_2$ ）之矽奈米線。可將如丙氨乙基三乙氧矽烷（APTES），帶正電胺族之多溶素，一含矽烷之胺，或一含聚化物之胺之材料塗敷在一表面上，如含矽或其它材料之基體上面，產生這種效應。

在一實施例中，步驟 2704 包含一使奈米線實質上彼此平行對齊在標的表面上之步驟。例如，第 24 圖表示由本發明之標的表面 2204 之上面定位有多數奈米線 2402，彼此對齊。

在一實施例中，步驟 2704 包含一使奈米線溶液導向重疊標的表面部位之步驟。例如，第 24 圖表示定位在一單分佈區中之奈米線 2402。另外，步驟 2704 可包含一使奈米線溶液導向標的表面之多數非重疊部位之步驟。例如，第 25 圖表示定位在多數未重疊分佈區 2504a-d 中標的表面 2204 上之奈米線 2502。

在一實施例中，步驟 2704 可包含一施加壓力迫使奈米線溶液通過噴嘴之至少一輸出開口至標的表面上之步驟。

在一實施例中，標的表面 2204 可為一非常大之表面，如大面積巨集電子基體。在這種實施例中，可接受標的

表面為一輸送帶式系統或其它基體供應系統上之一連續薄片。因此，在一實施例中，流程圖 2700 可包含相對於噴嘴薄片位置之調整步驟。例如，可從連續饋入通過噴嘴 2202 之一筒捲供應薄片。例如，可使用噴嘴 220 和標的表面 2204 間之這種相對移動對齊標的表面 2204 上之奈米線。

透過選定一奈米線半導體材料，降低奈米線中電子之聲子散射

部份由於矽在半導體工業內之相容性，它適於奈米線之半導體材料。然而，矽有表面狀態普遍 ( $\sim 10^{10} \text{ cm}^{-2}$ ) 之壞處。並對要消除電子之聲子散射所需之可達成奈米線之線徑有限制。

因此，根據本發明，發表製造奈米線之另選材料。此處所說明之這種材料具有含降低奈米線聲子散射並增加直徑範圍之優點。

要降低或消除電子之聲子散射有至少兩種方法。為降低或消除奈米線中之聲子散射，奈米線材料次能帶間之能量間隔應為 (1) 大於聲子能量；且 (2) 大於  $3K_b T$ ，其中， $K_b$  為波茲曼常數 ( $8.62 \times 10^{-5} \text{ eV/}^\circ\text{K}$ )。“3”為一預定因數，而  $T$  為奈米線裝置作用所在之絕對溫度。對於在室溫下之操作，(2) 一向更迫切需要，因為大半半導體材料之聲子能量小於  $3 * K_b T_{rt}$ ，其中， $T_{rt}$  為室溫，而  $K_b T_{rt} = .0259 \text{ eV}$ ，故  $3 * K_b T_{rt} = 0.777$ 。

一半導體材料中電子之大量限制與半導體材料導電帶內次能帶中電子之限制有關。材料中之電子受限於次能帶之特能階。然而，電子可從一次能帶能階移至另一能階。可計算次能帶間之分離或能量差。對於一具有等向性（或電洞）有效質量  $m_{eff}$  之奈米線材料，地狀態和第一激發狀態間之能量間隔表示為：

$$\Delta E \approx \frac{8.9\hbar^2}{2m_{eff}r^2}$$

方程式1

其中：

$\hbar$ =蒲朗克常數  $\div 2\pi$ ；

$m_{eff}$ =所選定半導體材料之有效質量；以及

$r$ =奈米線半徑

當電子無法在次能帶間散射時即維持一半導體材料中電子之大量限制。然而，半導體材料中之聲子散射使電子在半導體材料次能間散射，這可降低奈米線之電子之移動率。為維持電子之大量限制，在半導體材料中必須防止電子之聲子散射，防止電子在次能帶之間散射。如以下說明，藉選定一已知有效質量為  $m_{eff}$  之半導體材料，並從半導體材料形成奈米線可維持電子之大量限制，其中，奈米線之直徑，由於聲子散射，阻止電子在次能帶之能階之間移動。

不同半導體之有效質量  $m_{eff}$  使他們其中某些最好比其

它者降低或消除聲子散射。而且，有效質量  $m_{eff}$  較小之奈米線允許較大直徑。在奈米線生長期間，較大直徑之奈米線允許較佳之控制，並提供額外之奈米線強度。

藉設定方程式 1 等於  $Nk_b T_{rt}$ ，可形成以下方程式，這可用以計算為一有效質量為  $m_{eff}$  之半導體材料所製造之一奈米線之最大直徑，實質上降低或消除聲子散射：

$$\text{最大半徑} = \sqrt{\frac{(8.9)\hbar^2}{2m_{eff}Nk_bT}} \quad \text{方程式2}$$

其中：

$\hbar$ =蒲朗克常數  $\div 2\pi$ ；

$$= 6.626 \times 10^{-34} \text{ J-sec} \div (2 \times 3.1416)$$

$$(\text{或 } 4.14 \times 10^{-15} \text{ eV} \cdot \text{sec} \div 2 \times 3.1416)$$

$$= 1.0545 \times 10^{-34} \text{ J-sec} (6.589 \times 10^{-16} \text{ eV-sec}) ;$$

$m_{eff}$ =半導體材料之有效質量；

$N$ =—預定因數；

$k_b$ =波茲曼常數  $= 1.38 \times 10^{-23} \text{ J/}^\circ\text{K}$  ( $8.62 \times 10^{-5} \text{ eV/}^\circ\text{K}$ )；

以及

$T$ =操作溫度；室溫時  $k_b T = 4.1 \times 10^{-21} \text{ J}$  (.0259 eV)

因此，可將方程式 2 重寫為：

(68)

$$\begin{aligned} \text{最大半徑} &= \sqrt{\frac{(8.9)(1.0545 \times 10^{-34})^2}{2m_{\text{eff}} N(4.144 \times 10^{-21})}} \\ &= \sqrt{\frac{1.194 \times 10^{-47}}{Nm_{\text{eff}}}} \end{aligned}$$

預定因數  $n$  為一可被選定加以提供統計性保證之因數，該統計性保證與限制電子和降低聲子散射有關。例如，可選定預定因數  $n$  為大於零之任何值。在一實施例中，選定預定因數  $n$  之值大或等於 ( $\geq$ ) 3。在另一實施例中，選定預定因數  $n$  之值大或等於 ( $\geq$ ) 5。

第 28 圖中所示之圖 2800 表示一半導體材料一最大允許直徑和有效質量  $m_{\text{eff}}$  間之關係。Y 軸以奈米 (nm) 表示一奈米線之最大允許直徑，而在圖 2800 之 X 軸表示常態化之有效質量  $m_{\text{eff}}/m_0$ 。如圖 2800 中所示，當常態化之有效質量  $m_{\text{eff}}/m_0$  減小時則一奈米線之最大允許直徑增大。當常態化之有效質量  $m_{\text{eff}}/m_0$  減小至 0.2 以下時一奈米線之最大允許直徑則急促增加。

第 29 圖中所示之表 2900 之第一欄 2902 中列出各種半導體材料實例。列在第二欄 2904 的是第一欄 2902 半導體之有效質量，而列在第三欄 2906 的是第一欄 2902 半導體材料之能量間隙。如上述，有效質量  $m_{\text{eff}}$  比較小之半導體材料為有利，因其允許較大之奈米線直徑。表 2900 中 GaAs, InSb (供紅外線檢測器用)，及 InAs 突出為有利之選擇實例，各具相當小之有效質量  $m_{\text{eff}}$ ，因此，允許相

(69)

當大之奈米線直徑。

例如，施用 2904 欄之資料至第 28 圖中之圖 2800，則具有實質上降低或消除聲子散射之矽 (Si) 奈米線之最大允許直徑為  $\sim 6 \text{ mm}$ 。對砷化鎵 (GaAs) 而言，具有實質上降低或消除聲子射之奈米線最大允許直徑為  $\sim 20 \text{ mm}$ 。

而且，可施用表 2900 之資料給方程式 2，對一特定半導體材料計算一適當之奈米線直徑。例如，如 2904 欄所示之 GaAs， $m_{\text{eff}}/m_0$  等於 .067，其中， $m_0$  為自由電子靜止質量 ( $9.11 \times 10^{-31} \text{ kg}$ )。施用這值至方程式 2 如下：

$$\begin{aligned} \text{GaAs最大半徑} &= \sqrt{\frac{1.194 \times 10^{-47}}{N \frac{m_{\text{eff}}}{m_0} m_0}} \\ &= \sqrt{\frac{1.194 \times 10^{-47}}{(3)(.067)(9.11 \times 10^{-31})}} \\ &\approx 8.07 \text{ nm} \end{aligned}$$

其中， $m_0$ =自由電子靜止質量 =  $9.11 \times 10^{-31} \text{ kg}$ ；以及

$$N = 3$$

因此，對於 GaAs，當降低或消除子散射時可使用之直徑上達  $16.14 \text{ nm}$ 。

因此，可個別，或以群族/薄膜使用奈米線，其中，奈米線形式之直徑小或等於 ( $\leq$ ) 為奈米線之半導體材料

所決定之最大直徑，允許各奈米線維持電子之實質大量限制（即，實質上降低或完全消除電子之聲子散射）。

而且，在一實施例中，各奈米線形成之長度小或等於（≤）一預定長度，得經由各奈米線會發生電子之彈道傳輸。

第 30 圖表示根據本發明一實施例，提供具有高度移動率電子之導電奈米線之實例設計步驟之流程圖 3000。根據以下之研討，對於熟悉相關技術之個人而言，其它結構和操作實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 3000 從步驟 3002 開始。在步驟 3002 中，選定一半導體材料。例如，可從第 29 圖之表 2900 選定半導體材料，或該材料可為此處所說明，或另有所知之任何其它半導體材料。

在步驟 3004 中，決定由所選定半導體材料所製成之一奈米線之最大直徑，使提供電子實質之大量限制，例如，藉檢視第 28 圖中之圖 2800 或使用方程式 2 計算最大直徑可選定直徑。

在步驟 3006 中，從選定之半導體材料形成多數奈米線，多數奈米線之各奈米線形成之直徑小或等於（≤）所決定之最大直徑。

以摻雜策略降低奈米線中電子之聲子散射

根據本發明，透過奈米線半導體摻雜策略可降低或消除奈米線中電子之聲子散射。摻雜結果（是否為 n 型或 p

型) 可影響奈米線中電子之聲子散射，以及線之實際強度。如以下進一步說明之本發明實施例中，可摻雜具有電子或電洞之半導體作為導電載子加以增進效能。

大半半導體在具重電洞與輕電洞之最大原子價帶已能帶退化。原子價帶間之最小能量間隔來自具較大有效質量之重電洞。因此，在一較佳實施例中，使奈米線建置成電子為奈米線中之傳導載子，因電洞之有效質量大於電子。

藉直接 n 摻雜奈米線，及 1 或對 p 摻雜線施加一偏壓閘極電壓可完成使奈米線建置成使用作為傳導載子。第 31 圖中所示之表 3100 在 3102 欄中列出 III-V 族半導體型材料之實例。3104 欄包含 3102 欄材料中電子之對應有效質量。3106 欄和 3108 欄分別包含 3102 欄材料中輕電洞和重電洞之對應有效質量。對於表 3100 中所列之所有半導體材料，3104 欄中所示電子之有效質量小於 3106 欄和 3108 欄中所含輕電洞和重電洞之有效質量。因此，從這些半導體材料所製成之 n 摻雜奈米線，與 p 摻雜比較將造成較小之聲子散射。

注意到列出 III-V 族半導體型材料之表 3100 是為說明起見而設，且除了只 III-V 族半導體型外，本發明適用於半導體材料型式。

而且，n 摻雜矽之機械強度大於 p 摻雜矽，此可為選定 n 摻雜奈米線比 p 摻雜奈米線之優點。對於進一步細節，參考 1997 年布沙姆 (B. Busham) 和李 (X. Li) 之材料研究日誌。

另外，可以一 p 型摻雜劑材料摻雜奈米線並使奈米線建置成電子為傳導載子。例如，藉由對奈米線薄膜施加一足夠偏壓，可以相反模式操作包含 p 摻雜奈米線之奈米線薄膜。這造成在 p 摻雜奈米線中使用電子作為傳導載子，而降低或消除 p 摻雜奈米線中之聲子散射。例如，在一電晶體實施例中，可對多數奈米線施加一偏壓作為電晶體之閘極偏壓，以相反模式操作奈米線。

#### 使用核殼型材料，降低奈米線之表面狀態

對於達成包含奈米線中甚至電子彈道傳輸之遞增電子移動率之另一因素在降低表面和主體（即奈米線核心）雜質散射。在奈米線中，表面散射尤具顯著，其中，存在較大之表面-對-主體比率。

藉形成奈米線之外層，如奈米線之純化退火及/或使用具奈米線之核殼型結構可降低表面散射。例如，第 3 圖表示根據一核殼型結構所摻雜之奈米線 310 實例。在一奈米線上可形成如氧化塗覆之絕緣層作為殼層。而且，例如，對於具一氧化塗覆之矽奈米線，氫 ( $H_2$ ) 中之奈米線退火可大量降低表面狀態。在另一 實例中，對於在奈米線核心具有如 GaAs 化合物半導體之奈米線，使用 AlGaAs (或其它化合物半導體型式之類似化合物) 殼可有效限制電子波作用，且亦適以降低表面狀態。

在實施例中，建置核殼型組合，滿足以下限制：(1) 外殼能階應高於核心能階，使得傳導載子被侷限在核心；

以及 (2) 核心及外殼材料應具良好晶格融合，幾無表面狀態及表面電荷。

注意到在一實施例中，可改變外殼層對線徑之厚度加以增進奈米線中載子之移動率，並降低表面狀態。

第 32 圖表示根據本發明一實施例，提供具有降低表面散射之奈米線實例製造步驟之流程圖 3200。根據以下研討，對於熟悉相關技術之個人而言，其它結構和操作實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 3200 從步驟 3202 開始。在步驟 3202 中，選定一半導體材料。可選定含那些此間別處所說明，或另有所知之任何半導體材料。

在步驟 3204 中，從選定之半導體材料形成多數奈米線。例如，從選定之半導體材料可生長或以它種方式形成奈米線。

在步驟 3206 中，在多數奈米線中各奈米線之周圍表面塗覆一絕緣層。例如，在一實施例中，絕緣層可為一電介體材料。在另一實施例中，絕緣層可為一氧化物。各奈米線可被氧化形成絕緣層。在一實施例中，可將各氧化奈米線加以退火。例如，可在一  $H_2$  環境中將各氧化奈米線加以退火，在各氧化奈米線之一氧化層和一非氧化部位之介面處使懸吊鍵鈍化。例如，可使矽奈米線氧化，產生一  $SiO_2$  氧化層。在另一實例中，氧氣或有助於對材料形化物之氧氣混合物中可使由一化合物半導體材料所形成之奈米線氧化。例如，可使 GaAs 奈米線在氧氣和砷環境中氧化。

，產生如  $\text{As}_2\text{O}_3$  層之氧化層，其它化合物半導體材料可類似地加以氧化，或以其它方式加以氧化。

第 33 圖表示根據本發明一實施例，提供具有降低表面散射之奈米線實例製造步驟之另一流程圖 3300。根據以下研討，對於熟悉相關技術之個人而言，其它結構和操作實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 3300 從步驟 3302 開始。在步驟 3302 中，選定一半導體材料。可選定含那些此間別處所說明，或另有所知之任何半導體材料。

在步驟 3304 中，從選定之半導體材料形成多數奈米線。例如，從選定之半導體材料可生長或以它種方式形成奈米線。

在步驟 3306 中，將多數奈米線之各奈米線摻雜成使各奈米線包含一核型結構，其中，外殼為各奈米線之摻雜外層，包圍各奈米線之各別核心。例如，奈米線為第 3B 圖中所示之奈米線 310。所摻雜之外層為摻雜表面層 302。在一實施例中，步驟 3306 之結果使各奈米線之載子在操作期間實質受限於位在軸向之核心。

在一實施例中，步驟 3306 可包含一步驟，其中，選定一摻雜劑材料為各奈米線之摻雜外層，使得摻雜外層相對於各別核心之能階會有一較高能階。

在一實施例中，步驟 3306 可包含一步驟，其中，選定一摻雜劑材料為摻雜外層，使得摻雜外層之晶格結構實質上融合核核心之晶格結構。

### 奈米線及奈米絲薄膜電晶體

第 34A-34C 圖說明與高移率奈米線及奈米絲 TFT 有關之觀念。第 34A 圖代表非晶質 (a-Si) 或多晶質矽 (聚-Si) TFT。如從第 34A 圖可看出，電載子必須行跨多重晶粒邊界，造成低載子移動率。第 34B 圖說明根據本發明一實施例之 NW-TFT。不像當中載子必須行跨多重晶粒邊界，造成低移動率之 a-Si 或聚-Si，NW-TFT 具有由平行之多重單晶石 NW 線徑 (像一圓木橋) 所形成之傳導通道。因此，電子/電洞一路在源極至汲極電極間之單晶石內行走，具高載子行動率。類似地，如第 34C 圖之說明，根據本發明一實施例，亦使用特性類似於平行之多重奈米線之單晶石半導體奈米絲產生高效能之 TFT。

### NW-TFT 裝置之製造

第 35A 圖說明根據本發明一實施例，提供 NW-TFT 製造步驟實例之流程圖 3200。根據以下研討，對於熟悉相關技術之個人而言，其它結構和操作實施例將是顯而易見的。這些步驟將詳述如下。

流程圖 3500 從步驟 3510 開始。在步驟 3510 中，以合成處理單晶石奈米線。例如，使用黃金膠粒 (例如，可由大英比爾賽爾國際公司 (British Biocell) 得到) 作為試驗生產規模反應器中之催化劑，藉分解  $\text{SiH}_4$  和  $\text{B}_2\text{H}_6$  可合成具控制直徑之 p 型矽奈米線。在一實施例中，可在

溫度 420-480°C 之間，總壓 30 托 (torr)，且矽烷分壓大概 2 托之下實施期間達 40 分之生長。可改變 SiH<sub>4</sub> 和 B<sub>2</sub>H<sub>6</sub> 比率，控制摻雜位準。即使可使用其它比率，在合成以下有被提供測量方法之奈米線時使用比率為 6400 : 1。在一應用實例之步驟 3510 中，由這程序所合成之奈米線長度範圍為 20-40 μm，如由 Au 膠質催化粒所決定之直徑幾為單分散式。在現行應用實例中，使奈米線合成為一核殼型結構，其具有一為厚度 2-3 nm 之非晶質氧化矽殼所包圍之單一結晶矽核。

在步驟 3520 中，奈米線是懸浮在溶液中。在一實施例中，使用超音波可使合成之奈米線轉換乙醇，得到一穩定之奈米線懸液。另外，可將奈米線轉換成，並懸浮成其它適當之溶液型式。

在步驟 3530 中，將奈米線組合成一薄膜。在本實例中，在分散成溶液後，使用流體流所導引之對齊方法使奈米線組合在一所選擇之基體上面，得到一確立方位之奈米線薄膜。允許奈米線懸液過一形成在表面活性劑鑄模和一齊平基體表面間之流體通道結構，在表面上得到 NW 陣列。藉改變溶液中 NW 濃度及 / 或總流時間加以控制薄膜中平均 NW 間隔。以這方法，利用一較長或較大之流通道鑄模可在一 4 吋晶圓或甚至較大面積上輕易地將對齊排列加以延伸。如第 15A 和 15B 圖中所示之流罩幕 1500 以上說明一如流體通道結構之一實例。

第 35B 圖表示一奈米線薄膜實例之光顯微照片，其具

一方位平行之單層奈米線，平均奈米線間隔約 500-1000 nm。第 35B 圖之顯微照片更顯示一些奈米線跨越奈米線薄膜之頂部上方，即使在另選實施例中，可使薄膜產生為無奈米線跨越在奈米線薄膜頂部之上方。第 35B 圖中所說明之刻度列長度為 100 μm。第 35B 圖中之插圖 3502 提供較高之倍率並含一 20 μm 之刻度列。

在步驟 3540 中，製造一薄膜電晶體裝置。這薄膜電晶體裝置含在步驟 3530 中產生之奈米線薄膜。可製造任何型式之薄膜電晶體裝置。

在步驟 3550 中，整合薄膜電晶體裝置供特定巨集電子應用使用。在一實施例中，一 NW 薄膜可經歷標準之光蝕刻術或 E 光束蝕刻製程，界定源極和汲極電極並在一巨集電子基體上產生 TFT。

第 35C 圖說明一刻度列為 100 μm 之 TFT。可使用不同材料為含金之電極，第 35C 圖中顯示該電極為 TFT 實例，作為輕色列。對於第 35C 圖中顯示為插圖之 TFT 3504 之實例，在一矽基體上顯示一背閘極式裝置建置。使用下層之矽作背閘極，使用 100 nm 厚之氯化矽 ( $\text{SiN}_4$ ) 作為閘極電介體，並使用一利用電子束氣相器所沈積之 Ti/Au (60 nm / 60 nm) 膜作為源極和汲極電極。

第 35D 圖提供一 NW-TFT 之光顯微照片，該 NW-TFT 表示橋接源極和汲極電極 3506 和 3508 之 NW 之平行陣列。第 35D 圖中之刻度列長度為 5 μm。

步驟 3560 為流程圖 3500 之末。

## 效能特性 - p 通道矽奈米線薄膜電晶體 (NW-TFT)

在以下實例中，在室溫下於一黑箱之大氣環境中實施 NW-TFT 之電氣特性。第 36A 圖表示在各種閘極電壓 ( $V_{GS}$ ) 下，汲極電流 ( $I_{DS}$ ) 對汲極-源極偏壓 ( $V_{DS}$ ) 之曲線圖，其中， $V_{GS}$  從上曲線時為  $-10\text{V}$  開始。以優 (V) 為步階加以變化。在這實例中，TFT 含 91 個實質上為平行之直徑  $20\text{nm}$  之奈米線，且通道長度為  $5\text{ }\mu\text{m}$ 。在低  $V_{DS}$  處，當汲極電流  $I_{DS}$  隨  $V_{DS}$  以線性增加時，第 36A 圖表示以累積模式運作之典型 p 通道電晶體之作用。一旦施加負閘極電壓後，當通道中多數載子（電洞）增加，汲極電流即增加。施加一正閘極偏壓使通道中之電洞空乏並切斷裝置。

在恆壓  $V_{DS} = -1\text{V}$  時，第 36B 圖中所說明之  $I_{DS}$  對  $V_{GS}$  圖表示當閘極電壓比臨界點更為正時，基本上無電流流動。且當閘極電壓在負向增加時則  $I_{DS}$  幾以線性增加。線性區之線性外插形成  $0.45\text{V}$  之臨界電壓。第 36B 圖內所示之插圖 3602 以指數尺度表示  $V_{DS} = -1\text{V}$  時， $-I_{DS}$  對  $V_{GS}$  之圖。第 36B 圖突顯幾為  $10^8$  之導通、切斷 (ON-OFF) 比，且次臨界擺動約  $500\text{mV/s}$ 。以  $500\text{mV/s}$  之  $V_{GS}$  掃視率收集線性圖形資料並以  $15\text{ mV/s}$  之  $V_{GS}$  掃視率收集指數圖形資料，以較高之閘極電壓使電容充電電流達最小。由於遲滯效應使插圖中之明顯臨界電壓位移至  $3.5\text{V}$ 。

在 NW-TFT 電流之  $I_{DS}$ - $V_{GS}$  關係中通常觀察到遲滯效

應。遲滯可能主要是由於 NW-TFF 裝置中所存在之移動離子。藉 NW 合成及裝置製程之緊要控制可消除遲滯或使其降至最小，使離子髒污降至最小，遲滯對決定臨界電壓有影響。由於遲滯，明顯臨界電壓可依測量條件及測量前裝置所經歷之電壓歷史加以變化。

為使遲滯造成之臨界電壓變動降至最小，使用類似條件（使用  $500 \text{ mV/S}$  相當快速之閘極電壓掃視率使移動離子效應降至最小）加以測試裝置。收集各裝置資料前，首先藉循環至少三次閘極電壓（從  $10$  至  $-10 \text{ V}$ ）亦使電壓歷史變動降至最小。依此方式，可決定一正當之臨界電壓分佈（第 36B 主圖及第 36C 圖）。另一方面，為正確測量切斷狀態電流，使用一較慢閘極電壓掃視率 ( $15 \text{ mV/S}$ ) 使電容電流降至最小。在這情況中，裝置受到長時期（約  $5-10$  分）之高正閘極電壓並使明顯臨界點位移至一更為正之值（插圖第 36B 圖）。

對於巨集電子應用，含跨導，移動率，切斷/導通(ON/OFF) 電流比，臨界電壓，及次臨界擺動之許多主要電晶體參數說明 TFT 之效能。對一電晶體效能及對包含放大器和邏輯電路之以電晶體為主裝置之電壓增益而言，高跨導是重要的。一  $I_{DS}$  對  $V_{GS}$  線性區中之斜率表示在  $V_{DS} = -1 \text{ V}$  時，跨導  $g_m = dI_{DS}/dV_{GS}$  約為  $11 \mu\text{s}$ 。假設有效通道寬度等於 NW 直徑  $d$  乘以 NW 個數  $N$ ;  $W_{eff} = N \cdot d = 1.8 \mu\text{m}$ 。比較 a-矽 TFT 和聚・SiTFT，可得到一約  $6 \mu\text{s}/\mu\text{m}$  之常態化跨導。這明顯優於非結晶質 SiTFT，其跨導的  $0.01$

$\mu\text{S}/\mu\text{m}$ ，以及 10 通道聚-Si TFT，其跨導的 0.3 至 0.8  $\mu\text{S}/\mu\text{m}$ 。而且，這可比較於絕緣體上生長之單晶 p 通道矽 (SOI) MOSFET，其跨導約 5 至 12  $\mu\text{S}/\mu\text{m}$ 。注意到使用較高電介體常數之較薄電介體可進一步移除 NW TFT；跨導。

使利用標準 MOSFET 方程式之額外鑄塑導電，在研究之下進而消除 NW-TFT 中載子之移動率。在  $I_{DS}-V_{DS}$  曲線之低偏壓線性區中可由下式扣減電洞之移動率  $\mu_h$ ：

$$G_{DS} = I_{DS}/V_{DS} = \mu_h C_G (V_{GS} - V_{th} - V_{DS}/2) / L^2$$

其中： $C_G$  為閘極容抗，且

$L$  為通道長度

閘極容抗包含基體上  $\text{SiN}_x$  電介體之容抗及氧化矽殼之容抗。然而，要計算這些容抗是不簡單的。使用一 3D 有限元件套裝模擬程式（例如，得自 Field Precision 公司之 Metamesh 及 Hiphil，<http://www.fieldp.com>）產生一約 27 fF 之總容抗，這造成約  $130 \text{ cm}^2/\text{v} \cdot \text{s}$  之電洞、移動率。這電洞-移動率高於 p 型多晶矽回報之最佳值（約  $120 \text{ cm}^2/\text{V} \cdot \text{s}$ ）且可比較於 p 型單晶矽材料，如 SOI MOSFET 之值（約  $180-250 \text{ cm}^2/\text{V} \cdot \text{s}$ ）。此外，例如藉降低摻雜位準及/或使 NW 表面上之插陷狀態降至最小可能進而增進載子之移動率。

第 36B 圖中之插圖 3602 以指數刻度表示  $I_{DS}-V_{GS}$  之曲線圖，汲極電流在臨界電壓下以指數函數下降且電晶體導通 · 切斷電流流比接近  $10^8$ 。這代表從化學合成式奈

米材料所組裝之電晶體之最大導通 - 切斷比並可比較於單晶矽裝置之導通 - 切斷比。電流之成指數下降界定一主要電晶體參數，這裝置中之次臨界擺動  $S = -Dv_{GS}/d_{ln}|I_{DS}|$ ，約每 10 次  $600\text{Mv}$ 。在習知 MOSFET 中，以  $S = (K_B T/e) \cdot \ln\{(10)(1+\alpha)\}$ ，其中， $T$  為溫度， $K_B$  為波茲曼常數， $e$  為基本電荷，且  $\alpha$  依裝置中之容抗而定且當閘極容抗甚大於如介面插陷狀態容抗之其它容抗時為 0。 $S$  之最低理論極限因此為  $S = (K_B T/e) \cdot \ln(10)$  或在室溫下約每十次  $60\text{Mv}$ 。

通常，低臨界電壓和低功率操作預期的是一小次臨界擺動。本發明 NW 裝置之一實施例中每十年約  $600\text{Mv}$  之次臨界擺動明顯優於習知非結晶質 Si TFT 或有機半導體 TFT，其範圍一向從每十次 1 至許多伏特。而且，這可比較於大半之聚 · Si TFT。但實質上大於最佳聚 · Si TFT (約  $200\text{mV}$ ) 及單晶矽裝置 (約  $70\text{mV}$ )。

本發明 NW 裝所觀察到之相當大之次臨界擺動可能主要是由於表面插陷狀態及等比效應之存在，藉由使表面純化 (例如，加氫或使用一核殼型結構) 及 / 或使用具高  $K$  電介體之頂部或環繞閘極式結構可急劇增該效應。

等比效應導因於跨越過 NW-TFT 中其它 NW 之 NW。NW 薄膜一向包含一近單層 NW，但有時含跨越其它 NW 之少許 NW。當一 NW 跨越其它 NW 時。它會從基體表面分離。受到來自背閘極之一較小電場，且因此啓閉比裝置中之其它 NW 慢。整體上，這增加 NW TFT 之次臨界擺動

。然而，且重要的是，如下述，使用一圍繞共形之電解閘極已展現小至每十次約  $70\text{mV}$  之次臨界擺動。

在實際應用中，在決定技術存活性時，不同裝置之臨界電壓之變化為一主要因素。直到最後，這測試已被實施於根據本發明一實施例所製造之 20 個各別裝置。第 36C 圖表示這些裝置臨界電壓分佈之柱狀圖。高斯 (Gaussian) 配接表示一僅  $0.22\text{V}$  之標準偏移。此外，建置和製程之最優化可能造成較嚴謹之分佈。

明確地說，在藉由開發各種 NW 核殼型結構之許多方法中可進而增進 NW-TFT 之效能。首先，在塑膠上之 NW-TFT 中，導通一切斷比受限於低品質電子束所氣化之  $\text{AlO}_x$  閘極電介體。使用含一單晶半導體內核及一高品質閘極電介外殼之核殼型 NW 結構可潛在地克服這種問題。雖然 Si NW 本質上具有核殼型結構，但薄本質氧化層之品質不夠高而是以經得起高電場。本質氧化物可以由熱控氧化物，化學氣相沈積，或其它適當技術所產生之高品質氧化矽殼加以替換或補充，因分開從最終裝置基體實施含半導體材料合成及高品質閘極電介體形成之高溫製成，故核殼型 NW 結構非常適於在塑膠上製造高效能之 NW-TFT。此外，這種核殼型結構可亦致使表面插陷狀態之鈍化，形成進一步之效能增強。

第二，由於等比效應，現行之背閘極式 NW-TFT 之效能相當有限。藉使用一更複雜 NW 核殼型結構加以包含一單晶質半導體內核。一閘極電介體內殼，及一共形閘極可

克服這種等比效應。這可藉在（上述） $\text{Si}/\text{SiO}_x$ 核殼型結構各處沈積一層高度摻雜之非結晶矽作為，例如，外閘極殼，加以實現。

第三，藉由利用小直徑 NW 中之量子電子效應可潛在地進而增進 NW-TFT 之效能而超出單晶質材料之效能。類似於習知之兩度空間半導體超晶格及 2D 電子/電洞氣體，可想像多重核殼型 NW 結構從活性導電通道分離摻雜劑而達成超高移動率 TFT。

裝置效能之主要參數（如載子移動率及臨界電壓）與導電通道中之 NW 個數無關。因此，設計及製造預先界定特性之 NW-TFT 是可能的。例如，藉改變導電通道之 NW 個數（改變有效通道寬度），將 NW-TFT 設計得可攜載一預定位準之電流。第 36D 圖說明當裝置導通時 ( $V_{GS} = -10\text{V}$ ) 汲極電流之線性定比關係。這兩曲線表示作為有效通道寬度函數之導通狀態之電流。下方曲線為  $V_{DS} = -1\text{V}$  且上方曲線為  $V_{DS} = -8\text{V}$ 。有效通道寬度對應於 NW 平均直徑和通道中 NW 個數之乘積。如所預期，導通電流與有效通道寬度（導電通道中之 NW 數）成線性應比。從有效通道寬度小於  $5\ \mu\text{m}$  之裝置已達成之導通狀態電流大於  $0.5\text{mA}$ 。可複製和可預測之具設計裝置參數之 NW-TFT 組合是重要的。

#### 塑膠體上之 NW-TFT

現行 NW 薄膜觀念之一重大觀點為除與裝置製造分開

之 NW 合成步驟外，基本上可在室溫下實施整個 NW-TFT 製程。因此，可將高效能 NW-TFT 之組合輕易應用至低成本之玻璃和塑膠基體。為展現塑膠基體上之 NW-TFT，使用一種不同之裝置架構。第 37A 圖說明這種裝置架構。為製造第 37A 圖之裝置，首先旋塗澆鑄一層 1-2  $\mu\text{m}$  厚之 SU-8 (微化學公司 (MicroChem)) 光阻劑並使它在一聚乙醚酮 (PEEK) 片 (50 或 100  $\mu\text{m}$  厚，Goodfellow 公司) 上硬化，確保一可顯微觀察到之平順表面。將 Cr/Au (10/30 nm) 條片界定為閘極陣列。並使用電子束氣化將 30 nm 之氧化鋁層沈積為閘極電介體。所對齊之 NW 薄膜是沈積在表面上，並界定 Ti/Au (60/80 nm) 源極 - 汲極電極，形成 TFT。第 37B 圖表示具 NW-TFT 之塑膠裝置實例。第 37B 圖下方部位說明具 5  $\mu\text{m}$  定比列之 NW-TFT 之源極，閘極和汲極。

以如上述之相同方式實施電氣傳輸特性。第 37C 圖說明  $I_{DS}$ - $V_{DS}$  曲線表現和  $\text{SiN}_x/\text{Si}$  基體上裝置之類似作用。第 37C 圖表示一  $I_{DS}$ - $V_{DS}$  關係圖。隨  $V_{GS}$  之變化由頂端之  $V_{GS} = -8\text{ V}$  以 1V 之步階遞增。 $I_{DS}$ - $V_{GS}$  關係表示臨界電壓約 3.0 V，而導通 - 切斷比  $> 10^5$ 。

第 37D 圖說明塑膠基體稍微彎曲前後，相同裝置之轉移特性。第 37D 圖中之插圖 3702 突顯導通 - 切斷比大於  $10^5$  且次臨界擺動每十次為 500-800 mV。待測裝置具 17 個直徑為 40 nm 之 NW，其與一 6  $\mu\text{m}$  通道長度和一 3  $\mu\text{m}$  閘極長度平行。兩條曲線表示塑膠基體 (曲度半徑約 55

nm) 稍微彎曲前後，相同裝置之轉移特性，展現塑膠體上 NW TFT 之機械柔性。

相當小之導通-切斷比（與  $\text{SiN}_x/\text{Si}$  基體上裝置之導通-切斷比比較）是由於：(1) 因非最優化局部閘極裝置架構所造成之較低導通電流，(2) 低品質電子光束氣化  $\text{AlO}_x$  電介體所造成；閘極漏電流所受限之較高切斷電流；且可隨增進之裝置架構及高汲核殼型 NW 結構而明顯增加。

降低之次臨界擺動主要由兩因素形成。第一，電解液形成一優越之共形閘極且因此消除或降低變寬次臨界擺動之任何等比效應。第二，以一電解液共形閘極，閘極容抗大小比背閘極式裝置大一階（對於一約 160 NW 之裝置約  $0.77 \text{ pF}$  對約  $0.05 \text{ pF}$ ）。因此，與閘極容抗比較，其它容抗之相對重要性即降低了，導致  $S = (K_B T/e) \ln (10) (1 + \alpha)$  中  $\alpha$  值之急劇下降，且結果，降低次臨界擺動  $S$ 。

推動塑膠電子研究之主要動機為機械柔軟性。重要的是 NW-TFT 裝置塑膠之稍微彎曲未明顯改變裝置之作用。如以上研討，第 37D 圖提供說明這種特性之兩曲線。如第 37C 圖中之說明， $I_{DS}-V_{GS}$  關係中之線性區表示在  $V_{DS} = -1 \text{ V}$  之跨導為  $0.45 \mu\text{S}$ 。然而，由於難以估算局部閘極式之裝置架構中之閘極容抗，故難以估算裝置中正確之電洞移動率。

為了計載子移動率及塑膠體上 NW-TFT 之最終裝置效能，已測試一電解質閘極式之 TFT 結構。第 38A 圖說明

所測試之電解質閘極式 NW-TFT 結構。使用這種方法研究個別之碳奈米管 FET。測試方法需要以下步驟。將一小滴 1 mM 鹽溶液放在一塑膠基體上之 TFT 裝置上，覆蓋含源極 - 沖極電極，NW 薄膜及一額外隔離之金電極之整個 TFT 裝置。施加一電壓  $V_{GS}$  至所隔離之金電極在相對於 NW-TFT 裝置之電解質中建立一電化電位。對於範圍小於  $\pm 0.9\text{V}$  之電壓，可忽略電解液和源極，沖極電極或 NW 間之漏電流。電解質之作用為一完全絕緣之液態閘極。有特定長處，電解液使 TFT 通道中之所有 NW 具一有用之環繞共形閘極，降低或消除不想要之等比效應及表面電荷。因此，提供一有效架構加以測試 NW-TFT 之根本效能。

第 38B 圖表示以各種電解液閘極電壓為函數之  $I_{DS}$ - $V_{DS}$  關係圖。該電壓以  $0.1\text{V}$  為步階，自  $V_{GS} = -0.9\text{V}$  之頂部曲線開始。所測試之 NW-TFT 包含與  $5\text{ }\mu\text{m}$  通道長度之通道平行之 162 個直徑為  $20\text{ nm}$  之 NW。

第 38C 圖表示一  $V_{DS}$  為  $10\text{ mV}$  之  $I_{DS}$ - $V_{GS}$  關係圖。整體結果與前述在矽基體上所製造之那些 TFT 相似。然而，顯著的是，在這裝置中，沖極電流  $I_{DS}$  對電解質閘極電壓化更有回應。如第 38C 圖中之插圖 3802 所示，亦明顯降低次臨界擺動（每十次為  $70\text{-}110\text{ mV}$ ）。以鎖定放大器（例如可得自史丹佛研究公司（Stanford Research））決定  $I_{DS}$ - $V_{GS}$  之關係。使用振幅為  $10\text{-mV RMS}$  之  $10\text{Hz}$  正弦波加以測量。

此外，以溶液為閘極實驗之特定架構可低估一理想裝

置之效能，因源極和汲極電極亦與溶液接觸。源極和汲極電位可影響實際溶液電位並傷及閘極電極所建立之電化電位，使 NW 各處之實際施加電位降低至低於施加至閘極電極之電位。因此，以增進之方法（例如，使用標準參考電極）建立閘極電位，要達成甚至更小之次臨界擺動是可能的。這結果一起展示塑膠體上高效能 TFT 之電位。進而使這些裝置之閘極架構達最優化可增進這結果（例如，在一含單結晶質半導體內核，閘極介體內殼和共形閘極外殼之一多重核殼型 NW 結構中可達成圍繞共形閘極之固態）。

塑膠體上之電解質閘極化 TFT 裝置之效能可藉檢查裝置之各種特性作進一步分析。首先檢查閘極容抗。在這情況中，總容抗包含電解容抗和 NW 外殼氧化物容抗之串聯，即使因前者容抗遠大於後者而予忽略。具  $20\text{ nm}$  單晶質內核及平均大概  $2.5\text{ nm}$  非晶質氧化矽外殼之 NW 可被加以考慮。閘極容抗可估算為  $C_G = 2N \pi \epsilon \epsilon_0 L / \ln(1 + t_{ox}/r)$ ，其中， $N$  為通道中之 NW 數， $\epsilon$  和  $t_{ox}$  分別為非晶質氧化物之電介常數和厚度，而  $r$  為 NW 半徑。根據所計算之容抗及以下公式  $G_{DS} = I_{DS} / V_{DS} = \mu_h C_G (V_{GS} - V_{th} - V_{DS}/2) / L^2$ ，可決定電洞移率  $\mu_h$  為約  $150\text{ cm}^2/\text{V} \cdot \text{s}$ ，這結果與具有類似 NW 之  $\text{SiN}_x/\text{Si}$  上之類似裝置所得到之移動率融合。這表示 NW-TFT 之移動率對 NW 本身而言為內在而非為塑膠基體或電解質閘極所急劇影響。

## N 通道 CdS 奈米管 TFT

以上研討展示可從 p 型 SiNW 將高效能 NW-TFT 組合在低溫塑膠基體上。而且，因 NW 合成和最終裝置基體無關故可含 III-V 及 II-VI 族半導體之寬廣範圍材料開發為 TFT 通道材料，產生寬度範圍機會。作為一實例，從 II-VI 族硫化鎬 (CdS) 奈米絲亦可輕易組合高效能 TFT。其於 CdS 內在一低表面插陷狀態，它為光和電應用之優越材料。利用一真空氣相傳輸法加以合成厚度為 30-150 nm，寬度為 0.5-5 μm 且長度長達 10-200 μm 之單晶質 CdS 奈米絲。

明確地說，將一小量之 CdS 粉末（約 100 mg）轉移至一真空管一端內並加以密封。將真空管加熱使得 CdS 粉末端維持在 900 °C，而真空管另一端則保持在低 50 °C 之溫度。在兩小時內，將大部份 CdS 傳輸至冷卻口端並沈積在管壁。所形成材料主要為厚度 30-150 nm，寬度 0.5-5 μm，及長度 10-200 μm 之奈米絲。TEM 影像表示這些奈米絲為一路至邊緣表面為具低缺陷之單晶質。

奈米絲對 TFT 是有用的，因其唯一實體形態緊密和習知單晶質薄膜相似。使用類似於上述之方法製造具有一單晶質傳導通道之 CdS 奈米絲 TFT。第 39A 圖說明一 CdS 奈米絲 TFT。第 39A 圖之插圖 3902 表示一奈米絲 TFT 之 3D 原子力顯微形勢影像。

對 CdS 奈米絲 TFT 之電氣傳輸測量表示典型 n 通道電晶體特性。n 通道作用與先前對 CdS 容積材料及 NW 之

研究一致。第 39B 圖對一 CdS 奈米絲 TFT 提供在不同閘極電壓下之  $I_{DS}$ - $V_{DS}$  關係圖。第 39B 圖表示在低源極對汲極偏壓下之一線性區且在較高偏壓下飽和。 $I_{DS}$ - $V_{GS}$  關係圖在  $V_{DS}$  為 1V 時表示臨界值  $V_{GS}$  為 2.0V 以上幾為線性表現。線性區中之斜率說明  $V_{DS}=1V$  時之跨導約為 2.4  $\mu S/\mu m$ 。假設為一平行平板式樣，使用  $C_G = \epsilon \epsilon_0 L \cdot W/h$  計算閘極容抗為 1.9 Pf，其中 L 和 W 為通道長度和寬度，而 h 為電介體厚度。以所計算之容抗，使用  $I_{DS}/V_{DS} = \mu e C_G (V_{GS} - V_{th} - V_{DS}/2) / L^2$  將一電子之移動率和減至約 300  $cm^2/V \cdot s$ 。重要的是，移動率值與單晶質 CdS 材料緊密融合（約 300-350  $cm^2/V \cdot s$ ）。

而且， $I_{DS}$ - $V_{GS}$  之指數圖說明導通-切斷比大於  $10^7$  且如第 39C 圖及其插圖中之說明，一次臨界擺動 S 小至每 t 次 70mV，接近每十次為 60Mv 之理論極限。在 CdS 奈米絲 TFT 中所觀察之高載子移動率和小次臨界擺動大量歸因於這些材料中高晶品質及低表面狀態以及像在 Si NW-TFT 中所缺少之等比效應。

### 互補邏輯

製造 p 和 n 通道 TFT 之能力對要建構互補電子裝置是為關鍵，對於含單極 p 或 n 通道電晶體之電路而言，該互補電子裝置之效能已知為優越的。最後，藉串聯一 n 通道和一 p 通道 TFT 構成一互補反相器（一邏輯 NOT 閘）。藉串聯一 p 通道 Si NW-TFT（含並聯 15 個 NW）和 n 通

道 CdS 奈米絲 TFT 形成互補反相器。第 40 圖中說明裝置 4002。第 40 圖亦提供反相器之輸出 - 輸入 ( $V_{out}-V_{in}$ ) 電壓回應，並表示低輸入之恆高電壓輸出。當輸入增加至約 1.5V 時，輸出快速轉為 0V 並在較高輸入電壓下維持一低狀態。最明顯的是，互補反相器表現高電壓增益。如第 40 圖中插圖 4004 之說明，所測量  $V_{out}-V_{in}$  關係之差分顯示電壓增益大如 27。這種大增益展示我們裝置之高效能且對於各種大面積電子應用之邏輯電路陣列之相互連結具關鍵性，而在各級電路中不需訊號恢復。最後，應注意的是，測量反相器之  $V_{out}-V_{in}$  關係時無任何輸出負載。當以一實際電路作為裝置之負載時，增益會降低。然而，小心設計裝置 / 電路。考慮到此處所說明，具如第 36A-D 圖中所示那些特性之 NW-TFT 之複製性及可預期性，應可達到實際應用中預期之電壓增益。

#### 顯示器及其中應用之 NW-TFT

在過去最後二十年中，平面面板顯示器 (FPD) 在現代電子裝置中已變成更平凡。在含行動電話，個人數位助理，數位相機，攝錄影機，及筆記型電腦之許多新產品中 FPD 是不可或缺的。此外，因 FPD 定位在取代桌上型電腦和電視 (TV) 陰極射線管 (CRT) 監視器，故預期市場會顯著擴張。主動式矩陣液晶顯示器 (AMLCD) 為最重要之商用平面面板顯示器技術，主宰幾乎整個大面積平面面板顯示器市場。因大面積薄膜電晶體為啓用今日

AMLCD 之關鍵技術，故有時亦稱 AMLCD 為主動式矩陣薄膜電晶體 (AMTFT)。

薄膜電晶體 (TFT) 之發明比點接觸接面電晶體早 13 年。第一個有關 TFT 之美國專利是在 1933 年發給利利恩費爾德 (Lilienfield)。最近稍早於 1960 年代，含 GE，RCA，IBM，增你智 (Zenith)，西屋 (Westinghouse) 及飛利浦 (Philips) 之許多工業研究室皆主動從事 TFT 之研究與開發。然而，約在 1960 年代中期，氧化鐵半導體場效電晶體 (MOSFET) 到來而變成焦點。不久，大半工業實驗室放棄 TFT 研究與開發。因含 MOSFET 技術之主要今日半導體技術以單晶質晶圓為主，基體大小是由可用晶圓大小決定。迄今，最大可用晶圓為 ~12 吋。因此，這種基體大小可能不適於需要大基體面積之應用。

液晶顯示器 (LCD) 之興起，尤其是 1980 年代中期，在一大玻璃基體上需要有驅動電路之 AMLCD 更新對 TFT 技術之興趣。TFT 之稍早努力集中在 II - VI 族半導體材料。由於難以掌控 II - VI 族半導體材料，這技術從未走出研究室。例如，通常要製造一化合物半導體之晶質化階段比一元素更難。而且，摻雜如 CdSe 之 II - VI 族材料是困難的。要在 II - VI 族材料上沈積可靠之電介材料亦非常困難。

同時，由於加氫非晶質矽 (a-Si:H) 薄膜作為太陽電池及影像感測器材料之潛在應用，使它吸引大量注意。轉

據點在 1975 年，那時史畢爾（W. E. Spear）及李科默爾（P. G. LeComber）展示可摻雜非晶質矽材料。不久，以 a-Si:H 為主之 TFT 變成 AMLCD 驅動元件之選擇而不管不良之電晶體特性。這技術幾乎專門用在今日之大銀幕商用 AMLCD 顯示器上。在一 AMLCD 顯示器中，a-Si TFT 是在 LCD 像素下之一玻璃基體上加以製造並一旦從一積體電路（IC）驅動電路收到命令時即作為開關用以啓/閉像素。IC 驅動電路是安裝在基體之周邊。使用電漿協助之化學氣相沈積法可在低溫下將 a-Si 薄膜輕易沈積在相當大之玻璃基體上。低沈積溫度使利用便宜之玻璃基體成為可能。由於對於背面照明技術，基體必須為透明，故玻璃基體是必要的。

典型 a-Si FET 之場效移動率約  $\sim 1 \text{ cm}^2/\text{V} \cdot \text{s}$ ，這侷限顯示器之效能。延伸性之努已使全世界藉由使 a-Si 晶質化成多晶質薄膜，致力於增進 a-Si TFT 之效能。多晶矽 TFT 之場效移動率在於 a-Si TFT 和單晶質矽電晶體之間，所報告之值達數百之大。為了生產移動率為  $10\text{-}50 \text{ cm}^2/\text{Vs}$  之電晶體，現行多晶質製程一向需在  $600^\circ\text{C}$  下使 a-Si 退火達多至 24 小時。除直接熱退火外，已發展出含快速熱退火，雷射感應式晶質化，及過渡性金屬感應式退火之數種方法將 a-Si 轉換成多晶質。快速熱退火在非常短期時間使用從  $700^\circ\text{C}$  至  $800^\circ\text{C}$  之較高溫度。短期時間使對基體之潛在傷害降至最小。然而，這製程不像可使用非昂貴之玻璃基體。雷射退火允許小面積之非晶質矽快速

加熱至非常高溫而不明顯使基體受熱。不幸的是，由於光束小，對於大規模之生產而言，這種方法非常無效率。此外，這製程非常難以掌控。

金屬感應式之晶質化最近已吸引大量注意。以鎳為主之製程似為有望。通常，以鎳為主之製程使一慢熱製程所之退火溫度從大概  $600^{\circ}\text{C}$  降至  $500^{\circ}\text{C}$  和  $550^{\circ}\text{C}$  之間，退火期間從~24小時降至幾小時。然而，金屬感應式之晶質化需一特別步驟將過渡性金屬沈積在 a-Si 頂部上。晶質化與金屬膜品質無關。複雜晶粒邊線之殘餘金屬，金屬矽化物及結構缺陷可造成電晶體中之高漏電流。

因仍無與非昂貴玻璃基體相容之活存多晶矽製程，故聚 TFT 不可能短期內取代 a-Si 技術。因晶粒邊線傳導及備置高品質多晶矽之困難，多晶矽 TFT 之效能不可能立即接近從習知單晶矽所製成之那些裝置。因此，根據 a-Si 或 p-Si 之現行可用 TFT 技術從各種觀點看來是有限的。

最近一種新薄膜電晶體技術 - 有機 TFT - 已吸引很大注意。已展示的有場效移動率多達  $\sim 1 \text{ cm}^2/\text{V} \cdot \text{s}$  之有機 TFT。雖然大半工作是使用塗敷玻璃或氧化物之矽作為基體，藉其本質，有機電晶體是與塑膠基體上之低溫製程相容。然而，不幸的是，有機電晶體效能目前未達到矽之效能。因此，以有機為主電晶體之應用領域有限。嘗試將矽置放在塑膠上尚未產生令人滿意結果，主要因為兩關鍵步驟所需溫度為矽之沈積及閘極電介體材料之沈積，甚至對於非晶質矽電晶體之製造，與迄今經得起之最高玻璃過渡溫度

相比，對塑膠基體為太高。

哈佛大學（Harvard）在查爾斯利伯（Charles Lieber）教授實驗室中，由這計劃主要調查者，杜香芬（Xiangfeng Duan）博士所實質實施之最近突破已顯示半導體奈米線對奈米尺度電子及光電裝置為卓越或理想之建構區塊。利伯教授實驗室已展示可以具有控制及可調化學組成，實體尺度（如，直徑和長度），及電子特性（如，摻雜型式及濃度）之單晶質形式合理地加以合成寬廣範圍之IV，III-V及II-VI族半導體奈米線。可控制奈米線之直徑並在2-100nm範圍內變化。奈米線長度範圍通常從10-100μm（第41圖）。

第41A圖表示根據本發明一實施例，合成矽奈米線之掃瞄電子顯微影像。第41A圖之奈米線直徑大小為十奈米，且長度延伸長達數十微米。第41A圖中所示之定比例長度為5μm。第41B圖表示根據本發明一實施例，個別Si奈米線之一晶格解析式傳輸之電子顯微影像。

第41B圖之奈米線實例具一單晶質內核，該內核沿其全長具連續晶格，及一非晶質氧化物覆蓋層，這可以合成方式加以控制。

所延伸之縱長尺度及所降低之側面尺度使奈米線為電氣載子有效傳輸之最小尺度材料。此外，使用電場或微流體流方法可在溶液中彈性地操縱奈米線並加以結合在基體上面，且因此能展示各種奈米尺度之電子和光電裝置及包含單奈米線場效電晶體（FET），交叉奈米線FET，及如

邏輯 OR, AND, NOT, NOT 閘之串接邏輯電路，和邏輯半加法器電路及記憶體陣列之裝置陣列，以及發光二極體，光檢測器及高度敏感之化學/生物感測器。

尤其是，對單奈米線 FET 之研究已展示 Si 奈米線之場效移動率上達  $1500 \text{ cm}^2/\text{V} \cdot \text{s}$ ，GaN 奈米線為  $\sim 1000 \text{ cm}^2/\text{V} \cdot \text{s}$  且 n 型 InP 奈米線為  $\sim 4000 \text{ cm}^2/\text{V} \cdot \text{s}$ ，所有皆可比較或優於其具類似摻雜濃度之單晶質相對一方。奈米線材料中所觀察之高移動率值突顯這新類別材料之高品質。此外，相信這些所觀察之移率值代表的只是奈米線材料之一低值，因表面鈍化等甚少被注意到且最近之研究顯示藉由使奈米線表面鈍化可明顯增加移動率值。由於模組式所摻雜之一度空間線條中之量子機械特性，研究建議可明顯抑制散射情況。例如，理論計算已預測選擇式摻雜 GaAs 奈米線之移動率為  $3 \times 10^8 \text{ cm}^2/\text{V} \cdot \text{s}$ 。因此，如從傳導通道分離摻雜劑（例如，從奈米線表面之分子摻雜或從核殼型奈米線結構中外殼之摻雜），要達成極高之載子移動率是可能的。

概要言之，奈米線代表高移動率薄膜電晶體之建構區塊。方位隨意之奈米線薄膜具相較於多晶質薄膜材料之載子移動率且一有方位之奈米線薄膜展現相較於或優於單晶質材料之移動率值。

TFT 為開發許多現代電子技術之關鍵。目前，對 TFT 之研究與開發是由主動式矩陣液晶顯示器（AMLCD）所主宰之平面面板顯示器（FPD）所驅動。新 TFT 技術一

真正正在便宜大面積玻璃或塑膠基體上之矽可能使現行 FPD 技產生革命，並開啓新工業之門，生產新型之電子裝置。根據本發明含奈米線薄膜之 TFT 使這些先前達不到之目標成為可能。

此處所說明的是根據是有方向之半導體奈米線，並形成在非昂貴玻璃或彈性塑膠基體上之薄膜電晶體 (TFT)，其具有相較於從單晶質矽所製造電晶體效能：

場效移動率： $1500 \text{ cm}^2/\text{V} \cdot \text{s}$

$I_{on}/I_{off}: 10^7$

臨界電壓： $< 2.5 \text{ V}$

習知上，使用奈米材料降低電子裝置之尺寸。然而，本發明實施例使用奈米材料使電子裝置更快及 / 或更大。雖然個別奈米線之移動率為高，單奈米線不像可提供巨集電子應用所需之足夠電流密度。為利用奈米線之高移動率，從定有方位之奈米線薄膜製造電晶體，使得含數百數千奈米線之許多奈米線跨越在電極之間（例如，源極和汲極電極之間）。這使高移動率及高電流密度之電晶體能用在大，彈性基體上。

第 42 圖表示根據本發明一實施例，合成並執行高移動率奈米線薄膜電晶體之製程流程圖。在高溫下合成高品質之單晶質奈米線材料，然後在一預期基體上加以對齊，形成一定有方位之奈米線薄膜。這可進而受到蝕刻術製程，形成傳導通道平行於線條軸之薄膜電晶體。沿奈米線長

度之單晶質傳導通道確定所形成之 TFT 為高移動率。

在這方法中，根據本發明一實施例，如第 43 圖所示，可製造具一單晶質內核及電介體外覆（外殼）之矽奈米線核殼型結構。奈米線首先使用最近發展之金奈米粒催化化學氣相沈積（CVD）法及隨後之直接氧化加以合成。這方法可應用至各種含矽（Si）及砷化鎵（GaAs）之半導體奈米線。此處為說明起見稱為矽奈米線。化學合成奈米線懸浮在如酒精之溶劑中，允許隨後之處理及操作。從這些溶液懸浮奈米線，以方位實質上平行在一基體上之線路加以備置一單層奈米線薄膜。最後，可經由光蝕刻製程塗覆源極，汲極和閘極之金屬接觸點，產生傳導通道平行於線軸之奈米線 TFT。

本發明提供一基本上朝向高效能薄膜電晶體之新策略，並帶進各種技術創新及製程，效能優點：

**單晶質傳道通道：**在本 TFT 裝置中，多重奈米線一路從源極至汲極（像一圓木橋）平行存在，提供一單晶質傳導通道給載子。這導致相較於主體單晶質材料之高載子移率，這是以非晶質或聚矽材料無法達成的。這大量由於接近晶柱邊之延伸插陷狀態，該插陷狀態明顯造成那些材料近邊界處之載子匱乏及晶粒邊界散射（見第 44A-44C 圖）。

第 44A-44C 圖表示從非晶質矽（第 44A 圖），聚矽（第 44B 圖），及一對齊奈米線薄膜（第 44C 圖）所製成之薄膜電晶體（TFT）圖。在 a-Si 和聚-Si 為主技術中，

電氣載子受到多重晶粒邊界散射且因此侷限可達成之載子移動率（對 a-Si 為  $\sim 1 \text{ cm}^2/\text{V} \cdot \text{s}$  而對聚-Si 為  $< 100 \text{ cm}^2/\text{V} \cdot \text{s}$ ）。另一方面，在本發明以奈米線為主之技術中，電氣載子跨越沿多重單晶質線徑之 TFT 通道傳輸，且因此，使具有載子移動率之 TFT 接近單晶質材料 ( $\sim 1000 \text{ cm}^2/\text{V} \cdot \text{s}$ )。

**遠離基體高溫製程：**半導體奈米線及閘極電介體是在高溫下遠離基體備製成的且然後在室溫下加以塗敷至基體。因此，基體之熱特性將不致為高溫製程之一限制因素。因此，這允許對高效能可靠裝置具關鍵性之高晶質材料和閘極電介體能作用。此外，藉由圍繞各個各別奈米線納入一極薄閘極電介體而非裝置上之一層外在閘極氧化物，可急劇簡化處理，由於極薄及接近完美之外殼本質而降低所之導通電壓。

**溶液之可處理性：**不像一本體半導體晶圓，奈米線可懸浮在溶液中且然後加以沈積並固定在實際上任何基體遍及之一大面積上面。因此，啓用有關許多技術上重要之基體型（例如，塑膠，玻璃）之高效能半導體材料。這更使透過噴墨或掃描列印技術之高效能電子裝置之捲對捲生產成為可能。

**機械柔性：**由於特小直徑及大縱橫比 ( $> 1000$ )，奈米線擁有優越之機械柔性，例如，曲度半徑小如 10 微米。藉由使一方位具有機械柔性之奈米線之濃膜沈積在一大，柔性基體上，相較於一主體單晶質半導體，所形成結構具

優越電子效能，並能延伸遍及任一大面積上且和織品一般輕柔。此外，奈米線之機械柔性能在如使用非晶質或聚矽薄膜幾為不可能之大半塑膠之相當粗糙基體上形成高效能電子裝置。

迷你化裝置尺度：內在為小直徑和大長度之奈米線允許輕易控制 TFT 通道寬度和長度。可達成縮減尺度之電晶體，這在聚矽裝置情況中受到限制。此外，奈米線材料之內在高移動率允許電晶體形成縮減尺寸，而仍維持將作用之現行水準，並允許高密度整合在以習知非晶質矽或聚矽材料是不可能之大面積基體上。

適用於如 GaAs 奈米線之其它高移動率材料之製程：可延伸矽奈米線之能力並應用在如包含 GaAs 和 InAs 奈米線之 III-V 族材料之其它內在高移動率材料。因此，超高移動率材料是可能的，並啓用許多嶄新之應用。如此間別處之進一步說明，藉由利用潛在之量子效應 - 奈米線之彈道傳導，甚至較之移動率是可能的。

奈米線合成：在某些實施例中，可使用具均勻實體尺度及化學摻雜劑分佈之奈米線，完成可靠及可複製之 TFT 裝置作用。一吋管爐內可以一非常小規模加以展示這種控制。8 吋半導體管爐之存在可大規模生產奈米線。在遍及大容積上之均勻性控制比在大小容積上更困難。矽奈米線之控制直徑和直徑分佈是由金膠體之直徑和直徑分佈所決定。可使用商用之金膠體。奈米線長度依生長條件 - 溫度，氣壓及生長期間而定。藉由改變及細調生長條件可提出

這些問題及結晶性與摻雜濃度之問題。

電介體氧化物/氮化物塗層：閘極電介體塗層之品質對奈米線 TFT 效能是重要的。在平面半導體技術存在形成一高品質閘極電介體之技術。然而，在奈米線表面附近形成均勻厚度之栓-洞自由閘極電介體而不需界定一結晶方向具有技術挑戰性。這問題可由不同觀點加以提出。使用一種製程，藉緊接以下其生長之矽奈米線之慢熱氧化加以產生小於~2 nm 之均勻氧化矽塗層。控制氧化塗層品質之關鍵為具有平順及一致性表面結構之奈米線。低氧化製程有助避免熱點並產生無栓-洞薄塗層。另外，可使用塗有電漿輔助直接氮化之氧化矽奈米線，在奈米線表面上產生含氧氮化物或氮化物塗層。

表面狀態及插陷電荷：由於其高表面及本體原子比，表面狀態，插陷電荷及垂懸鍵影響可能明顯侷限裝置效能之奈米線。可使用許多策略使表面狀態減至最小，這包含在惰性大氣下或氬/形成氣壓下之直熱退火，及氬電漿中之退火，接著再熱退火。以上進而詳述這些及其它策略。

大面積奈米線薄膜沈積：對於在大面積基體上備置定有方位之奈米線薄膜之一定比方法之發展要最終成功實施這新術是重要的。例如，可使用一流對齊製程或 L-B 膜方法將一單層奈米線置放在一玻璃或塑膠基體上。

歐姆接觸：由於由接觸面積小及複雜之界面狀態，難以與奈米線有可靠之歐姆接觸。金屬接觸點和矽間之界面化學和物理性質為有關歐姆接觸之重要技術領域。成功之

關鍵為金屬化製程之精確控制及金屬化前之表面清除程序。可使用的是三個利用電子束氮化可能之金屬化組合 - Ti-Au，Ni 及 Al。在源極汲極電極金屬化前可使用含離子鎗清除之各種進一步製程，或 HF 蝕刻加以移除表面電介體。

本發明允許在大面積子學上之革命性進展，並藉由提供效能媲美無機單晶質半導體材料之薄膜 TFT 而提供新一代之電子裝置，以及塑膠電子裝置之大小及柔性。

#### TFT 奈米線電晶體可製造成效能特性接近

大半重要的是可在非常大玻璃或塑膠基體上將 TFT 奈米線電晶體製造成效能特性接近由習知單晶質矽所製成之電晶體，該基體將啓用超大型高密度整合並提供一真正塑膠體上單晶矽之技術。這種技術之潛在應用非常寬廣，包含將奈米線 TFT 併入液晶顯示器 (LCD)。奈米線 TFT 之底面甚小於 a-Si TFT，而允許增加像素密度 - 例如，一超高密度顯示器。較小 TFT 亦遮擋較少光線並具較高光圈比。利用一奈米線 TFT，可將周邊驅動器電路同時整合在玻璃基體邊緣，重要的是簡化製程並降低成本。奈米線 TFT 適用於微型顯示器，數位投影器及需非常高像素密度之高密成像裝置。而且，真正塑膠體上單晶矽技術能發展光線・高資訊密度之電子裝置。例如，本發明能計算並顯示在一單面上，並能使用穿戴式電子裝置，該裝置對警察，在現場工作之緊急官員，戰場中之士兵及太空和遠端遙

測特別重要。

廣義而言，本發明允許工程師開發有效能之電子材料及在任何基體材料上之任何與工藝有關之半導體材料之材料特性。這技術使工程師能完全獨立從結構特性（即其柔性和形狀，大小及製程特性）設計一電子材料之功能特性（即導電特性，摻雜，移動率及導通電壓）。半導體奈米線組件物理特性（例如，組成，直徑，長度，結晶性，及密度）之選擇，決定電子效能；可完全獨立選取之基體本質，物理效能。高效能，易處理性及潛力低成本之奈米線薄膜生產多樣化之柔性電子平台，且用於不只驅動高密度顯示器及微顯示器陣列電路，射頻識別標籤，大面積生物感測器，且用於如智慧卡，塑膠體上穿戴式電腦之邏輯及記憶體之許多新應用並用於尚未被認定之更多重大應用。

以下說明三個開發階段：(1) 砂奈米線合成；(2) 是有方位之奈米線薄膜沈積；以及(3) 奈米線薄膜電晶體(TFT)之製造。

### (1) 砂奈米線合成

步驟 1: 以下說明砂奈米線合成之一定比製程。

為說明起見，設有一奈米線懸浮溶液，奈米線型式，及奈米線濃度之具核殼型結構之  $1\text{ mg}/100\text{ cc}$  酒精，直徑為  $60\text{ nm}$  之 p 及 n 摻雜砂奈米線。奈米線內核為單晶質砂。奈米線外殼為厚度  $\sim 2\text{ nm}$  之無栓洞氧化矽或含氮化物塗層，長度為  $\sim 20\text{ - }50\text{ }\mu\text{m}$ 。

合成法使用由金奈米粒所催化之 CVD 製程。预定先驅物質氣體混合物， $\text{SiH}_4$  和  $\text{B}_2\text{H}_6$  或  $\text{He}$  中之  $\text{PH}_3$  以 20-50 托間之總壓通過沈積在一塗有氧化物之矽基體上之催化劑金粒上方，而將金奈米粒加熱至溫度  $\sim 450^\circ\text{C}$ 。一旦與金奈米粒接觸， $\text{SiH}_4/\text{B}_2\text{H}_6$  即分解，且 Si 和 B 原子擴散至金奈米粒內並產生一合金液滴。一旦達到過飽和， $\text{Si}/\text{B}$  原子凝結在外並啓始奈米線生長。連續供應之  $\text{SiH}_4$  和  $\text{B}_2\text{H}_6$  允許奈米線連續生長，直到因局部條件改變所致之有意終止或“死亡”。奈米線之品質依金奈米粒品質，控制基體上金奈米粒分佈以及含溫度， $\text{SiH}_4$  對  $\text{B}_2\text{H}_6$  或  $\text{PH}_3$  比， $\text{SiH}_4$  分壓及反應器中先驅氣體存在時間之生長條件而定。

在現行實施例中，使用一以電腦控制之 8'' 半導體爐加以完成生長。使用一塗覆晶圓之 4'' 氧化矽作為基體。

說明在 4'' 晶圓上均勻沈積金奈米粒之一種製程。

使用直徑為 60 奈米之商用膠體。目標在完成均勻沈積密度每  $\mu\text{m}^2$  2-4 顆粒之金奈米粒。關鍵為形成最小之金粒叢集。叢集可導致未預期較大直徑之奈米線生長。為沈積起見可探究旋塗覆及自我組裝法。

旋塗法為一適宜之直接製程。沈積密度可經由先驅膠體中金粒濃度之變化，矽晶圓表面化學性之操縱並變更旋塗速度加以控制。旋塗覆之缺點為金膠體溶液之利用效率低。如有保證的話，能使用生產階段中之循環製程。

自我組裝含所建立化學性之某些使用。表面塗有 4'' 氧化矽之晶圓與 (3-氨基丙基) - 三甲氧基矽烷 (APTMS)

或 (3-巯丙基) - 三甲氧基矽烷 (MPTMS) 起作用，然後與 60 奈米之金膠體溶液接觸。在表面上組合金粒。比較兩不同化學性間之差異，並可使用藉控制接觸溶液中接觸時間及金粒濃度加以控制金粒密度之可能性。

步驟 2。使奈米線生長條件達最優化：需加以最優化之生長參數  $\text{SiH}_4$  對  $\text{B}_2\text{H}_6$  或  $\text{PH}_3$  之比， $\text{SiH}_4$ ，及  $\text{B}_2\text{H}_6$  或  $\text{PH}_3$  之分壓，總壓，氣流率，生長溫度，及生長期間。由金奈米粒之直徑分佈可決定矽奈米線之直徑分佈。60 奈米之商用金膠體之直徑分佈為  $\pm 10\%$ 。相同分佈為我們對奈米線之目標。依生長條件而定，可將金奈米粒成較小粒，造成較小直徑之奈米線生長。可將生長條件最優化使這事件降至最小。假定一生長條件，藉改變生長期間可控制奈米線長度。矽奈米線結晶性及摻雜劑濃度亦與生長條件相關。可使他們達最優化並與其它重大奈米線特性一起控制。

為了生長高品質之矽奈米線，生長條件下之另一問題為  $\text{SiH}_4$  和  $\text{B}_2\text{H}_6$  之熱分解。這種分解可在產品中產生不想要之矽奈米粒。在其小規模生長中，無法輕易消除熱分解，但可改變生長條件使其降至最小。

步驟 3: 電介體薄膜塗覆製程：電介體塗覆品質為決定奈米線 TFT 效能之一關鍵因素。對於平面單晶質矽，最近之非晶質及多晶矽已完好建立高品質電介體塗覆之方法及支撑科學原理。通常，對於氧化矽/氮化電介體，方法可分類為直接氧化/氮化法且所有種類之電介體塗覆則為

CVD 沈積。矽奈米線唯一之結構本質造成優於沈積方法而選取直接氧化/氮化法。然而，可另選用沈積法。

可使用厚度為 $\sim 2\text{ nm}$  之二氧化矽薄塗膜。在奈米線生長爐中可實施直徑 60 奈米之矽奈米線之直接氧化。在奈米線生長終止後，可從反應管耗盡反應劑氣體混合物並在溫度低於 150 °C 下補充氧 (5%) 和氮之混合氣。然後爐溫可慢升至介於 300 °C 和 800 °C 間之一度數。氧化溫度及氧對氮率，氧氣分壓，及氧化期間決定氧化矽所產生之厚度。直到得到 $\sim 2\text{ nm}$  之度，可使這些條件達最優化。為了使造成插陷電荷及狀態之缺陷，懸吊鍵降至最小，預期的是慢速氧化。

如氧化矽薄塗覆之效能未令人滿意，可使用塗覆氧化矽奈米線之直接氮化，產生含氧氮化物之塗覆。含氧氮化及氮化物之電介常數愈大，則塗覆愈具吸引力。可使用利用 NO 或 NH<sub>3</sub> 氣體之電漿輔助直接氮化法。

步驟 4。移除表面狀態及插陷電荷之製程：由於表面狀態及插陷電荷之高表面對本體原子比，這對奈米線為一嚴重問題。在半導體工業中已知處理這問題之程序為適用於奈米線之規劃者程序。首先，使用一單奈米線裝置測試作為條件最優化之迴授可在氫氣中加以退火。

步驟 5。在酒精中備置奈米線懸液：在塗覆一電介體塗層及退火後，藉超音波可從 4'' (或其它尺寸) 晶圓移矽奈米線並懸浮在酒精中。奈米線可凝聚並凝結出。可使用像 Triton X-100 之表面活性劑供穩定化用。

步驟 6。奈米線特性：奈米線可具有結構及電氣性質之特性。可使用 SEM 和 AFM 為其長度和直徑分佈特性，高解析 TEM 為電介薄膜塗層厚度及均勻性特性，傳輸測量，EFM，掃描開極 AFM 為其電氣特。可將這特性結果迴授作用合成步驟和條件之精細調整。

## (2) 定有方位之奈米線薄膜沈積

以下說明一是有方位之奈米線單層薄膜沈積之定比方法。

結果：在一如聚苯乙烯之  $4'' \times 4''$  玻璃或塑膠上形成一定有方位之單層  $60\text{ nm}$  砂奈米線膜。

定有方位之奈米線陣列對確保奈米線 TFT 之源極和汲極間之單晶質傳導通道具決定性，這使得高場效移動率成為可能。為了在遍及一大面積上得到一高度方面之奈米線薄膜，可使用流體流及 L-B 膜之兩基本方法作為並行策略。

步驟 1。奈米表面修飾用之普通化學方法：這工作目標在發展修飾一砂奈米線表面之一般程序集，促進一非極性溶劑中奈米線之穩定懸浮，為實施 L-B 膜方法，這是必要的。這可使用一般氧化矽表面之化學方法加以達成。我們可使用烷基-三甲氧基矽烷加以附接忌水烷基族。如奈米線表面上之對辛基族。這可使奈米線懸浮在如辛烷之有機溶劑中。這些表面族對奈米線之電子特性具有害效應。有必要時可發展在形成奈米線薄膜後，從一砂奈米線表面移

除有機分子（如，氧氣電漿或臭氧清除程序）之方法。

步驟 2。基體表面處理製程：基體表面化學作用對使奈米線粘著至基體是重要的。在玻璃基體之情況，由於玻璃及塗覆氧化矽奈米線之類似表面化學作用，奈米線本質上真正粘著在基體上。可完成的是例行性清除及快速電漿氧氣電漿蝕刻。至於忌水性塑膠基體。我們首先能實施氧氣電漿氧化，然使用氨丙基三甲氧基矽烷附接一單層之 3-氨丙基族至表面。首先可測試聚苯乙烯鋼片。如成功的話，接著可使用像聚丙烯片之柔性膜。

步驟 3。流體流之對齊：對於流體流之對準，我們使用懸浮在酒精中之奈米線。流體流方法已被應用在一寬為數百微米，長為幾吋尺度上加以對齊奈米線。理論上，可將流體流對齊延伸至就像河流中圓木之非常大面積。為了在遍及大面積上完成對齊，可使用相較於基體尺寸，具側邊尺度之流體通道。可將通道高度控制至小於  $500 \mu\text{m}$ ，使奈米線溶液主要部位接近基體，而接近基體表面之剪力流使奈米線可沿流向對齊。第 45 圖表示根據本發明一實施例，在遍及一大面積上對齊奈米線之流體電池圖。以上參考第 15A 和 15B 圖中所示之流罩幕 1500，說明這種流體電池對齊方法之一詳細實例方法及系統。小心設計流體電池之入口和出口，確保沿著和跨越全流通道之均勻流。

可使用各種奈米線溶液濃度及流動次數，控制在基體上之奈米線表面密度/範圍。當想要時，基體亦能起作用，增強基體和奈米線間之互補互動，達成較高之表面涵蓋

範圍。可實施一系統研究，使可複製之奈米線沈積在表面上。可以一光學顯微鏡及/或掃描電子顯微鏡研究表面之涵蓋範圍，並能發展一合理之統計方法使表面涵蓋範圍具定量特性。這些研究可首先對玻璃基體加以實施且可對起作用之塑膠基體加以實施。

應注意並小心控制數決定性問題：1) 因由於 PDMS 之柔性本質，通道在中間部位可潛在性地崩塌，故小尺度對齊使用之橡膠印（聚雙甲基矽氧烷，PDMS）流體通道不適於一吋至數拾吋尺寸。為克服這問題，可使用利用玻璃或不銹鋼之堅實通道。使用 O 環或塗覆一薄層之 PDMS 可密封通道之邊界。2) 在這大之尺度規模，跨越及整個通道之流動可能不均勻，這非均勻沈積奈米線所要的。為能均勻流動，應特別注意流體通道之入口和出口之設計及工程。亦應大力關切設計溶液遞送之方案。可使用可程式化之自動注水泵，確保恆常之溶液遞送速率。以在表面上達成均勻奈米線沈積來說，技術風險為高。例如，在接近通道入口區域比接近出口區域可能有更高之奈米線密度，未小心計通道入口時在微通道流體對齊時常會觀察到這情形。在對齊程序期間藉由另外逆轉流動方向可補償密度之變動。另外，可使用能遍及一大面積上均對齊之 L-B 膜技術。然而，針對裝置製造及特性化之起始測試仍可使用來自流體流對齊之結果。

步驟 4。L-B 膜：為了在遍及一大面積上達成均勻對齊可使用根據 L-B 膜之大型組合方法。L-B 膜已被用以形成

奈米粒及對齊奈米棒薄膜。這方法可被延伸至奈米線之對齊，產製一定有方位之奈米線薄膜。第 46 圖表示根本發明一實施例，使用一 L-B 膜在遍及一大面積上對齊奈米線之說明圖。

在這方法中，奈米線首先起作用並懸浮在非極性溶劑中（以上之步驟 1）。然後以一 L-B 鉢將這種非極性奈米線懸液轉移至水表面上。在充份低密度下，奈米線形成方位隨意之等向分佈。因表面被壓接，奈米線要隨機指向之難度增加且奈米線遷至一單軸對稱之更有次序之異向相而具向列型或層列相（見第 46 圖）。實在是，在蒙地卡羅（Monte-Carlo）模擬中及薄膜奈米棒對齊實例之真正實驗中已觀察到（例如，縱橫比 = 長度 / 直徑  $< 10$ ）。因此要在遍及大面積之水表面上達成奈米線之對齊是可能的。此外，奈米線間之方向毛細管力和范德瓦斯（Van der Waals）引力進而加強奈米線之平行對齊及形成定有方向之奈米線薄膜。由於奈米線之顯著大縱橫比（例如， $> 500$ ），要從一隨機方位旋轉至彼此平行，奈米線可受到明顯較大之阻力。這種潛在問題可例如在表面壓縮之前藉誘發某些前置對齊加以解決。亦能使用許多策略達成這目標。例如，可組合流程完成某些前置對齊。亦能施一電場，增強線條之對齊，然後將水上所對齊之奈米線轉移至一預期之基體上面。奈米線密度可藉表面活性劑和奈米線之比率並藉表面壓縮量加以控制。在對齊之奈米線薄膜形成在水表面上後，可將它轉移至任何基體上面。可使用不同

的轉移協定在轉移期間避免干擾對齊。使用上述之類似方法說明表面涵蓋範圍之特性。

### (3) TFT 製造及特性

如以下說明，在現例中製造場效移動率為  $\sim 1000 \text{ cm}^2/\text{V} \cdot \text{s}$ ，導通/切斷電流比  $> 10^7$ ，且臨界電壓  $< 2.0 \text{ V}$  之矽奈米線 TFT。

結果：在一玻璃基體及一聚苯乙烯基體上形成一  $1000 \times 1000$  之矽奈米線 TFT 陣列。

不管 FET 已展示使用一單奈米線作為傳導通道，這些 FET 之應用隨各種裝置常受大變動之苦。這種變動可由於缺乏合成控制，達成歐姆接觸之可靠方式及大量之表面插陷狀態。對於 TFT 之任何實際應用，達成可靠和可控制電氣特性是具有決定性的。為了達成對裝置特性之高階控制，個別奈米線之電氣特性必須可高度複製及控制。使用單奈米線 FET 結構可說明奈米線之電子品質控制並達到最優化。以良好控制之電子特性，可在含玻璃及塑膠之不同基體上製奈米線薄膜電晶體裝置並賦予特性。

#### 步驟 1 使用單奈米線 FET 之可靠金屬化製程：

可使用一單奈米線電晶體 FET 作為測試工具，發展一種可靠之金屬化製程。利用電子束蝕刻術或光蝕刻術可將一單奈米線 FET 裝置製造在  $\text{SiO}_2/\text{Si}$  表面上。基體矽可為一整體背閘極，並可使用兩金屬電極作為源極及汲極電極（第 47 圖）。在金屬化之前，可採取適當之表面清除

步驟，從奈米線表面移除氧化物並確保奈米線及接觸金屬間之良好接觸。可使用平面矽技術作為一參考點，用以選取適當之接觸金屬及程序協定。可使用含離子鎗清除或HF 蝕刻之各種策略，在源極・汲極電極金屬化之前移除表面電介體。使用電子束氯化或噴濺製程可測試不同金屬化處理方式（例如，Ti/Au，Ni/Au，Al）並使其達最優化。要注意奈米線之表面處理（經由熱退火及氫電漿退火）及其對電子特性之作用。裝置作用之特性可使用半導體分析儀加以說明。可使用包含和閘極相關之兩端測量及四端測量之各種測量架構，以及電力顯微檢測加以說明裝置作用之特性。裝置結構可理論上急切地加以塑造，衍出所有關鍵之電晶體參數，包含載子濃度及移動率，臨界電壓，導通/切斷比率等。來自電氣測試及理論塑造之結果可進而被饋回，使金屬化製程達最佳化，直到得到一可靠之製程。這可為製造奈米線 TFT 之一標準金屬化製程。單奈米線 FET 亦被使用在奈米線資格測試。資料庫可以奈米線之合成條件及電子參數加以建構，進而使用資料庫加以導引一更可控制之合成及裝置製造程序。

第 47 圖表示根據本發明一實施例，一單奈米線場效電晶體之平面及透視圖。使用單奈米線 FET 作為基本裝置之幾何結構，說明個別奈米線之電氣傳輸特性並其達最優化。第 47 圖所示之透視圖表示一典型裝置之掃瞄電子顯微鏡 (SEM) 影像。在這裝置中可使用一矽基體為背閘極，並可使用兩金屬電極作為源極・汲極接觸點。

步驟 2 整體背閘極式奈米線 TFT：本工作目標在展示並說明奈米線 TFT 之特性，其中之奈米線 TFT 是使用上述之類似裝置結構從具有不同表面密度之奈米線薄膜加以製造的。可將被識別為製造單奈米線裝置之可靠協定應用在奈米線薄膜電晶體上。TFT 裝置可使用具不同表面密度之奈米線薄膜加以製造，完成具有橋接源極與汲極電極之可變數量奈米線之個別 TFT 裝置。可使用一半導體分析儀，說明如電流位準，導通/切斷比，臨界電壓及閘極漏電電流之裝置作用特生，作為奈米線表面密度之函數，且理論上可塑造裝置之作為，計算包含移動率值之決定性裝置參數。可依次使用這種塑造導引裝置結構之設計，達成預期之裝置作用。使用矽背為背閘極，可將這些研究實現在  $\text{SiO}_2/\text{Si}$  基體上，因這對裝置之製造及塑造方法相當容易。在這工作之末，可形成一可靠之協定加以製造具可變奈米線表面密度及可控制裝置作為之 TFT。

步驟 3 玻璃及塑膠上之局部閘極式奈米線 -FET 說明在玻璃和塑膠基體上製造奈米線 TFT 和 TFT 陣列，例如，移動率目標約在  $\sim 1000 \text{ cm}^2/\text{V} \cdot \text{s}$ 。使用一利用局部形成圖案閘極電極之 TFT。局部閘極式 TFT 結構是利用  $\text{Si/SiO}_2$  或  $\text{Si/Si}_3\text{N}_4$  核殼型奈米線加以製造，其中，可使用  $\text{SiO}_2$  或  $\text{Si}_3\text{N}_4$  外殼作為閘極電介體，並可使用一額外金屬電極為閘極電極（第 48 圖）。

第 48A 圖和 48B 圖表示根據本發明實施例，局部閘極式奈米線薄膜電晶體之透視圖。第 48A 圖表示一閘極

形成在奈米線下方，且來自奈米線薄膜頂部之源極汲極電極有移除電介體覆蓋層之交錯結構。第 48B 圖表示所有接觸點形成在奈米線薄膜頂部上之 TFT 結構。

可測試底部接觸點及頂部接觸點閘極架構兩者，確保最低之切換電壓，最大之導通/切斷比，及最低漏電電流。首先可在玻璃基體上完成所有這些測試且然後適用在塑膠上。結果，可在具有可控制裝置特性（載子移動率 $\sim 1000 \text{ cm}^2/\text{V} \cdot \text{s}$ ，可控制臨界電壓( $< 2.5 \text{ V}$ )。電流位準( $1 \mu\text{A} \cdot 1 \text{ mA}$ ) 及導通/切斷比( $< 10^6$ )）之玻璃及塑膠基體上製造個別之奈米線 TFT。

步驟 4。積體奈米線 TFT 陣列：因確認一可靠之協定，在玻璃上及所選取之具有預期裝置特性之塑膠上製造個別局部閘極式 TFT，這可適用於在  $4 \times 4''$  玻璃和塑膠基體上製造一 TFT 裝置之積體陣列。可使用多重位準之光蝕刻術使奈米線薄膜形成圖案並形成一積體 TFT 陣列之源極-汲極，閘極電極陣列。要特別注意的是真正裝置結構設計及裝置製造程序設計。可使用非晶質矽及多晶矽 TFT 之成熟技術為這種設計之參考點。最後，可製造  $1000 \times 1000$  之奈米線 TFT 陣列並進而將其建置成邏輯電路，產生邏輯功能。

含奈米線層之電氣裝置，及組合單晶質，非晶質，及多晶質半導體材料之奈米線層

本發明另一觀點中，可使用一含多重奈米線薄膜層之

結構形成電氣裝置。另言之，可堆疊如上述各種實施例之多層奈米線薄膜加以產生裝置。

例如，在一實施例中，將第一多數奈米線沈積在一結構上，形成一第一奈米線薄膜層。將第二多數奈米線沈積在第一奈米線薄膜層上，形成一第二奈米線薄膜層。亦能將任何數量之額外多數奈米線沈積在前奈米線薄膜層上，在一堆層上形成額外之薄膜層。

為說明起見，參考兩薄膜層實施例，可相異摻雜第一和第二層奈米線。例如，第一層可含 p 摻雜之奈米線，而第二層可含 n 摻雜之奈米線。因此，在第一和第二薄膜層奈米線間之交叉點/交界形成如 p-n 接面之接面。

根據接面特性可形成接觸點，產生電氣裝置。例如，在一二極體實施例中，可形成一耦合至第一薄膜奈米線之第一接觸點以及一耦合至第二薄膜奈米線之第二接觸點。因此，可形成一兩端點之 p-n 二極體。以一類似方式可形成如電晶體之三及其它端點數之裝置。

注意到第一薄膜層之奈米線最好彼此平行對齊，且第二薄膜層之奈米線最好彼此平行對齊。然而，在另選觀點中，第一及/或第二薄膜層奈米線之方位可隨意。

在另一實施例中，形成之電氣裝置為含一混成奈米線單晶質之半導體結構。例如，形成單晶質半導體條片/薄膜。例如，藉由蝕刻一如為絕緣體上生長之單晶矽 (SOI) 之晶圓可形成單晶質條片。而且，如一特定應用所需可形成任何形狀或大小之單晶質半導體條片/薄膜。多數奈米

線是沈積在條片頂部。如 p-n 接面之接面是形成在奈米線和單晶質半導體條片間之交叉點。例如，可以第一方式（摻雜 n 或 p）摻雜單晶質半導體條片並以不同方式（例如，p 或 n 摻雜）摻雜奈米線。因此，可在條片和奈米線之交叉點處形成 p-n 接面。

根據這些接面特性可形成接觸點，產生電氣裝置。例如，在一二極體實施例中，可形成一耦合至單晶質半導體條片之第一接觸點並形成一耦合至奈米線薄膜之第二接觸點。因此，可形成一兩端點之 p-n 二極體。以一類似方式可形成如電晶體之三及其它端點數之裝置。

多數奈米線之奈米線最好彼此平行對齊，但另外，方位可隨意。

在另一實施例中，形成一含混成奈米線，非晶質/多晶質半導體結構之電氣裝置。例如，將一非晶質或多晶質半導體薄膜沈積在一基體上。多數奈米線是沈積在薄膜圖案上。如 p-n 接面之接面是形成在奈米線和非晶質 / 多晶質半導體薄膜圖案間之交叉點 / 交界。例如，可以第一種方式（n 或 p 摻雜）摻雜非晶質或多晶質半導體薄膜並以不同方式（例如，p 或 n 摻雜）摻雜奈米線。因此，可在非晶質或多晶質半導體薄膜和奈米線交叉處形成 p-n 接面。

根據這些接面特性可形成接觸點，產生電氣裝置。例如，在一二極體實施例中，可形成一連接至非晶質或多晶質半導體薄膜之第一接觸點並形成一連接至奈米線薄膜之

第二接觸點。因此，可形成一兩端點之 p-n 二極體。以一類似方式可形成如電晶體之三及其它端點數之裝置。

多數奈米線之奈米線最好彼此平行對齊，但另外，方位可隨意。

在另一實施例中，使用這些結構可產生發光裝置。例如，可以一預定之奈米線比選定如那些發出紅，綠及藍光之發光半導體奈米線。可將以預定比率所選定之奈米線混合在一溶液中。奈米線混合物是流動跨越一單晶質。非晶質，或多晶質半導體條片/薄膜。如上述，可形成接觸點，產生一發光電氣裝置，如一兩接觸點/端點裝置之發光二極體。依所選定之發光奈米線混合物而定，藉由發光電氣裝置可發出含白光之顏色光。

### 本發明之應用

根據本發明實施例，許多電子裝置及系統可包含半導體或具有奈米線薄膜之其它型式裝置。為說明起見，以下或此間別處說明本發明之某些應用實例，且未受限。此處所說明之應用可包含對齊或非對齊之奈米線薄膜，並金可包含複合或非複合之奈米線薄膜。

本發明之半導體裝置（或其它型式裝置）可被連接至其它電子電路之訊號，及/或與其它電子電路整合一起。本發明之半導體裝置可形成在隨後會被分離或切成較小基體之大基體上。而且，在大基體上（即，基體實質上大於習知半導體晶圓）可相互連接上面形成有根據本發明之半

導體裝置。

在需要一單半導體裝置及多半導體裝置之應用中可含本發明。例如，本發明尤其適用於大面積，上面形成有多數半導體裝置之巨集電子基體。這種電子裝置可包含主動式矩陣液晶顯示器（LCD），有機LED顯示器，場發射顯示器之顯示驅動電路。其它之主動式顯示器可由奈米線聚合物，大量點聚合物之複合物形成（複合物作為射極和主動式驅動矩陣用）。本發明亦適用於智慧館，信用卡，大面積陣列感測器，及智慧卡，智慧庫存標籤之類者之射頻識別（RFID）標籤。

本發明亦適用於數位和類比電路應用。尤其是，本發明適用於需超大型整合在一大面積基體上之應用。例如，可將本發明奈米線實施例之薄膜付諸實施在邏輯電路，記憶體電路，處理器，放大器及其它數位和類比電路中。

本發明可應用在光電伏特應用上。在這種應用中使用一清晰之傳導基體，增強特定光電伏特裝置之光電伏特特性。例如，可使用這種清晰傳導之基體，作為銦錫氧化物（ITO）之類者之柔性，大面積之替代物。一基體可被塗覆一奈米線薄膜，該奈米線形成有一大能帶隙，即大於可見光之奈米線薄膜使其不具吸收性，但將會形成與一形成在奈米線頂部上之光電伏特裝置之主動性材料對齊之HOMO或LUMO能帶。清晰導體位在吸收光電伏特材料之兩邊，從光電伏特裝置帶走電流。可選取兩不同奈米線材料。一具有與充電伏特材料HOMO能帶對齊HOMO，而另一

具有與光電伏特材料之 LUMO 能帶對齊之 LUMO。可選取兩奈米線材料之能帶隙為甚大於光電伏特材料。可稍摻雜根據這實施例之奈米線，降低奈米線薄膜之阻抗，而允許基體保持大半未具吸收性。

因此，廣泛範圍之軍用及消費用物品可包含本發明實施例之奈米線薄膜。例如，這種物品可包含個人電腦，工作站，伺服器，網路裝置，如 PDA 和掌上型導航器之手持式電子裝置，電話（例如，蜂巢式及標準式），無線電，電視機，電子遊戲機及遊戲系統，住家安全系統，汽車，航空器，船，其它住家及商用電器之類者。

### 結論

雖然以上已說明本發明之各種實施例，應了解的是他們只是實例被加以提出而未受限。對於熟悉相關技術之個人而言，顯而易見的是，只要不偏離本發明之精神與範圍，此處可作各種形式及細節之變更。因此，本發明之寬度和範圍應受限於任何上述典範實施例，但應只根據以下申請專利項目及其對等項目加以界定。

### 【圖式簡單說明】

此處所納入並形成利說明書一部份之隨圖之圖例闡明本發明且加上說明，更適以解釋本發明之原理並使一熟悉相關技術者能製作並使用本發明。

第 1 圖表示根據本發明一實施例之奈米線薄膜之部位

圖。

第 2 圖 表 示 根 據 本 發 明 一 實 施 例，包 含 一 奈 米 線 薄 膜  
之 半 導 體 裝 置 。

第 3 A 、 3 D 圖 表 示 根 據 本 發 明 各 種 實 施 例 所 摻 雜 之 奈  
米 線 。

第 4 A 和 4 B 圖 表 示 根 據 本 發 明 一 摻 雜 實 施 例 所 摻 雜 之  
一 半 導 體 裝 置 實 例 。

第 5 圖 表 示 根 據 本 發 明 實 施 例，提 供 多 數 半 導 體 裝 置  
之 實 例 製 造 步 驟 之 流 程 圖 。

第 6 A - 6 F 圖 表 示 根 據 本 發 明 一 實 施 例，上 面 有 多 數 半  
導 體 裝 置 之 基 體 之 各 種 製 造 階 段 。

第 7 圖 表 示 根 據 本 發 明 一 實 施 例，提 供 包 含 本 發 明 一  
奈 米 線 薄 膜 一 電 氣 裝 置 之 實 例 製 造 步 驟 之 流 程 圖 。

第 8 A 圖 表 示 根 據 本 發 明 一 實 施 例，一 包 含 n 摻 雜 奈 米  
線 及 p 摻 雜 奈 米 線 之 同 質 混 合 物 之 奈 米 線 薄 膜 實 例 部 位 之  
近 視 圖 。

第 8 B 圖 表 示 一 包 含 n 摻 雜 奈 米 線 及 p 摻 雜 奈 米 線 兩 者 之  
一 奈 米 線 薄 膜 之 實 例 部 位 。

第 8 C 圖 表 示 一 包 含 n 摻 雜 奈 米 線 及 p 摻 雜 奈 米 線 兩 者 之  
一 奈 米 線 薄 膜 。

第 9 圖 表 示 根 據 本 發 明 一 實 施 例，提 供 本 發 明 一 奈 米  
線 薄 膜 之 實 例 製 造 步 驟 之 流 程 圖 。

第 10 圖 表 示 根 據 本 發 明 一 實 施 例，一 異 質 結 構 之 奈 米  
線 。

第 11A 圖表示根據本發明一實施例，包含多數奈米線之一實例之兩端點電氣裝置。

第 11B 圖表示含奈米線異質結構之實例 p-n-p 電晶體。

第 12 圖表示根據本發明一實施例，提供包含奈米線異質結構一電氣裝置之實例製造步驟之流程圖。

第 13A 圖表示根據本發明一實施例，具有一對電極，第一電氣接觸點及第二電氣接觸點之離散像素或光源。

第 13B 圖表示根據本發明一實施例，各類似於像素或光源之一柱離散像素或光源。

第 13C 圖表示根據本發明一實施例，包含多數光源柱之大面積光源。

第 14 圖表示根據本發明一實施例，提供包含發光奈米線異質結構發光裝置之實例製造步驟之流程圖。

第 15A 和 15B 圖表示根據本發明一實施例，一實例流動罩幕之底部及切面圖。

第 16 圖表示根據本發明一實施例，包含流罩幕之奈米線定位系統。

第 17A 和 17B 圖表示根據本發明一實施例，流經流罩幕之奈米線流之平面及切面圖。

第 18A 圖表示根據本發明一實施例，與一流罩幕搭配之實例半導體晶圓。

第 18B 圖表示由於本發明之操作，上面置放有奈米線之第 18A 圖晶圓之表面部位。

第 18C 圖表示由於本發明之操作，上面置放有奈米線

之形成在一晶圓上之積體電路陣列。

第 19A 圖表示根據本發明一實施例，可為第 18C 圖中所示晶圓之其中一積體電路實例之積體電路。

第 19B 圖表示根據本發明一實施例，第 19A 圖中積體電路一部位之近視圖，它表示實例電導軌跡之細節。

第 19C 圖藉由本發明一實例流罩幕之操作，表示已被沈積在第 19B 圖積體電路部位上之奈米線。

第 19D 圖表示根據本發明一實施例，可為第 18C 圖中所示晶圓之其中一積體電路實例之積體電路。

第 19E 表示根據本發明一實施例，第 19D 圖中積體電路一部位之近視圖，它表示實例電導軌跡之細節。

第 19F 圖藉由本發明一實例流罩幕之操作，表示已被沈積在第 19E 圖積體電路部位上之奈米線。

第 20A 圖表示與第 19A-C 圖相關之圖。

第 20B 圖表示與第 19D-F 圖相關之圖。

第 21 圖表示根據本發明一實施例，利用一流罩幕，提供使奈米線定位在一標的表面上之實例步驟之流程圖。

第 22 圖表示根據本發明一實施例，一實例奈米線噴塗系統之方塊圖。

第 23 圖表示根本發明一實施例，將奈米線流輸出在一實例標的表面上之一噴嘴詳細圖。

第 24 和 25 圖表示由於本發明之操作，上面置放有多數奈米線之一標的表面之平面圖。

第 26 圖表示根據本發明一實施例，上面形成有多數電

氣接觸點，而與奈米線作電氣接觸之一標的表面之平面圖。

第 27 圖表示根據本發明一實施例，使用噴塗技術，提供使奈米線定位在一標的表面上之實例步驟之流程圖。

第 28 圖表示根據本發明一實施例，提供一半導體材料最大允許直徑與有效質量  $m_{eff}$  之間之關係圖。

第 29 圖表示有關各種實例半導體材料資訊之列表。

第 30 圖表示根據本發明一實施例，提供具有高度移動率電子之導電奈米線之實例設計步驟之流程圖。

第 31 圖表示有關實例 III-V 半導體型材料資訊之列表。

。

第 32 和 33 圖表示根據本發明一實施例，提供具有降低表面散射之奈米線實例製造步驟之流程圖。

第 34 A 圖為一非結晶質或多晶質 Si TFT 圖。

第 34 B 圖為一根據本發明一實施例之奈米線 TFT 圖。

第 34 C 圖為一根據本發明一實施例之奈米絲 TFT 圖。

第 35 A 圖為一根據本發明一實施例，NW-TFT 製造方法之流程圖。

第 35 B 圖為一根據本發明一實施例，一 NW 薄膜之光顯微照圖。

第 35 C 圖為一根據本發明一實施例，具金電極之 NW-TFT 圖。

第 35 D 圖為一根據本發明一實施例，一 NW-TFT 之光顯微照圖，該 NW-TFT 具平行陣列 NW，從源極電極橋接至

汲極電極。

第 36 A 圖 為 一 根 本 發 明 — 15， 對 一 NW-TFT， 以 一 伏 (V) 為 電 位 階 之 不 同 閘 極 電 壓 ( $V_{GS}$ )， 表 示 典 型 汲 極 電 流 ( $I_{DS}$ ) 對 汲 極 - 源 極 偏 壓 ( $V_{DS}$ ) 之 關 係 圖。

第 36 B 圖 為 一 根 據 本 發 明 一 實 施 例， 表 示 一 NW-TFT 之  $I_{DS}$  對  $V_{GS}$  圖。

第 36 C 圖 為 一 據 本 發 明 一 實 施 例， 表 示 一 NW-TFT 臨 界 電 壓 分 佈 之 柱 狀 圖。

第 36 D 圖 為 一 據 本 發 明 一 實 施 例， 圖 解 說 明 一 NW-TFT 當 開 啓 裝 時 ( $V_{GS} = 10\text{ V}$ ) 汲 極 電 流 之 線 性 定 比 關 係 圖。

第 37 圖 為 一 根 本 發 明 一 實 施 例，在 一 塑 膠 基 體 上 之 NW-TFT 圖。

第 37 B 圖 為 一 據 本 發 明 一 實 施 例，在 一 塑 膠 基 體 上 之 數 NW-TFT 圖。

第 37 C 圖 為 一 據 本 發 明 一 實 施 例， 對 一 塑 膠 基 體 上 之 一 NW-TFT， 以 1 伏 (V) 為 電 位 階 之 不 同 閘 極 電 壓 ( $V_{GS}$ )， 表 示 汲 極 電 流 ( $I_{DS}$ ) 對 汲 極 - 源 極 偏 壓 ( $V_{DS}$ ) 之 關 係 圖。

第 37 D 圖 為 一 據 本 發 明 一 實 施 例， 表 示 在 塑 膠 基 體 輕 微 彎 曲 前 後， 相 同 NW-TFT 轉 移 特 性 圖。

第 38 A 圖 為 一 據 本 發 明 一 實 施 例，在 一 塑 膠 基 體 上 具 一 電 解 溶 液 閘 極 之 NW-TFT 圖。

第 38 B 圖 為 一 據 本 發 明 一 實 施 例， 以 一 塑 膠 基 體 上

之 NW-TFT 之各種電解溶液閘極電壓為函數之  $I_{DS}$ - $V_{DS}$  關係圖。

第 38C 圖為一根據本發明一實施例，在一塑膠基體上具一電解溶液閘極 NW-TFT 對於  $V_{DS}$  為 10mV 之  $I_{DS}$ - $V_{GS}$  關係圖。

第 39A 圖為一根據本發明一實施例之 CdSc 絲 TFT 圖。

第 39B 圖為一根據本發明一實施例，以一 CdS 奈米絲 TFT 之各種閘極電壓為函數之  $I_{DS}$ - $V_{DS}$  關係圖。

第 39C 圖為一根據本發明一實施例，一 CdS 奈米絲 TFT 之  $V_{DS}$  為 1V 時之  $I_{DS}$ - $V_{GS}$  關係圖。

第 40 圖為一根據本發明一實施例，由一 p 通道 NW-TFT 及一 n 通道 CdS 奈米絲 TFT 製成以及具增益特性之互補反相器圖。

第 41A 圖表示根據本發明一實施例，所合成矽奈米線之掃瞄電子顯微影像。

第 41B 圖表示根據本發明一實施例，一個別 Si 奈米線之晶格解析狀傳輸之電子顯微影像。

第 42 圖表示根據本發明一實施例，合成並執行高移動率奈米線薄膜電晶體之製程流程圖。

第 43 圖表示根本發明一實施例，具一單晶質內核及電介體外塗層之矽奈米線核殼型結構。

第 44A-C 圖表示從非晶質矽，聚矽，及一對齊之奈米線薄膜所製造之薄膜電晶體 (TFT) 之示意圖。

第 45 圖表示根據本發明一實施例，在遍及一大面積上

對齊奈米線之流體電池圖。

第 46 圖表示根據本發明一實施例，使用一 L-B (Langmuir-Blodgett) 膜在遍及一大面積上對齊奈米線之說明圖。

第 47 圖表示根據本發明一實施例，一單奈米線場效電晶體之平面及透視圖。

第 48A 及 48B 圖表示根據本發明實施例，局部作為閘極之奈米線薄膜電晶體之透視圖。

現將參考隨圖對本發明加以說明。圖中，相同之參註號碼表示相同或功能類似之元件。此外，參註號碼最左位數標識第一次出現該參註號碼之圖示。

#### 主要元件對照表

100	奈米線
200	半導體裝置
202	源極電極
204	閘極電極
206	汲極電極
208	基體
300	奈米線
310	奈米線
302	表面層
320	奈米線
304	電介體材料層

330	奈米線
402	摻雜劑層
404	第一部位
406	第二部位
600	基體
602	電介體層
604	奈米線
800	奈米線薄膜
802	奈米線
804	奈米線
810	奈米線薄膜
812	第一區域
814	第二區域
820	薄膜
822	第一次層
824	第二次層
1000	奈米線
1010	p摻雜部位
1020	n摻雜部位
1100	電氣裝置
1102	第一電氣接觸點
1104	第二電氣接觸點
1030	p-n接面
1150	電晶體

1152	汲 極 電 極
1154	閘 極
1156	源 極 電 極
1300	光 源
1302	第 一 電 氣 接 觸 點
1304	第 二 電 氣 接 觸 點
1320	p - n 接 面
1310	奈 米 線
1320	光 源
1350	光 源 行
1324	第 一 電 氣 接 觸 點
1326	第 二 電 氣 接 觸 點
1500	流 罩 幕
1502	本 體
1510	輸 入 埠
1520	輸 出 埠
1504	第 一 表 面
1506	通 道
1530	支 流 通 道
1510	輸 入 埠
1600	奈 米 線 定 位 系 統
1602	標 的 表 面
1604	奈 米 線 溶 液 源
1606	奈 米 線 溶 液 座

1650	奈米線溶液
1702	流
1800	半導體晶圓
1820	積體電路
1900	積體電路
1802	位
1920	部位
1902	傳導線路
1910	奈米線
1810	奈米線區
1904	接地訊號線路
1956	線路指
1950	積體電路
1960	部位
1952	傳導線路
1954	線路指
2200	奈米線噴塗應用系統
2202	噴嘴
2204	標的表面
2206	奈米線溶液源
2208	奈米線溶液導管
2210	奈米線溶液
2302	流
2306	基體

2308 基體載體

2304 開口

2402 奈米線

2502 奈米線

2602 電氣接觸點

3502 插圖

3506 源極電極

3508 沖極電極

3504 薄膜電晶體

4002 裝置

## 伍、中文發明摘要

發明之名稱：大面積奈米致能巨集電子基體及其使用

說明一種具多數半導體裝置之電子基體之方法及裝置。一奈米線薄膜是形成在一基體上。形成之奈米線薄膜具充份之奈米線密度而達成一操作電流位準。多數半導體區是界定在奈米線薄膜中。接觸點是形成在半導體裝置區，因此提供對多數半導體裝置之電氣連結。而且，說明供製造奈米線之各種材料，含 p 摻雜奈米線及 n 摻雜奈米線之薄膜，奈米線異質結構，發光奈米線異質結構，將奈米線定位在基體上之流罩幕，沈積奈米線用之奈米線技術。降低或消除奈米線中電子之聲子散射用之技術，及降低奈米線中表面狀態用之技術。

## 陸、英文發明摘要

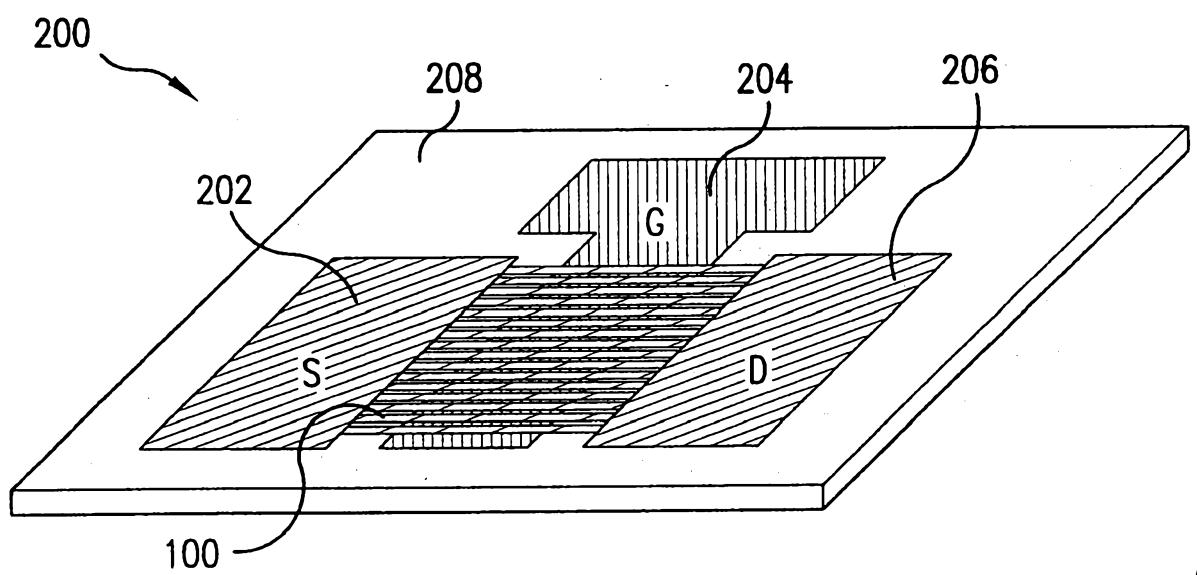
發明之名稱：

LARGE-AREA NANOENABLED MACROELECTRONIC SUBSTRATES  
AND USES THEREFOR

A method and apparatus for an electronic substrate having a plurality of semiconductor devices is described. A thin film of nanowires is formed on a substrate. The thin film of nanowires is formed to have a sufficient density of nanowires to achieve an operational current level. A plurality of semiconductor regions are defined in the thin film of nanowires. Contacts are formed at the semiconductor device regions to thereby provide electrical connectivity to the plurality of semiconductor devices. Furthermore, various materials for fabricating nanowires, thin films including p-doped nanowires and n-doped nanowires, nanowire heterostructures, light emitting nanowire heterostructures, flow masks for positioning nanowires on substrates, nanowire spraying techniques for depositing nanowires, techniques for reducing or eliminating phonon scattering of electrons in nanowires, and techniques for reducing surface states in nanowires are described.

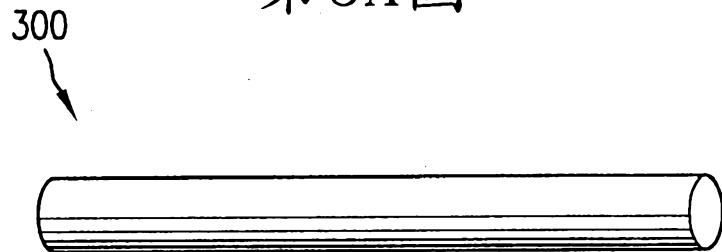
I309845

第2圖

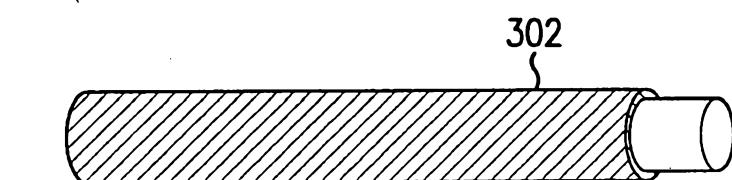


I309845

第3A圖



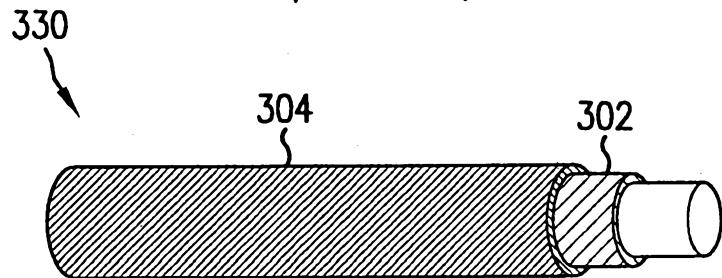
第3B圖



第3C圖

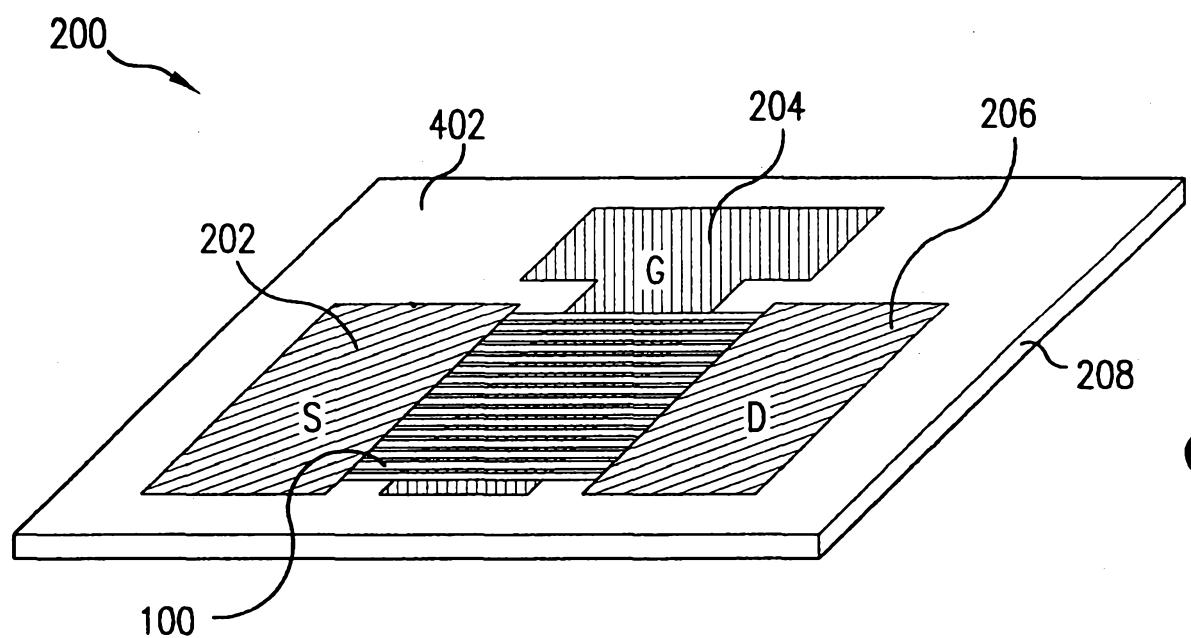


第3D圖

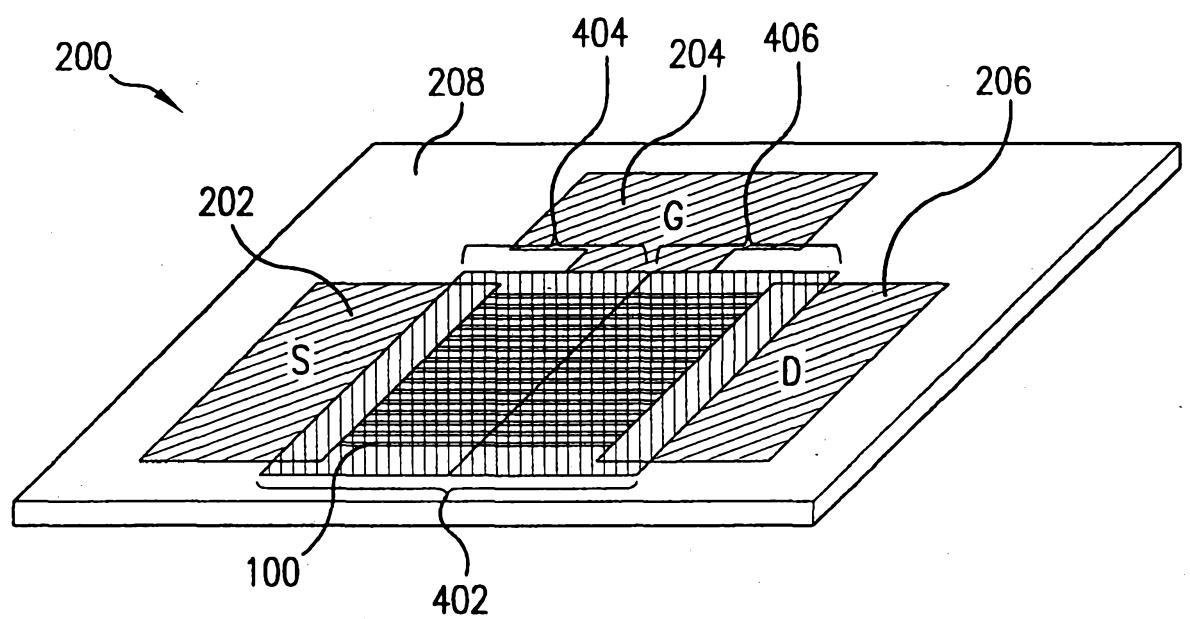


I309845

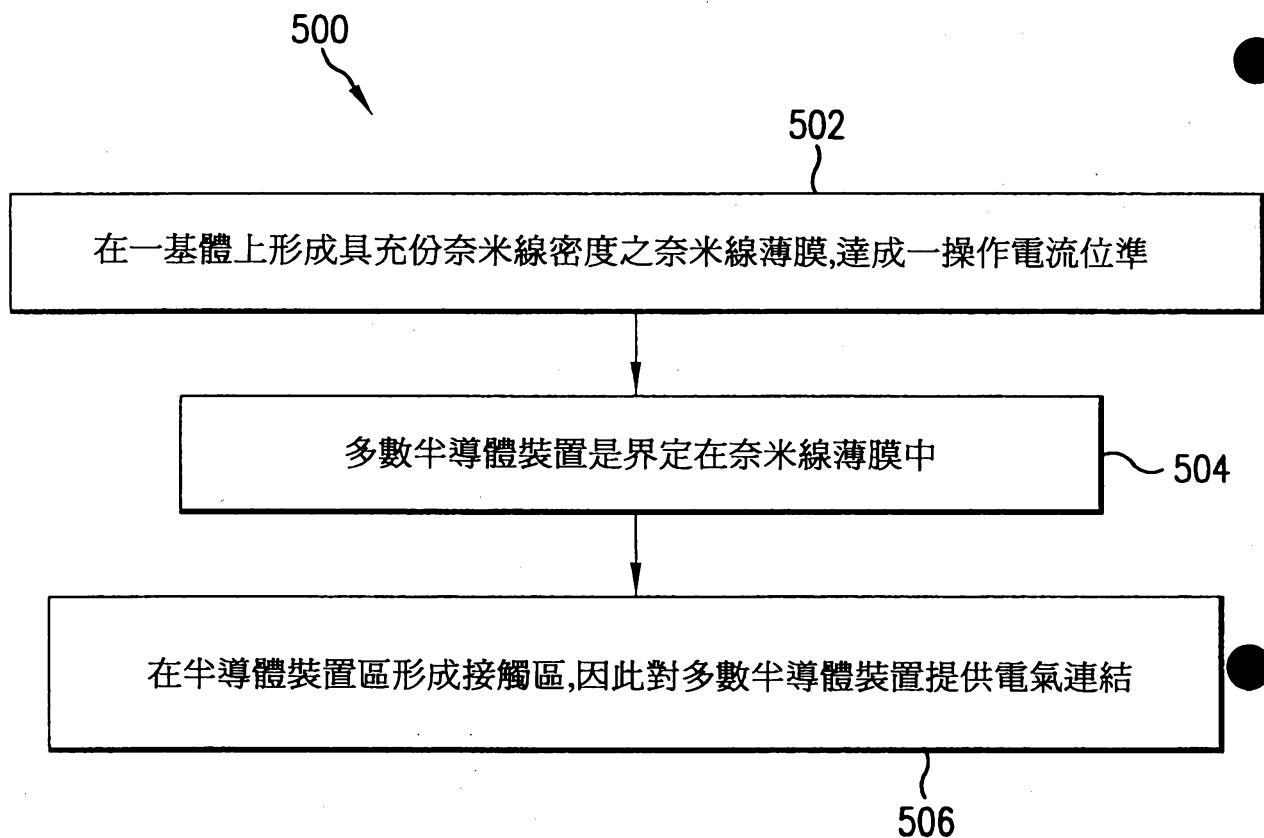
第4A圖



第4B圖

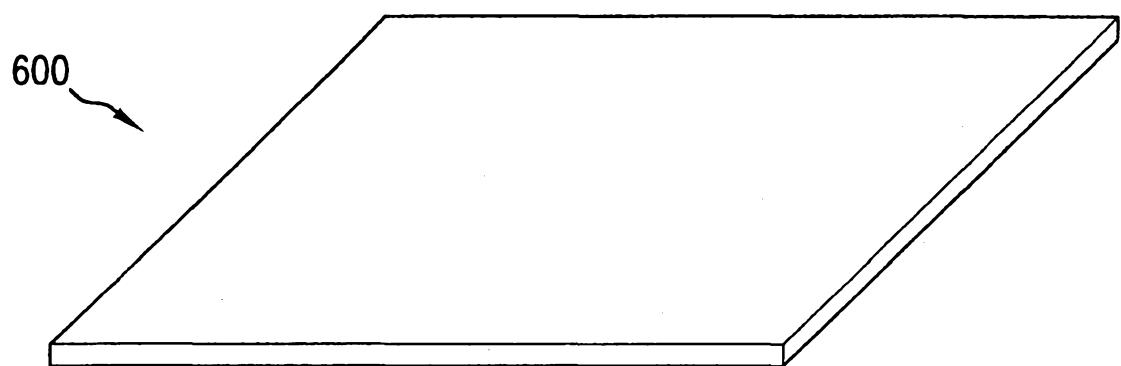


## 第5圖

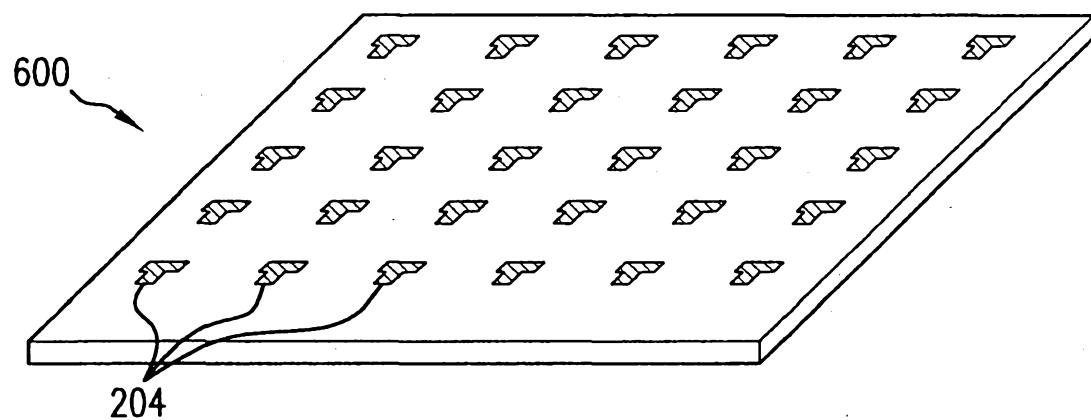


I309845

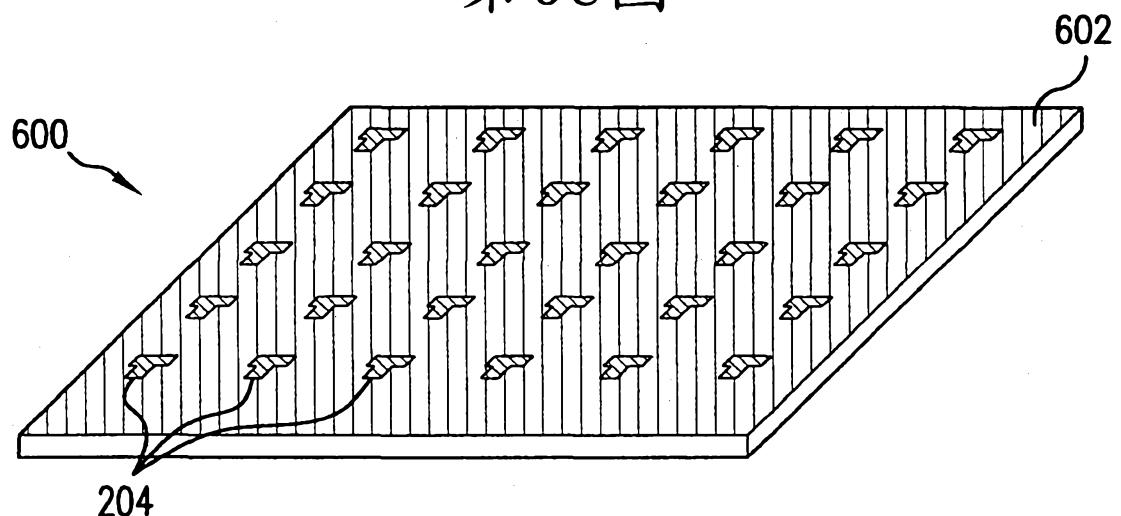
第6A圖



第6B圖

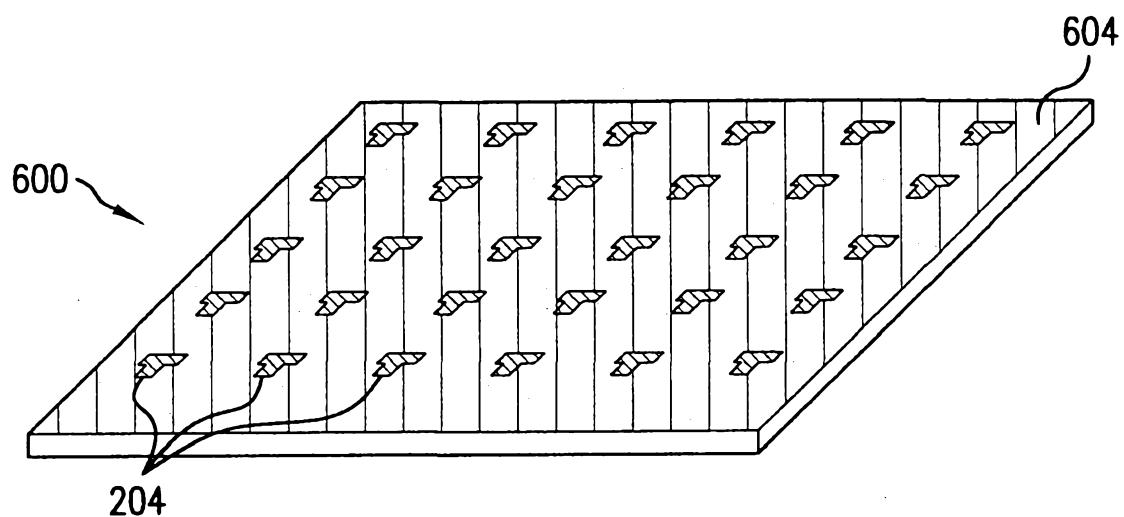


第6C圖

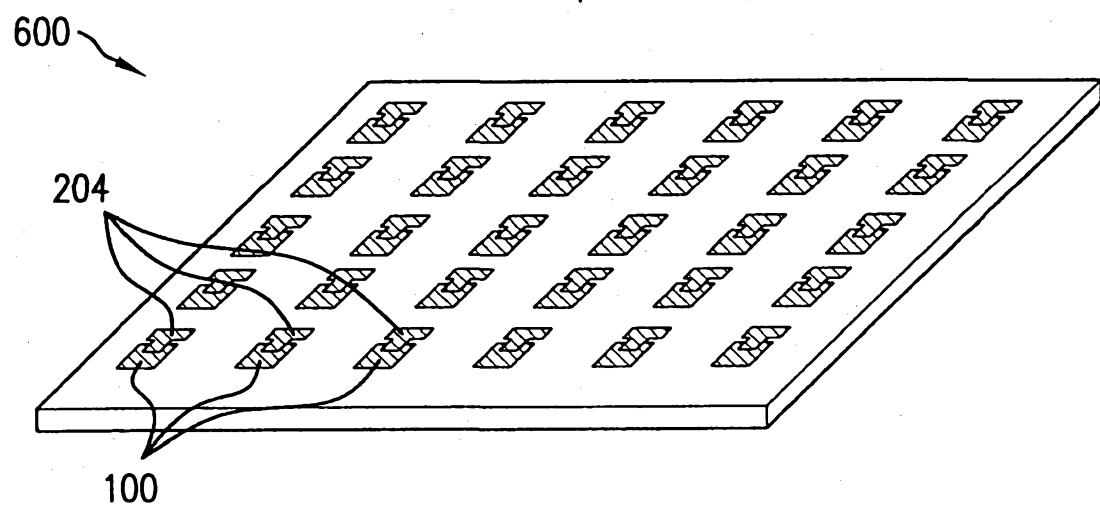


I309845

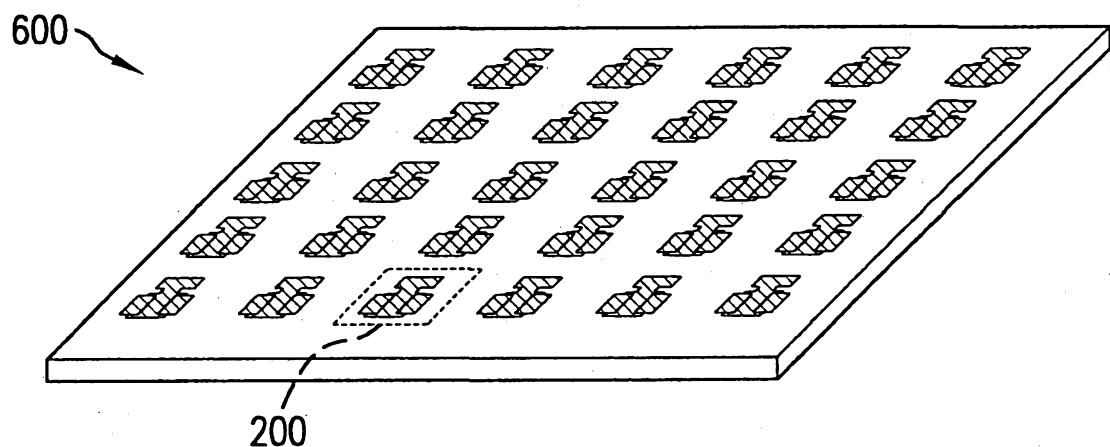
第6D圖



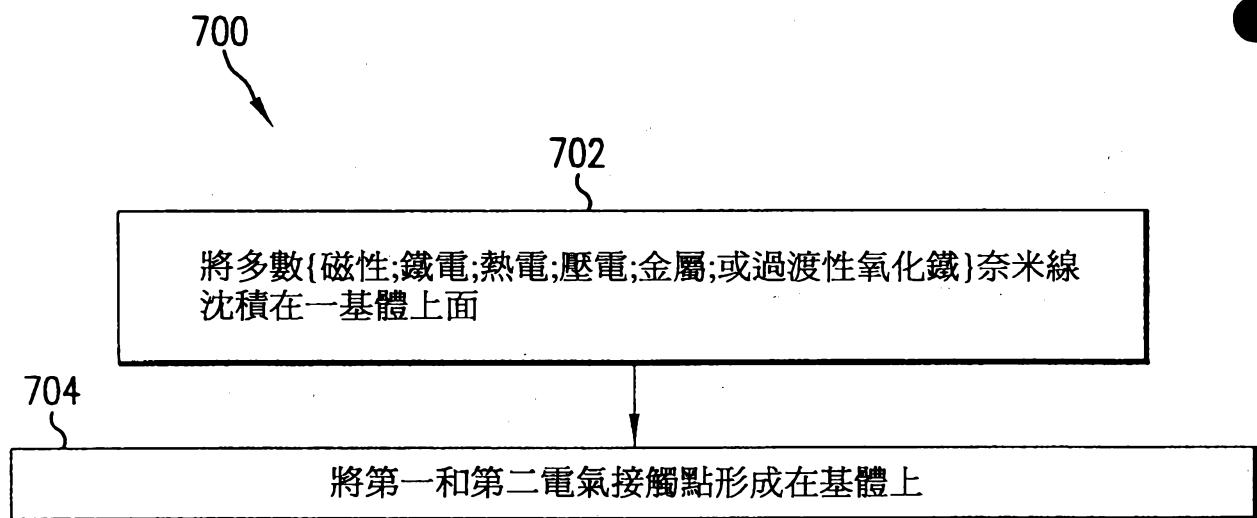
第6E圖



第6F圖

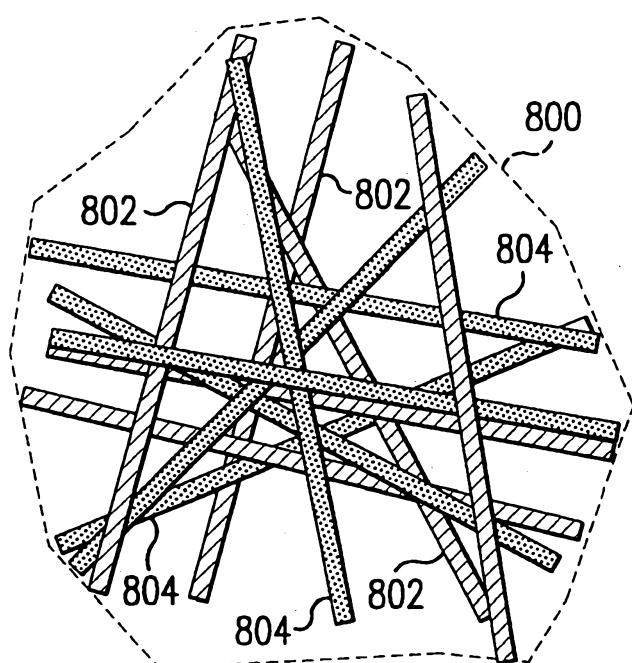


## 第7圖

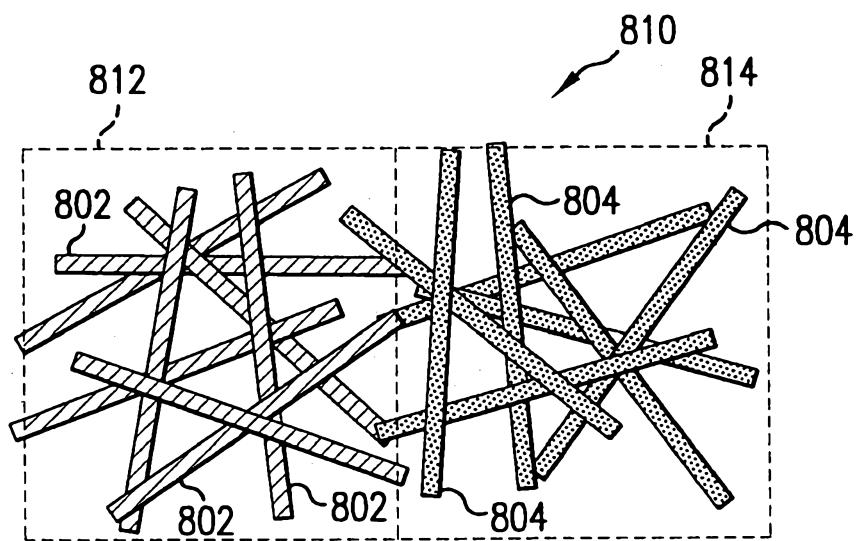


I309845

第8A圖

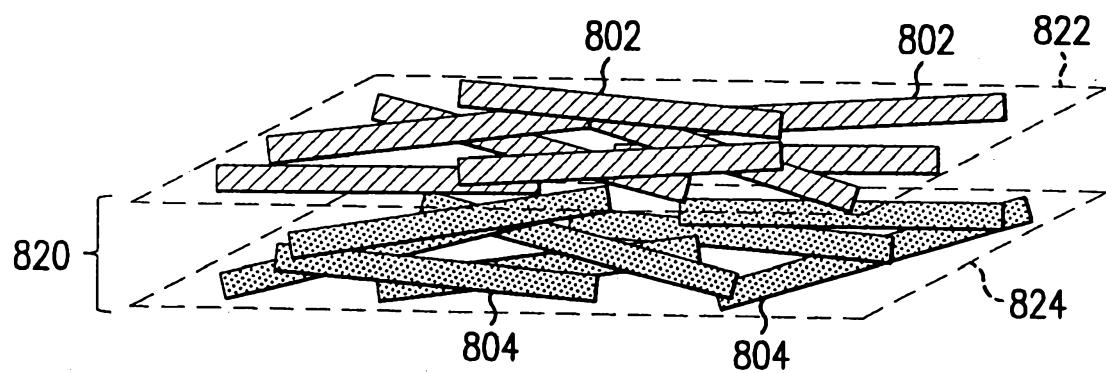


第8B圖

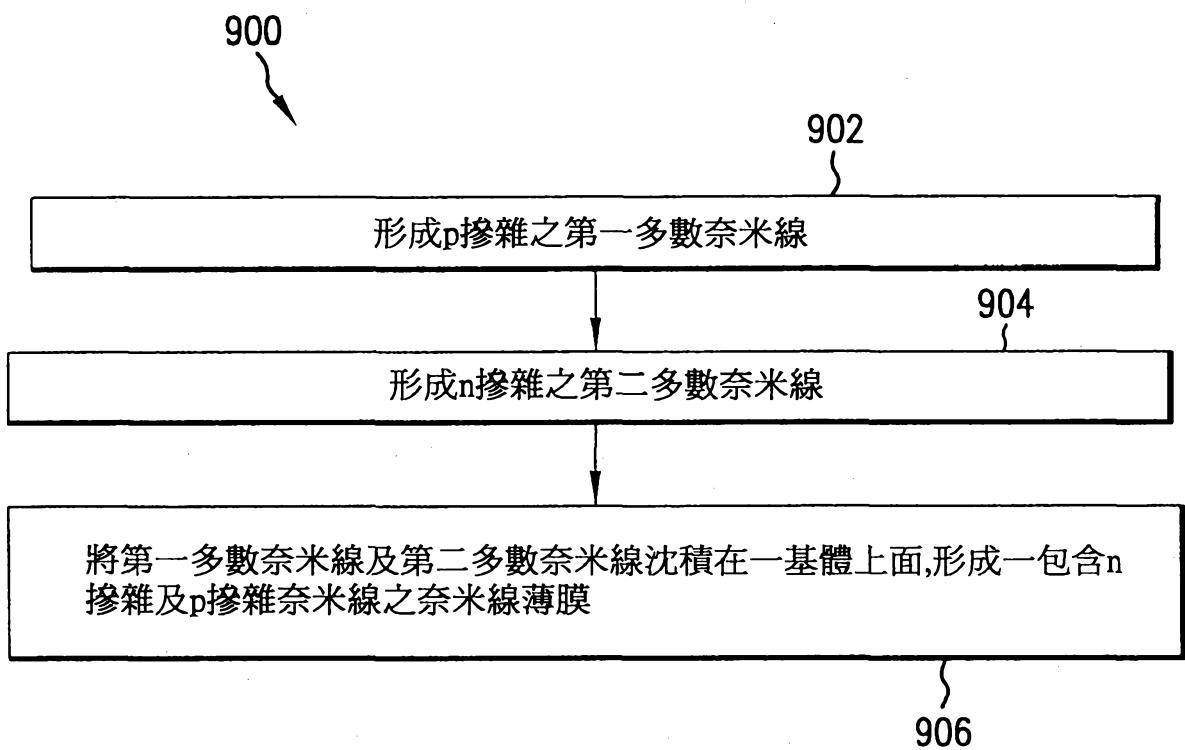


I309845

第8C圖

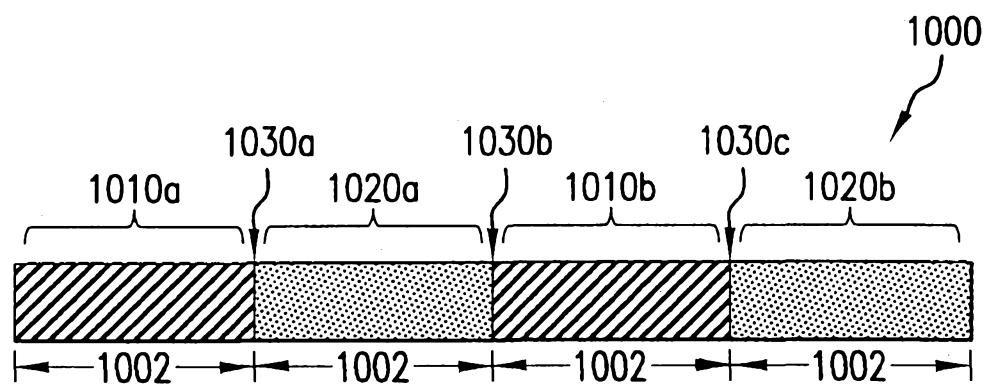


## 第9圖

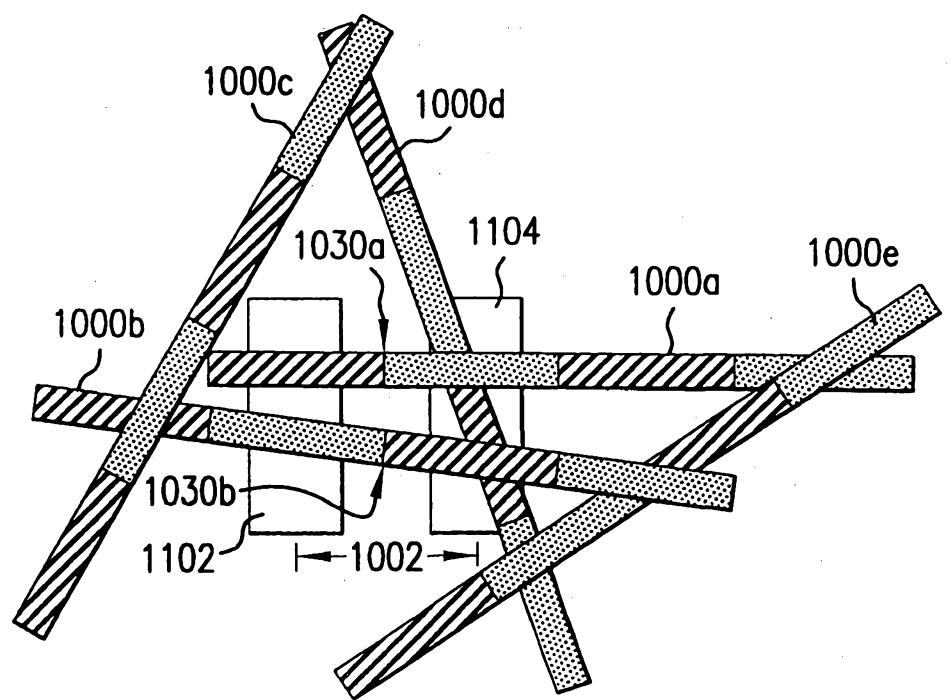


I309845

第10圖

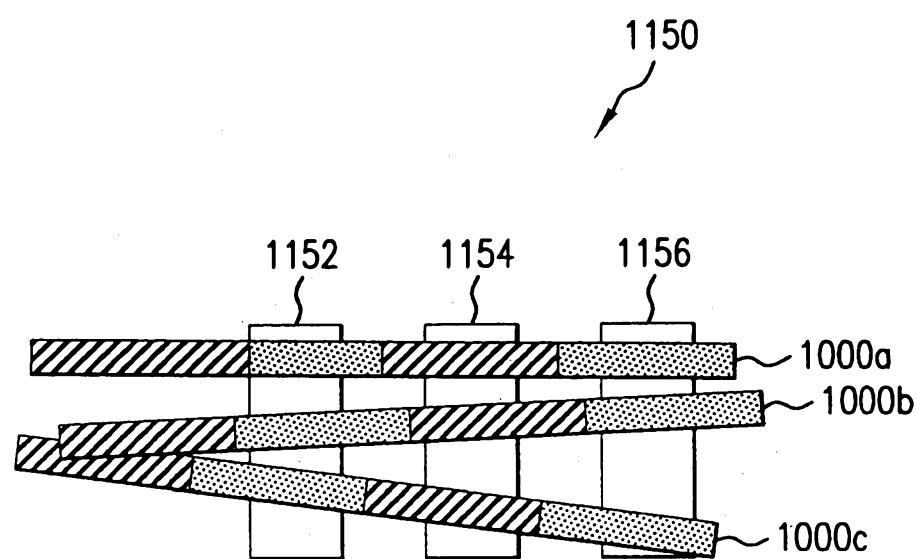


第11A圖

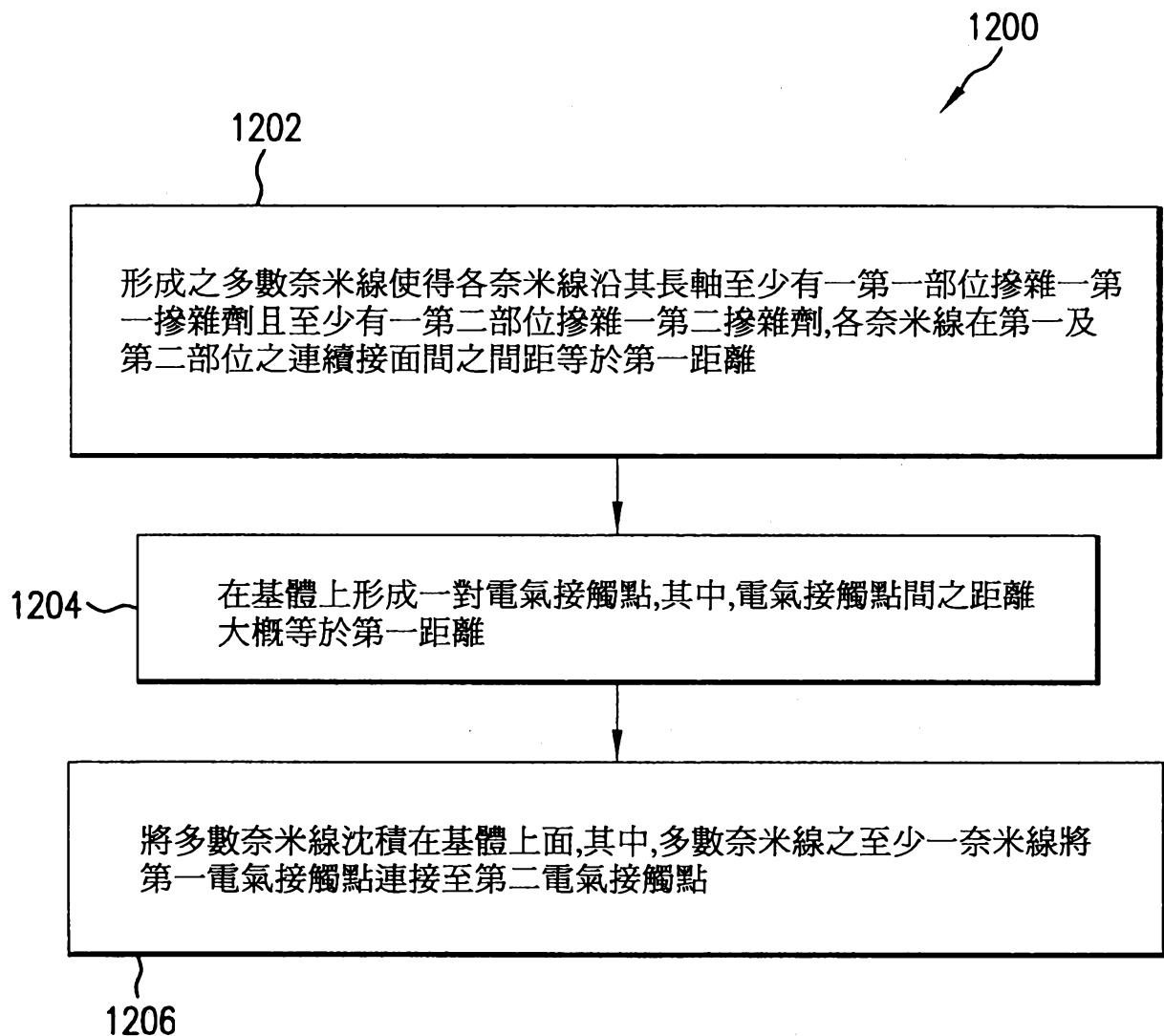


I309845

第11B圖

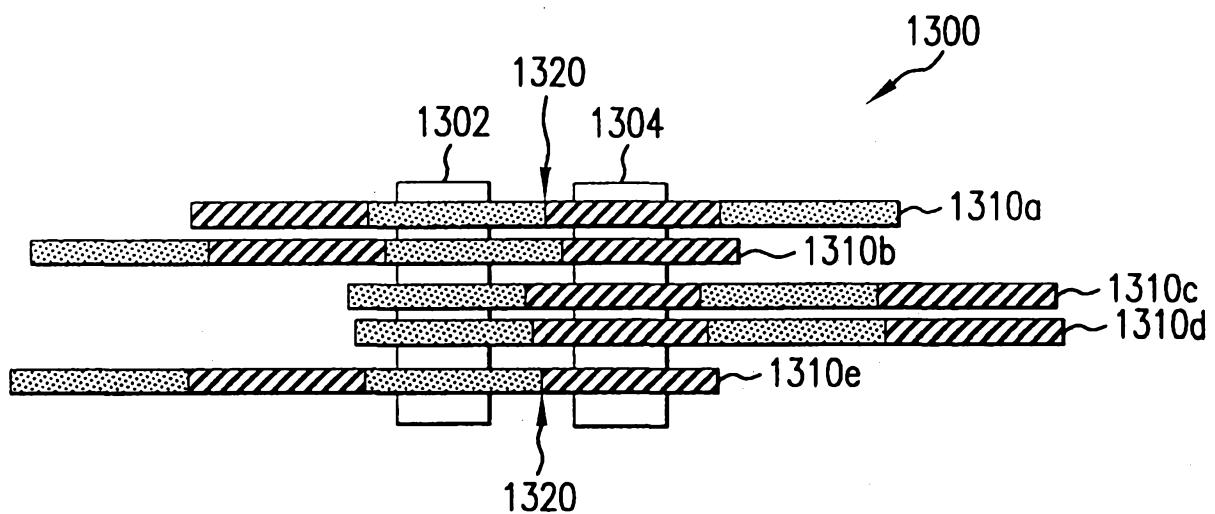


## 第12圖

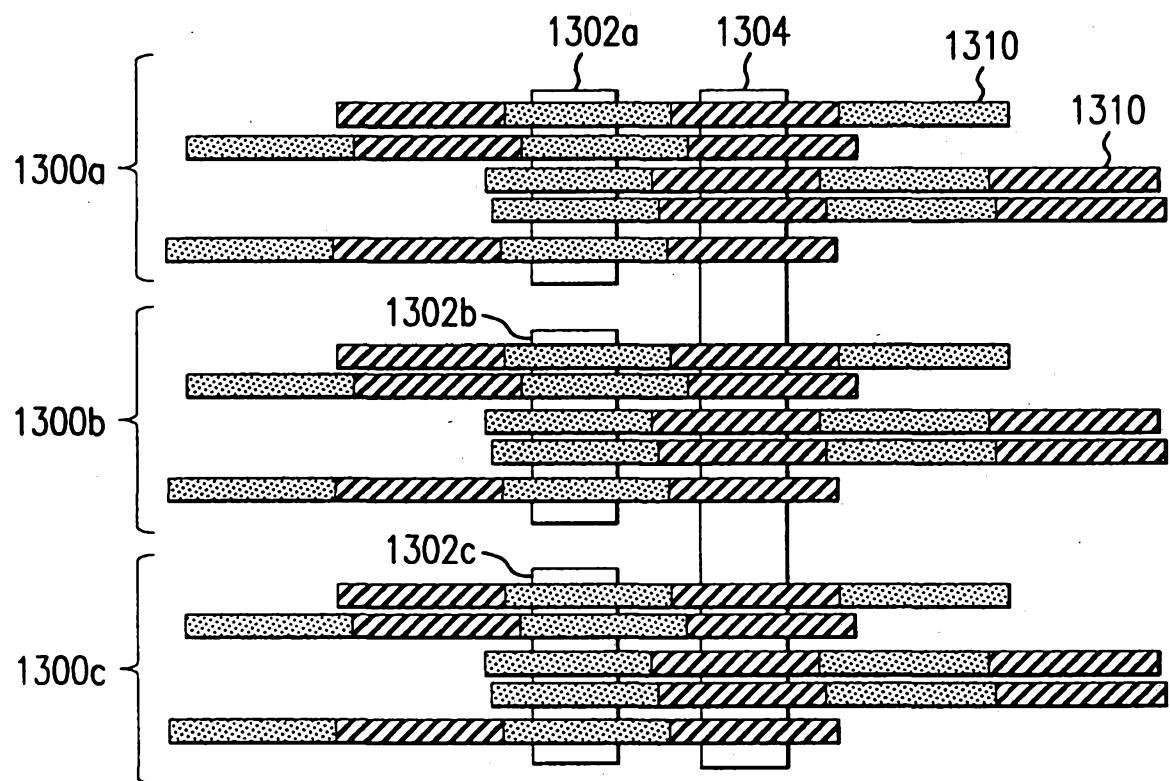


I309845

第13A圖

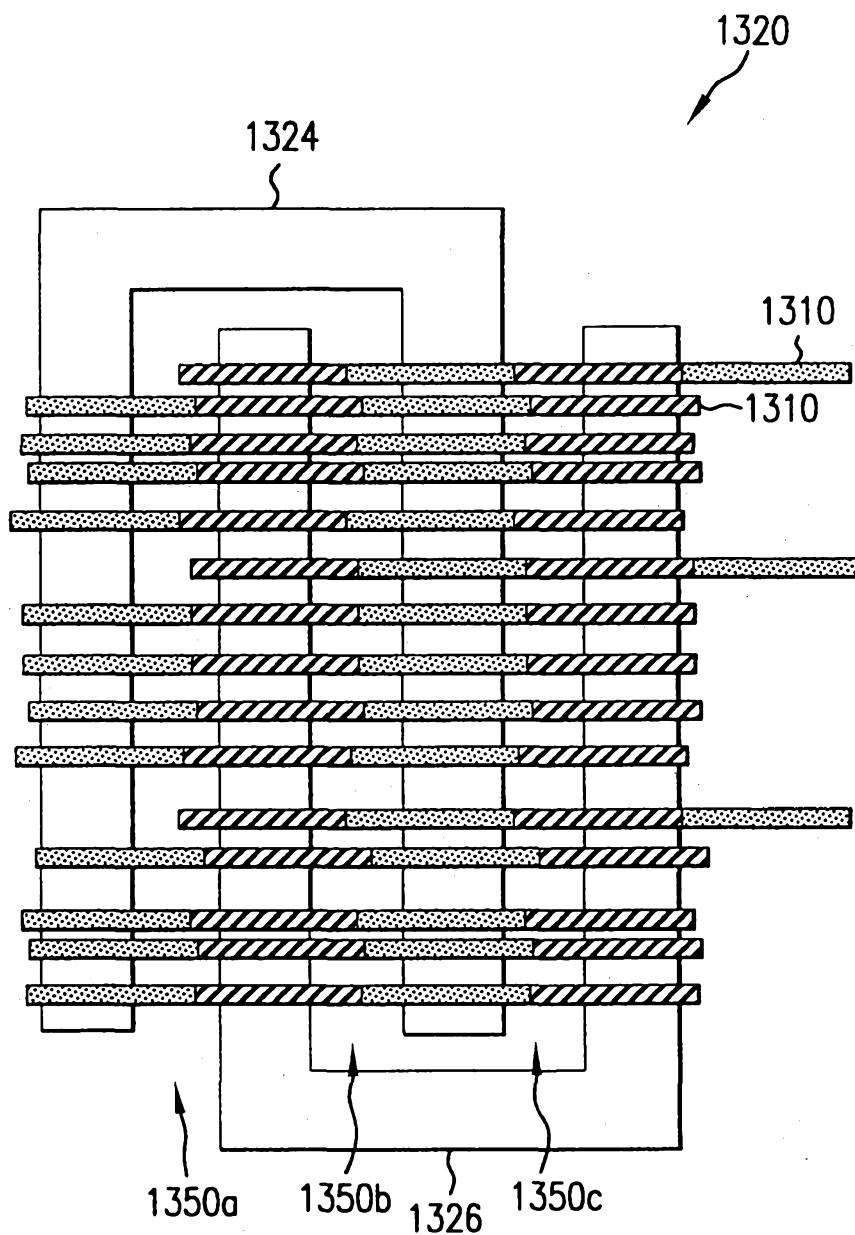


第13B圖

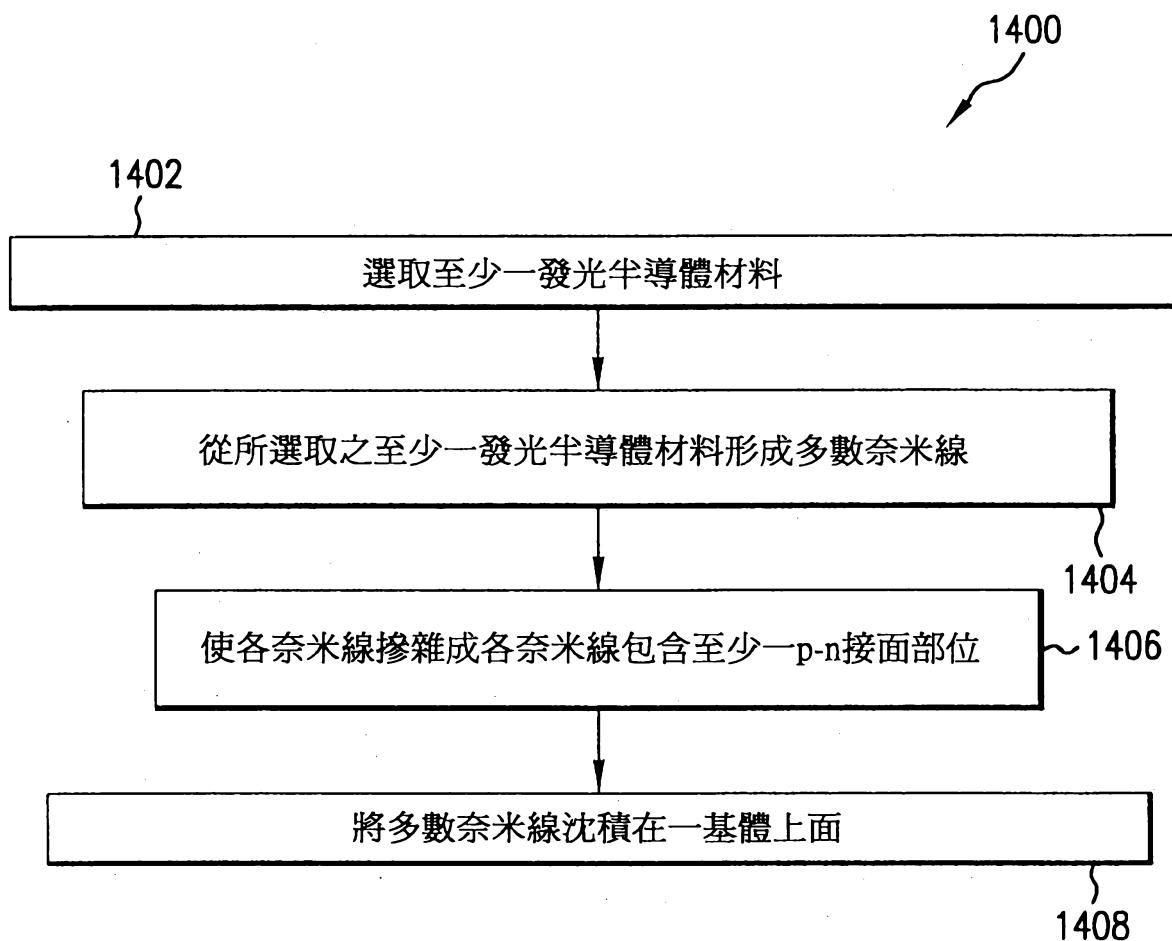


I309845

第13C圖

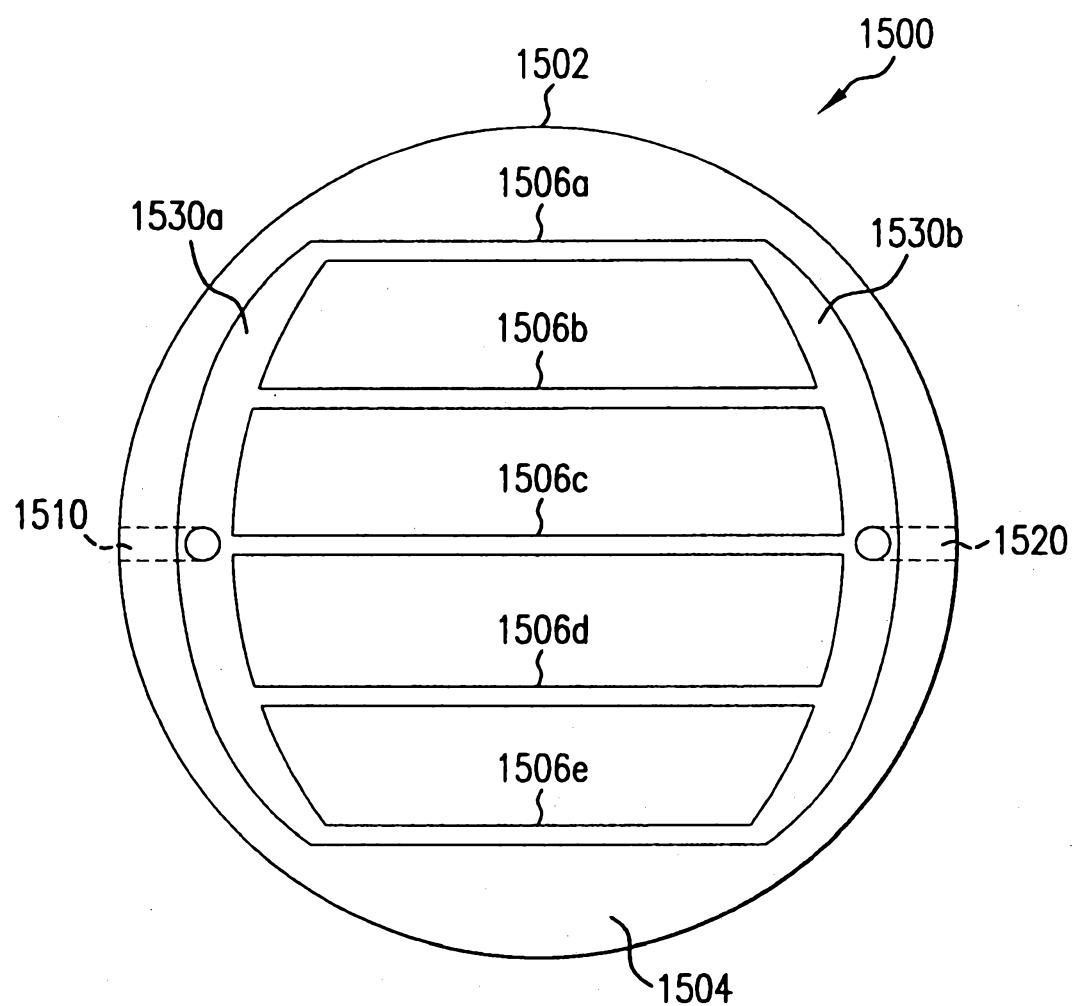


第14圖

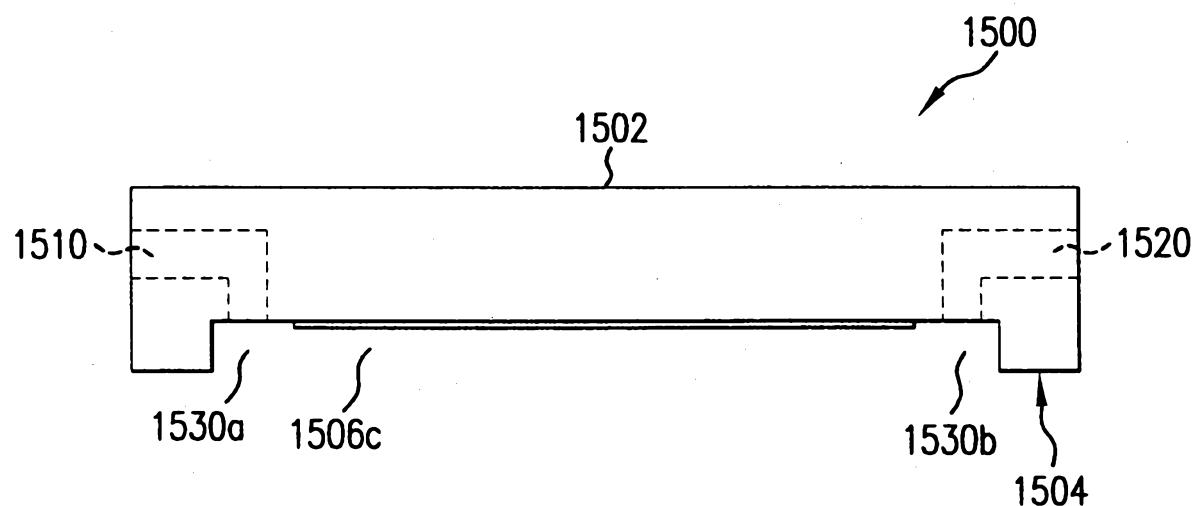


I309845

第15A圖

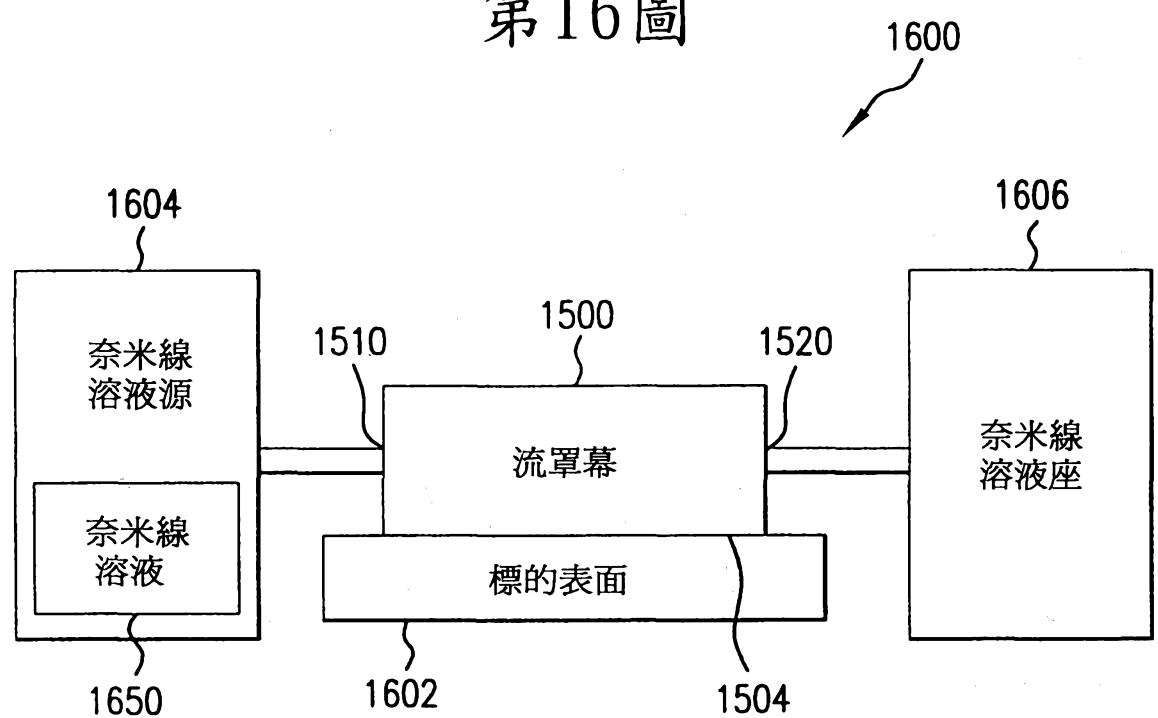


第15B圖



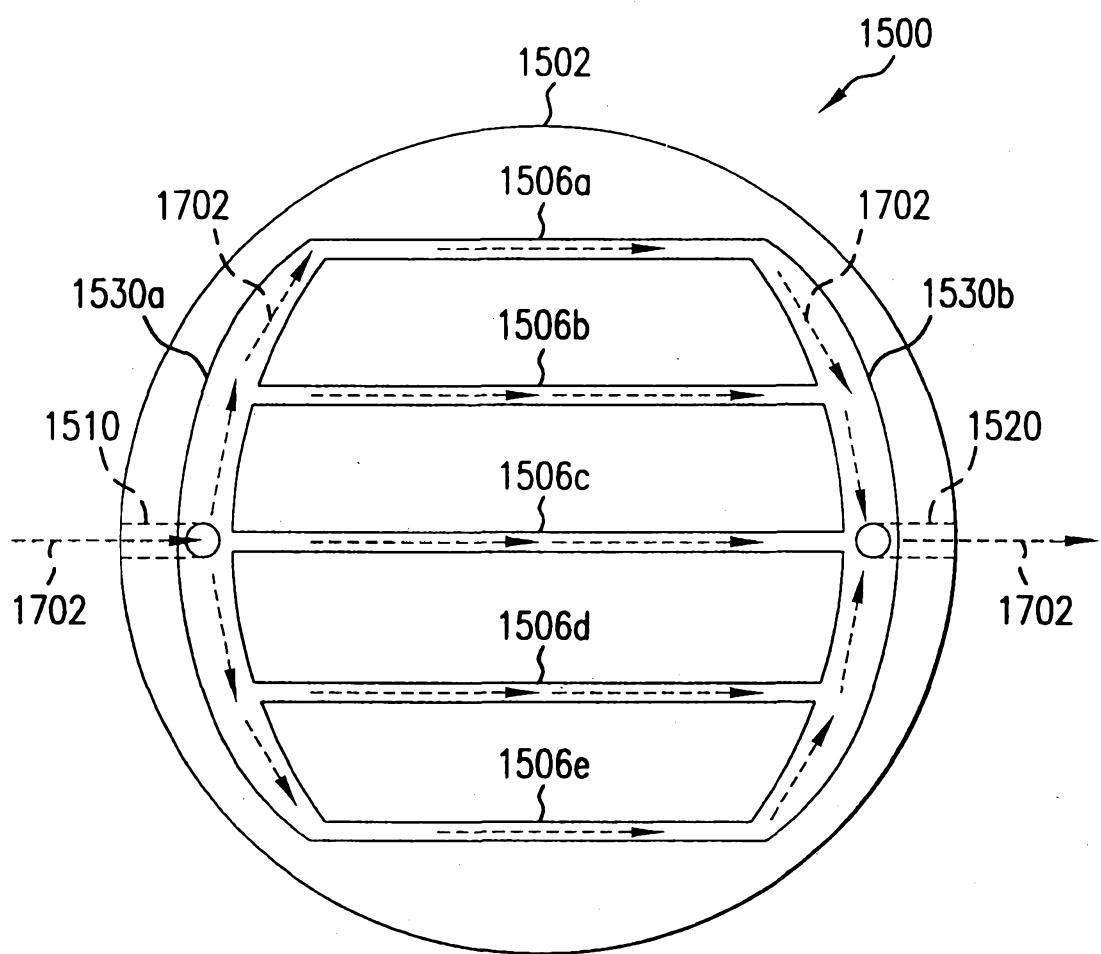
I309845

第16圖

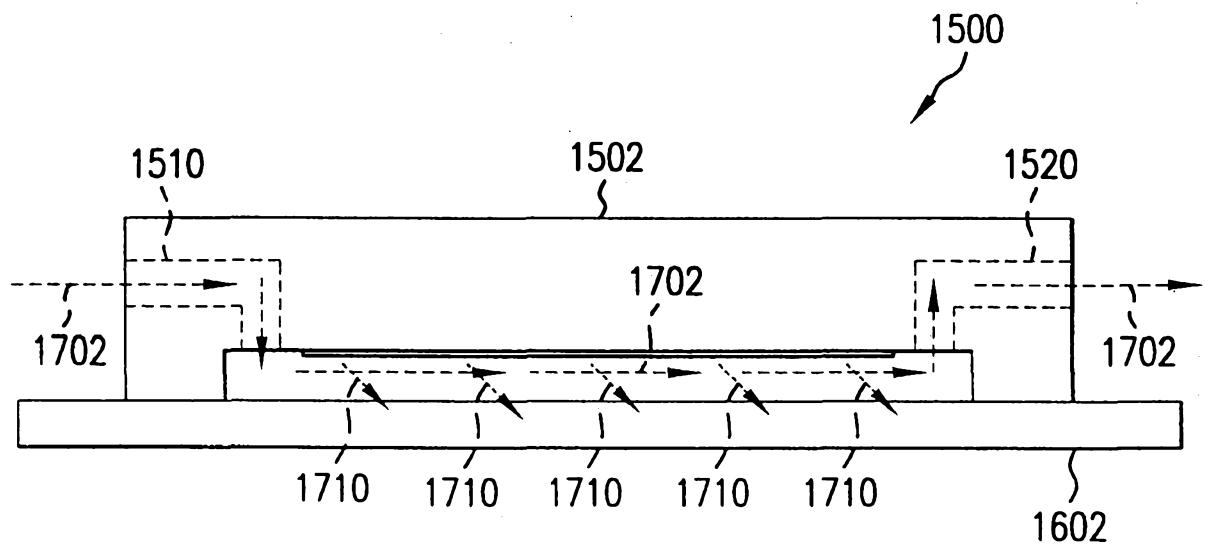


I309845

第17A圖

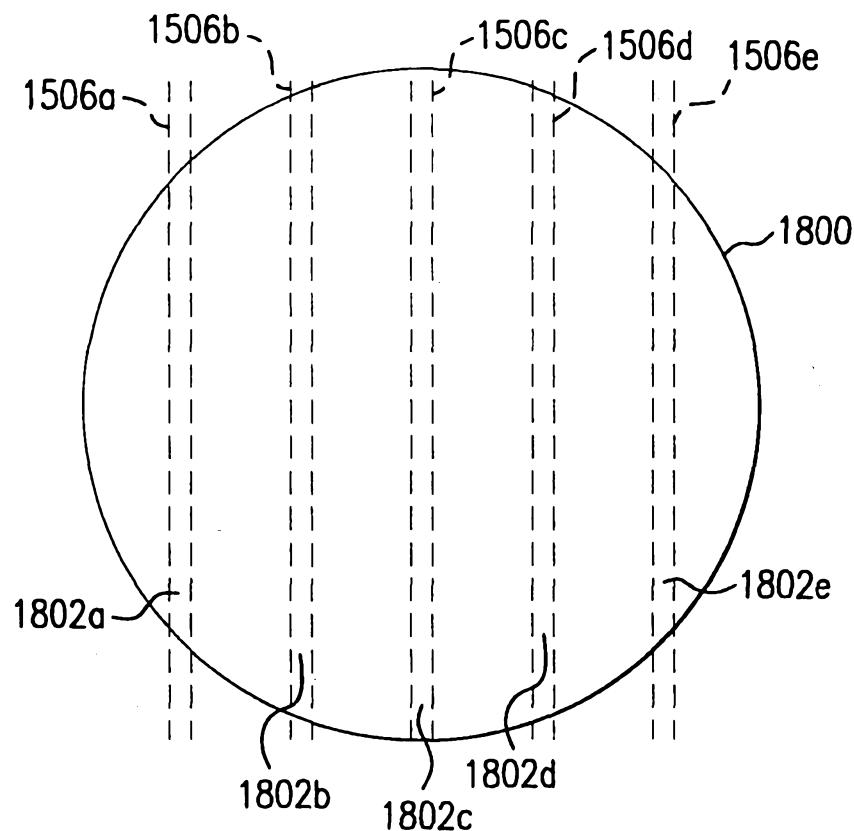


第17B圖

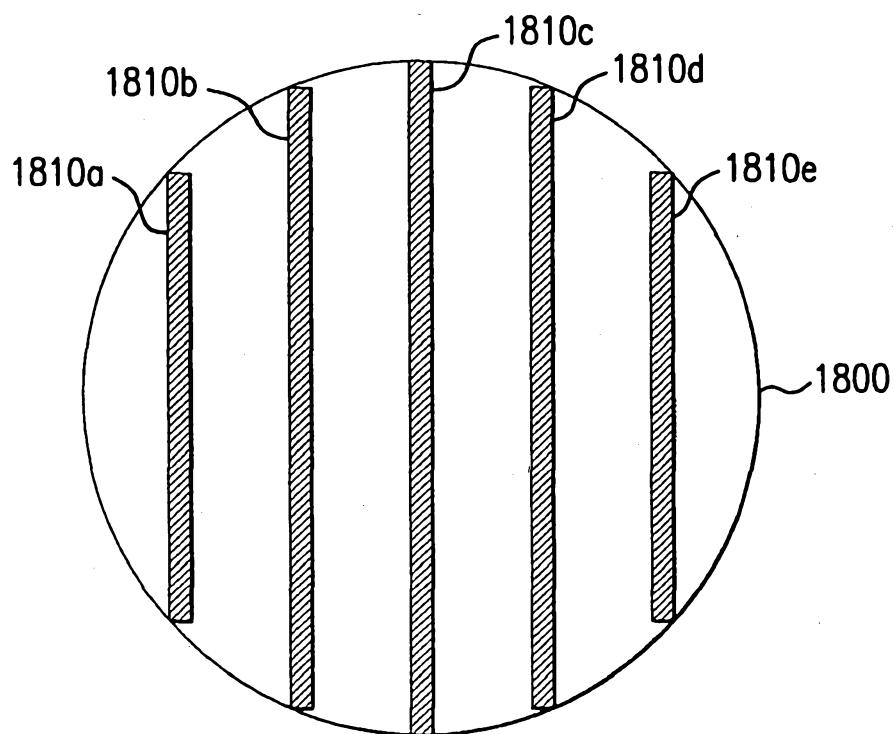


I309845

第18A圖

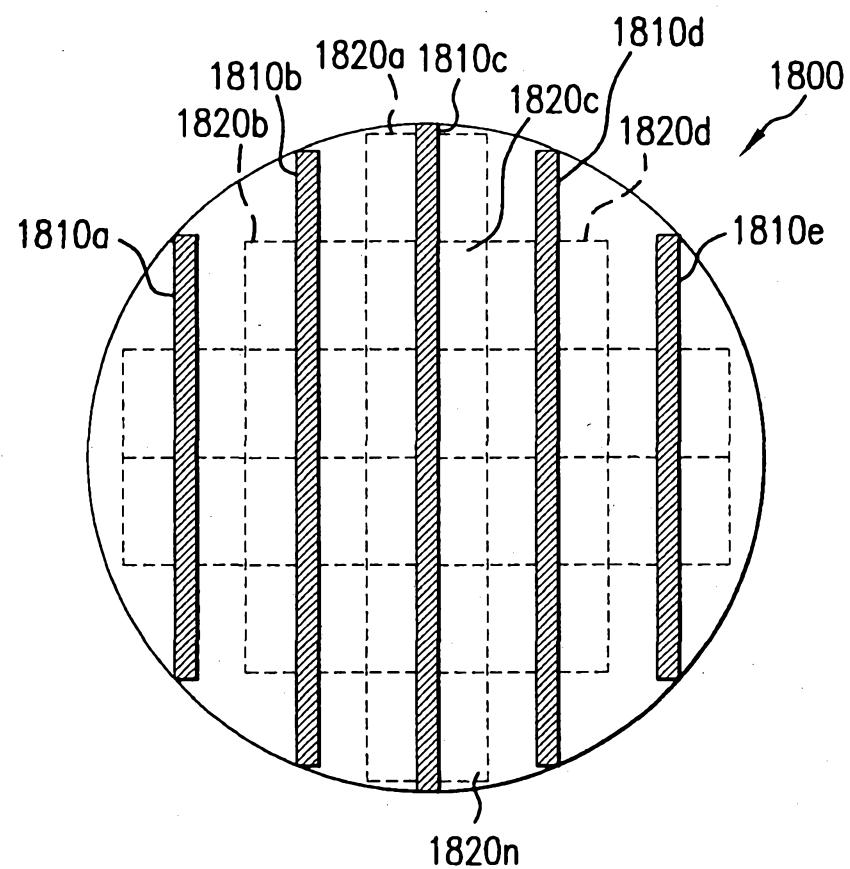


第18B圖



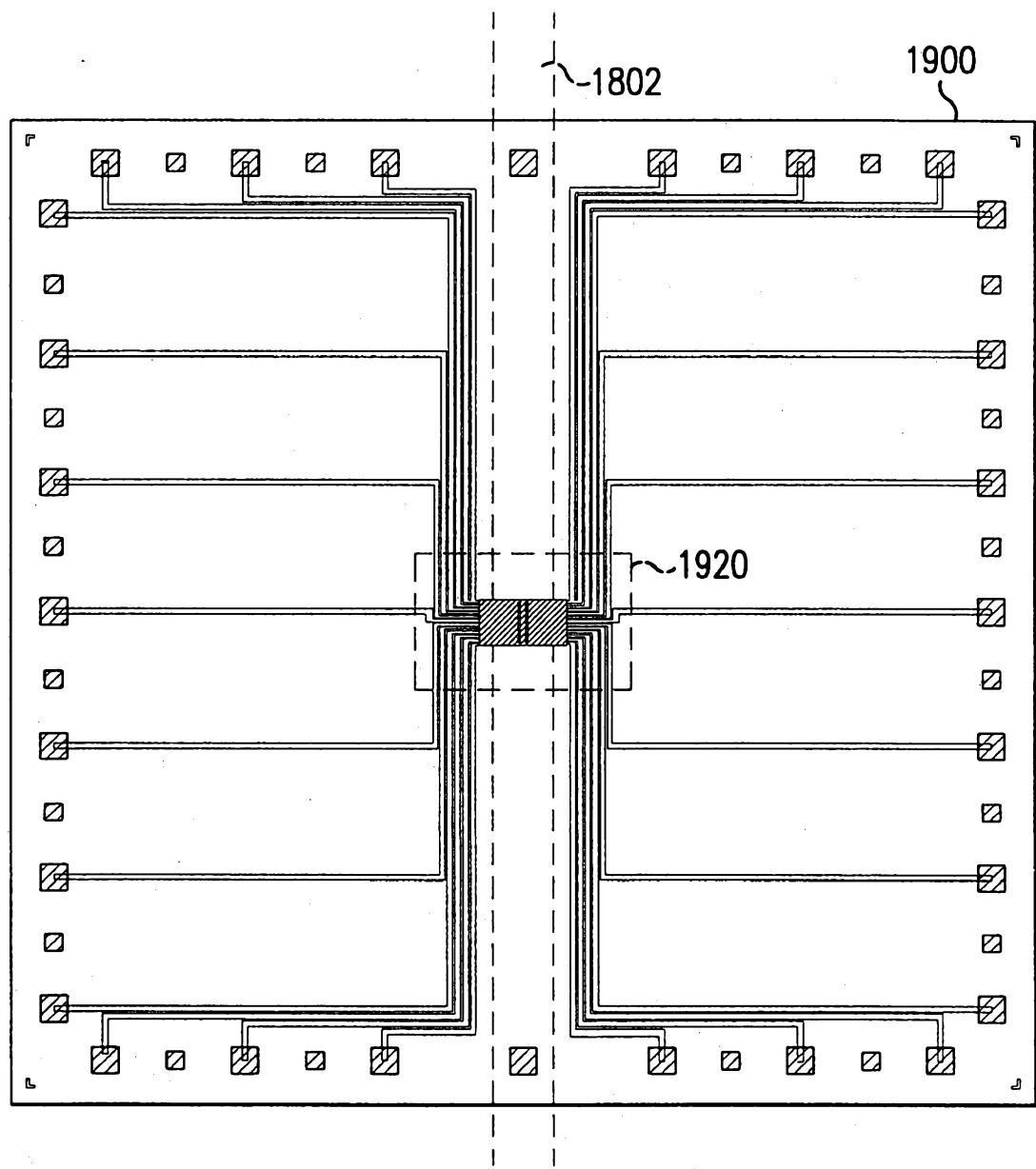
I309845

第18C圖



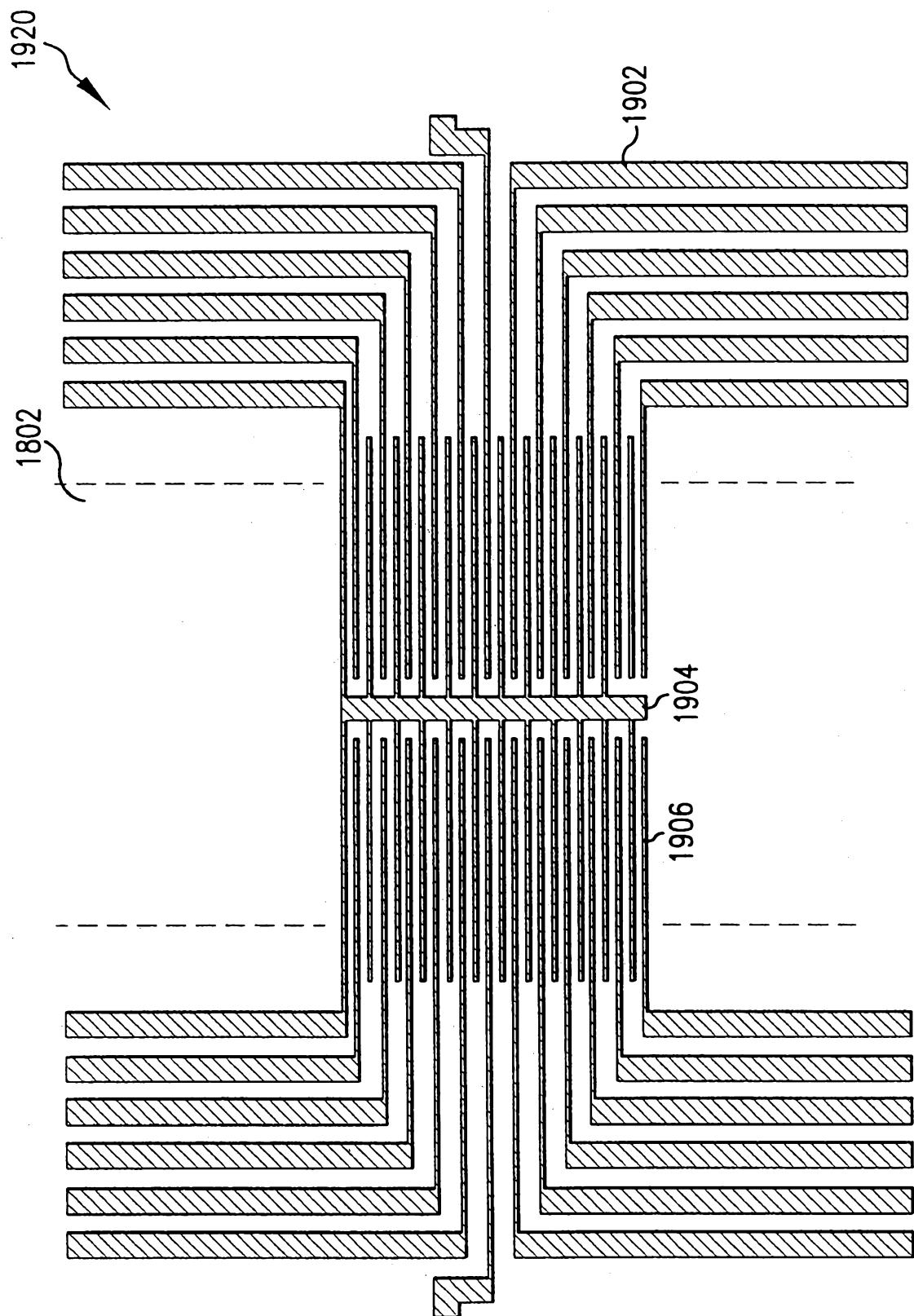
I309845

第19A圖



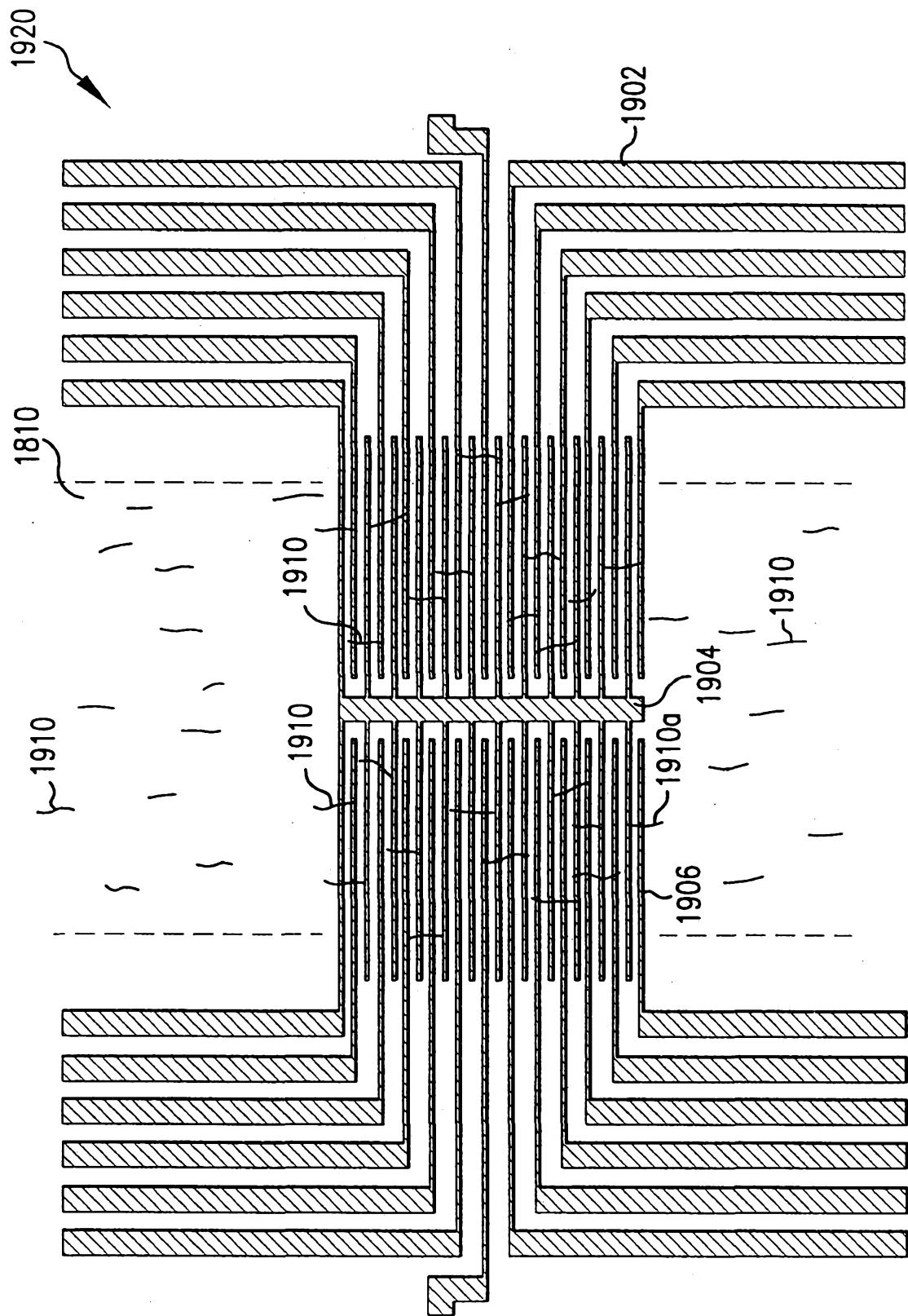
I309845

第19B圖



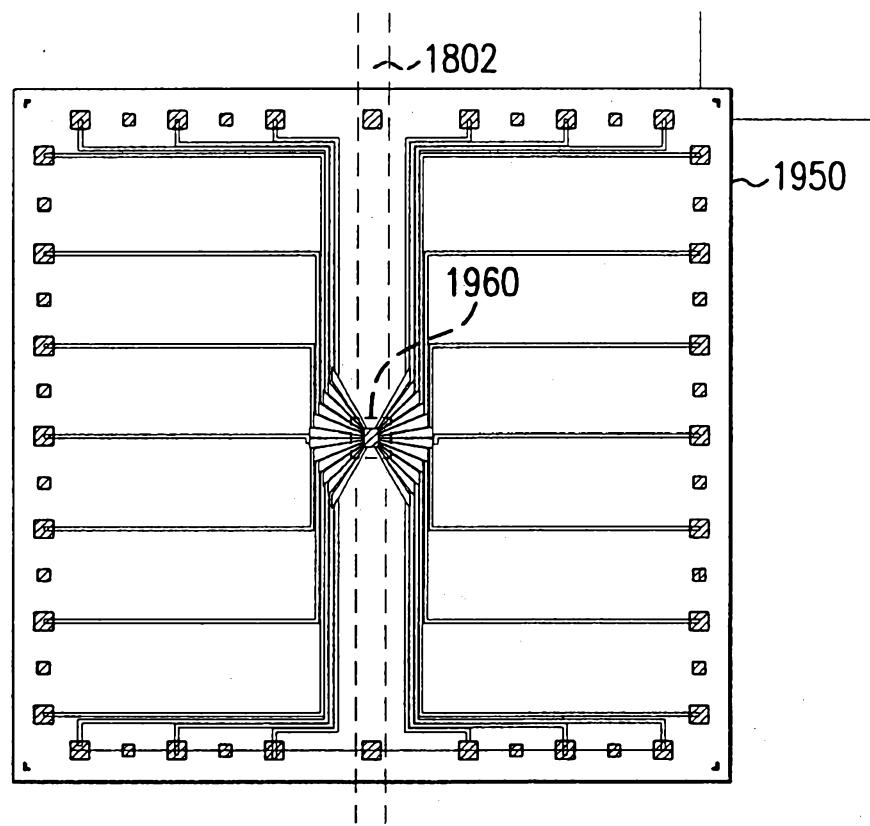
I309845

第19C圖

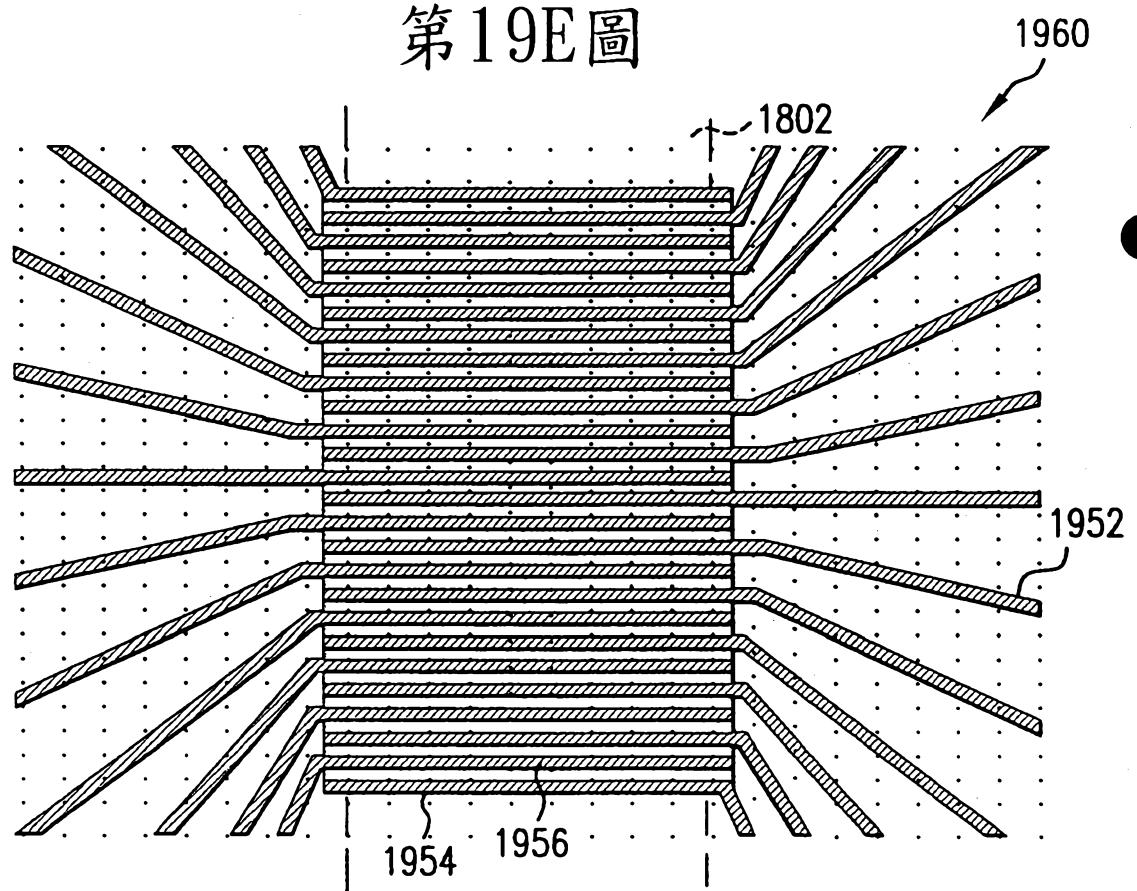


I309845

第19D圖

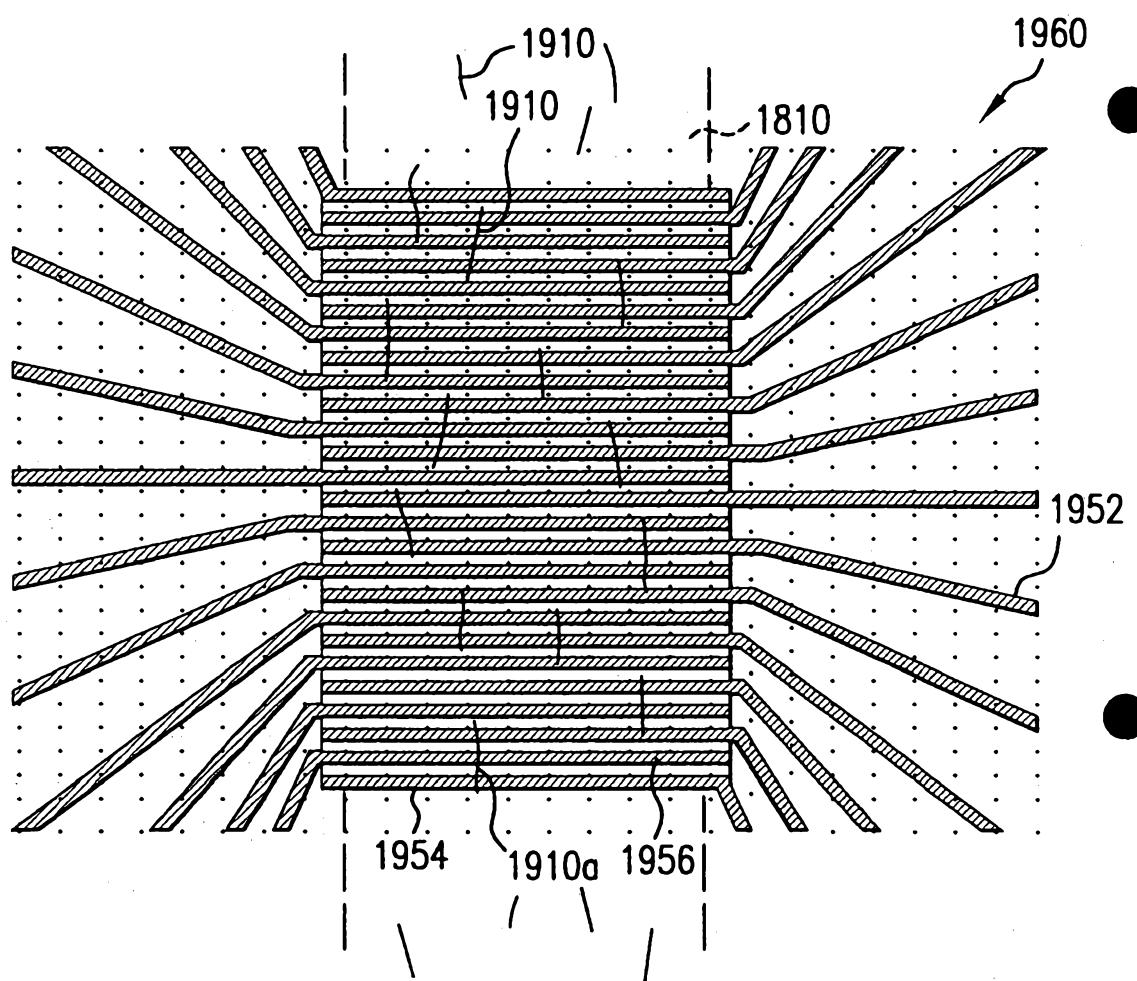


第19E圖



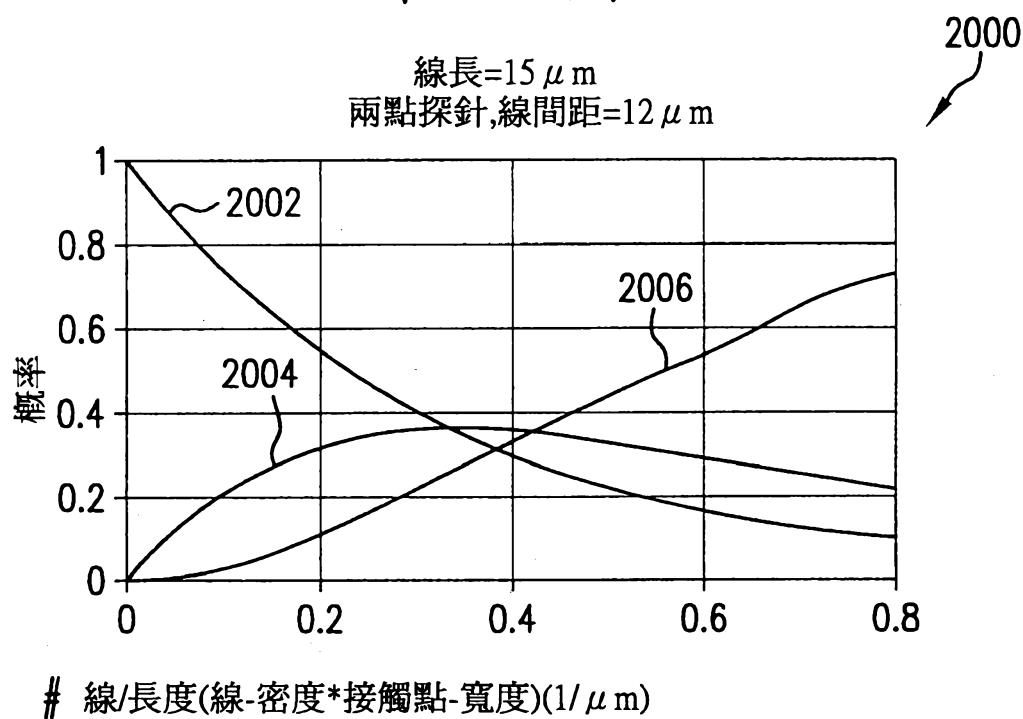
I309845

第19F圖

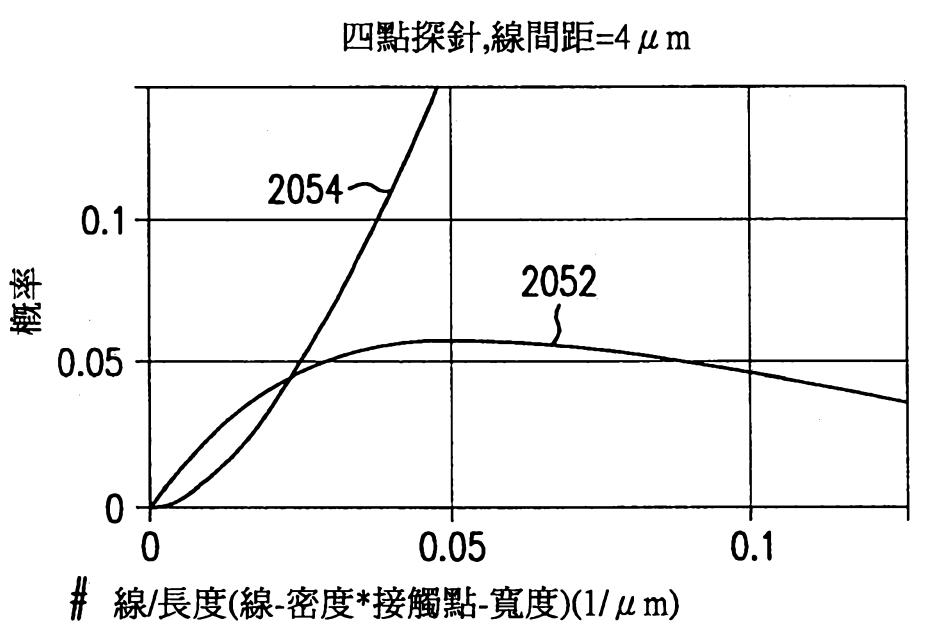


I309845

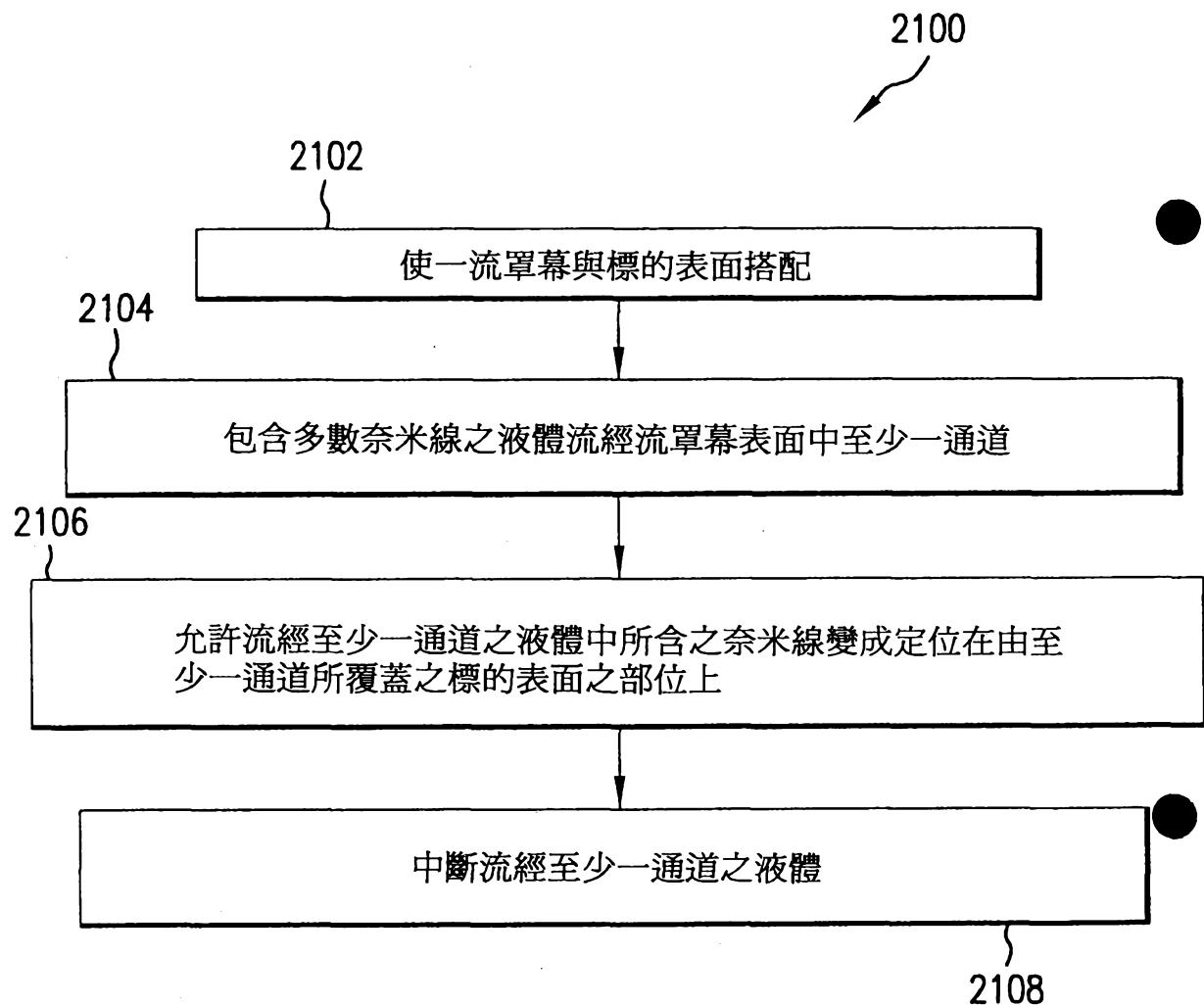
第20A圖



第20B圖

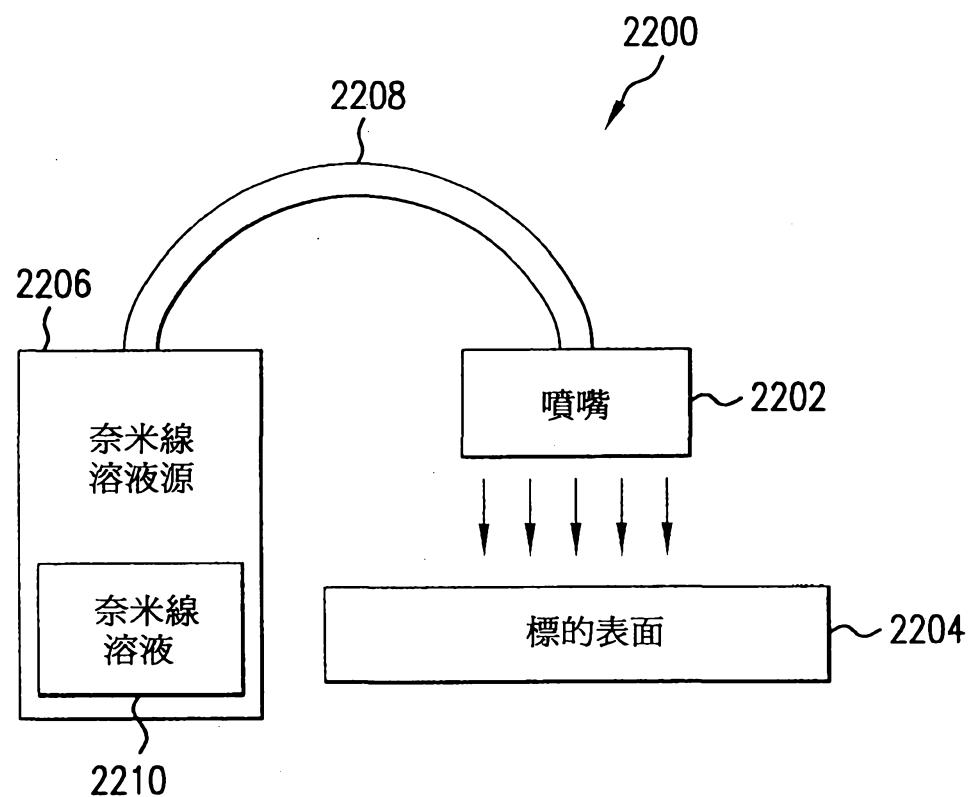


## 第21圖



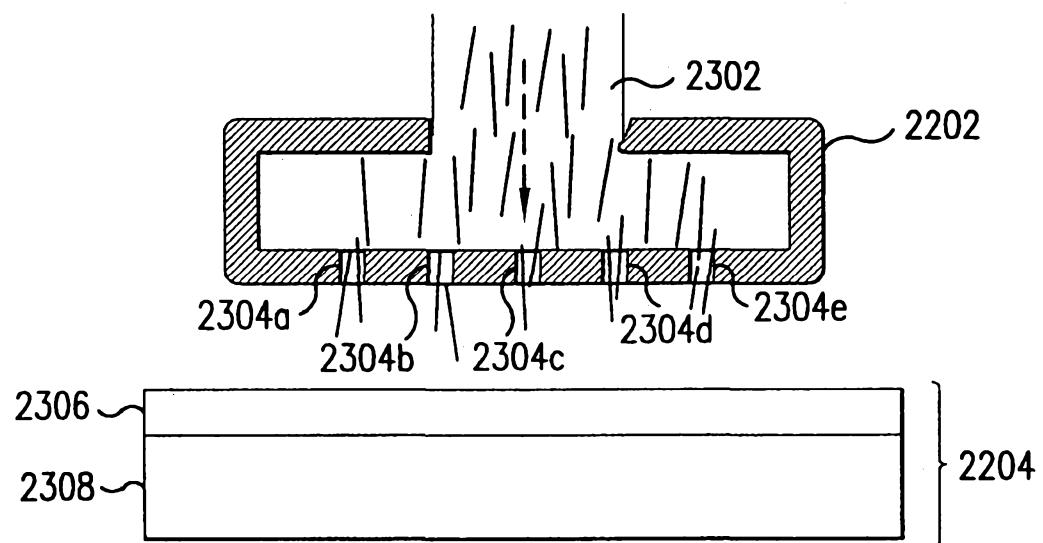
I309845

第22圖



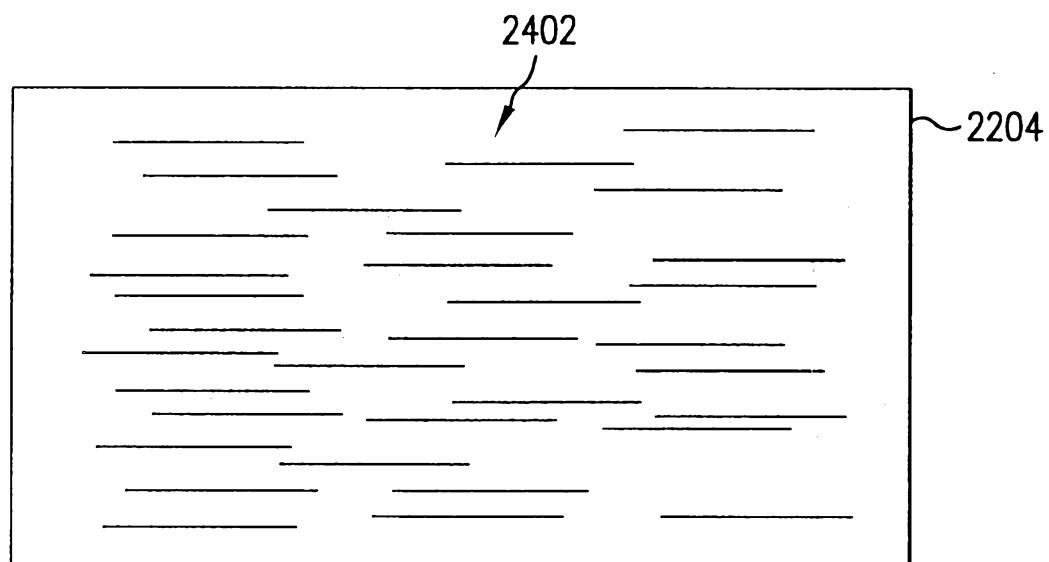
I309845

第23圖

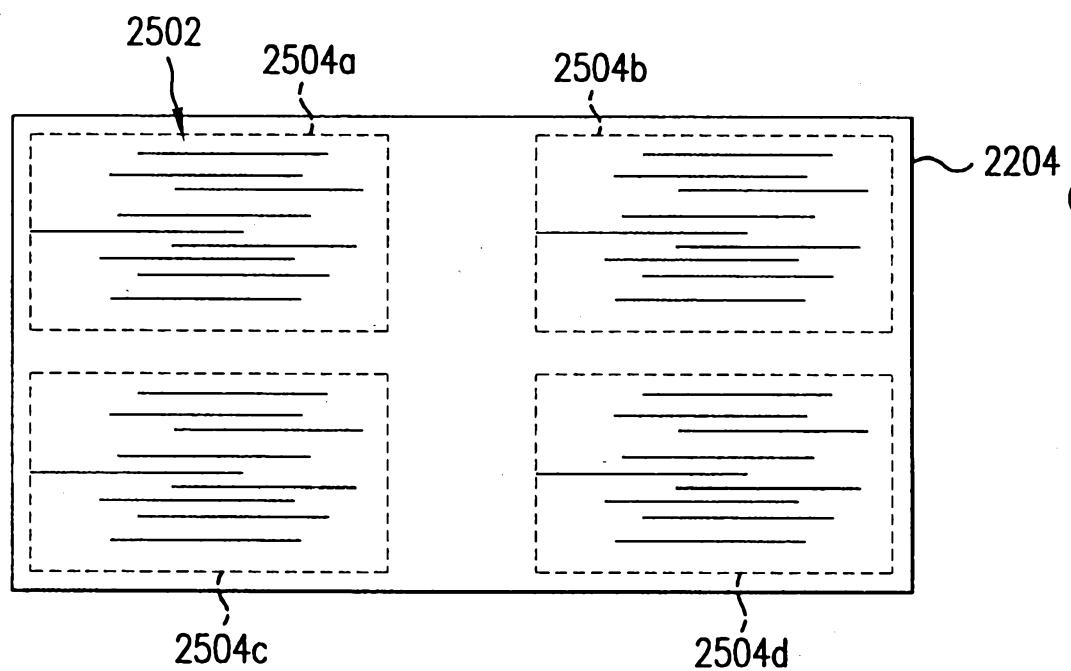


I309845

第24圖

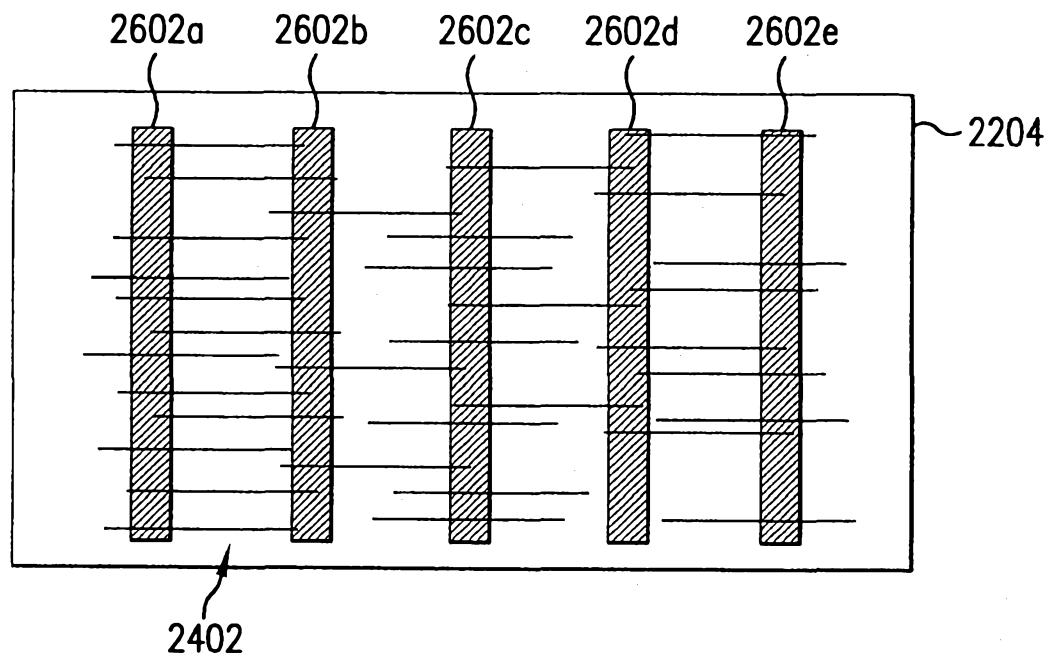


第25圖

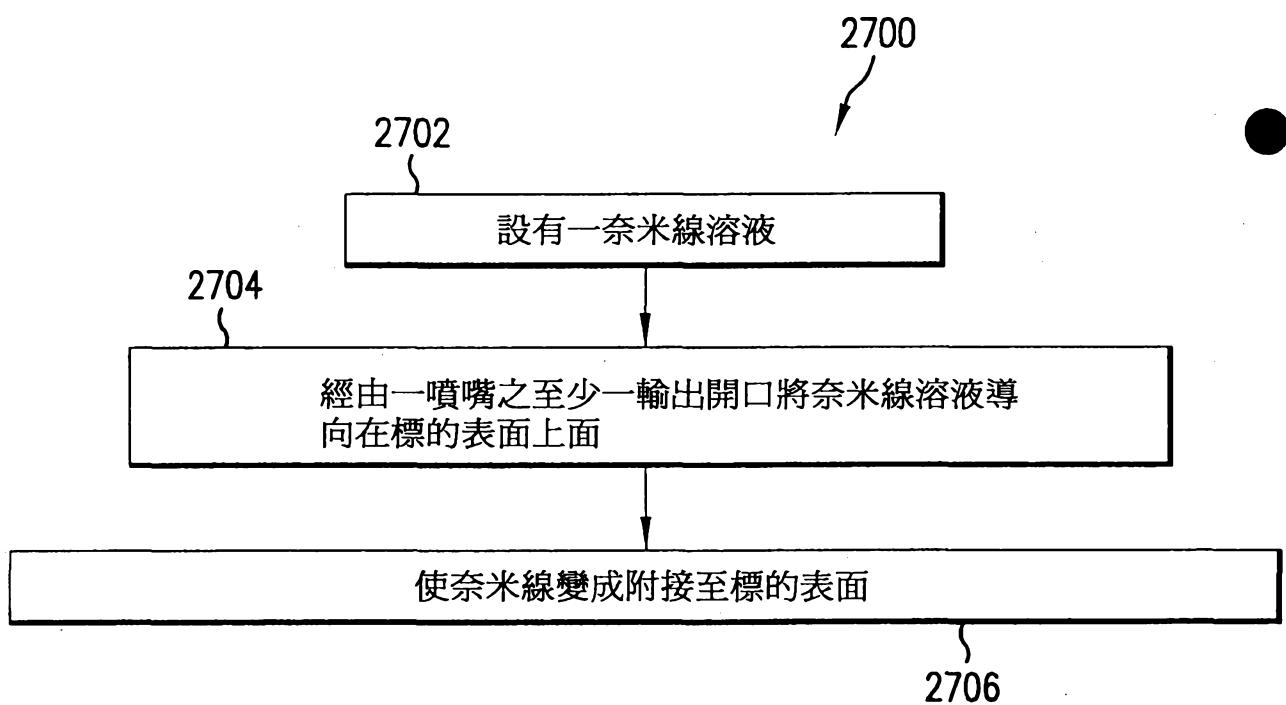


I309845

第26圖

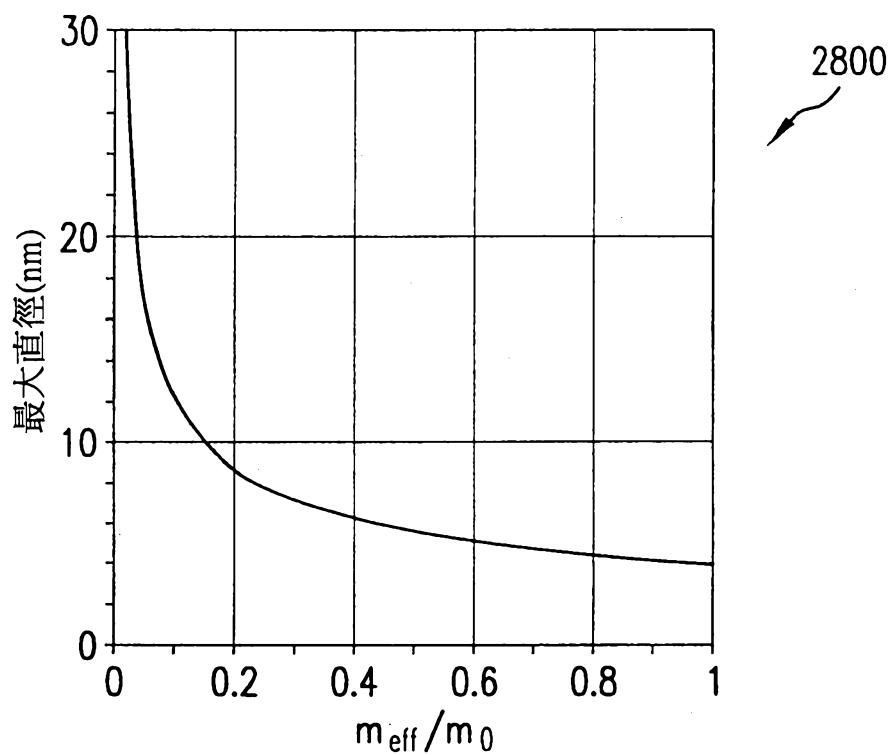


## 第27圖



I309845

第28圖

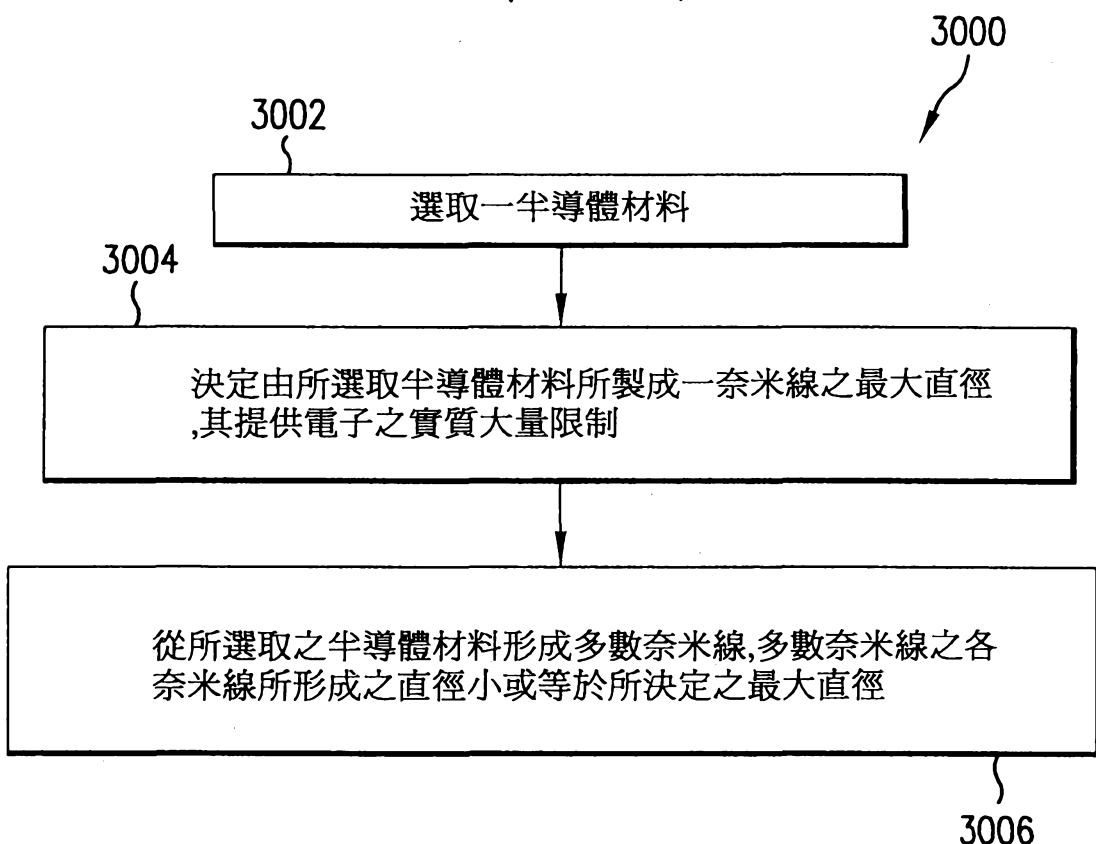


第29圖

A table listing various semiconductors along with their effective mass ratio ( $m_{\text{eff}}/m_0$ ) and band gap energy (eV). The table is divided into three sections by horizontal lines: 2902, 2904, and 2906. Arrows point from the section numbers to the first row of each section.

半導體	有效質量 $m_{\text{eff}}/m_0$	能帶間隙 (eV)
Si	0.57	5.5
Ge	0.33	1.14
AlN	0.2	0.67
AlSb	0.4	6.2
GaN	0.12	1.58
GaP	0.13	3.2
GaAs	0.38	2.9
GaSb	0.067	1.5
InN	0.041	0.72
InP	0.11	2.0
InAs	0.07	1.29
InSb	0.02	0.33
ZnO	0.013	0.16
ZnS	0.27	3.35
	0.40	3.68

第30圖



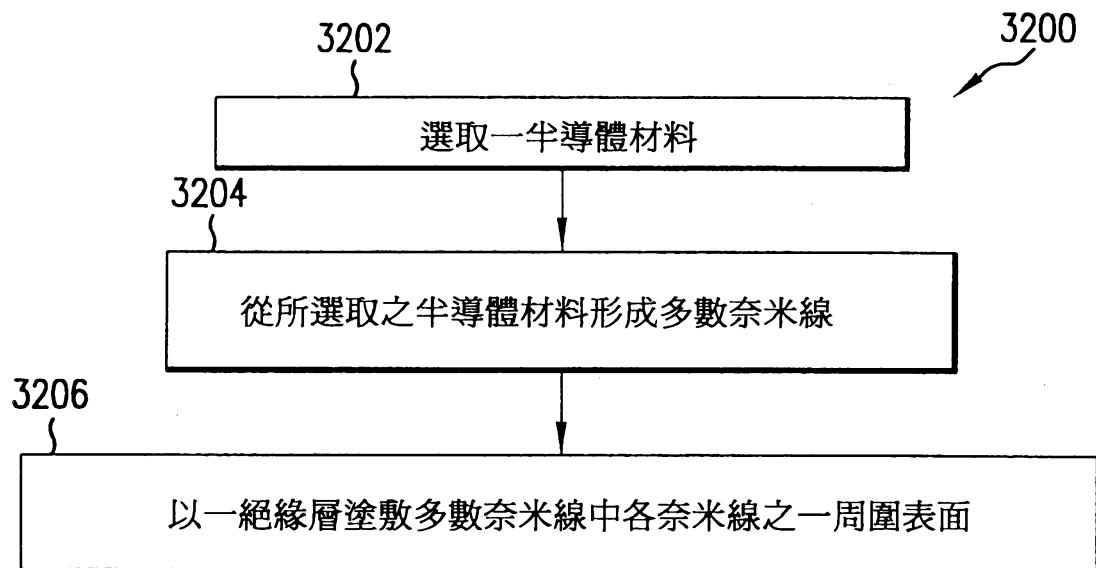
## 第31圖

3100  
↗

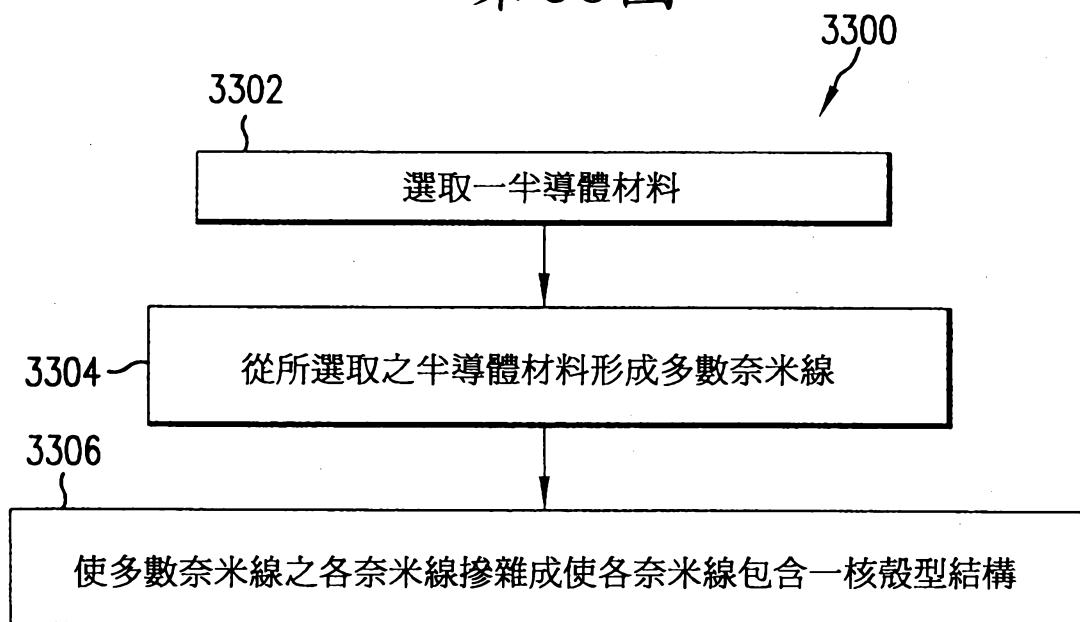
	3102		3104	3106	3108	
材料	$E_g$ (eV)	$\Delta$ (eV)	$E_g$ (eV)	$m_0/m_0$	$m_{lb}/m_0$	$m_h/m_0$
AlAs	3.13	0.275	21.1	0.124	0.26	0.5
GaP	2.895	0.08	22.2	—	0.17	0.67
GaAs	1.519	0.34	25.7	0.0665	0.082	0.45
InP	1.423	0.108	20.4	0.079	0.12	0.65
InAs	0.418	0.38	22.2	0.024	0.025	0.41
InSb	0.23	0.8	23.1	0.014	0.016	0.4

表 1.1 不同閃鋅礦 III-V 族半導體之參數(全部引用於低溫)  
 (注意:雖然 AlAs 與 GaP 為具有遠離區域中心低頻帶最小值  
 之非直接間隙半導體,全部的值為在區域中心之直接間隙)。

## 第32圖

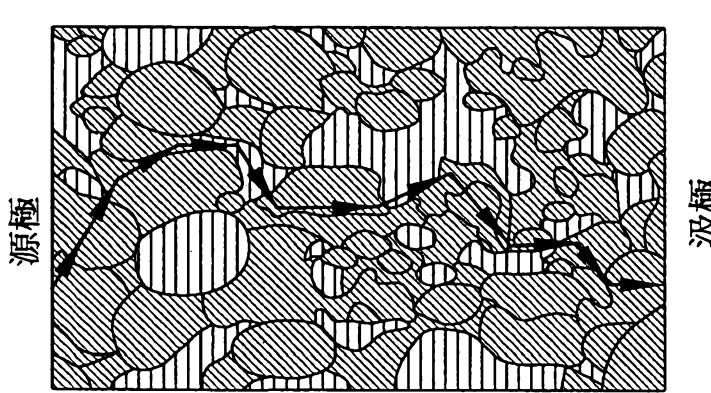


## 第33圖

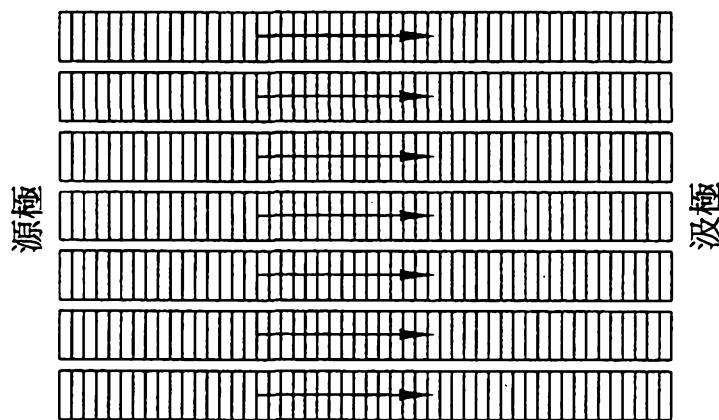


I309845

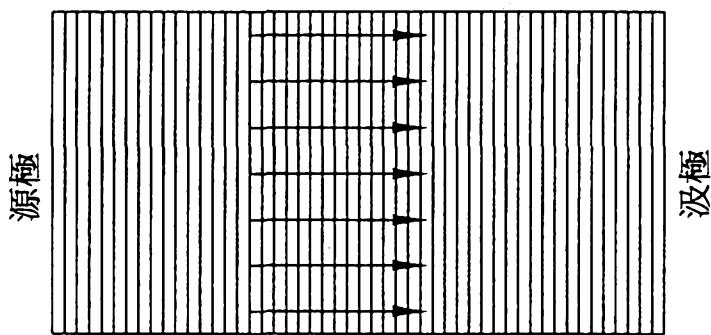
第34A圖



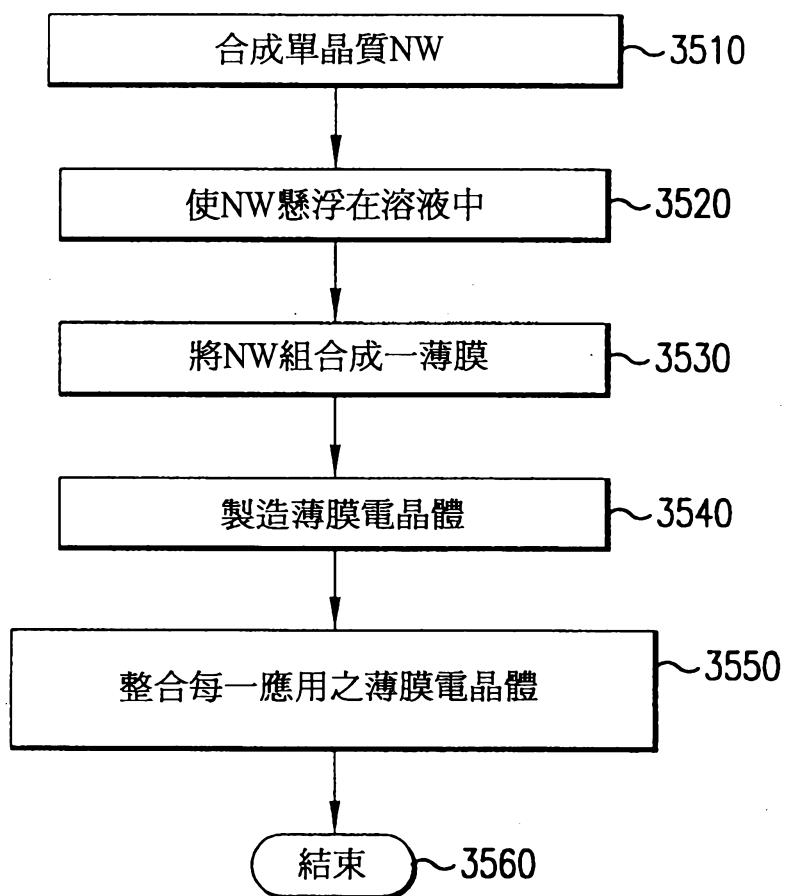
第34B圖



第34C圖

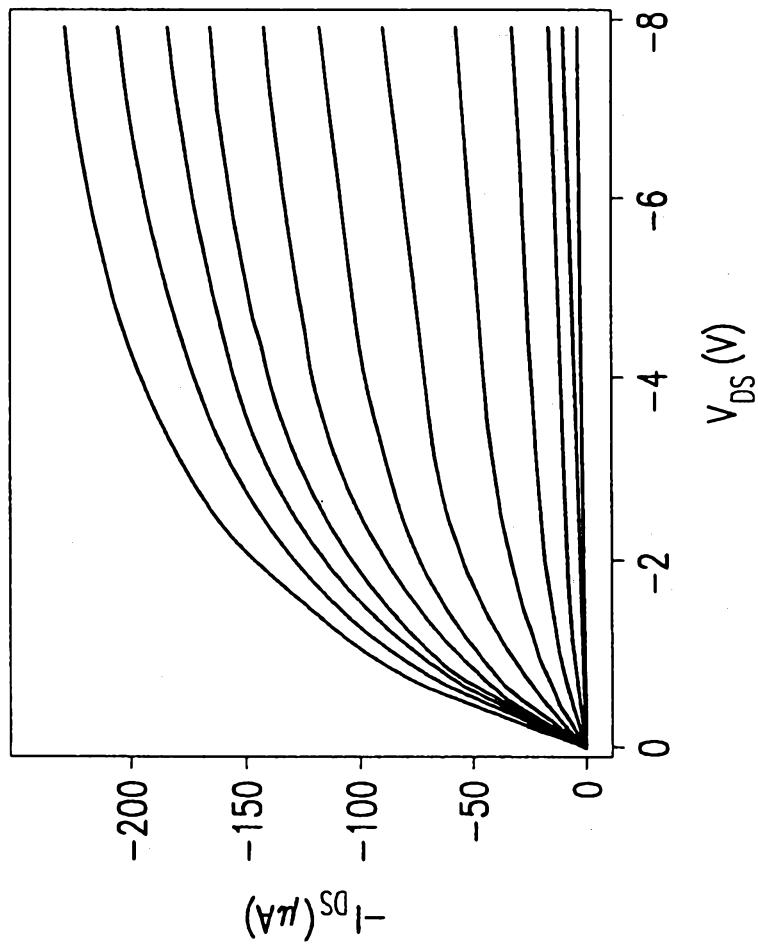


## 第35A圖

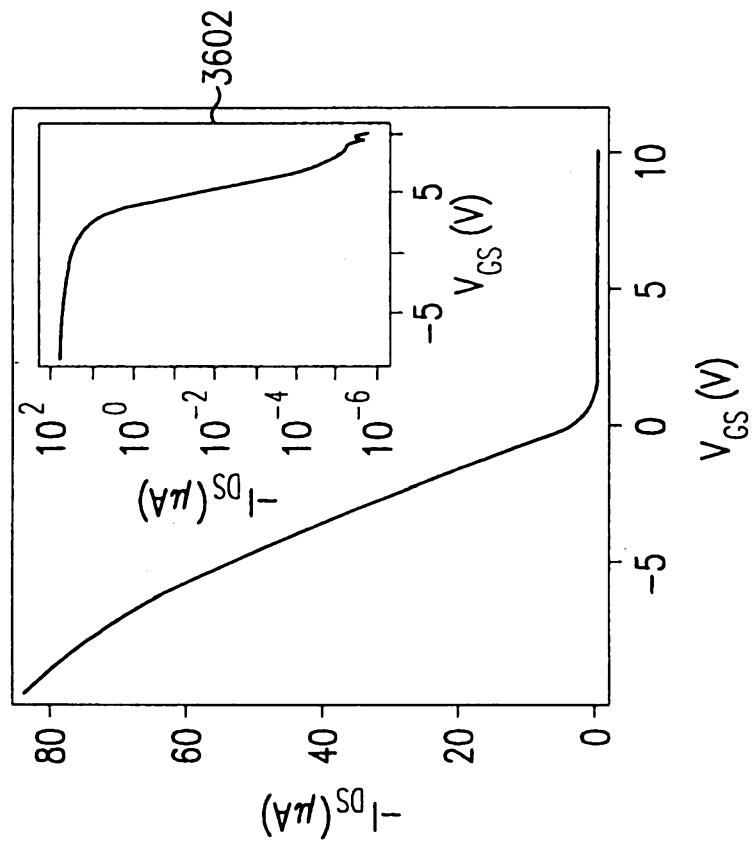
3500

I309845

第 36A 圖

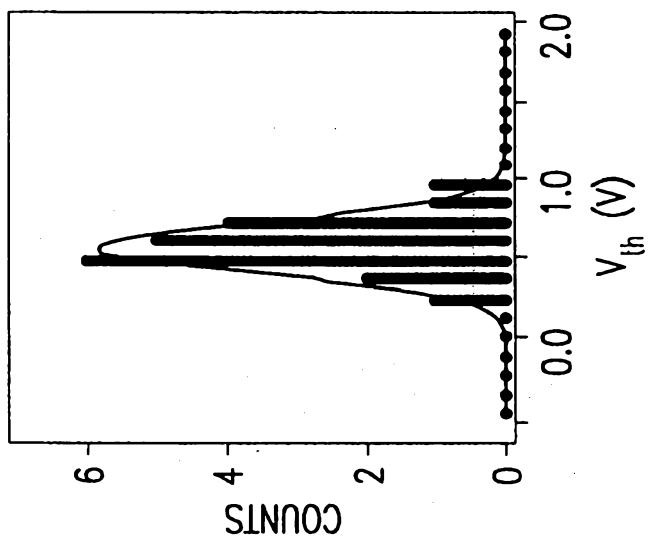


第 36B 圖

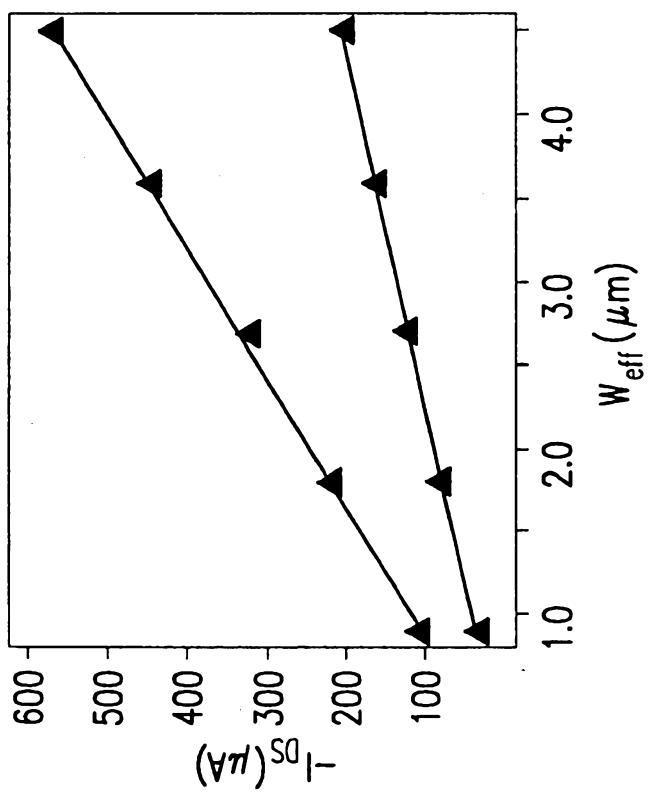


I309845

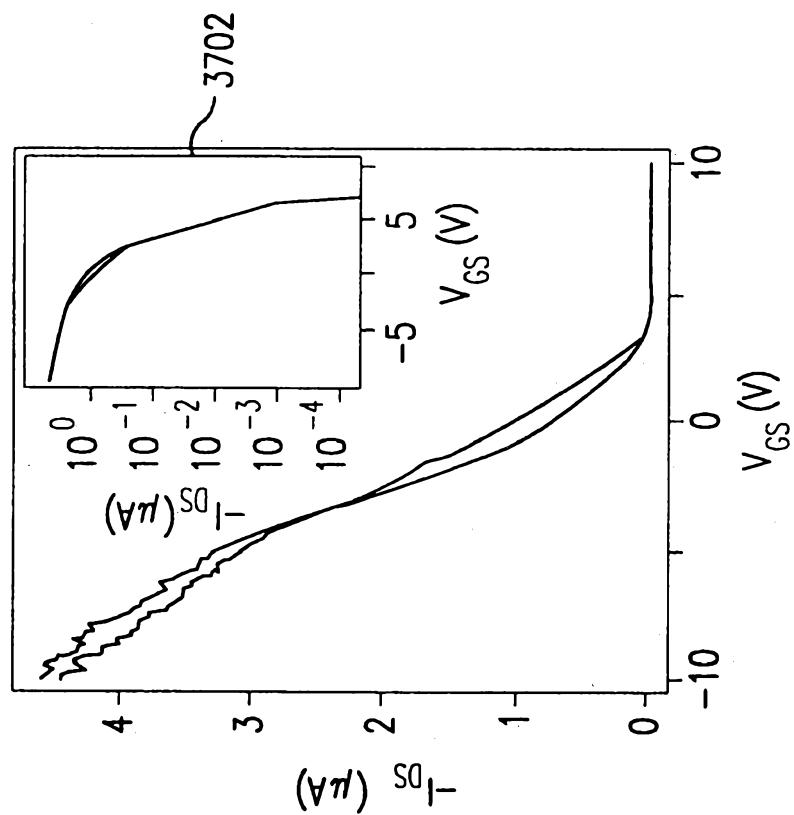
第36C圖



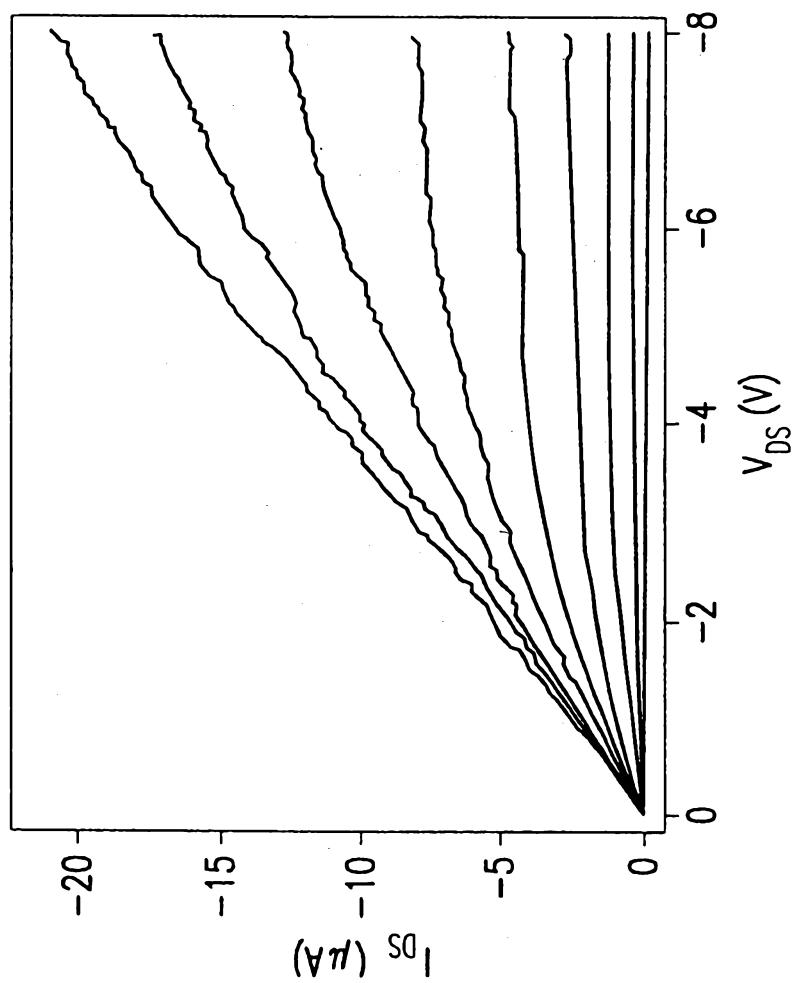
第36D圖



I309845



第37D圖

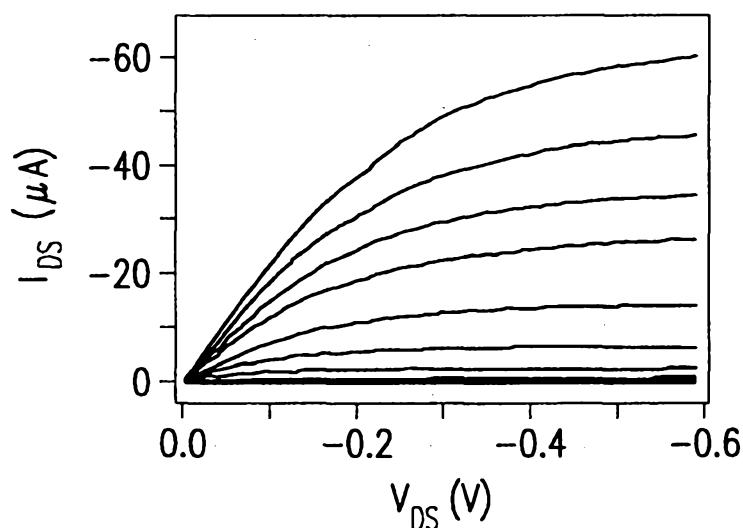


第37C圖

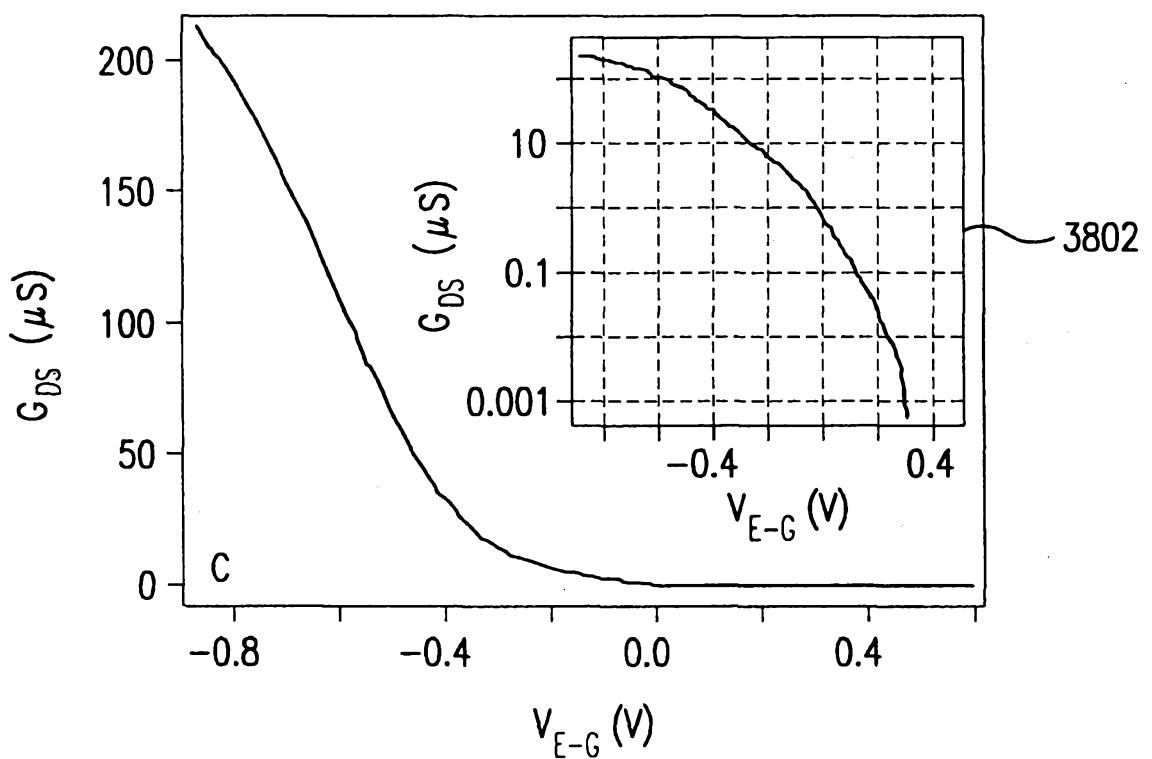
I309845



第38A圖



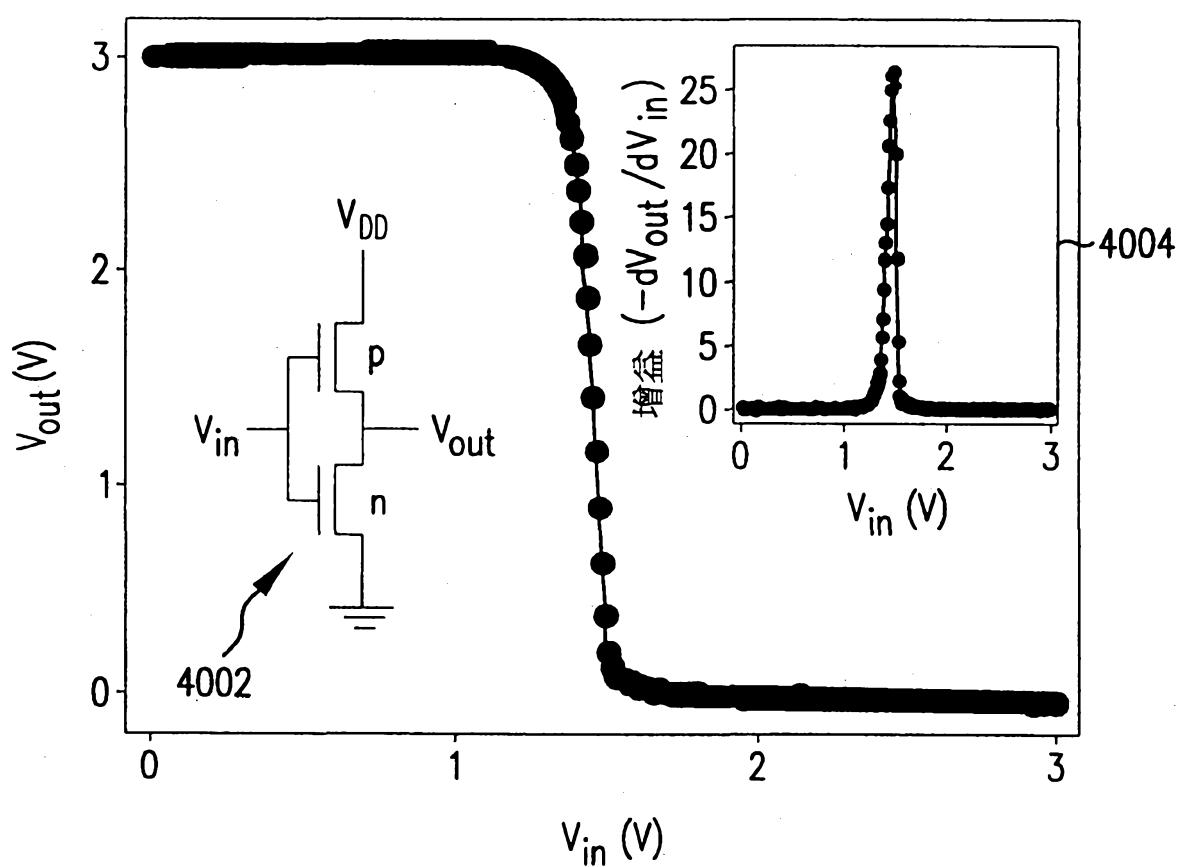
第38B圖



第38C圖

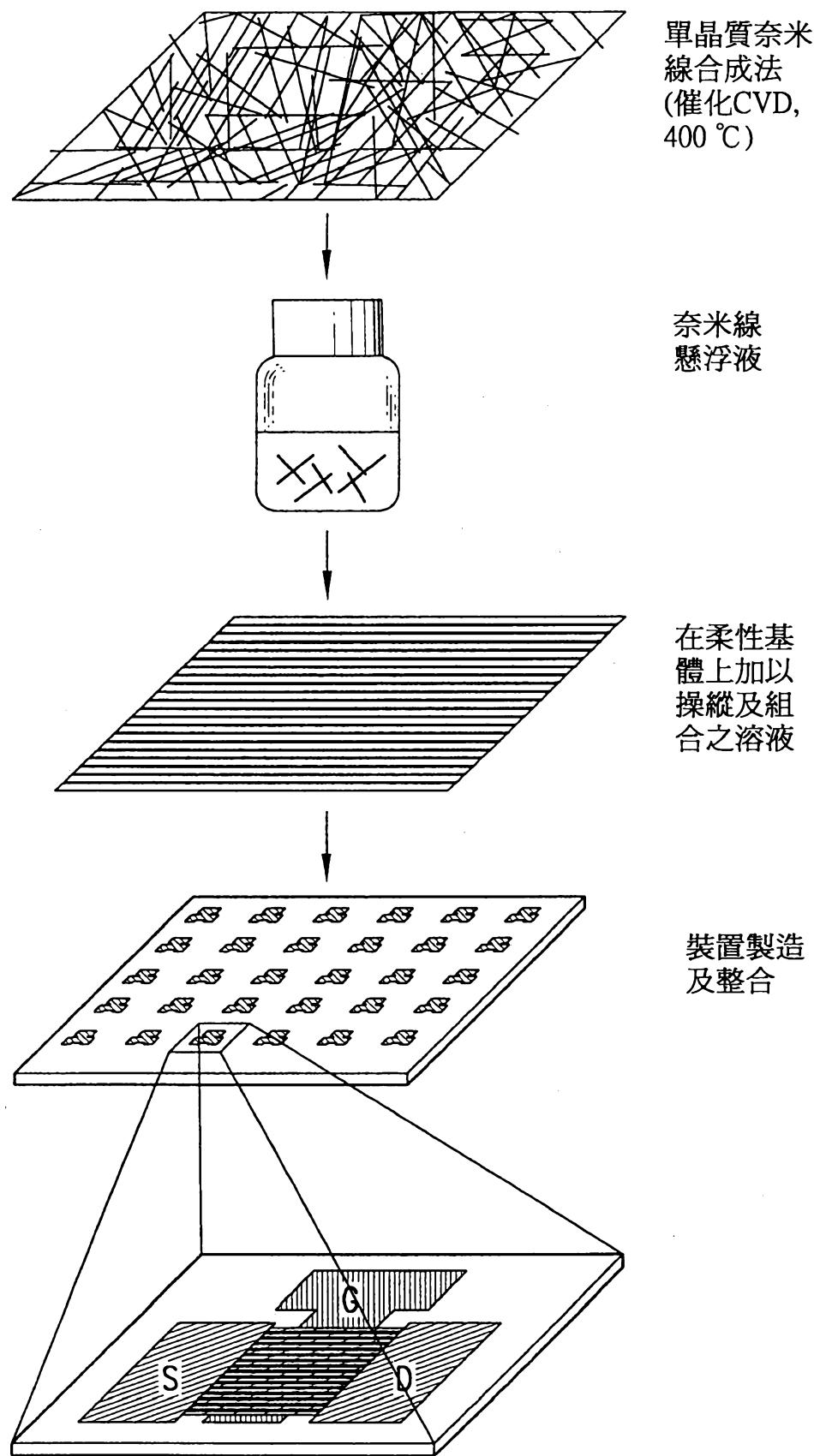
I309845

第40圖



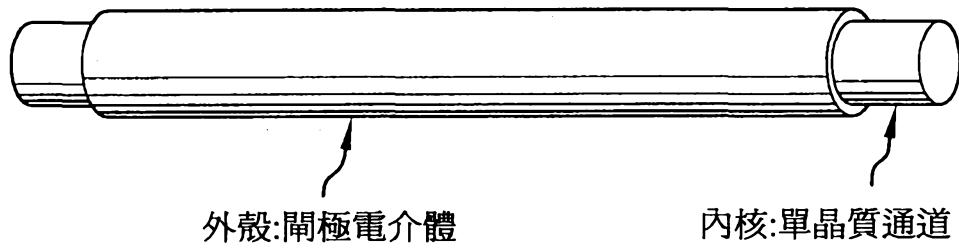
I309845

## 第42圖



I309845

## 第43圖



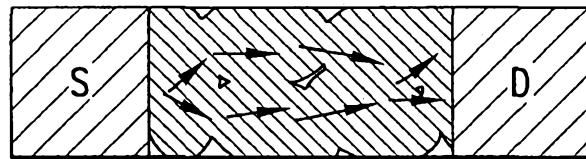
## 第44A圖

A: a-Si技術



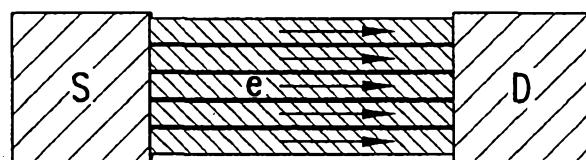
## 第44B圖

B: 聚-Si技術



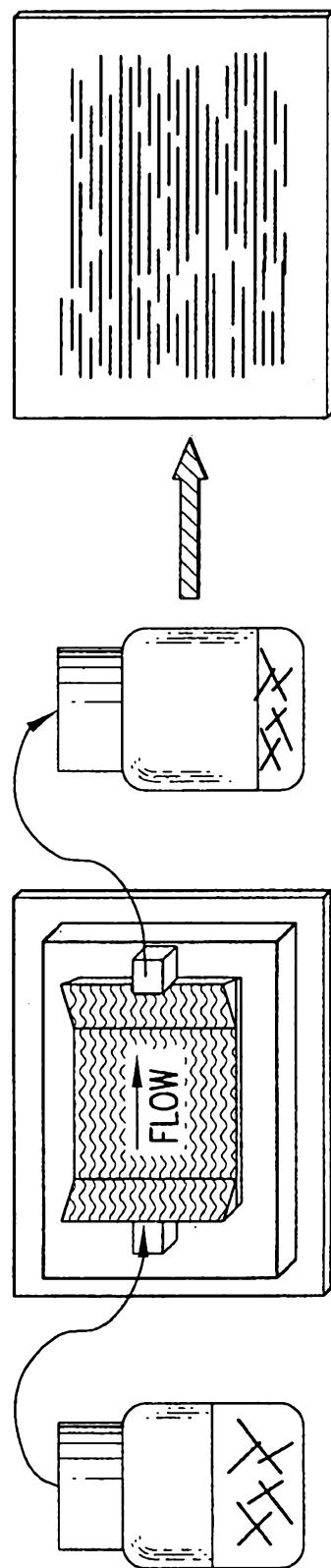
## 第44C圖

C: Si奈米線技術



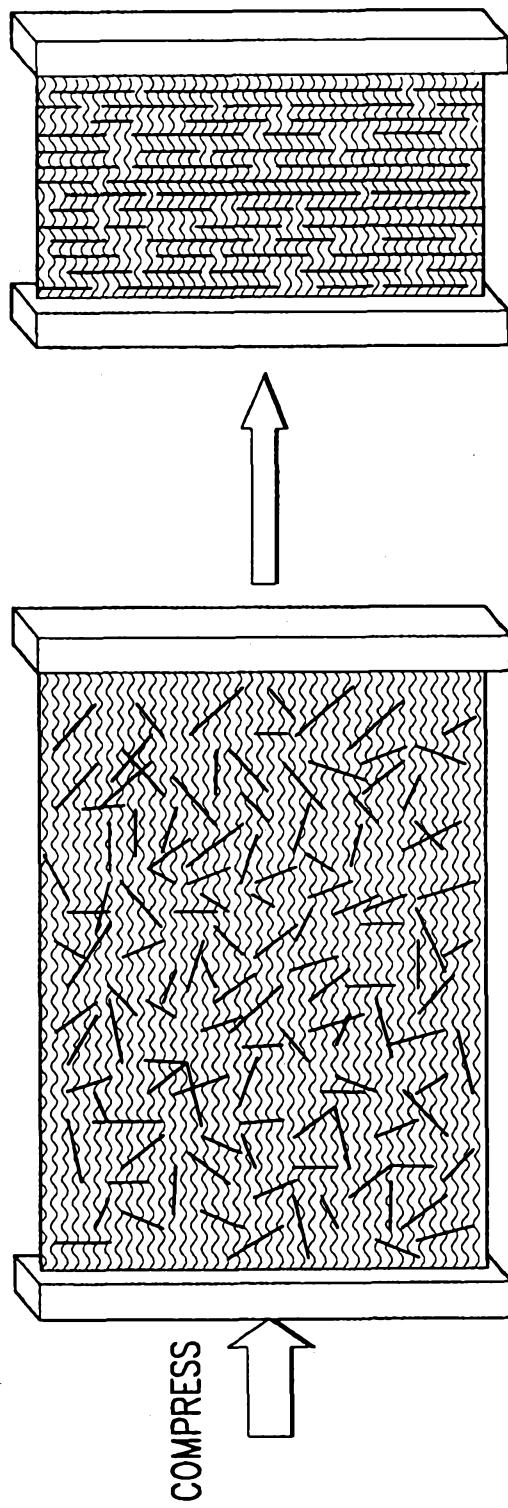
I309845

第45圖



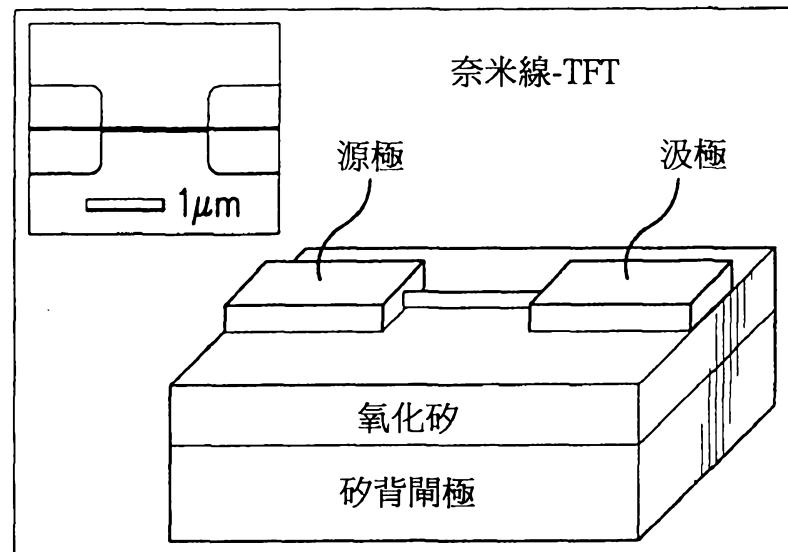
I309845

第46圖

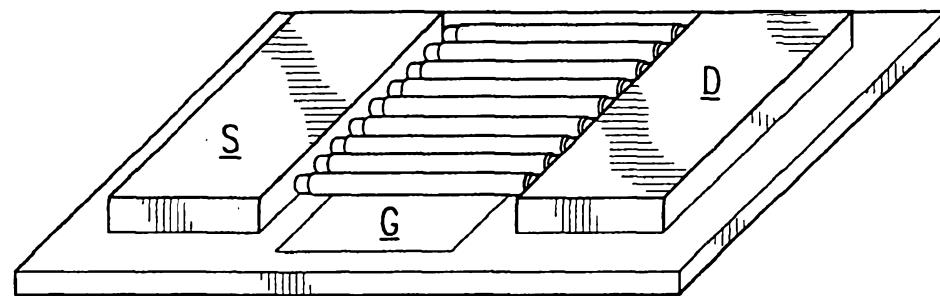


I309845

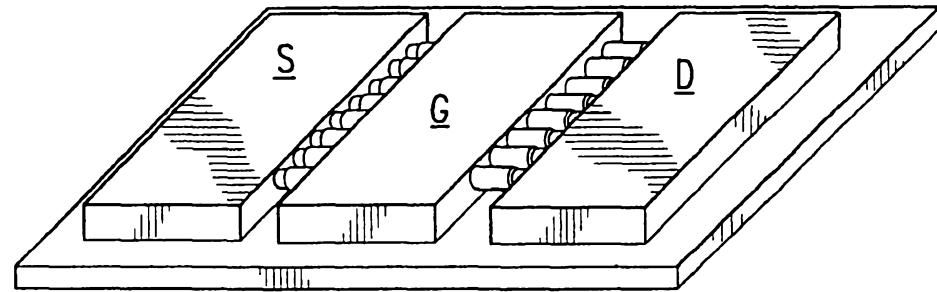
第47圖



第48A圖



第48B圖



柒、(一)、本案指定代表圖為：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

100	奈米線
200	半導體裝置
202	源極電極
204	閘極電極
206	汲極電極
208	基體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

## 拾、申請專利範圍

附件 2A：

第 092127075 號 專利申請案

中文申請專利範圍替換本

民國 95 年 9 月 8 日修正

1. 一種具有多數半導體裝置之電子基體，包含：

一基體；

一形成在該基體上之奈米線薄膜，具有足夠密度的奈米線以達到操作電流位準，其中該奈米線薄膜界定多數半導體裝置區域；及

形成在該半導體裝置區域以提供電氣連結至多數半導體裝置之接觸點。

2. 如申請專利範圍第 1 項之電子基體，其中至少半導體裝置的子集包含電晶體，其中該接觸點包含形成在該奈米線薄膜的上方或下方之閘極電極、源極電極及汲極電極，其中該奈米線薄膜形成該源極電極與該汲極電極間之通道。

3. 如申請專利範圍第 1 項之電子基體，其中至少半導體裝置的子集包含二極體，且其中該接觸點包含形成在該奈米線薄膜的上方或下方之陽極電極及陰極電極。

4. 如申請專利範圍第 3 項之電子基體，其中該奈米線薄膜形成該陽極電極與該陰極電極間之 p-n 接面。

5. 如申請專利範圍第 3 項之電子基體，其中該二極體包含發光二極體。

(2)

6. 如申請專利範圍第1項之電子基體，其中至少半導體裝置的子集包含邏輯裝置。

7. 如申請專利範圍第1項之電子基體，其中至少半導體裝置的子集包含記憶體裝置。

8. 如申請專利範圍第1項之電子基體，其中至少半導體裝置的子集包含主動矩陣驅動電路。

9. 如申請專利範圍第1項之電子基體，其中該奈米線被對齊以實質上平行於其長軸。

10. 如申請專利範圍第2項之電子基體，其中該奈米線被對齊以平行於源極電極與汲極電極間之軸。

11. 如申請專利範圍第2項之電子基體，其中該閘極電極形成在該基體上，該奈米線薄膜形成在該閘極電極上，且該源極電極及該汲極電極形成在該奈米線薄膜上。

12. 如申請專利範圍第2項之電子基體，其中該源極電極及該汲極電極形成在該基體上，該奈米線薄膜形成在該源極電極及汲極電極上，且該閘極電極形成在該奈米線薄膜上。

13. 如申請專利範圍第2項之電子基體，其中該閘極電極、源極電極及汲極電極形成在該基體上，且該奈米線薄膜形成在該閘極電極、源極電極及汲極電極上。

14. 如申請專利範圍第2項之電子基體，其中該閘極電極、源極電極及汲極電極形成在該奈米線薄膜上。

15. 如申請專利範圍第1項之電子基體，更包含半導體裝置的子集間之互連。

(3)

16. 如申請專利範圍第1項之電子基體，其中該基體包含一撓性薄膜。

17. 如申請專利範圍第1項之電子基體，其中該基體包含透明材料。

18. 如申請專利範圍第1項之電子基體，其中該基體包含透明材料。

19. 如申請專利範圍第1項之電子基體，其中該奈米線是單晶奈米線，其中電載子以可與傳輸於由傳統平面單晶半導體材料形成的裝置中之電載子相比的移動率傳輸經過該單晶奈米線。

20. 如申請專利範圍第2項之電子基體，其中該奈米線薄膜包含足夠數目的奈米線以具有大於10毫微安培之通道中開狀態電流位準。

21. 如申請專利範圍第2項之電子基體，其中該通道包含一奈米線以上。

22. 如申請專利範圍第2項之電子基體，其中至少該閘極電極的子集包含一奈米線薄膜以上。

23. 如申請專利範圍第2項之電子基體，其中至少該通道的子集包含一p-n接面，使得於操作期間該p-n接面發光。

24. 如申請專利範圍第1項之電子基體，其中該奈米線被摻雜。

25. 如申請專利範圍第1項之電子基體，其中至少該奈米線的子集具有摻雜的內核。

(4)

26.如申請專利範圍第1項之電子基體，其中至少該奈米線的子集具有摻雜的外殼。

27.如申請專利範圍第1項之電子基體，其中至少該奈米線的子集具有摻雜的內核及外殼。

28.如申請專利範圍第2項之電子基體，其中至少該奈米線的子集被氧化藉以形成閘極電介體。

29.如申請專利範圍第1項之電子基體，其中至少該半導體裝置的子集被電氣地耦合至另一電路。

30.如申請專利範圍第29項之電子基體，其中該電路是一邏輯電路。

31.如申請專利範圍第29項之電子基體，其中該電路是一記憶體電路。

32.如申請專利範圍第29項之電子基體，其中該電路是一主動矩陣驅動電路。

33.如申請專利範圍第1項之電子基體，其中至少該半導體裝置的子集被物理地耦合至另一電路。

34.如申請專利範圍第33項之電子基體，其中該電路是一邏輯電路。

35.如申請專利範圍第33項之電子基體，其中該電路是一記憶體電路。

36.如申請專利範圍第33項之電子基體，其中該電路是一主動矩陣驅動電路。

37.如申請專利範圍第1項之電子基體，其中該奈米線被形成圖案。

(5)

38. 如申請專利範圍第37項之電子基體，其中該形成  
圖案的奈米線以光石印被形成圖案。

39. 如申請專利範圍第37項之電子基體，其中該形成  
圖案的奈米線被篩印刷。

40. 如申請專利範圍第37項之電子基體，其中該形成  
圖案的奈米線被噴墨印刷。

41. 如申請專利範圍第37項之電子基體，其中該形成  
圖案的奈米線被微接觸印刷。

42. 如申請專利範圍第1項之電子基體，其中該奈米線  
被旋轉鑄造。

43. 如申請專利範圍第1項之電子基體，其中該奈米線  
被機械地對齊。

44. 如申請專利範圍第1項之電子基體，其中該奈米線  
被流動對齊。

45. 如申請專利範圍第1項之電子基體，其中該奈米線  
被剪力對齊。

46. 如申請專利範圍第1項之電子基體，其中該奈米線  
包含足夠的密度以具有達成在該基體上有裝置之統計可能  
性。

47. 如申請專利範圍第1項之電子基體，其中更包含氧化  
化物層，沈積在至少一部份的該奈米線上。

48. 如申請專利範圍第1項之電子基體，其中該奈米線  
是彈道導體，具有大於單晶半導體材料之移動率。

49. 如申請專利範圍第1項之電子基體，其中該奈米線

被隨機朝向。

50.如申請專利範圍第1項之電子基體，其中該奈米線被形成爲單層薄膜、子單層薄膜或多層薄膜。

51.如申請專利範圍第2項之電子基體，其中對於該通道的至少一通道而言，該奈米線的至少二奈米線的第一端與該通道的第一接觸點電氣地耦合，且該至少二奈米線的第二端與該通道的第二接觸點電氣地耦合。

52.一種製造具有多數半導體裝置之電子基體之方法，包含以下步驟：

(a)在基體上形成奈米線薄膜，具有足夠密度的奈米線以達到操作電流位準；

(b)在奈米線薄膜中界定多數半導體裝置區域；及

(c)在半導體裝置形成接觸點，藉以提供電氣連結至多數半導體裝置。

53.如申請專利範圍第52項之方法，更包含對齊該奈米線實質上平行於其長軸。

54.如申請專利範圍第52項之方法，其中步驟(c)包含形成源極電極及汲極電極，使得該奈米線形成一通道，具有各別的源極電極與汲極電極間之長度。

55.如申請專利範圍第54項之方法，更包含形成閘極電極之步驟。

56.如申請專利範圍第52項之方法，其中步驟(c)包含形成陽極電極及陰極電極。

57.如申請專利範圍第54項之方法，其中該奈米線被

(7)

對齊，平行於該源極電極與汲極電極間之軸。

58.如申請專利範圍第55項之方法，其中該閘極電極形成在該基體上，該奈米線薄膜形成在該閘極電極上，且該源極電極及汲極電極形成在該奈米線薄膜上。

59.如申請專利範圍第55項之方法，其中該源極電極及汲極電極形成在該基體上，該奈米線薄膜形成在該源極電極及汲極電極上，且該閘極電極形成在該奈米線薄膜上。

60.如申請專利範圍第55項之方法，其中該閘極電極、源極電極及汲極電極形成在該基體上，且該奈米線薄膜形成在該閘極電極、源極電極及汲極電極上。

61.如申請專利範圍第55項之方法，其中該閘極電極、源極電極及汲極電極形成在該奈米線薄膜上。