

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7531708号
(P7531708)

(45)発行日 令和6年8月9日(2024.8.9)

(24)登録日 令和6年8月1日(2024.8.1)

(51)国際特許分類	F I			
G 0 1 R 31/28 (2006.01)	G 0 1 R 31/28	V		
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/04	T		
H 0 1 L 27/04 (2006.01)				

請求項の数 5 (全28頁)

(21)出願番号	特願2023-527543(P2023-527543)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日	令和4年3月31日(2022.3.31)	(74)代理人	110001195 弁理士法人深見特許事務所
(86)国際出願番号	PCT/JP2022/016746	(72)発明者	小島 友和 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(87)国際公開番号	WO2022/259746	審査官	田口 孝明
(87)国際公開日	令和4年12月15日(2022.12.15)		
審査請求日	令和5年6月7日(2023.6.7)		
(31)優先権主張番号	特願2021-95046(P2021-95046)		
(32)優先日	令和3年6月7日(2021.6.7)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 アナログ電圧出力回路、及び、半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体装置に搭載されたアナログ電圧出力回路であって、
前記半導体装置の内部のアナログ回路から出力されたアナログ電圧が入力される入力ノードと、
前記半導体装置の外部から電氣的にコンタクト可能な第1の端子と、
ドレイン、ソース、及び、ゲートを有する駆動トランジスタと、
前記ゲートの電圧と前記ソースの電圧とが等しくなる様な前記駆動トランジスタの動作状態を設定するための駆動トランジスタ制御回路とを備え、
前記ドレインは、電源電圧を供給する電源ノードと接続され、
前記ソースは、前記第1の端子と接続され、
前記ゲートは、前記入力ノードと電氣的に接続されることで前記アナログ電圧を入力され、
前記アナログ電圧出力回路は、前記駆動トランジスタが前記駆動トランジスタ制御回路によって設定された前記動作状態で動作し、かつ、前記入力ノードに前記アナログ電圧が入力されている状態において、前記アナログ電圧と同等の出力電圧を前記第1の端子に生成する様に動作し、
前記駆動トランジスタ制御回路は、
前記ゲートに前記アナログ電圧が入力された第1の状態における前記駆動トランジスタの前記ソース及び前記ゲートの電圧差を保持するためのキャパシタを含み、

10

20

前記駆動トランジスタ制御回路は、前記第 1 の状態の後に設けられる第 2 の状態において、前記入力ノードに入力された前記アナログ電圧に対して、前記第 1 の状態で前記キャパシタに保持された電圧を加算した電圧を前記ゲートに入力し、

前記アナログ電圧出力回路は、

前記アナログ回路及び前記入力ノードと電氣的に接続された状態で前記キャパシタ及び前記ゲートを充電するためのレプリカ回路を更に備え、

前記レプリカ回路は、動作時には、前記アナログ回路が前記アナログ電圧を生成する出力段の枝電流に比例したレプリカ電流によって前記キャパシタ及び前記ゲートをアナログ電圧と同等の電圧まで充電するとともに、停止時には、前記アナログ回路及び前記入力ノードから電氣的に切り離され、

前記駆動トランジスタ制御回路は、前記レプリカ回路が動作している下で前記第 1 及び第 2 の状態を繰り返した後に、前記レプリカ回路が停止している下で前記第 1 及び第 2 の状態を繰り返す様に動作する、アナログ電圧出力回路。

【請求項 2】

前記駆動トランジスタ制御回路は、

前記入力ノード及び前記ゲートの間に接続される第 1 のスイッチと、

前記入力ノード及び内部ノードの間に接続される第 2 のスイッチと、

前記内部ノード及び前記ソースの間に接続される第 3 のスイッチとを更に含み、

前記キャパシタは、前記ゲート及び前記内部ノードの間に接続され、

前記第 1 の状態において、前記第 1 及び第 3 のスイッチがオンされる一方で前記第 2 のスイッチはオフされ、

前記第 2 の状態において、前記第 2 のスイッチがオンされる一方で前記第 1 及び第 3 のスイッチはオフされる、請求項 1 記載のアナログ電圧出力回路。

【請求項 3】

前記駆動トランジスタ制御回路は、前記第 1 及び第 2 の状態の間の遷移時において、前記第 1 から第 3 のスイッチのすべてをオフする第 3 の状態を設ける様に構成される、請求項 2 記載のアナログ電圧出力回路。

【請求項 4】

前記駆動トランジスタは、ネイティブトランジスタで構成される、請求項 1 ~ 3 のいずれか 1 項に記載のアナログ電圧出力回路。

【請求項 5】

前記アナログ回路と、

請求項 1 ~ 4 のいずれか 1 項に記載のアナログ電圧出力回路とを備え、

前記アナログ回路から出力された前記アナログ電圧を、前記第 1 の端子に生成された前記出力電圧によって測定する試験モードを有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、アナログ電圧出力回路、及び、当該アナログ電圧出力回路を備える半導体装置に関する。

【背景技術】

【0002】

近年、IoT (Internet of Things) の進展に伴って、高精度、かつ、極低消費電力のアナログ回路の技術ニーズが高まってきている。この様な、極低消費電力のアナログ回路は、高抵抗素子、及び、サブスレッシュホールド領域で動作するトランジスタを用いて、構成されている。

【0003】

従来のアナログ回路設計技術においては、入力インピーダンスを高く、出力インピーダンスを低くすることが一般的である。これにより、アナログ回路では、入力信号を低損失で入力するとともに、出力信号の十分な駆動能力を備えることができる。この結果、シス

10

20

30

40

50

テム及びアプリケーション上において、アナログ回路間で入出力されるアナログ信号を容易に取り扱うことが可能となる。

【 0 0 0 4 】

この様な、出力インピーダンスが低い回路設計では、出力信号のアナログ電圧測定時において、プローブ等の測定器に寄生素子（抵抗及び容量等）が存在しても、当該寄生素子の影響は比較的短時間で消滅するので、当該アナログ回路を搭載した半導体装置の試験時において、アナログ回路の出力電圧を、高精度に、かつ、短時間で測定できる。

【 0 0 0 5 】

一方で、上述した、極低消費電力用のアナログ回路設計においては、出力インピーダンスが高くなってしまふ。従来のアナログ回路では、アナログ電圧を出力するための回路電流が、マイクロアンペア（ μA ）オーダからミリアンペア（ mA ）オーダであるのに対して、極低消費電力用のアナログ回路では、当該回路電流をナノアンペア（ nA ）オーダに抑制することが求められる。出力インピーダンスは、アナログ電圧を出力するための回路電流に逆比例するので、 nA オーダの回路電流は、ギガオーム（ G ）オーダの出力インピーダンスをもたらすことになる。

【 0 0 0 6 】

このレベルの出力インピーダンスに対して、測定器の寄生容量が $1 [\text{pF}]$ 付加されるとすると、寄生容量の接続に伴う出力電圧変動の CR 時定数は、 $1 [\text{ms}]$ 程度となる。一般的に、高精度なアナログ回路の測定及びテストのためのセトリング時間は、上記 CR 時定数の $3 \sim 5$ 倍程度は必要であるので、この様な条件下では、高精度な測定と、短いテスト時間との両立が困難となることが理解される。

【 0 0 0 7 】

この様な課題に対して、外部端子を複数設けて、所謂、四端子測定法を適用することで、測定器（ケーブル及びプローブ）自身の電気抵抗、寄生容量、及び、接触抵抗を測定誤差として含まない様に、アナログ電圧を測定することが行われている。

【 0 0 0 8 】

特開 2 0 0 6 - 1 7 0 8 7 8 号公報（特許文献 1）には、 IC （Integrated Circuit）内部出力トランジスタが出力するアナログ電圧の高精度測定方法が記載されている。特許文献 1 では、電圧及び電流印加用の複数の外部端子と、電圧モニタ用の外部端子とを設けるとともに、チップ内部に複数のスイッチを設ける構成が採用される。更に、当該複数のスイッチの制御によって内部に寄生素子を含むループを形成することにより、当該ループ形成時における外部端子での電圧モニタ値を用いて、寄生素子に起因する電圧誤差の抑制が可能となる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 文献 】 特開 2 0 0 6 - 1 7 0 8 7 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

しかしながら、アナログ回路の出力インピーダンスそのものが高い場合には、当該回路の出力インピーダンスと、測定器を含む周辺の寄生容量とによって決まる時定数に従ったセトリング時間が経過するまでは、アナログ回路の出力電圧は安定しない。

【 0 0 1 1 】

特許文献 1 の測定手法では、内部出力トランジスタと直接接続された外部端子の電圧を用いてアナログ電圧を測定するため、上述の様な高精度測定は可能である一方で、出力インピーダンスが高いアナログ回路の出力電圧の測定を高速化には寄与することができない。このため、 DF T （Design For Testability）の観点から改善の余地がある。

【 0 0 1 2 】

本開示は、このような問題点を解決するためになされたものであって、本開示の目的は

10

20

30

40

50

、高出力インピーダンスのアナログ回路の出力電圧を半導体装置の外部から高精度かつ高速に測定するための回路構成を提供することである。

【課題を解決するための手段】

【0013】

本開示のある局面では、半導体装置に搭載されたアナログ電圧出力回路が提供される。アナログ電圧出力回路は、第1の端子と、入力ノードと、駆動トランジスタと、駆動トランジスタ制御回路とを備える。入力ノードには、半導体装置の内部のアナログ回路から出力されたアナログ電圧が入力される。第1の端子は、半導体装置の外部から電氣的にコンタクト可能に構成される。駆動トランジスタのドレインは、電源電圧を供給する電源ノードと接続され、ソースは、第1の端子と接続され、ゲートは、入力ノードと電氣的に接続されることでアナログ電圧を入力される。駆動トランジスタ制御回路は、ゲートの電圧とソースの電圧とが等しくなる様な駆動トランジスタの動作状態を設定する。アナログ電圧出力回路は、駆動トランジスタがトランジスタ制御回路によって設定された動作状態で動作し、かつ、入力ノードにアナログ電圧が入力されている状態において、アナログ電圧と同等の出力電圧を第1の端子に生成する様に動作する。

10

【0014】

本開示の他のある局面では、半導体装置が提供される。半導体装置は、上記アナログ回路及び上記アナログ電圧出力回路を備え、アナログ回路から出力されたアナログ電圧を、第1の端子に生成された出力電圧によって測定する試験モードを有する。

【発明の効果】

20

【0015】

本開示によれば、アナログ回路が高出力インピーダンスであっても、駆動トランジスタの電流によって、駆動トランジスタのしきい値電圧の影響を排除した上で、アナログ回路から出力されたアナログ電圧と同等の出力電圧を第1の端子に生成することができるので、アナログ回路の出力電圧を半導体装置の外部から高精度かつ高速に測定することができる。

【図面の簡単な説明】

【0016】

【図1】実施の形態1に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

30

【図2】図1に示されたアナログ電圧出力回路内のスイッチの動作を説明するためのタイミングチャートである。

【図3】クロック信号からスイッチの制御信号を生成するスイッチ制御回路の構成例を説明する回路図である。

【図4】実施の形態1に係るアナログ電圧出力回路を備える半導体装置の構成の変形例を説明する回路図である。

【図5】実施の形態1の変形例に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

【図6】図5に示されたアナログ電圧出力回路の動作を説明するタイミングチャートである。

40

【図7】実施の形態2に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

【図8】図7に示されたアナログ電圧出力回路の動作を説明する概念的な波形図である。

【図9】実施の形態2の変形例に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

【図10】図9に示されたアナログ電圧出力回路の動作を説明する概念的な波形図である。

【図11】実施の形態3に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

【図12】実施の形態3の変形例に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

50

【発明を実施するための形態】

【0017】

以下に、本開示の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

【0018】

以下に、本開示の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

【0019】

実施の形態1.

図1には、実施の形態1に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図が示される。

【0020】

図1に示される様に、実施の形態1に係る半導体装置10Aは、アナログ電圧を出力するアナログ回路100と、アナログ回路100の出力電圧 V_{OUT} （アナログ電圧）を、半導体装置10Aの外部から測定するためのアナログ電圧出力回路200とを備える。

【0021】

（アナログ回路について）

まず、アナログ回路100について説明する。アナログ回路100は、半導体装置10Aの試験時に、半導体装置10Aの外部からの測定対象となるアナログ電圧を出力電圧とする回路を総称するものであり、本実施の形態では、一定電圧を出力するバンドギャップリファレンスが、アナログ回路100の一例として記載される。

【0022】

具体的には、アナログ回路100は、P型のトランジスタ $MP1 \sim MP3$ と、N型のトランジスタ $MN1, MN2$ と、抵抗素子 $R1, R0$ と、ダイオード $D1 \sim D3$ とを含む。

【0023】

トランジスタ $MP1$ は、電源電圧 $AVDD1$ を供給する電源ノード $NP1$ と、ノード $Ns1$ との間に接続され、トランジスタ $MP2$ は、電源ノード $NP1$ と、ノード $Ns2$ との間に接続される。トランジスタ $MP1$ 及び $MP2$ のゲートは、ノード $Ns1$ と接続される。これにより、トランジスタ $MP1$ は、ダイオード接続される。以下、本明細書では、各抵抗素子の電気抵抗値についても同じ符号を用いて表記する。例えば、抵抗素子 $R0$ の電気抵抗値も $R0$ と表記される。

【0024】

トランジスタ $MN1$ 、抵抗素子 $R1$ 、及び、ダイオード $D1$ は、ノード $Ns1$ と、基準電圧 $AVSS$ を供給する基準電圧ノード NG との間に接続される。基準電圧 $AVSS$ は、代表的には、接地電圧（ GND ）であり、 $AGND < AVDD1$ である。トランジスタ $MN2$ 及びダイオード $D2$ は、ノード $Ns2$ 及び基準電圧ノード NG の間に直列に接続される。ダイオード $D1$ 及び $D2$ のカソードは、基準電圧ノード NG と電氣的に接続される。トランジスタ $MN1$ 及び $MN2$ のゲートは、ノード $Ns2$ と接続される。これにより、トランジスタ $MN2$ はダイオード接続される。

【0025】

トランジスタ $MP3$ は、電源ノード $NP1$ 及び出力ノード No の間に接続される。抵抗素子 $R0$ 及びダイオード $D3$ は、出力ノード No 及び基準電圧ノード NG の間に直列に接続される。ダイオード $D3$ のカソードは、基準電圧ノード NG と電氣的に接続される。直列接続された、トランジスタ $MP3$ 、抵抗素子 $R0$ 、及び、ダイオード $D3$ によって、アナログ回路100の「出力段」が構成される。

【0026】

トランジスタ $MP1 \sim MP3$ のゲートは、ノード $Ns1$ と共通に接続される。従って、トランジスタ $MP1 \sim MP3$ の電流は、ダイオード接続されたトランジスタ $MP1$ の電流

10

20

30

40

50

を基準として、互いに比例する。又、トランジスタMN1及びMN2は同じトランジスタサイズで構成される。

【0027】

ダイオードD1は、ダイオードD2のM倍 ($M > 1$) のカソード面積を有する様に構成される。或いは、ダイオードD1は、ダイオードD2と同一サイズのダイオードをM個並列接続する様に構成してもよい。この場合には、Mは2以上の整数である。

【0028】

次に、図1のアナログ回路100の動作を説明する。

一般的に、十分に順バイアスされて順方向電圧Vdが発生している状態でのダイオードの電流Idは、逆方向飽和電流Is、ボルツマン定数k、温度T[K]、電荷素量q、及び、結合係数nを用いて、下記の式(1)で近似できることが知られている。

【0029】

$$I_d = I_s \cdot \exp(q \cdot V_d / (n \cdot k \cdot T)) \quad \dots (1)$$

結合係数nは、理論的には1.0であるので、熱電圧 $V_T = k \cdot T / q$ を用いて、式(1)を変形すると、導通時のダイオードの順方向電圧Vdとして、下記の式(2)が得られる。

【0030】

$$V_d = V_T \cdot \ln(I_d / I_s) \quad \dots (2)$$

従って、図1のアナログ回路100において、トランジスタMN1を流れる電流をI1、トランジスタMN2を流れる電流をI2とすると、ダイオードD2に生じる順方向電圧 $V_{d2} = V_T \cdot \ln(I_2 / I_s)$ 、ダイオードD1に生じる順方向電圧 $V_{d1} = V_T \cdot \ln(I_1 / (M \cdot I_s))$ と示すことができる。

【0031】

図1のアナログ回路において、トランジスタMN1のゲート電圧Vg1は、ゲート・ソース間電圧Vgs1、及び、電流I1を用いると、下記の式(3)で示される。

【0032】

$$V_{g1} = V_{d1} + I_1 \cdot R_1 + V_{gs1} \quad \dots (3)$$

同様に、トランジスタMN2のゲート電圧Vg2は、ゲート・ソース間電圧Vgs2、及び、電流I2を用いると、下記の式(4)で示される。

【0033】

$$V_{g2} = V_{d2} + V_{gs2} \quad \dots (4)$$

トランジスタMN1及びMN2のトランジスタサイズが同じであるため、 $I_1 = I_2 (= I_c)$ が成立し、 $I_1 = I_2$ から、更にトランジスタMN1及びMN2の間で $V_{gs1} = V_{gs2}$ も成立する。更に、トランジスタMN1及びMN2のゲート同士が接続されているため、 $V_{g1} = V_{g2}$ である。

【0034】

$V_{g1} = V_{g2}$ 、 $V_{gs1} = V_{gs2}$ 、かつ、 $I_1 = I_2 = I_c$ の条件にて、式(3)、(4)を整理すると、下記の式(5)が得られる。

【0035】

$$I_c \cdot R_1 + V_T \cdot \ln(I_c / (M \cdot I_s)) = V_T \cdot \ln(I_c / I_s) \quad \dots (5)$$

式(5)の左辺第2項を右辺に移項して、 $I_c (= I_1 = I_2)$ を求めると、下記の式(6)が得られる。

【0036】

$$I_c = (V_T / R_1) \cdot \ln(M) \quad \dots (6)$$

更に、トランジスタMP1~MP3のトランジスタサイズを同等に設計すると、トランジスタMP3を流れる電流Ioは、 $I_o = I_1$ となる。従って、ダイオードD3の順方向電圧をVd3とすると、出力ノードNoの出力電圧 $V_{OUT} = V_{d3} + I_c \cdot R_o$ は、下記の式(7)で示すことができる。

【0037】

$$V_{OUT} = V_{d3} + V_T \cdot (R_o / R_1) \cdot \ln(M) \quad \dots (7)$$

10

20

30

40

50

順方向電圧 V_{d3} が、負の温度係数（例えば、 $-2 [mV/deg]$ ）を有する一方で、熱電圧 V_T は、正の温度係数（例えば、 $0.085 [mV/deg]$ ）を有することが知られている。従って、抵抗素子 R_0 、 R_o 及び電流比 M の適切な選定によって、出力電圧 V_{OUT} の温度特性をキャンセルすることが可能である。この結果、アナログ回路 100 は、温度変動に対して不変の一定電圧を出力する、バンドギャップリファレンスとして動作することができる。例えば、アナログ回路 100 の出力電圧 V_{OUT} は、半導体装置 10A の内部の図示しない他の回路に対して、バイアス電圧として供給される。

【0038】

ここで、出力電圧 V_{OUT} を半導体装置 10A の外部から試験のために測定する構成を考察する。

【0039】

比較例として、半導体装置 10A の外部から電氣的にコンタクト可能な測定端子 11（パッド）と、出力ノード N_o とを直接接続し、測定端子 11 の電圧をテスタによって測定する試験モードを考える。通常、テスタによる測定時には、測定端子 11 と接続されるプローブ、及び、測定端子 11 の寄生容量が、合計で数 $[pF]$ 程度付加される。

【0040】

従来のパッドギャップリファレンス回路では、出力段の抵抗素子 R_o は $100 [k]$ オーダで設計される。このため、テスタ測定時の CR 時定数は数百 $[ns]$ のオーダである。一般的には、テスタによる測定電圧が安定するまでには、上記時定数の $3 \sim 5$ 倍のセトリング時間を要するため、テスタ接続から電圧測定までの待ち時間が発生する。この場合には、待ち時間は、 $1 \sim 2 [\mu s]$ となるが、近年の複雑な IC の試験時間にはトータルで $10 [ms]$ 程度を要する傾向にあることを考慮すると、試験全体の所要時間に当たれる影響は小さい。

【0041】

一方で、出力段の抵抗素子 R_o が $100 [k]$ オーダで構成されたバンドギャップリファレンスは、消費電流が μA オーダであるのに対して、近年の $I_o T$ の下では、低消費電力化に対応するために、バイアス用回路には、消費電流を $n A$ オーダに（即ち、3桁）抑制することが求められる。

【0042】

このような要求に応えるためには、図 1 中の抵抗素子 R_1 、 R_o の電気抵抗値を 3桁大きくして、 $100 [M]$ オーダとすることが必要になる。しかしながら、出力段の抵抗素子 R_o が $100 [M]$ オーダと高インピーダンス化されることで、テスタ測定時の CR 時定数も 1000 倍となり、上記待ち時間も $1 \sim 2 [ms]$ まで増加する。この結果、アナログ回路 100 の出力電圧 V_{OUT} （アナログ電圧）の測定時間が、半導体装置の試験の全体所要時間に影響を及ぼすことが懸念される。

【0043】

従って、本実施の形態では、半導体装置 10A の外部から、極低消費電力化のために高出力インピーダンスとされたアナログ回路 100 の出力電圧 V_{OUT} を、高精度かつ高速に測定するためのアナログ電圧出力回路 200 が、アナログ回路 100 に対して設けられる。

【0044】

（アナログ電圧出力回路の説明）

アナログ電圧出力回路 200 は、半導体装置 10A の外部から電氣的にコンタクト可能な端子 12、13 と、アナログ回路 100 との間に配置される。以下の説明で明らかになる様に、本実施の形態では、端子 12 には、アナログ電圧出力回路 200 によって、アナログ回路 100 の出力電圧 V_{OUT} と同等の出力電圧 V_{OUTts} が、半導体装置 10A の外部からの測定用に出力される。以下では、端子 12 については、出力端子 12 とも称する。即ち、出力端子 12 に図示しないテスタを接続することで、半導体装置 10A の外部から、アナログ回路 100 の出力電圧 V_{OUT} を測定する試験モードを設けることができる。

10

20

30

40

50

【 0 0 4 5 】

一方で、端子 1 3 に対しては、半導体装置 1 0 A の外部から、アナログ電圧出力回路 2 0 0 の動作に用いられる信号又は電圧が入力される。従って、以下では、端子 1 3 は、入力端子 1 3 とも称する。実施の形態 1 では、入力端子 1 3 には、クロック信号 T C L K が入力される。

【 0 0 4 6 】

アナログ電圧出力回路 2 0 0 は、スイッチ S W 0 ~ S W 2 と、キャパシタ 2 0 1 と、駆動トランジスタ 2 0 2 A とを備える。駆動トランジスタ 2 0 2 A は、電源ノード N P 2 と接続されるドレインと、出力端子 1 2 と接続されるノード N 4 に接続されたソースと、ノード N 2 に接続されるゲートとを有する。電源ノード N P 2 は、電源電圧 A V D D 2 を供給する。好ましくは、A V D D 2 (電源ノード N P 2) は、A V D D 1 (電源ノード N P 1) よりも高く設定されるが、電源ノード N P 1 及び N P 2 を共通化 (即ち、A V D D 1 = A V D D 2) とすることも可能である。

10

【 0 0 4 7 】

駆動トランジスタ 2 0 2 A は、ネイティブ N M O S トランジスタによって構成される。公知の通り、ネイティブ N M O S トランジスタのしきい値電圧 V_{t} は、0 [V] 近傍であり、理想的には、 $V_{t} = 0$ である。

【 0 0 4 8 】

キャパシタ 2 0 1 は、ノード N 2 (即ち、駆動トランジスタ 2 0 2 A のゲート) 及びノード N 3 の間に接続される。スイッチ S W 0 は、アナログ回路 1 0 0 の出力ノード N o と接続されたノード N 1 と、ノード N 2 (駆動トランジスタ 2 0 2 A のゲート) との間に接続される。スイッチ S W 1 は、ノード N 1 及びノード N 3 の間に接続される。スイッチ S W 2 は、ノード N 3 及び N 4 の間に接続される。

20

【 0 0 4 9 】

スイッチ S W 0 ~ S W 2 は、クロック信号 T C L K に従ってスイッチ制御回路 2 0 8 が生成する制御信号 a , b に応答してオンオフされる。具体的には、スイッチ S W 0 , S W 2 が制御信号 a にオンオフされる一方で、スイッチ S W 1 は、制御信号 a と逆相の制御信号 b に応答してオンオフされる。

【 0 0 5 0 】

図 2 には、アナログ電圧出力回路 2 0 0 内のスイッチ S W 0 ~ S W 2 の動作を説明するためのタイミングチャートが示される。

30

【 0 0 5 1 】

図 2 に示される様に、制御信号 a 及び b は、入力端子 1 3 に入力されるクロック信号 T C L K に基づく、ノンオーバーラッピングクロックとして生成される。即ち、制御信号 a 及び b は、クロック信号 T C L K の周波数に従って、交互に論理ハイレベル (以下、単に「H レベル」と表記) 及び論理ローレベル (以下、単に「L レベル」と表記) の間の遷移を繰り返す。

【 0 0 5 2 】

更に、制御信号 a 及び b には、両方が L レベルに設定されるノンオーバーラップ期間 (図 2 中の時刻 $t_0 \sim t_1$ 、時刻 $t_2 \sim t_3$ 、時刻 $t_4 \sim t_5$ 、及び、時刻 $t_6 \sim t_7$ 等) が設けられる。

40

【 0 0 5 3 】

図 3 には、クロック信号 T C L K から制御信号 a , b を生成するスイッチ制御回路 2 0 8 の構成例が示される。

【 0 0 5 4 】

図 3 に示される様に、スイッチ制御回路 2 0 8 は、N O R ゲート 2 1 1 a , 2 1 1 b と、インバータ段 2 1 2 a , 2 1 2 b とを有する。インバータ段 2 1 2 a , 2 1 2 b の各々は、直列接続された偶数個のインバータによって構成される。インバータ段 2 1 2 a は、制御信号 a を出力し、インバータ段 2 1 2 b は、制御信号 b を出力する。

【 0 0 5 5 】

50

NORゲート211aには、クロック信号TCLKと、インバータ段212bの出力信号とが入力される。NORゲート211aの出力信号は、インバータ段212aに入力される。NORゲート211bには、クロック信号TCLKの反転信号と、インバータ段212aの出力信号とが入力される。NORゲート211bの出力信号は、インバータ段212bに入力される。

【0056】

この結果、図2に示される様に、制御信号a及びbは、ノンオーバーラップ期間が設けられた上で、クロック信号TCLKと同じ周期で、交互にLレベル及びHレベルに設定される。ノンオーバーラップ期間の長さは、インバータ段212a, 212bによる伝送遅延時間に相当するので、インバータの個数(偶数)によって調整することができる。

10

【0057】

尚、アナログ電圧出力回路200にスイッチ制御回路208を内蔵する構成に代えて、入力端子13を2個設けて、半導体装置10Aの外部からノンオーバーラッピングクロックを入力することで、アナログ電圧出力回路200に制御信号a, bを直接供給してもよい。

【0058】

制御信号a, bを用いてスイッチSW0~SW3のオンオフを制御することにより、クロック信号TCLKの周期に応じて、スイッチSW0, SW2がオン(スイッチSW1はオフ)される「第1の状態」と、スイッチSW1がオン(スイッチSW0, SW2はオフ)される「第2の状態」とが交互に設けられ、かつ、「第1の状態」及び「第2の状態」の間には、SW0~SW2の各々がオフされるノンオーバーラップ期間が設けられることが理解される。当該ノンオーバーラップ期間は「第3の状態」に対応する。

20

【0059】

再び図1を参照して、スイッチSW0, SW2がオン(スイッチSW1はオフ)される第1の状態では、アナログ回路100の出力電圧VOUTが、ノードN1及びN2を経由して、駆動トランジスタ202Aのゲートに伝達される。従って、駆動トランジスタ202Aのソースと接続された出力端子12の出力電圧VOUTtsは、駆動トランジスタ202Aのしきい値電圧Vtを用いて、 $V_{OUTts} = V_{OUT} - V_t$ と示される。理想的なネイティブNMOSTランジスタでは $V_t = 0$ であるので、このとき、 $V_{OUTts} = V_{OUT}$ とすることができる。

30

【0060】

しかしながら、しきい値電圧に製造ばらつき(V_t)が生じると、 $V_t = 0 + V_t$ となるので、 $V_{OUTts} = V_{OUT} - V_t$ ($V_t = V$)となって、しきい値電圧の影響による測定誤差が生じてしまう。一方で、第1の状態では、スイッチSW0, SW2のオンにより、キャパシタ201が、ノードN4及びN2の間、即ち、駆動トランジスタ202Aのゲート・ソース間に接続される。これにより、容量値Csを有するキャパシタ201は、このときにゲート及びソースの間の電圧差に応じた、 $Q_c = V_t \cdot C_s$ ($V \cdot C_s$)の電荷を保持した状態となる。

【0061】

次に、スイッチSW1がオン(SW0, SW2がオフ)される第2の状態では、駆動トランジスタ202Aのゲートは、ノードN1(出力ノードNo)及びノードN4(出力端子12)から切り離される。一方で、キャパシタ201の負極側は、ノードN1(出力ノードNo)と接続されて、アナログ回路100の出力電圧VOUTを伝達される。

40

【0062】

第1の状態及び第2の状態のそれぞれにおける出力端子12の出力電圧をVOUTts(1)及びVOUTts(2)と表記するとともに、第1及び第2の状態のそれぞれにおけるキャパシタ201の蓄積電荷をQc(1)及びQc(2)と表記すると、第1の状態では、下記の式(8), (9)が成立するとともに、第2の状態では、下記の式(10), (11)が成立する。式(10), (11)中の電圧Vxは、第2の状態において、ノードN1及びN4の両方と切り離された状態におけるノードN2の電圧、即ち、駆動トラ

50

ンジスタ 202A のゲート電圧を示している。

【0063】

$$V_{OUTts}(1) = V_{OUT} - V_t \quad \dots (8)$$

$$Q_c(1) = C_s \cdot (V_{OUT} - V_{OUTts}(1)) \quad \dots (9)$$

$$V_{OUTts}(2) = V_x - V_t \quad \dots (10)$$

$$Q_c(2) = C_s \cdot (V_x - V_{OUT}) \quad \dots (11)$$

ここで、電荷保存則により、式(9)の $Q_c(1)$ と、式(11)の $Q_c(2)$ とは等しいから、下記の式(12)が成立する。

【0064】

$$V_{OUT} - V_{OUTts}(1) = V_x - V_{OUT} \quad \dots (12)$$

式(12)を V_x について解くと、下記の式(13)が得られる。

【0065】

$$V_x = 2 \cdot V_{OUT} - V_{OUTts}(1) = V_{OUT} + V_t \quad \dots (13)$$

式(13)を式(10)に代入すると、式(14)が得られる。

【0066】

$$V_{OUTts}(2) = V_x - (V_x - V_{OUT}) = V_{OUT} \quad \dots (14)$$

従って、第2の状態での出力端子12の出力電圧 $V_{OUTts}(2)$ は、駆動トランジスタ202Aのしきい値電圧の影響が排除されて、アナログ回路100の出力電圧 V_{OUT} と同等となることが理解される。即ち、駆動トランジスタ202Aとして配置されたネイティブNMOSTランジスタのしきい値電圧 V_t が、設計値である $V_t^* = 0$ から V 20
変動して、 $V_t = V$ となっても、しきい値電圧の変動分を相殺して、出力電圧 V_{OUT} と同等の電圧を、駆動トランジスタ202Aのゲート、即ち、出力端子12に発生することができる。

【0067】

言い換えると、アナログ電圧出力回路200は、第1の状態では、ゲートに出力電圧 V_{OUT} が入力されたときの駆動トランジスタ202Aのゲート及びソースの電圧差(正又は負のいずれも可)をキャパシタ201に保持する。更に、第2の状態では、出力電圧 V_{OUT} に対して、キャパシタ201に保持された電圧を加算した電圧をゲートに入力することで、ゲート電圧及びソース電圧が等しくなる様な駆動トランジスタ202Aの動作状態を設定することができる。即ち、実施の形態1では、キャパシタ201及びスイッチ $SW_0 \sim SW_3$ によって「駆動トランジスタ制御回路」の一実施例を構成することができる。 30

【0068】

尚、図1のアナログ電圧出力回路において、ノードN1は「入力ノード」の一実施例に対応し、ノードN3は「内部ノード」の一実施例に対応し、出力端子12は「第1の端子」の一実施例に対応する。又、スイッチ SW_0 、スイッチ SW_1 、及び、スイッチ SW_2 は、「第1のスイッチ」、「第2のスイッチ」、及び、「第3のスイッチ」の一実施例にそれぞれ対応する。

【0069】

以上説明した様に、実施の形態1に係る半導体装置10Aでは、アナログ電圧出力回路200によって、試験時のみに用いられる駆動トランジスタ202Aの電流によって、出力電圧 V_{OUT} と同等の電圧を出力端子12に出力することで、当該出力電圧 V_{OUT} を外部から測定する試験モードを実現することができる。特に、スイッチ $SW_0 \sim SW_2$ 及びキャパシタ201を用いた制御によって、駆動トランジスタ202Aのしきい値電圧の影響が取り除かれた、出力電圧 V_{OUT} との誤差が小さい電圧を、駆動トランジスタ202Aから高精度に出力することができる。 40

【0070】

ノンオーバーラッピングクロックである制御信号 a 及び b を用いることで、以下の効果が生じる。まず、第1の状態及び第2の状態を繰り返し設けることにより、キャパシタ201に生じるリーク電流の影響を抑制して、出力端子12の出力電圧を安定化することができる。更に、第1の状態及び第2の状態の間での遷移の際に、スイッチ $SW_0 \sim SW$ 50

2の全てをオフする第3の状態の期間(ノンオーバーラップ期間)を設けることによって、第1の状態及び第2の期間のそれぞれでの電荷 Q_c が、ノードN2から流出することなく保持される。これにより、電荷保存則を厳密化することで、出力電圧 V_{OUT} 及び出力電圧 $V_{OUT\ t\ s}$ の差を抑制して高精度化を図ることができる。尚、クロック信号 TCK の周波数は、キャパシタ201の充電に要する時間よりも、制御信号 a , b の各Hレベル期間が長くなる様に考慮して定めることができる。

【0071】

更に、アナログ電圧出力回路200の出力インピーダンスは、駆動トランジスタ202Aの出力インピーダンスに相当し、通常、数十[k]程度であるので、上述した、比較例に係るアナログ回路100の出力段の抵抗素子 R_o の電気抵抗値(100[k]オーダ)と同等かそれよりも低い。このため、テスト測定時に数[pF]程度の寄生容量が付加された際のCR時定数は数十[ns]程度である。この結果、セトリング時間を100[ns]オーダに短縮できるので、測定時の待ち時間は1[μ s]以下に短縮できる。この結果、アナログ回路100の出力電圧 V_{OUT} (アナログ電圧)の測定時間が、半導体装置の試験の全体所要時間に及ぼす影響を大幅に抑制することができる。

10

【0072】

この様に、実施の形態1に係る半導体装置10Aでは、nAオーダに設計された極低消費電力のアナログ回路100の出力電圧 V_{OUT} を、駆動トランジスタ202Aを有するアナログ電圧出力回路200を用いて高速に、具体的には、nsオーダのセトリング時間にて測定することができる。この際に、アナログ電圧出力回路200は、駆動トランジスタ202Aの素子ばらつき(しきい値電圧のばらつき)の影響を排除して、アナログ回路100の出力電圧 V_{OUT} と同等の出力電圧 $V_{OUT\ t\ s}$ を高精度に出力することができる。

20

【0073】

アナログ電圧出力回路200は、半導体装置10Aの試験時において、上述の様に、入力端子13にクロック信号 $TCLK$ が入力されるとともに、出力端子12にテストが接続されることで動作する。一方で、半導体装置10Aの試験時以外(半導体装置10Aの通常動作時)には、出力端子12が開放状態とされることより、駆動トランジスタ202Aに電流が生じなくなるので、アナログ電圧出力回路200は動作を停止する。この場合には、例えば、入力端子13に対して基準電圧 $AVSS$ 相当の電圧(接地電圧)が固定的に入力される。

30

【0074】

尚、アナログ電圧出力回路200の駆動トランジスタは、ネイティブNMOSに限定されることはない。図4には、実施の形態1に係るアナログ電圧出力回路を備える半導体装置の構成の変形例を説明する回路図が示される。

【0075】

図4に示される様に、実施の形態1に係る半導体装置10Aにおいて、アナログ電圧出力回路200の駆動トランジスタ202A(図1)を、エンハンスメント型NMOSトランジスタで構成された駆動トランジスタ202Bに置換することも可能である。

【0076】

エンハンスメント型NMOSトランジスタのしきい値電圧 V_t についても、1[V]程度の設計値 V_{t^*} と変動分 ΔV_t との和($V_t = V_{t^*} + \Delta V_t$)で示される。従って、駆動トランジスタ202Bが適用されたアナログ電圧出力回路200においても、図1で説明した、スイッチ $SW_0 \sim SW_2$ 及びキャパシタ201の制御を適用することで、式(8)~式(14)が同様に成立する。この結果、図1で説明したのと同様に、アナログ回路100の出力電圧 V_{OUT} を、半導体装置10Aの出力端子12から、高精度に、かつ、高速に測定することができる。

40

【0077】

但し、エンハンスメント型NMOSは、ネイティブNMOSトランジスタと比較すると、変動分 ΔV_t を含めてしきい値電圧 V_t の絶対値が大きくなるため、アナログ電圧出力

50

回路 200 中のキャパシタ 201 に保持される電荷量が多くなる。従って、キャパシタ 201 での当該電荷量の充電所要時間を考慮して、出力端子 12 の出力電圧 V_{OUTts} の計測タイミングを遅くする必要がある。一方で、エンハンスメント型 NMOS は、ネイティブ NMOS トランジスタと比較すると、駆動能力が高いという利点を有する。

【0078】

反対に、ネイティブ NMOS トランジスタは、エンハンスメント型 NMOS トランジスタと比較するとしきい値電圧 V_t の絶対値が小さいため、上述したキャパシタ 201 での充電所要時間が短くなるので、測定的高速化に適している。一方で、駆動能力が低いので、低インピーダンス出力を要求されるような、アプリケーション及びテスト等を用いることが難しいので、試験の自由度の面では不利になる。

10

【0079】

又、エンハンスメント型 NMOS 及びネイティブ NMOS トランジスタの中間的なしきい値電圧を有する、所謂、低 V_t - NMOS トランジスタを、アナログ電圧出力回路 200 の駆動トランジスタ 202 (202A 及び 202B を総称するもの) として用いることで、アナログ電圧出力回路 200 の特性を中間的にすることも可能である。但し、低 V_t - NMOS は、製造時にマスク追加の必要があるので、アナログ電圧出力回路 200 の他の回路で低 V_t - NMOS トランジスタが使用されない場合には、アナログ電圧出力回路 200 の配置に起因して、コストアップが発生することが懸念される。

【0080】

又、図 1 から理解される様に、実施の形態 1 に係るアナログ電圧出力回路 200 では、キャパシタ 201 は、正のゲート電圧、及び、負のゲート電圧の両方を保持することができる。従って、駆動トランジスタ 202A, 202B のしきい値電圧が正及び負のいずれであっても対応することができるので、デプレッション型の NMOS トランジスタによって、駆動トランジスタ 202 を構成することも可能である。

20

【0081】

又、電源ノード NP2 の電源電圧 $AVDD2$ を高く設定することで ($AVDD2 > AVDD1$)、出力端子 12 にテスト等が接続された状態において、出力電圧 V_{OUT} 相当の電圧を発生するために駆動トランジスタ 202A, 202B が供給する電流量が低減される。これにより、アナログ電圧出力回路 200 の消費電力を削減することができる。

【0082】

この様に、実施の形態 1 に係るアナログ電圧出力回路 200 では、駆動トランジスタ 202 のしきい値電圧が正及び負のいずれであっても、半導体装置 10A において、アナログ回路 100 の出力電圧 V_{OUT} と、第 2 の状態における出力端子 12 の出力電圧 V_{OUTts} とを同等として、高速、かつ、高精度な電圧測定を実現することができる。

30

【0083】

実施の形態 1 の変形例。

実施の形態 1 の構成では、アナログ電圧出力回路 200 において、キャパシタ 201 は、アナログ回路 100 の出力段の電流 I_o (枝電流) によって充電される。厳密には、駆動トランジスタのゲート容量も、キャパシタ 201 と並列に充電される。

【0084】

この際に、極低消費電力のアナログ回路 100 の出力段の電流が nA オーダであることを考慮すると、キャパシタ 201 の充電に時間を要することが懸念される。例えば、駆動トランジスタ 202 による充電電流 $I = 10$ [nA]、出力電圧 $V_{OUT} = 1$ [V]、かつ、キャパシタ 201 の容量及び駆動トランジスタ 202 のゲート容量の和を $C_{sum} = 10$ [pF] とすると、 $C_{sum} \cdot V_{OUT} = I \cdot t$ を解いた、 $t = 1$ [ms] 程度が、出力端子 12 に接続されたテストによる測定を開始するまでの準備時間として必要になってしまう。

40

【0085】

図 5 は、実施の形態 1 の変形例に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

50

【 0 0 8 6 】

図 5 に示される様に、実施の形態 1 の変形例に係る半導体装置 1 0 B は、実施の形態 1 に係る半導体装置 1 0 A と比較して、アナログ電圧出力回路 2 0 0 に代えて、アナログ電圧出力回路 2 1 0 を備える点で異なる。アナログ電圧出力回路 2 1 0 は、図 1 のアナログ電圧出力回路 2 0 0 に加えて、レプリカ回路 3 0 0 を更に備える点で異なる。又、図 5 では、駆動トランジスタ 2 0 2 A (図 1) 及び 2 0 2 B (図 4) を包括して、駆動トランジスタ 2 0 2 と表記している。

【 0 0 8 7 】

レプリカ回路 3 0 0 は、アナログ電圧出力回路 2 0 0 のノード N 1 と、アナログ回路 1 0 0 との間に接続されて、キャパシタ 2 0 1 及び駆動トランジスタ 2 0 2 のゲートを高速に充電するために動作する。

10

【 0 0 8 8 】

レプリカ回路 3 0 0 は、P 型のトランジスタ M P 5 と、スイッチ S W 3 a , S W 3 b , S W 4 a , S W 4 b と、抵抗素子 R 5 と、ダイオード D 5 とを有する。トランジスタ M P 5 は、電源ノード N P 1 及びノード N 5 の間に接続される。トランジスタ M P 5 は、アナログ回路 1 0 0 の出力段のトランジスタ M P 3 の K 倍 ($K > 1$) のトランジスタサイズを有する。例えば、トランジスタ M P 5 は、トランジスタ M P 3 と同等のトランジスタサイズを有する P M O S トランジスタを、K 個 (K : 2 以上の整数) 並列接続することによって構成できる。

【 0 0 8 9 】

抵抗素子 R 5 及びダイオード D 5 は、ノード N 5 及び基準電圧ノード N G の間に直列接続される。ダイオード D 5 のカソードは、基準電圧ノード N G と電氣的に接続される。

20

【 0 0 9 0 】

ダイオード D 5 は、アナログ回路 1 0 0 の出力段のダイオード D 3 と同等のダイオードを K 個並列接続する様に構成される。反対に、抵抗素子 R 5 の電気抵抗値は、アナログ回路 1 0 0 の出力段の抵抗素子 R o の電気抵抗値 ($1 / K$) 倍に設定される。

【 0 0 9 1 】

トランジスタ M P 5 のゲートは、スイッチ S W 3 a を介して、アナログ回路 1 0 0 のノード N s 1 と接続されるとともに、スイッチ S W 3 b を介して、電源ノード N P 1 と接続される。スイッチ S W 4 a は、ノード N 5 と、ノード N 1 との間に接続される。スイッチ S W 4 b は、アナログ回路 1 0 0 の出力ノード N o と、ノード N 1 との間に接続される。

30

【 0 0 9 2 】

スイッチ S W 3 a , S W 4 a は、制御信号 S L 1 に応じてオンオフされる。スイッチ S W 3 b , S W 4 b は、制御信号 S L 1 を反転した制御信号 S L 2 に応じてオンオフされる。従って、スイッチ S W 3 a , S W 4 a のオン時には、スイッチ S W 3 b , S W 4 b はオフされる。反対に、スイッチ S W 3 b , S W 4 b のオン時には、スイッチ S W 3 a , S W 4 a はオフされる。

【 0 0 9 3 】

図 6 には、アナログ電圧出力回路 2 1 0 の動作を説明するためのタイミングチャートが示される。

40

【 0 0 9 4 】

図 6 に示される様に、制御信号 a , b の波形は、実施の形態 1 (図 2) と同様である。レプリカ回路 3 0 0 の制御信号 S L 1 は、試験開始時から予め定められた時間が経過する時刻 t x までは、H レベル (電源電圧 A V D D 1) に設定される一方で、時刻 t x 以降では、L レベル (基準電圧 A V S S) に設定される。反対に、制御信号 S L 2 は、時刻 t x までは、L レベル (基準電圧 A V S S) に設定される一方で、時刻 t x 以降では、H レベル (電源電圧 A V D D 1) に設定される。

【 0 0 9 5 】

例えば、半導体装置 1 0 A の試験開始時に入力されるトリガ信号と、図示しないタイマを用いて、制御信号 S L 1 , S L 2 を生成することができる。

50

【 0 0 9 6 】

再び、図5を参照して、レプリカ回路300は、制御信号SL1 = Hレベル、かつ、制御信号SL2 = Lレベルに設定された期間では、スイッチSW3a, SW4aがオンされ、スイッチSW3b, SW4bがオフされることで動作する。この状態では、トランジスタMP5のゲートが、トランジスタMP1 ~ MP3と共通にノードNs1と接続され、ノードN5（即ち、トランジスタMP5のドレイン）が、ノードN1と接続される。

【 0 0 9 7 】

これにより、レプリカ回路300は、動作時において、アナログ回路100の出力段の電流I0のK倍のレプリカ電流Irpを、ノードN5に生じさせる。更に、抵抗素子R5の電気抵抗値が、抵抗素子Roの電気抵抗値の(1/K)倍であるので、ノードN5に出

10

【 0 0 9 8 】

$$\begin{aligned} V_{rp} &= V_{d5} + K \cdot I_c \cdot R_5 \\ &= V_{d5} + (R_o / K) \cdot (K \cdot V_T \cdot \ln(M) / R_1) \\ &= V_{d5} + V_T \cdot (R_o / R_1) \cdot \ln(M) \quad \dots (15) \end{aligned}$$

式(15)中において、ダイオードD5の順方向電圧Vd5は、ダイオードD5がダイオードD3の並列接続によって構成されることから、式(7)中の順方向電圧Vd3と同等である。

【 0 0 9 9 】

従って、式(15)及び式(7)の対比から、レプリカ電圧Vrpは、アナログ回路100の出力電圧VOUTと同等にできることが理解できる。実際には、素子ばらつきによって、出力電圧VOUT及びレプリカ電圧Vrpの間には、50 ~ 100 [mv]程度の電圧差が生じるが、後述する様に、出力電圧VOUT及びレプリカ電圧Vrpの間に、ある程度の電圧差は許容される。

20

【 0 1 0 0 】

実施の形態1の変形例に係るアナログ電圧出力回路210では、スイッチSW4aのオンによってノードN5がノードN1と接続されることにより、キャパシタ201は、アナログ回路100の出力段の電流I0のK倍のレプリカ電流Irpによって充電される。

【 0 1 0 1 】

これにより、電流I0によって上記容量Cを充電する場合と比較すると、充電に要する時間を(1/K)に短縮することができる。例えば、上記の様に、電流I0での充電に1 [ms]を要する条件下で、K = 100に設計すると、上述の容量Csumを10 [μs]で充電することができる。

30

【 0 1 0 2 】

次に、レプリカ回路300は、制御信号SL1 = Lレベル、かつ、制御信号SL2 = Hレベルに設定された期間では、スイッチSW3b, SW4bがオンされ、スイッチSW3a, SW4aがオフされることで、動作を停止する。この停止時には、トランジスタMP5のゲートが電源ノードNP1（電源電圧AVDD1）と接続されるので、トランジスタMP5はオフされて、レプリカ電流Irpはゼロになる(Irp = 0)。更に、ノードN5はノードN1から切り離されて、ノードN1は、アナログ回路100の出力ノードNoと接続される。即ち、レプリカ回路300がアナログ回路100及びアナログ電圧出力回路200から切り離されて、実施の形態1（図1）でのアナログ回路100及びアナログ電圧出力回路200の接続関係が再現される。

40

【 0 1 0 3 】

これにより、レプリカ回路300が動作を停止すると(Irp = 0)、アナログ電圧出力回路210は、実施の形態1（図1）と同様に、出力端子12から、アナログ回路100の出力電圧VOUTと同等の電圧（出力電圧VOUTts）を出力することができる。

【 0 1 0 4 】

再び図6を参照して、実施の形態1に係る変形例では、レプリカ回路300が動作する下で、アナログ電圧出力回路200が実施の形態1と同様に動作する期間（時刻tx以前

50

)の後に、レプリカ回路300が停止状態の下で、アナログ電圧出力回路200が実施の形態1と同様に動作する期間(時刻 t_x 以降)が設けられる。

【0105】

従って、時刻 t_x において、アナログ電圧出力回路200のキャパシタ201は、レプリカ電流 I_{rp} によってレプリカ電圧 V_{rp} まで充電された状態となる。時刻 t_x において、レプリカ回路300がアナログ回路100及びアナログ電圧出力回路200から切り離されると、アナログ回路100は、当該時点でのキャパシタ201の電圧と、出力電圧 V_{OUT} との電圧差を、出力段の電流 I_o によって、充電又は放電する様に動作することができる。そして、キャパシタ201の電圧が出力電圧 V_{OUT} と同等となると、実施の形態1と同様に、出力電圧 V_{OUT} と同等の出力電圧 V_{OUTts} を、高精度に出力端子12に生成することができる。

10

【0106】

時刻 t_x における上記電圧差は、上述の様に素子ばらつきに起因するものであり、最大でも100[mV]程度であることが想定される。従って、実施の形態1において、出力段の電流 I_o でキャパシタ201を0[V]から V_{OUT} (例えば、1.0[V])まで充電するのに比較して、当該電圧差の充放電は短時間(例えば、100[mV]/1[V]=0.1倍)で完了することができる。

【0107】

この様に、実施の形態1の変形例に係るアナログ電圧出力回路によれば、アナログ電圧出力回路が動作を開始してから、アナログ回路100の出力電圧 V_{OUT} と同等の出力電圧 V_{OUTts} が、高精度に出力端子12に生成されるまでの所要時間、即ち、出力端子12にテストを接続するまでの準備時間を短縮することができる。これにより、実施の形態1での効果に加えて、電圧測定を更に高速化することができる。

20

【0108】

例えば、実施の形態1の変形例の冒頭で例示した様に、キャパシタ201を0[V]から出力電圧 $V_{OUT}=1[V]$ まで充電するのに1[ms]程度を要していたのに対して、上述の電圧差(最大で100[mV])の充放電の所要時間(100[μs])、及び、レプリカ回路300による充電時間(上述の様に、10[μs])の和、即ち、約(1/10)まで、出力端子12に接続されたテストによる測定を開始するまでの準備時間を短縮することができる。

30

【0109】

実施の形態2 .

実施の形態2では、クロック信号を用いずに動作可能なアナログ電圧出力回路の構成を説明する。

【0110】

図7には、実施の形態2に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図が示される。

【0111】

図7に示される様に、実施の形態2に係る半導体装置10Cは、実施の形態1と同様のアナログ回路100と、アナログ回路100の出力電圧 V_{OUT} (アナログ電圧)を、半導体装置10Cの外部から測定するためのアナログ電圧出力回路250とを備える。即ち、実施の形態2に係る半導体装置10Cは、アナログ電圧出力回路200(図1)に代えて、アナログ電圧出力回路250を備える点で異なる。

40

【0112】

アナログ電圧出力回路250は、アナログ電圧出力回路200と同様に、出力端子12及び入力端子13と、アナログ回路100との間に配置される。実施の形態2では、入力端子13には、半導体装置10Cの外部から、例えば、図示しない試験用回路からの試験用アナログ電圧が、テスト電圧 V_{INTs} として入力される。テスト電圧 V_{INTs} は、アナログ回路100の出力電圧 V_{OUT} の設計値と同等に決定される。

【0113】

50

入力端子 13 は、ノード N1 と接続される。出力端子 12 は、実施の形態 1 と同様に、ノード N4、即ち、駆動トランジスタ 202A のソースと接続される。

【0114】

アナログ電圧出力回路 250 は、ネイティブ NMOS トランジスタによって構成される駆動トランジスタ 202A と、可変抵抗回路 205 と備える。駆動トランジスタ 202A は、電源ノード NP2 と接続されるドレインと、出力端子 12 と接続されるノード N4 に接続されたソースと、ノード N1 に接続されるゲートとを有する。実施の形態 2 では、駆動トランジスタ 202A のゲートは、アナログ回路 100 の出力ノード No、及び、入力端子 13 と接続される。

【0115】

可変抵抗回路 205 は、ノード N4 及び基準電圧ノード NG の間に接続された複数の抵抗素子 R10 ~ R12 と、ノード N4 及び基準電圧ノード NG の間の電気抵抗値 R_s を調整するための制御スイッチ SW10 ~ SW12 とを有する。制御スイッチ SW10 ~ SW12 のオンオフは、制御信号 SL10 ~ SL12 によってそれぞれ制御される。制御信号 SL10 ~ SL12 は、図示しない経路により、半導体装置 10C の外部から入力することができる。例えば、テスト電圧 V_{INTS} を発生する試験用回路（図示せず）によって、制御信号 SL10 ~ SL12 は設定される。

【0116】

例えば、抵抗素子 R10 ~ R12 の電気抵抗値が同等である場合には ($R10 = R11 = R12 = R$)、制御スイッチ SW10 ~ SW12 のオンオフの組み合わせ（スイッチングパターン）によって、 $R_s = R$ (SW10 オン)、 $R_s = 2R$ (SW11 オン)、及び、 $R_s = 3R$ (SW12 オン) の 3 段階に設定できる。この様に、複数の制御スイッチ SW10 ~ SW12 によって、複数の抵抗素子 R10 ~ R12 と基準電圧ノード NG との間の接続態様を切替えることで、電気抵抗値 R_s が調整される。

【0117】

更に、制御スイッチ SW10 ~ SW12 の全てをオフすることで、 $R_s = \infty$ にも設定することができる。即ち、制御スイッチ SW10 ~ SW12 のスイッチングパターンのうちの 1 つにおいて、駆動トランジスタ 202 のソースと、基準電圧ノード NG とは、電氣的に切り離される。

【0118】

図 8 には、アナログ電圧出力回路 250 の動作を説明する概念的な波形図が示される。図 8 に示される様に、アナログ電圧出力回路 250 は、時刻 t_a までの期間では、入力端子 13 にテスト電圧 V_{INTS} が入力された「第 1 の状態」で動作する。即ち、第 1 の状態では、駆動トランジスタ 202A のゲート電圧は、テスト電圧 V_{INTS} と同等となる。

【0119】

アナログ電圧出力回路 200 は、第 1 の状態では、制御信号 SL10 ~ SL12 による可変抵抗回路 205 の電気抵抗値 R_s の調整を伴って、出力端子 12 の出力電圧 V_{OUTTS} を測定し、 $V_{INTS} = V_{OUTTS}$ となる電気抵抗値 R_s (制御信号 SL10 ~ SL12 の組み合わせ) を探索する。

【0120】

一方で、上記探索による電気抵抗値 R_s の調整が終了すると、時刻 t_a 以降では、入力端子 13 は開放状態とされる。これにより、アナログ電圧出力回路 250 は、駆動トランジスタ 202A のゲート電圧が、アナログ回路 100 の出力電圧 V_{OUT} と同等となる「第 2 の状態」で動作する。

【0121】

再び、図 7 を参照して、アナログ電圧出力回路 250 の第 1 の状態での動作を説明する。

【0122】

駆動トランジスタ 202A のしきい値電圧 V_t は、実施の形態 1 と同様に、 $0[V]$ の設計値 V_{t*} と変動分 ΔV との和 ($V_t = V_{t*} + \Delta V$) で示される。第 1 の状態では

10

20

30

40

50

、駆動トランジスタ202Aのゲート・ソース間電圧 V_{gs} 、しきい値電圧 V_t 、及び、ドレイン電流 I_{ds} の間には、下記の式(16)が成立することが知られている。

【0123】

$$I_{ds} = \left(\frac{W}{L} \right) \cdot \mu \cdot C_{ox} \cdot (V_{gs} - V_t)^2 \dots (16)$$

尚、式(16)中の利得係数は、下記の式(17)に示されるように、表面平均移動度 μ 、チャンネル長 L 、チャンネル幅 W 、及び、単位面積当たりのゲート容量 C_{ox} によって決まる素子定数である。

【0124】

$$K = \left(\frac{W}{L} \right) \cdot \mu \cdot C_{ox} \dots (17)$$

式(15)を変形すると、下記の式(18)が得られる。

【0125】

$$V_{gs} = \left(\sqrt{2 \cdot I_{ds} / K} \right) + V_t \dots (18)$$

式(18)の左辺第1項は、ゲート・ソース間電圧 V_{gs} と、しきい値電圧 V_t との差電圧を示しており、当該差電圧は、ドレイン電流 I_{ds} に依存して変化することが理解される。ここで、図7のアナログ電圧出力回路250では、可変抵抗回路205の電気抵抗値 R_s を変化させることで、ドレイン電流 I_{ds} を変えることができる。

【0126】

アナログ電圧出力回路250は、第1の状態では、 $V_{gs} = V_{INts} - V_{OUTts}$ である。従って、テスト電圧 V_{INts} を固定した下で、制御スイッチ $SW10 \sim SW12$ のスイッチングパターンに応じて電気抵抗値 R_s を調整することでドレイン電流 I_{ds} を変化させながら、出力電圧 V_{OUTts} を測定する。そして、 $V_{OUTts} = V_{INts}$ となったドレイン電流 I_{ds} が流れている状態に、可変抵抗回路205の電気抵抗値 R_s を固定する。これにより、式(17)中において、変動分 V_t を含む、駆動トランジスタ202Aの実際のしきい値電圧 V_t を相殺する差電圧を生じさせるドレイン電流 I_{ds} 、即ち、駆動トランジスタ202Aにおいて $V_{gs} = 0$ となるときのドレイン電流 I_{ds} を発生させるための電気抵抗値 R_s がメモリされた状態となる。尚、 $V_t = 0$ で、駆動トランジスタ202Aのしきい値電圧 $V_t = 0$ の場合には、 $I_{ds} = 0$ 、即ち、制御スイッチ $SW10 \sim SW12$ の全てがオフ($R_s = \infty$)された状態がメモリされることになる。

【0127】

上記の様な電気抵抗値 R_s によるドレイン電流 I_{ds} の調整により、アナログ電圧出力回路250では、ゲート電圧及びソース電圧が等しくなる様な駆動トランジスタ202Aの動作状態が設定されることになる。即ち、実施の形態2では、可変抵抗回路205によって「駆動トランジスタ制御回路」の一実施例を構成することができる。又、実施の形態2において、入力端子13は「第2の端子」の一実施例に対応する。

【0128】

アナログ電圧出力回路250は、第1の状態でのドレイン電流 I_{ds} が維持されたままで、入力端子13を開放状態にすることで第2の状態に移行する。これにより、第2の状態では、駆動トランジスタ202Aのゲートに、アナログ回路100の出力電圧 V_{OUT} が入力されるので、駆動トランジスタ202Aのソースには、ゲートと同電圧($V_{gs} = 0$)が出力される。これにより、出力端子12の出力電圧 V_{OUTts} は、駆動トランジスタ202A(ネイティブNMOSTランジスタ)のしきい値電圧のばらつき V_t の影響を排除して、出力電圧 V_{OUT} と同等となる。

【0129】

言い換えると、可変抵抗回路205によって差電圧($V_{gs} - V_t$)がゼロとなる様にドレイン電流 I_{ds} を調整することで、駆動トランジスタ202Aのしきい値電圧の影響を取り除いて、ゲート電圧及びソース電圧が等しくなる様な駆動トランジスタ202Aの動作状態を設定することができる。この結果、実施の形態2に係るアナログ電圧出力回路250によっても、駆動トランジスタ202Aの電流によって、出力電圧 V_{OUT} と同等の電圧を出力端子12に出力することができる。

【0130】

10

20

30

40

50

尚、しきい値電圧のばらつきは、一般的には正規分布に従うことが知られているが、通常、ネイティブNMOSトランジスタでは、負のばらつきを考慮する必要はない。又、ネイティブNMOSトランジスタでは、構造的に、バックゲート電圧には、基板電位である、基準電圧AVSS（接地電圧）が供給される。そして、出力電圧VOUTに対応してソース電圧が1[V]程度になることを考慮すると、基板バイアス効果の影響を受けて、100[mV]程度が、等価的にしきい値電圧 V_t に加算されることとなる。従って、一般的には、ネイティブNMOSトランジスタのしきい値電圧の素子ばらつき V_t が数十[mV]程度であることを考えると、基板バイアス効果を含んだ、ネイティブNMOSトランジスタのしきい値電圧 V_t ($V_t = 0 + V_t$) は、 $V_t > 0$ の範囲内の分布となる。

【0131】

このため、図7では、ドレイン電流 I_{ds} は、向きが固定された下で調整されるが、正のしきい値電圧 V_t ($V_t > 0$) に対応して、 $V_{gs} = 0$ となるドレイン電流 I_{ds} を見つけ出すことで、駆動トランジスタ202Aのしきい値電圧の影響を排除して、高精度に出力電圧 V_{OUTts} を生成することができる。

【0132】

尚、アナログ電圧出力回路250は、半導体装置10Cの試験時以外（半導体装置10Cの通常動作時）には、出力端子12及び入力端子13が開放状態とされるとともに、制御スイッチSW10～SW12の全てがオフされた状態、即ち、可変抵抗回路205がノードN4と基準電圧ノードNGとの間の電流経路を遮断する状態に維持されることで停止する。これにより、アナログ電圧出力回路250の停止状態における消費電流が生じない様にする事ができる。

【0133】

この様に、実施の形態2に係る半導体装置10Cによっても、nAオーダに設計された極低消費電力のアナログ回路100の出力電圧VOUTを、駆動トランジスタ202Aを有するアナログ電圧出力回路250を用いて高速に測定することができる。この際に、アナログ電圧出力回路200は、駆動トランジスタ202Aの素子ばらつき（しきい値電圧のばらつき）の影響を排除して、アナログ回路100の出力電圧VOUTと同等の出力電圧 V_{OUTts} を高精度に出力することができる。又、クロック信号を用いずに電圧測定が実行できるので、クロック信号に起因するノイズが測定誤差となることを防止できる。又、実施の形態2においても、又、電源ノードNP2の電源電圧AVDD2を高く設定することで（ $AVDD2 > AVDD1$ ）、アナログ電圧出力回路250の消費電力を削減することができる。

【0134】

尚、実施の形態2のアナログ電圧出力回路250では、ネイティブNMOSトランジスタの駆動トランジスタ202Aに代えて、エンハンスメント型のNMOSトランジスタ（ $V_t > 0$ ）を適用することも可能であるが、 $V_t < 0$ のデプレッション型NMOSトランジスタの適用は困難である。

【0135】

実施の形態2の変形例。

図9は、実施の形態2の変形例に係るアナログ電圧出力回路を備える半導体装置の構成例を説明する回路図である。

【0136】

図9に示される様に、実施の形態2の変形例に係る半導体装置10Dは、実施の形態2に係る半導体装置10Cと比較して、アナログ電圧出力回路250に代えて、アナログ電圧出力回路260を備える点で異なる。アナログ電圧出力回路260は、図7のアナログ電圧出力回路250に加えて、図5と同様のレプリカ回路300を更に備える点で異なる。

【0137】

レプリカ回路300の構成及び動作は、図5と同様であるので説明は繰り返さない。従って、レプリカ回路300は、制御信号SL1がHレベル（AVDD1）に設定される期間では、アナログ回路100の出力段の電流 I_o のK倍のレプリカ電流 I_{rp} によって、

10

20

30

40

50

ノードN1、即ち、駆動トランジスタ202Aのゲート容量を、出力電圧VOUTと同等のレプリカ電圧Vrpまで充電する様に動作する。更に、レプリカ回路300は、制御信号SL2がHレベル(AVDD1)に設定される期間では、アナログ回路100及びアナログ電圧出力回路250から切り離されて、動作を停止する。

【0138】

図10には、図9に示されたアナログ電圧出力回路250の動作を説明する概念的な波形図が示される。

【0139】

図10に示される様に、時刻tsから、図8で説明したアナログ電圧出力回路250の動作が開始される。時刻tsまでの間に、レプリカ回路300の制御信号SL1がHレベル(AVDD1)に設定される期間が設けられる。

10

【0140】

これにより、アナログ電圧出力回路250が実施の形態2で説明した動作を開始する時点(時刻ts)において、ノードN1の電圧、即ち、駆動トランジスタ202Aのゲート電圧は、出力電圧VOUT、即ち、入力端子13から入力されるテスト電圧VINtsと近い電圧レベルまで上昇している。

【0141】

時刻ts以降では、制御信号SL2がHレベル(AVDD1)に設定されて、制御信号SL1はLレベル(AGND)に設定されるので、レプリカ回路300がアナログ回路100及びアナログ電圧出力回路250から切り離されることにより、実施の形態2と同様のアナログ電圧出力回路250によるアナログ回路100の出力電圧VOUTの測定が実行される。

20

【0142】

この様に、実施の形態2の変形例に係るアナログ電圧出力回路によれば、時刻tsを起点とした、駆動トランジスタ202Aのゲート充電の所要時間が短縮されることにより、アナログ電圧出力回路250による出力電圧VOUTの測定に要する時間を短縮することが可能となる。即ち、実施の形態2での効果に加えて、電圧測定を更に高速化することができる。

【0143】

尚、実施の形態1及び2、並びに、それらの変形例に係るアナログ電圧出力回路200, 210, 250, 260による測定対象となるアナログ回路100は、例示されたバンドギャップリファレンスに限定されることなく、アナログ電圧を出力電圧とする任意の回路とすることができる。即ち、本実施の形態に係るアナログ電圧出力回路は、アナログ回路を備える任意の半導体装置に搭載可能であり、当該半導体装置の外部から当該アナログ回路の出力電圧を測定するDFTに適宜用いることが可能である。

30

【0144】

実施の形態3

実施の形態1及び2では、アナログ回路に対してアナログ電圧出力回路を1対1で配置する構成例を説明したが、実施の形態3では、1個のアナログ電圧出力回路を効率的に共有して、複数個のアナログ回路からのアナログ電圧を測定するための構成を説明する。

40

【0145】

図11は、実施の形態3に係るアナログ電圧出力回路250Xを備える半導体装置10Eの構成例を説明する回路図である。

【0146】

図11に示される様に、実施の形態3に係る半導体装置10Eは、複数のアナログ回路100H, 100Lと、選択スイッチSWH, SWLと、アナログ電圧出力回路250Xとを備える。

【0147】

アナログ回路100Hの出力ノードNoHには、出力電圧VOUTHが生成される一方で、アナログ回路100Lの出力ノードNoLには、出力電圧VOULLが生成される(

50

$V_{OUTH} > V_{OUTL}$)。以下では、 $V_{OUTH} = 2.4 [V]$ 、 $V_{OUTL} = 1.2 [V]$ の例を説明する。又、以下では、電圧比 (V_{OUTH} / V_{OUTL}) = K_v と表記する。

【0148】

アナログ回路100H, 100Lの構成は、アナログ回路100と同様に任意であるが、例えば、図1等で例示したアナログ回路100の構成と同様とすることができる。図1と同様の構成において、ダイオードD1~D3による電流量を、アナログ回路100H及び100Lの間で $K_v : 1$ (例えば、2 : 1) とすることで、上述した出力電圧 V_{OUT} , V_{OUTL} を生成することができる。

【0149】

アナログ電圧出力回路250Xは、図5のアナログ電圧出力回路200の構成に加えて、可変抵抗回路206を更に含む。図11の構成では、可変抵抗回路205及び206は、駆動トランジスタ202Aのソースに対して直列接続されており、可変抵抗回路205は「第1の可変抵抗回路」の一実施例に対応し、可変抵抗回路206は「第2の可変抵抗回路」の一実施例に対応する。

【0150】

選択スイッチSWHは、アナログ回路100Hの出力ノードNoHと、アナログ電圧出力回路250XのノードN1との間に接続される。又、選択スイッチSWLは、アナログ回路100Lの出力ノードNoLと、アナログ電圧出力回路250XのノードN1との間に接続される。選択スイッチSWHは、制御信号SLhに応じてオンオフされ、選択スイッチSWLは、制御信号SLlに応じてオンオフされる。

【0151】

アナログ電圧出力回路250Xでは、可変抵抗回路205の抵抗素子R10~R12はノードN4及びノードNxの間に直列接続されており、制御信号SW10~SW12に応じた制御スイッチSW10~SW12のオンオフの組み合わせによって、ノードN4及びノードNxの間の電気抵抗値Rsが可変に設定される。

【0152】

可変抵抗回路206は、ノードNx及び基準電圧ノードNGの間に直列接続された抵抗素子R20, R21と、ノードNx及び基準電圧ノードNGの間の電気抵抗値Rxを調整するための制御スイッチSW20とを有する。制御スイッチSW20のオンオフは、選択スイッチSWLと共通の制御信号SLlによって制御される。

【0153】

尚、図11で追加された、制御信号SLh及びSLlについても、図示しない経路により、半導体装置10Eの外部から入力することができる。例えば、テスト電圧VIntsを発生する試験用回路(図示せず)によって、制御信号SLh, SLlは設定される。

【0154】

抵抗素子R20, R21の電気抵抗値は、制御スイッチSW20のオフ時における電気抵抗値Rxと、制御スイッチSW20のオフ時における電気抵抗値Rxとの比が、 $K_v : 1$ になる様に決定される。例えば、 $K_v = 2$ のときには、抵抗素子R20及びR21は同等の電気抵抗値を有する様に決定される。

【0155】

可変抵抗回路205の電気抵抗値Rsは、選択スイッチSWL, SWHの一方がオンされた状態において、図5と同様に、 $V_{Ints} = V_{OUTts}$ となる様に調整される。又、可変抵抗回路205の電気抵抗値Rxは、可変抵抗回路205の電気抵抗値Rsよりも非常に大きな値に設定される($R_x \gg R_s$)。即ち、可変抵抗回路205の電気抵抗値Rsは「第1の電気抵抗値」に対応し、可変抵抗回路206の電気抵抗値Rxは「第2の電気抵抗値」に対応する。

【0156】

次にアナログ電圧出力回路250Xの動作について、詳細に説明する。

まず、選択スイッチSWHがオンされる一方で、選択スイッチSWLがオフされる状態

10

20

30

40

50

として、アナログ回路 100H の出力電圧 V_{OUTH} が、アナログ電圧出力回路 250X に伝達される。この状態では、選択スイッチ SWH のオンと連動して、制御スイッチ SW20 がオフされる。これにより、 $R_x = R_x(ON) = R_{20} + R_{21}$ となる。

【0157】

この状態で、入力端子 13 にテスト電圧 V_{INts} (V_{OUTH} と同等の電圧値) が入力された「第 1 の状態」において、 $V_{INts} = V_{OUTts}$ となる様な、制御スイッチ SW10 ~ SW12 のスイッチングパターン、即ち、可変抵抗回路 205 の電気抵抗値 R_s が探索される。

【0158】

実施の形態 2 で説明した様に、上述の電気抵抗値 R_s の調整後に入力端子 13 (V_{INts}) を開放状態とすることで「第 2 の状態」が形成されて、出力端子 12 には、 $V_{OUTts} = V_{OUTH}$ を得ることができる。これにより、アナログ回路 100H の出力電圧 V_{OUTH} を測定することができる。

【0159】

次に、アナログ回路 100L の出力電圧 V_{OUTL} を測定するために、選択スイッチ SWL がオンされる一方で、選択スイッチ SWH がオフされる。これにより、出力電圧 V_{OUTL} ($V_{OUTL} = V_{OUTH} / K_v$) が、アナログ電圧出力回路 250X のノード N1 に伝達される。この状態では、選択スイッチ SWL のオンと連動して、制御スイッチ SW20 がオンされる。これにより、 $R_x = R_x(OFF) = R_{20} = R_x(ON) / K_v$ となる。

【0160】

従って、駆動トランジスタ 202A のドレイン電流 I_{ds} は、出力電圧 V_{OUTH} の測定時 (選択スイッチ SWH のオン時) には、 $I_{ds} = V_{OUTH} / R_x(ON)$ である一方で、出力電圧 V_{OUTL} の測定時 (選択スイッチ SWL のオン時) には、 $I_{ds} = V_{OUTL} / R_x(OFF)$ である。一方で、上述の様に、 $V_{OUTL} = V_{OUTH} / K_v$ 、かつ、 $R_x(OFF) = R_x(ON) / K_v$ が成立する。

【0161】

従って、アナログ電圧出力回路 250X では、出力電圧 V_{OUTH} の測定時と、出力電圧 V_{OUTL} の測定時との間で、駆動トランジスタ 202A のドレイン電流 I_{ds} を一定に維持できることが理解される。

【0162】

この結果、出力電圧 V_{OUTH} 及び V_{OUTL} の一方の測定時に調整された電気抵抗値 R_s (可変抵抗回路 205) の下で、出力電圧 V_{OUTH} 及び V_{OUTL} の他方についても同様の精度で測定することが可能となる。

【0163】

この様に、実施の形態 3 に係るアナログ電圧出力回路 250X では、入力ノード N1 へ入力されるアナログ電圧が、電圧比が K_v である出力電圧 V_{OUTH} 及び V_{OUTL} の間で変化する際に、可変抵抗回路 205 を流れるドレイン電流 I_{ds} を一定に維持する様に、可変抵抗回路 206 の電気抵抗値が K_v 倍、又は、 $(1 / K_v)$ 倍に切り換えられる。これにより、可変抵抗回路 205 による調整結果 (電気抵抗値 R_s) を共通に用いて、出力電圧 V_{OUTH} 及び V_{OUTL} の両方を高精度に測定することが可能である。

【0164】

尚、図 11 の例では、2 個のアナログ電圧 (出力電圧 V_{OUT}) の測定に 1 個のアナログ電圧出力回路 250X を共通に用いる構成を例示したが、3 以上の N 個 (N: 自然数) のアナログ電圧 (出力電圧 V_{OUT}) に対して、1 個のアナログ電圧出力回路 250X を配置する構成とすることも可能である。この場合には、N 個のアナログ電圧の間の電圧比に連動して、可変抵抗回路 206 の電気抵抗値 R_x を N 段階に切り替えることで、N 個のアナログ電圧 (出力電圧 V_{OUT}) を、1 個のアナログ電圧出力回路 250X によって共通に測定することができる。

【0165】

10

20

30

40

50

実施の形態 3 の変形例。

図 1 2 は、実施の形態 3 の変形例に係るアナログ電圧出力回路 2 5 0 Y を備える半導体装置 1 0 F の構成例を説明する回路図である。

【 0 1 6 6 】

図 1 2 に示される様に、実施の形態 3 の変形例に係る半導体装置 1 0 F は、複数のアナログ回路 1 0 0 H , 1 0 0 L と、選択スイッチ S W H , S W L と、アナログ電圧出力回路 2 5 0 Y とを備える。即ち、半導体装置 1 0 F は、アナログ電圧出力回路 2 5 0 X に代えてアナログ電圧出力回路 2 5 0 Y を備える点で、半導体装置 1 0 E (図 1 1) と異なる。半導体装置 1 0 F のその他の部分の構成は、半導体装置 1 0 E と同様であるので詳細な説明は繰り返さない。

10

【 0 1 6 7 】

図 1 2 においても、アナログ回路 1 0 0 H の出力電圧 V_{OUTH} (出力ノード N o H) $V_{OUTH} = 2.4 [V]$ 、かつ、アナログ回路 1 0 0 L の出力電圧 V_{OUTL} (出力ノード N o L) $V_{OUTL} = 1.2 [V]$ の例を説明する。即ち、電圧比 $K_v = (V_{OUTH} / V_{OUTL}) = 2$ である。

【 0 1 6 8 】

アナログ電圧出力回路 2 5 0 Y は、アナログ電圧出力回路 2 5 0 X (図 1 1) と比較して、可変抵抗回路 2 0 6 に代えて抵抗素子 R 2 0 が固定的に配置されるとともに、電源ノード N P 及びノード N 4 の間に複数の駆動トランジスタが並列接続される構成を有する。更に、アナログ電圧出力回路 2 5 0 Y は、可変抵抗回路 2 0 6 の電気抵抗値 R_s を調整するための制御スイッチ S W 2 0 (図 1 1) に代えて、ノード N 1 と複数の駆動トランジスタのゲートとの接続をオンオフするための制御スイッチ S W 2 1 が設けられる点で、アナログ電圧出力回路 2 5 0 X と異なる。

20

【 0 1 6 9 】

図 1 2 の構成例では、駆動トランジスタ 2 0 2 A 及び 2 0 3 A が、電源ノード N P 及びノード N 4 の間に並列接続されており、制御スイッチ S W 2 1 が、ノード N 1 及び駆動トランジスタ 2 0 3 A のゲートの間に接続される。ここでは、制御スイッチ S W 2 1 は、選択スイッチ S W H と共通の制御信号 S L h に応じてオンオフされる。アナログ電圧出力回路 2 5 0 Y のその他の部分の構成は、アナログ電圧出力回路 2 5 0 X と同様であるので詳細な説明は繰り返さない。

30

【 0 1 7 0 】

アナログ電圧出力回路 2 5 0 Y では、アナログ電圧出力回路 2 0 0 (図 5) と同様に、ノード N 4 及び基準電圧ノード N G の間の電気抵抗値は、可変抵抗回路 2 0 5 (電気抵抗値 R_s) によって調整される。

【 0 1 7 1 】

並列接続された駆動トランジスタ 2 0 2 A , 2 0 3 A のゲートと、ノード N 1 との間の接続 (制御スイッチ S W 2 1 のオンオフ) は、選択スイッチ S W H , S W L のオンオフと連動して制御される。具体的には、ゲートがノード N 1 と接続された駆動トランジスタによる、ノード N 4 への電流駆動力の合計が、ノード N 1 に伝達されるアナログ電圧 (出力電圧 V_{OUTH} , V_{OULL}) の電圧比 K_v に連動して切り換えられる様に、制御スイッチ S W 2 1 のオンオフが制御される。尚、電流駆動力は、上述の式 (1 6) , (1 7) での利得係数 に相当する。代表的には、電流駆動力が同等、即ち、同一サイズの駆動トランジスタを並列接続して、ゲートがノード N 1 と接続される駆動トランジスタの個数を変化させることで、ノード N 4 への電流駆動力の合計を可変に設定することが可能となる。

40

【 0 1 7 2 】

次にアナログ電圧出力回路 2 5 0 Y の動作について、詳細に説明する。

まず、選択スイッチ S W H がオンされる一方で、選択スイッチ S W L がオフされる状態として、アナログ回路 1 0 0 H の出力電圧 V_{OUTH} が、アナログ電圧出力回路 2 5 0 Y に伝達される。この状態では、選択スイッチ S W H のオンと連動して、制御スイッチ S W 2 1 がオンされる。これにより、駆動トランジスタ 2 0 2 A 及び 2 0 3 A の両方の電流駆

50

動力によって、ノードN4へのドレイン電流 I_{ds} が供給される。

【0173】

この状態で、テスト電圧 V_{INts} (V_{OUTH} と同等の電圧値)を固定した下で、 $V_{INts} = V_{OUTts}$ となる様な、制御スイッチ $SW10 \sim SW12$ のスイッチングパターン、即ち、可変抵抗回路205の電気抵抗値 R_s が探索される。

【0174】

実施の形態2で説明した様に、上述の電気抵抗値 R_s の調整後に入力端子13 (V_{INts})を開放状態とすることで、出力端子12には、 $V_{OUTts} = V_{OUTH}$ を得ることができる。これにより、アナログ回路100Hの出力電圧 V_{OUTH} を測定することができる。

10

【0175】

次に、アナログ回路100Lの出力電圧 V_{OUTL} を測定するために、選択スイッチ SWL がオンされる一方で、選択スイッチ SWH がオフされる。これにより、出力電圧 V_{OUTL} ($V_{OUTL} = V_{OUTH} / K_v$)が、アナログ電圧出力回路250YのノードN1に伝達される。この状態では、選択スイッチ SWH のオフと連動して、制御スイッチ $SW20$ がオフされる。駆動トランジスタ202のみの電流駆動力によって、ノードN4へのドレイン電流 I_{ds} が供給される。

【0176】

従って、出力電圧 V_{OUTL} ($= V_{OUTL} / K_v$)の測定時には、出力電圧 V_{OUTH} の測定時と比較すると、ノードN4への電流駆動力は ($1 / K_v$) 倍に設定される。これにより、出力電圧 V_{OUTH} 及び V_{OUTL} のそれぞれの測定間で、ノードN4及び基準電圧ノードNGの間を流れるドレイン電流 I_{ds} が同等に維持される。この結果、出力電圧 V_{OUTH} 及び V_{OUTL} の一方の測定時に調整された電気抵抗値 R_s (可変抵抗回路205)の下で、出力電圧 V_{OUTH} 及び V_{OUTL} の他方についても同様の精度で測定することが可能となる。

20

【0177】

この様に、実施の形態3の変形例に係るアナログ電圧出力回路250Yでは、入力ノードN1へ入力されるアナログ電圧が、電圧比 K_v の出力電圧 V_{OUTH} 及び V_{OUTL} の間で変化する際に、並列接続された複数の駆動トランジスタの少なくとも一部を用いた、ノードN4に対する電流駆動能力の比が K_v 倍、又は、 ($1 / K_v$) 倍に切り換えられる。これにより、可変抵抗回路205を流れるドレイン電流 I_{ds} が一定に維持されるので、可変抵抗回路205による調整結果 (電気抵抗値 R_s) を共通に用いて、出力電圧 V_{OUTH} 及び V_{OUTL} の両方を高精度に測定することが可能である。

30

【0178】

尚、図12の例では、2個のアナログ電圧 (出力電圧 V_{OUT}) の測定に1個のアナログ電圧出力回路250Yを共通に用いる構成を例示したが、3以上のN個 (N:自然数) のアナログ電圧 (出力電圧 V_{OUT}) に対して、1個のアナログ電圧出力回路250Yを配置する構成とすることも可能である。この場合には、N個のアナログ電圧の間の電圧比に連動して、並列接続された複数の駆動トランジスタの少なくとも一部を用いた、ノードN4への電流駆動力をN段階に切り替えることで、N個のアナログ電圧 (出力電圧 V_{OUT}) を、1個のアナログ電圧出力回路250Yによって共通に測定することができる。

40

【0179】

この様に、実施の形態3又はその変形例に係るアナログ電圧出力回路250X, 250Yによれば、選択スイッチを設けることにより、複数のアナログ回路によって1個のアナログ電圧出力回路を共有する際に、1個のアナログ回路からの出力電圧 (アナログ電圧) を高精度に測定するための調整を、他のアナログ回路からの出力電圧の測定時にも共通に用いることができるので、1個のアナログ電圧出力回路250X, 250Yによる、複数のアナログ回路の出力電圧の測定を高速化できる。

【0180】

これに対して、実施の形態1及び2に係るアナログ電圧出力回路についても、図11及

50

び図12の選択スイッチSWH, SWLと同様の選択スイッチの配置によって、複数のアナログ回路の出力電圧(アナログ電圧)を測定する構成することが可能である。しかしながら、この場合には、実施の形態3及びその変形例とは異なり、高精度に測定するための調整は、アナログ回路毎(出力電圧毎)に個別に実行することが必要となる。

【0181】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0182】

10A, 10B, 10C, 10D 半導体装置、11 測定端子、12 出力端子、13 入力端子、100 アナログ回路、200, 210, 250, 250X, 250Y, 260 アナログ電圧出力回路、201 キャパシタ、202, 202A, 202B, 203A 駆動トランジスタ、205 可変抵抗回路、208 スイッチ制御回路、211, 212 遅延回路、300 レプリカ回路、AVDD1, AVDD2 電源電圧、AVSS 基準電圧、TCLK クロック信号、D1~D3, D5 ダイオード、Irp レプリカ電流、MN1, MN2, MP1~MP3, MP5 トランジスタ、NG 基準電圧ノード、NP1, NP2 電源ノード、No 出力ノード(アナログ回路)、SL1, SL2, SL10~SL12, SLh, SLl, a, b 制御信号、SW0~SW2, SW3a, SW3b, SW4a, SW4b スイッチ、SW10~SW12, SW20, SW21, SWH, SWL 制御スイッチ、Td1, Td2 遅延時間、VINts テスト電圧、VOUT 出力電圧(アナログ回路)、VOUTts 出力電圧(アナログ電圧出力回路)、Vrp レプリカ電圧。

10

20

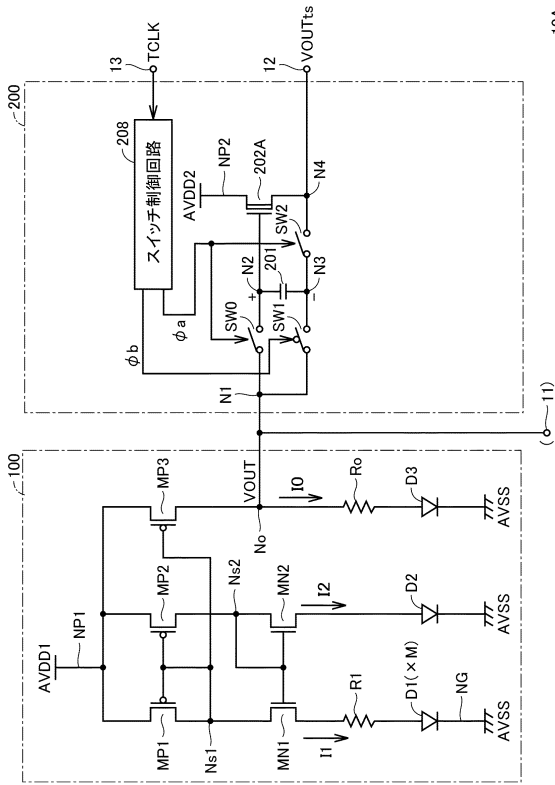
30

40

50

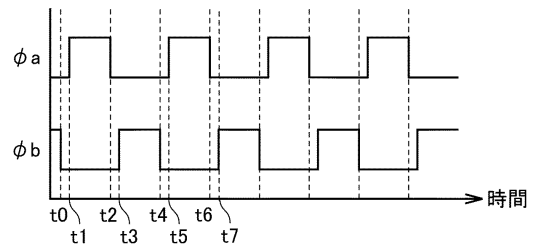
【図面】
【図 1】

図1



【図 2】

図2

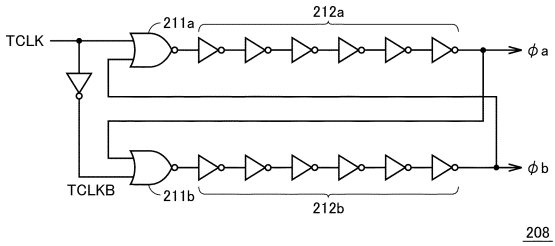


10

20

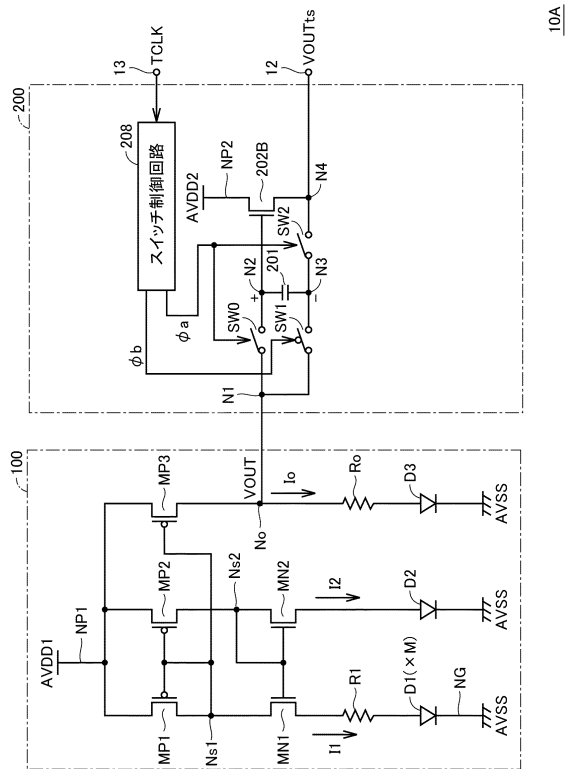
【図 3】

図3



【図 4】

図4



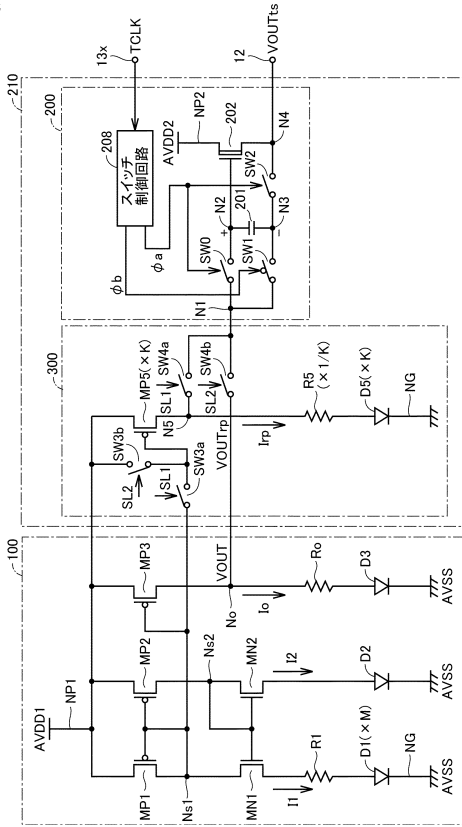
30

40

50

【図5】

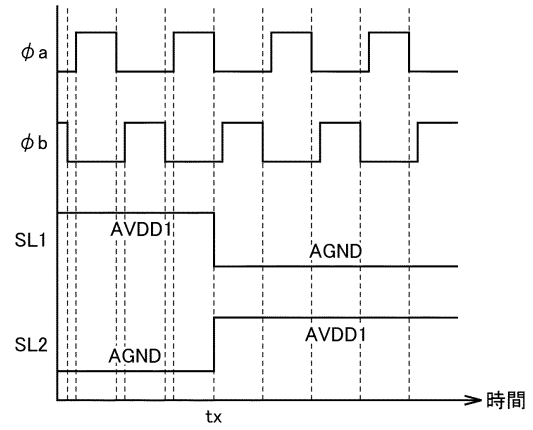
図5



10B

【図6】

図6

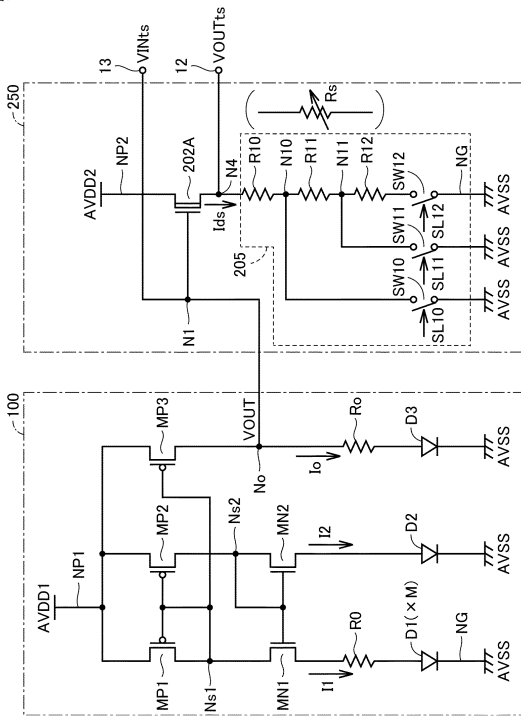


10

20

【図7】

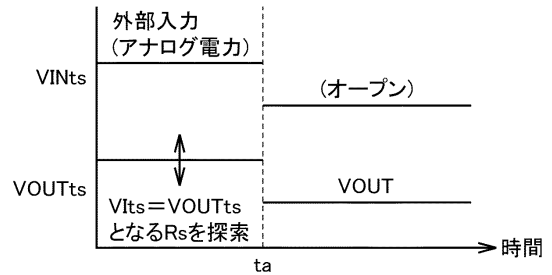
図7



10C

【図8】

図8



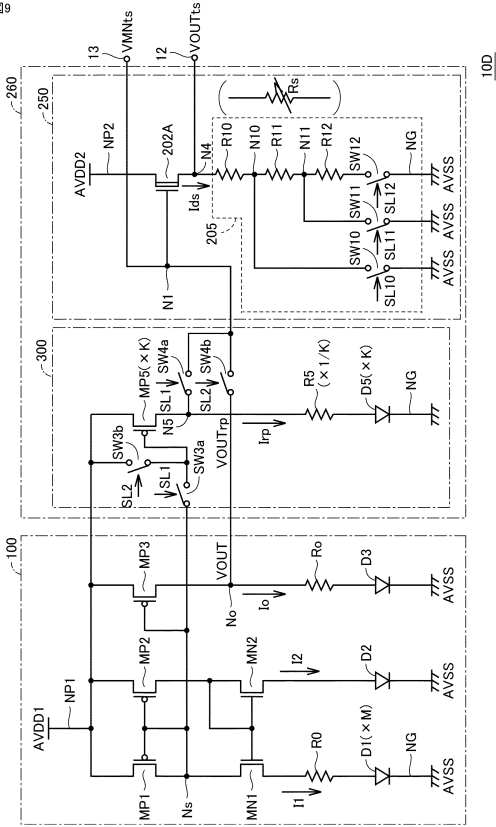
30

40

50

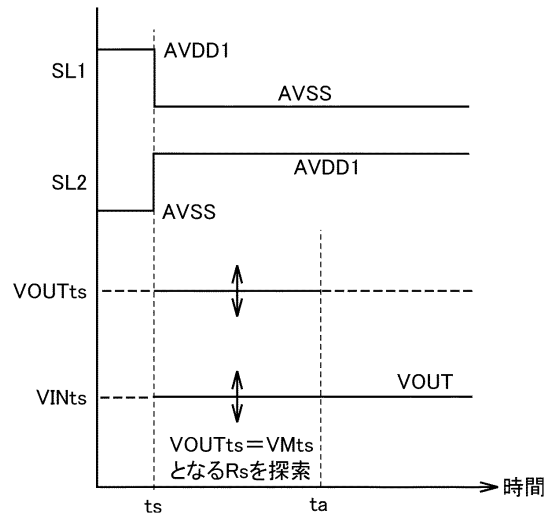
【図 9】

図9



【図 10】

図10

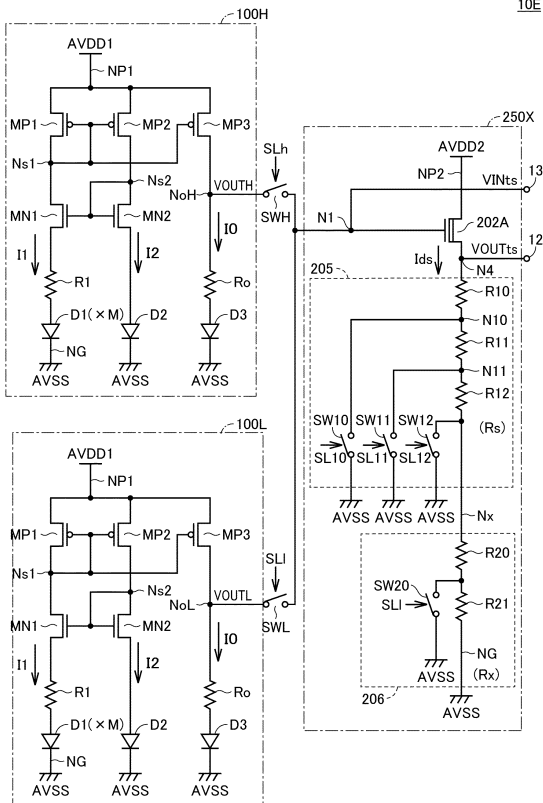


10

20

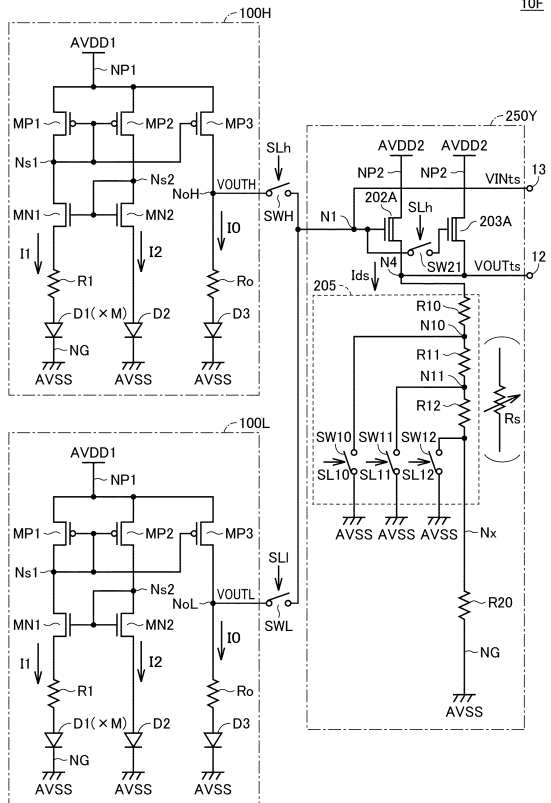
【図 11】

図11



【図 12】

図12



30

40

50

フロントページの続き

- (56)参考文献 特開平04 - 263449 (JP, A)
特開2006 - 293344 (JP, A)
特表2005 - 536964 (JP, A)
国際公開第2019 / 246117 (WO, A1)
特表2003 - 525513 (JP, A)
特開2006 - 288197 (JP, A)
特開2018 - 042080 (JP, A)
特開2004 - 295705 (JP, A)
米国特許出願公開第2020 / 0366193 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
IPC G01R 31 / 28 - 31 / 3193、
H01L 27 / 04