

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4657602号  
(P4657602)

(45) 発行日 平成23年3月23日 (2011.3.23)

(24) 登録日 平成23年1月7日 (2011.1.7)

(51) Int. Cl.

F I

G 0 6 F 13/14 (2006.01)

G 0 6 F 13/14 3 2 O H

G 0 6 F 13/36 (2006.01)

G 0 6 F 13/36 3 1 O E

請求項の数 30 (全 19 頁)

(21) 出願番号 特願2003-509332 (P2003-509332)  
 (86) (22) 出願日 平成14年6月20日 (2002.6.20)  
 (65) 公表番号 特表2004-531838 (P2004-531838A)  
 (43) 公表日 平成16年10月14日 (2004.10.14)  
 (86) 国際出願番号 PCT/US2002/019720  
 (87) 国際公開番号 W02003/003225  
 (87) 国際公開日 平成15年1月9日 (2003.1.9)  
 審査請求日 平成17年6月17日 (2005.6.17)  
 審判番号 不服2008-12766 (P2008-12766/J1)  
 審判請求日 平成20年5月19日 (2008.5.19)  
 (31) 優先権主張番号 09/896,395  
 (32) 優先日 平成13年6月29日 (2001.6.29)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 593096712  
 インテル コーポレーション  
 アメリカ合衆国 95052 カリフォル  
 ニア州 サンタ クララ ミッション カ  
 レッジ ブールバード 2200  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (72) 発明者 ジョージ, ヴァルゲーゼ  
 アメリカ合衆国 95630 カリフォル  
 ニア州 フォルソム ハリドン ウェイ  
 1113

最終頁に続く

(54) 【発明の名称】 仮想 P C I デバイス装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

h o s t - t o - P C Iブリッジと共有されることなく1以上のプロセッサを有するホ  
 ストバスとに直接接続するためのインタフェースと、

1以上の機能を実行するよう前記インタフェースと接続され、仮想 P C I デバイスとし  
 て出現し、前記 h o s t - t o - P C Iブリッジを介し前記ホストバスに接続される P C  
 Iバス上に論理的に設けられるデバイスと、

前記ホストバスに接続される前記プロセッサの少なくとも1つにより開始されるホスト  
 バスサイクルを追跡するよう前記デバイスと前記インタフェースに接続され、前記仮想 P  
 C I デバイスを対象とするプロセッサにより開始されたホストバスサイクルを特定し、前  
 記仮想 P C I デバイスとして前記デバイスが前記 h o s t - t o - P C Iブリッジにアク  
 セスする必要なく、前記仮想 P C I デバイスを対象とする特定されたホストバスサイクル  
 の1以上に応答することを可能にするよう1以上の制御信号を生成するモニタ回路と、  
 から構成される装置であって、

前記デバイスによる前記 h o s t - t o - P C Iブリッジへのアクセスは、前記ホスト  
 バスを介してのみ行われることを特徴とする装置。

【請求項 2】

請求項1記載の装置であって、さらに、

前記インタフェースと前記モニタ回路に接続され、前記仮想 P C I デバイスにアドレス  
 指定されたホストバスリードサイクルに係るデータを格納する第1ストレージを有し、

10

20

前記データは、前記 `host-to-PCI` ブリッジのホストインタフェースにアクセスすることなく、前記ホストバスライトサイクル中に前記第 1 ストレージから前記ホストバスに転送されることを特徴とする装置。

【請求項 3】

請求項 2 記載の装置であって、さらに、

前記インタフェースと前記モニタ回路に接続され、前記仮想 `PCI` デバイスにアドレス指定されたホストバスライトサイクルに係るデータを格納する第 2 ストレージを有し、

前記データは、前記 `host-to-PCI` ブリッジのホストインタフェースにアクセスすることなく、前記ホストバスライトサイクル中に前記ホストバスから前記第 2 ストレージに転送されることを特徴とする装置。

10

【請求項 4】

請求項 1 記載の装置であって、さらに、

前記インタフェースに接続され、該インタフェースを介し前記ホストバス上で 1 以上のホストバスサイクルを開始可能なプロセッサを有することを特徴とする装置。

【請求項 5】

請求項 3 記載の装置であって、さらに、

前記デバイス、前記モニタ回路、前記第 1 ストレージ及び前記第 2 ストレージを前記インタフェースに接続する内部バスを有することを特徴とする装置。

【請求項 6】

請求項 1 記載の装置であって、

前記デバイスは、1 以上の他のデバイスに接続されるブリッジデバイスであり、前記 `host-to-PCI` ブリッジに接続される `PCI` バスに論理的に設けられる仮想 `PCI-PCI` ブリッジとして出現することを特徴とする装置。

20

【請求項 7】

請求項 1 記載の装置であって、

前記仮想 `PCI` デバイスを対象とする前記特定されたホストバスサイクルは、前記仮想 `PCI` デバイスに割当てられたメモリアドレス空間を対象とするホストバスサイクルを有することを特徴とする装置。

【請求項 8】

請求項 1 記載の装置であって、さらに、

前記ホストバスに接続され、前記ホストバスからデータを受信するための前記制御信号の 1 以上に応答するミラーレジスタを有し、

前記モニタ回路は、設定アドレスレジスタを対象とするホストバスライトサイクルをさらに特定し、前記設定アドレスレジスタを対象とするものとして特定された前記ホストバスサイクルの期間中に前記ミラーレジスタに格納するため、前記ホストバスからデータを受信するための前記制御信号を生成する、ことを特徴とする装置。

30

【請求項 9】

請求項 1 記載の装置であって、

前記仮想 `PCI` デバイスを対象とする前記特定されたホストバスサイクルは、前記仮想 `PCI` デバイスに割当てられた `I/O` アドレス空間に対するホストバスサイクルを有することを特徴とする装置。

40

【請求項 10】

請求項 2 記載の装置であって、

前記第 1 ストレージは、複数の第 1 設定レジスタを有し、

前記特定されたホストバスサイクルは、前記仮想 `PCI` デバイスに対し確保されている設定空間を対象とするホストバスサイクルを有することを特徴とする装置。

【請求項 11】

請求項 10 記載の装置であって、

前記仮想 `PCI` デバイスは、仮想 `PCI-to-PCI` ブリッジの後方に配置され、

50

前記第 1 ストレージは、複数の第 2 設定レジスタを有し、

前記モニタ回路は、前記仮想 P C I - t o - P C I ブリッジに割当てられた設定空間を対象とするホストバスサイクルをさらに特定し、

前記モニタ回路は、前記仮想 P C I - t o - P C I ブリッジに割当てられた設定空間を対象とする前記特定されたホストバスリードサイクルの 1 以上において、1 以上の前記データを前記ホストバスに伝送する複数の制御信号を生成する、ことを特徴とする装置。

【請求項 1 2】

h o s t - t o - P C I ブリッジと共有されることなくホストバスに直接接続するためのインタフェースと、

プライマリ P C I バスに割当てられた第 1 アドレス空間を指定するコンテンツを有する第 1 ストレージと、

1 以上の機能を実行するよう前記インタフェースに接続され、仮想 P C I デバイスとして出現し、前記プライマリ P C I バスに接続される P C I バス上に論理的に配置され、前記 h o s t - t o - P C I ブリッジへのアクセスが前記ホストバスを介してのみなされるデバイスと、

前記仮想 P C I デバイスに割当てられる第 2 アドレス空間を指定するコンテンツを有する第 2 ストレージと、

前記第 1 ストレージと前記第 2 ストレージに接続され、プロセッサにより開始されたホストバスサイクルを追跡し、前記プライマリ P C I バスにルーティングするホストバスサイクルを選択するようホストバスに接続する制御回路と、

から構成される装置であって、前記ルーティングされたサイクルは、前記第 2 アドレス空間を対象とするホストバスサイクルを排除するため、前記第 1 ストレージと前記第 2 ストレージのコンテンツに基づき選択されることを特徴とする装置。

【請求項 1 3】

請求項 1 2 記載の装置であって、

前記第 1 及び第 2 アドレス空間は、メモリホストバスアドレス空間を含むことを特徴とする装置。

【請求項 1 4】

請求項 1 2 記載の装置であって、

前記第 1 及び第 2 アドレス空間は、ホストバス I / O 空間を含むことを特徴とする装置。

【請求項 1 5】

請求項 1 2 記載の装置であって、

前記第 1 及び第 2 アドレス空間は、P C I に準拠した設定アドレス空間を含むことを特徴とする装置。

【請求項 1 6】

請求項 1 2 記載の装置であって、

前記仮想 P C I デバイスは、仮想 P C I - t o - P C I ブリッジであることを特徴とする装置。

【請求項 1 7】

請求項 1 6 記載の装置であって、さらに、

複数の設定レジスタと、

前記制御回路に接続され、前記仮想 P C I - t o - P C I ブリッジが論理的に配備されるデバイス番号とバスを示すコンテンツを有する第 3 ストレージと、を有し、

前記制御回路はさらに、前記バス及びデバイス番号に基づき、前記 h o s t - t o - P C I ブリッジのホストインタフェースにアクセスする必要なく前記複数の設定レジスタにルーティングするよう前記仮想 P C I - t o - P C I ブリッジの設定アドレス空間を対象

10

20

30

40

50

とするホストバスサイクルを選択することを特徴とする装置。

【請求項 18】

ホストバスに接続された 1 以上のプロセッサと、

前記ホストバスにプライマリ P C I バスを接続する h o s t - t o - P C I ブリッジと

、  
前記ホストバスに接続され、前記プライマリ P C I バスに接続された P C I バス上に論理的に配備される第 1 仮想 P C I デバイスとして出現し、前記ホストバスをモニタし、前記第 1 仮想 P C I デバイスを対象とするプロセッサにより開始されたホストバスサイクルを特定し、前記 h o s t - t o - P C I ブリッジにアクセスすることなく前記第 1 仮想 P C I デバイスを対象とする特定されたサイクルを傍受し、前記 h o s t - t o - P C I ブリッジへの前記デバイスによるアクセスが前記ホストバスのみを介する第 1 ホストバスデバイスと、

10

から構成されるシステムであって、

前記 h o s t - t o - P C I ブリッジは、前記第 1 仮想 P C I デバイスを対象とする前記 h o s t - t o - P C I ブリッジを介し接続される前記 P C I バスに前記特定されたサイクルを転送しないことを特徴とするシステム。

【請求項 19】

請求項 18 記載のシステムであって、

前記第 1 ホストバスデバイスは、複数の設定レジスタを有し、

前記傍受されたサイクルは、前記第 1 仮想 P C I デバイスのため確保された設定空間を対象とするホストバスサイクルを有し、前記複数の設定レジスタにアクセスするようルーティングされる、

20

ことを特徴とするシステム。

【請求項 20】

請求項 18 記載のシステムであって、

前記第 1 ホストバスデバイスは、メモリ装置アレイを有し、

前記傍受されたサイクルは、前記第 1 仮想 P C I デバイスに割当てられたメモリ空間を対象とするホストバスサイクルを有し、前記メモリ装置アレイにアクセスするようルーティングされる、

30

ことを特徴とするシステム。

【請求項 21】

請求項 18 記載のシステムであって、さらに、

前記ホストバスに接続され、前記プライマリ P C I バスに接続される P C I バス上に論理的に配備される第 2 仮想 P C I デバイスとして出現する第 2 ホストバスデバイスを有し、

、  
前記第 1 及び第 2 仮想 P C I デバイスは、P C I バス番号とデバイス番号の一意的な組み合わせを有することを特徴とするシステム。

【請求項 22】

請求項 18 記載のシステムであって、

前記第 1 仮想 P C I デバイスは、プライマリ仮想 P C I - t o - P C I ブリッジの後方に論理的に配置され、

40

前記プライマリ仮想 P C I - t o - P C I ブリッジは、前記プライマリ P C I バスの後方に論理的に配置され、

前記第 1 ホストバスデバイスは、前記プライマリ仮想 P C I - t o - P C I バスに割当てられたバス番号を決定するため、前記ホストバスを検索する、

ことを特徴とするシステム。

【請求項 23】

請求項 22 記載のシステムであって、

前記第 1 仮想 P C I デバイスは、プライマリ仮想 P C I - t o - P C I ブリッジの後方に論理的に配置される補助仮想 P C I - t o - P C I ブリッジの後方に論理的に配置され

50

、  
前記第 1 ホストバスデバイスは、複数のブリッジ設定レジスタを有し、

前記傍受されたサイクルは、前記補助仮想 P C I - t o - P C I ブリッジのために確保された設定空間を対象とするホストバスサイクルを有し、前記複数のブリッジ設定レジスタにアクセスするようルーティングされる、  
ことを特徴とするシステム。

【請求項 2 4】

ホストバスに接続されるプロセッサにより開始される現在のホストバスサイクルをキャプチャするステップと、

前記キャプチャされたサイクルが、プライマリ P C I バスの後方の P C I バスに論理的に配置され、前記ホストバスにアクセスするため、h o s t - t o - P C I ブリッジとインタフェースを共有し、前記 h o s t - t o - P C I ブリッジのホストインタフェースにアクセスする必要なく、前記ホストバスに直接接続されたホストバスデバイスを表す仮想 P C I デバイスを対象としているか判断するステップと、

前記現在のサイクルが前記仮想 P C I デバイスを対象としていると判断されると、前記 h o s t - t o - P C I ブリッジのホストインタフェースを介し前記プライマリ P C I バスに前記サイクルをルーティングすることなく、前記現在のホストバスサイクルを傍受するステップと、

前記ホストバスデバイスが前記仮想 P C I デバイスとして前記ホストバスサイクルに回答することを可能にするため、前記 h o s t - t o - P C I ブリッジのホストインタフェースを用いることなく前記傍受されたホストバスサイクルを前記ホストバスデバイスにルーティングするステップと、

から構成されることを特徴とする方法。

【請求項 2 5】

請求項 2 4 記載の方法であって、

前記傍受は、前記ホストバスに接続されたストレージにアクセスするためのルーティングを含むことを特徴とする方法。

【請求項 2 6】

請求項 2 4 記載の方法であって、

前記傍受は、複数の設定レジスタ内のある位置にアクセスするためのルーティングを含むことを特徴とする方法。

【請求項 2 7】

請求項 2 4 記載の方法であって、

前記判断は、前記現在のサイクルが設定アドレスレジスタを対象とするライトサイクルであるか判断し、前記現在のサイクルが前記設定アドレスレジスタを対象とするライトサイクルである場合、前記ホストバスからデータを受信するよう前記現在のホストバスサイクルを検索し、前記データの一部またはすべてをミラーレジスタに書き込むことからなることを特徴とする方法。

【請求項 2 8】

請求項 2 4 記載の方法であって、

前記判断は、前記現在のサイクルが、バス番号が指定される仮想プライマリ P C I - t o - P C I ブリッジの設定レジスタ内のある位置を対象とするライトサイクルであるか判断し、前記現在のサイクルが、バス番号が指定される仮想プライマリ P C I - t o - P C I ブリッジの設定レジスタ内のある位置を対象とするライトサイクルである場合、前記ホストバスからデータを受信するよう前記現在のホストバスサイクルを検索し、前記データをストレージに書き込むことからなることを特徴とする方法。

【請求項 2 9】

請求項 2 4 記載の方法であって、

前記判断は、前記サイクルが仮想 P C I - t o - P C I ブリッジの設定レジスタ内のある位置に対するものであるか判断し、前記サイクルが仮想 P C I - t o - P C I ブリッジ

10

20

30

40

50

の設定レジスタ内のある位置に対するものである場合、複数のブリッジ設定レジスタ内のある位置にアクセスするようルーティングするため、前記現在のホストバスを傍受することからなることを特徴とする方法。

【請求項 30】

請求項 24 記載の方法であって、

前記仮想 PCI デバイスは、仮想 PCI - to - PCI ブリッジであることを特徴とする方法。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

10

[ 発明の背景 ]

発明の技術分野

本発明は、一般にコンピュータに関する。より詳細には、本発明は、データ転送バスに関する。

従来技術の説明

PCI - SIG ( Peripheral Component Interconnect - Special Interest Group ) により公開された PCI ローカルバス仕様 ( PCI Local Bus Specification ) Rev. 2.2 と PCI - PCI ブリッジアーキテクチャ仕様 ( PCI to PCI Bridge Architecture Specification ) Rev. 1.1 は、ネットワークコントローラ、大容量記憶装置コントローラ、ディスプレイコントローラ、マルチメディア装置、通信装置及び他の装置をシステムに統合するための PCI バスプロトコルを規定するものである。PCI バスプロトコルは、ソフトウェアが PCI デバイスと協調するための電気特性及び方法に関する仕様を含み、一般的に、ホストバス、プロセッサまたはメモリのような他のシステム構成要素に利用されるプロトコルとは独立な方法により周辺デバイスの統合を行う。

20

【0002】

PCI プロトコルは、コンピュータプログラムによる PCI デバイスへの直接的なアクセス及び PCI デバイスの設定を可能にする「フック ( hook ) 」を提供する。このフックには、各 PCI デバイスに関連付けされた 256 個の 8 ビット設定レジスタにアクセスするための設定アドレス空間が含まれる。これにより、ユーザによる操作なく、システムアドレスマップの構築のため、システムにインストールされている各 PCI デバイスの選択的な検出、ベンダーとデバイスタイプの特定、各 PCI デバイスのシステムリソース要件についての判断、システムアドレス空間内での各デバイスの再配置、バインディング ( binding ) の中断、インストール、設定及び起動を、コンピュータプログラムは実行することができる。設定レジスタには、所定のヘッダー領域とデバイス依存領域が含まれるが、各領域の必要性かつ関連性のあるレジスタのみが実現される必要がある。PCI - PCI ブリッジは、レンジバス番号を当該 PCI - PCI ブリッジから後ろの PCI バスに割り当てるコンピュータプログラムにアクセス可能である設定レジスタを有する PCI 装置である。

30

40

【0003】

設定空間は、ホストコンピュータにおいて実行されるコンピュータプログラムにより始動される設定サイクルを介しアクセスされる。PCI プロトコルは、異なる 2 つの機構の一方を通じ設定サイクルのルーティングが実行されると予想する。これらの機構で、ホスト - PCI ブリッジは、ターゲット PCI デバイスにより受信される当該 PCI デバイスが現在の設定サイクルでのターゲットであると通知する PCI バス信号に関し、ソフトウェアコマンドをターゲット PCI バスにおける 1 つの設定サイクルに解釈する。

【0004】

あるシステムにおける PCI デバイスの検出及び初期化は、設定空間を利用し、デバイスに依存しないプログラムにより実行される。プログラムは、PCI バス 0 における各ス

50

ロットに割り当てられた設定空間をポーリングし、バス 0 上の P C I デバイス及び P C I - P C I ブリッジを検出する。当該プログラムは、設定レジスタに書き込むことにより、検出された P C I - P C I ブリッジのそれぞれに一意的なバス番号を割り当て、割り当てられたバスそれぞれにおける各スロットをポーリングし、P C I デバイス及び P C I - P C I ブリッジを検出するようにしてもよい。検出された P C I バスそれぞれの各スロットがポーリングされ、すべての P C I デバイスが検出されるまで、上記処理は続けられる。システムにインストールされていると検出された各 P C I デバイスに対し、リソース要件を判断するため、デバイスの設定レジスタが読み出される。システム及び様々な P C I デバイス間のコンフリクトを回避するようシステムアドレスマップが構成され、各 P C I デバイスの適切な設定レジスタに書き込むことにより、システムリソースが各 P C I デバイスに割り当てられるようにしてもよい。さらに、自己診断テストや他の初期化処理をサポートするデバイス上に自己診断テストが呼び出され、各 P C I デバイスに対し、インストールと設定がユーザ操作により、あるいはユーザ操作なしに実行されるようにしてもよい。

10

#### 【 0 0 0 5 】

P C I プロトコルに厳格に従うことによる短所として、データ転送速度、データバス幅、待ち時間 ( l a t e n c y ) 及び帯域幅を限定してしまい、P C I デバイスのパフォーマンスの上限を設けてしまうという問題点がある。また、ホスト - P C I ブリッジに特有の遅延と、共有 P C I バス上の複数の P C I デバイスに特有の帯域幅に関する制約により、パフォーマンスは制限される。現在の傾向としては、より高いパフォーマンスのプロセッサ、メモリ及びホストバスを求めるというものであり、そこでは、効率的に接続されたデバイスが、実際の P C I バスへの接続を通じてよりも、より低い待ち時間、より高いスループット及びより良いシステム全体のパフォーマンスのようなパフォーマンス効果を実現することができる。

20

#### 【 0 0 0 6 】

P C I ブリッジ仕様により要求されているプラグ・アンド・プレイ (登録商標) リソース配分プログラムは、典型的には、ある P C I バスに割り当てられたアドレス空間が当該 P C I バスより後方の P C I バスに割り当てられるアドレス空間を含むことを予期する。従って、P C I プロトコルへの完全な準拠は、P C I デバイスをホスト - P C I ブリッジのホストプロセッサ側に配置することをより困難にし、この場合、P C I デバイスは、(恐らく互換性に関する理由のため) 物理的な P C I バスに割り当てられたアドレス空間の一部であるアドレス空間を要求する。

30

#### [ 詳細な説明 ]

ネットワークコントローラ、大容量記憶装置コントローラ、ディスプレイコントローラ、マルチメディアデバイス、通信デバイス及びその他のデバイスのホストバスプロセッサへの統合、及びデバイスのプロセッサホストバスへの効率的な接続のための実施例が提供される。P C I プロトコルの選択された特徴が順守され、P C I に準拠したデバイスにのみ利用可能なデバイスのためのソフトウェアサポートを可能にする。本発明は、いくつかのシステムにおいて、システムパフォーマンスの向上、デバイスパフォーマンスの向上、システム内のすべてのデバイスのよりシンプルな初期化及び設定、システムリソース配分処理における頑健性の向上、全体コストの低下、及び物理的なボード / チップスペースの減少、さらに、物理的 P C I バスに割り当てられたアドレス空間の一部のホストバス上のデバイスへの配分を可能にすることを含む従来方法に対する多くの優位点の少なくとも 1 つを提供する。さらに、本発明は、P C I に準拠するデバイスの特性の多くを有するものとしてコンピュータプログラムに現れるデバイスの統合を可能にし、それによって、システム全体のコスト低下、より少ないスペース、プロセッサチップのピン数の減少、P C I バスにおける帯域幅の増加、システムパフォーマンスの向上あるいはデバイスパフォーマンスの向上のような多くの効果をもたらす。

40

#### 【 0 0 0 7 】

図 1 a、1 b、2、3 及び 4 は、本発明の様々な実施例を説明するためのシステム 1 0

50

0、200、300及び400のブロック図を示す。プロセッサ130は、ホストバス120に接続される任意のプロセッサを表しているかもしれない。あるいは、プロセッサ130は、ホストバス120に接続される2つ以上のプロセッサを表しているかもしれない。

#### 【0008】

システム100、200、300及び400は、例えば、ネットワークコントローラ、大容量記憶装置コントローラ、ディスプレイコントローラ、マルチメディアデバイス、通信デバイス、あるいはその他のデバイスとしてのホストバスデバイス110、210及び410を備える。ホストバスデバイス110、210及び410は、ホストバス120をモニタすることを可能にし、存在しない仮想PCIデバイス160を対象としたプロセッサ始動ホストバスサイクルをホストバスデバイス110が遮断できるよう、インタフェース112を介しホストバス120に接続されてもよい。

10

#### 【0009】

ホストバスデバイス110、210及び410は、ホストバスサイクルの追跡のためホストバス120に接続されたモニタ回路114を備えてもよい。モニタ回路114は、各ホストバスサイクルにおいて選択された情報を取得し、監視(snoop)あるいは遮断(intercept)される選択されたホストバスサイクルを特定する。リードサイクル(read cycle)は、データをホストバス120に転送するため選択されたホストバスデータ信号を駆動し、そして当該サイクルを終了させることにより遮断される。プロセッサ130により始動されたサイクルは、アクティブなプロセッサ130にホストバス120により利用されているプロトコルに従って、いつ当該サイクルを終了すべきかを通知することにより終了される。ライトサイクル(write cycle)は、ホストバス120のライトサイクルにおける選択されたホストバス120のデータ信号の値をラッチし、その後当該サイクルを終了させることにより遮断される。ホストバス120のサイクルは、選択されたホストバスサイクルの情報を読み出し、それを記憶装置115に保存することにより監視される。ここで、当該サイクルは典型的にはホストバス120に接続された他のデバイスにより終了させられる。

20

#### 【0010】

ホストバスデバイス110、210及び410は、記憶装置111のコンテンツがホストバス120を介しアクセス可能となるようホストバス120に接続される記憶装置111を備えてもよい。記憶装置111の様々な実施形態として、システム設定空間またはRAM(Random Access Memory)に備えられたレジスタ216、218及び417、あるいはシステムI/Oまたはメモリアドレス空間に備えられたレジスタやデータポートが含まれてもよい。

30

#### 【0011】

PCIプロトコルは、PCIデバイスが備えられる各PCIバスのある個数のアドレス可能なスロットを提供する。PCI-PCIブリッジは、2つのPCIバス間の転送バスを提供するPCIデバイスである。コンピュータプログラムは、典型的に、検出されたPCI-PCIブリッジの直後にある各PCIバスに一意的なバス番号を割り当てる。PCIバス番号とスロット番号の組み合わせは、設定空間を通じシステムにインストールされる任意のPCIデバイスの選択のため、コンピュータプログラムにより利用されるユニークな識別子を提供する。PCIアドレッシング及びルーティングプロトコルは、一般に、あるPCIデバイスがホスト-PCIブリッジと恐らく1つ以上のPCI-PCIブリッジを介し物理的にルーティングされ、ターゲットPCIデバイスが備えられるPCIバスにおけるサイクルを生成する物理階層バス構造を想定している。各PCIバスは、当該PCIバスとホストバスの間の物理的/仮想的データ転送バスにおける任意のPCIバスの後方にあると定義される。

40

#### 【0012】

本明細書において、主(primary)PCIバス150は、バス番号が0で、ホスト-PCIブリッジの直後のバスであるかもしれない。しかし、PCIバス150はまた

50



、仮想 P C I 装置 1 5 0 が後方に現れ、システムに複数の主 P C I バスが存在するため、本発明による方法と適合したバス番号 0 の後方にある任意の P C I バスであってもよい。さらに、主 P C I バス 1 6 0 は実際の P C I バスでもよいし、あるいは仮想的なものであってもよい。本明細書において、仮想的と論理的という 2 つの単語は、実際の物理的デバイスや構造を反映しない効果を有する 1 つ以上のプロセッサ 1 3 0 上で実行されるコンピュータプログラムの一面を指すものである。仮想 P C I デバイス 1 6 0 は、論理的には P C I バス 1 5 1 にあり、主 P C I バス 1 5 0 を拡張したもの、あるいはその下位のものの 1 つ（すなわち、主 P C I バス 1 5 0 の後方にあるバス）である。

【 0 0 1 3 】

ホスト - P C I ブリッジ 1 4 0、2 4 0 及び 3 4 0 は、選択されたホストバス 1 2 0 のサイクルの主 P C I バス 1 5 0 及びその下位バス ( s u b o r d i n a t e b u s ) への解釈及びルーティングを容易にするかもしれない。ホスト - P C I ブリッジ 1 4 0、2 4 0 及び 3 4 0 は、ホストバスインタフェース 1 4 1、P C I バスインタフェース 1 4 2、記憶装置 1 4 5 及び 1 4 9、ホストバス 1 2 0 のサイクルを追跡する制御回路 1 4 8 を備え、各ホストバスサイクルに対し、当該ホストバスサイクルを実際的主 P C I バス 1 5 0 にルーティングすべきかどうか判断するようにしてもよい。この判断のため、制御回路 1 4 8 は記憶装置 1 4 5 を参照し、主 P C I バス 1 5 0 とその下位バスに割り当てられているアドレス空間を特定し、記憶装置 1 4 9 を参照し、仮想 P C I デバイス 1 6 0 あるいは恐らく他の仮想デバイスに割り当てられているアドレス空間を特定する。記憶装置 1 4 5 と 1 4 9 は、バス番号、メモリアドレスレンジ、I / O アドレスレンジあるいは他の同様の情報の形式で情報を保持している。記憶装置 1 4 9 における情報は、仮想 P C I デバイス 1 6 0（より複雑な設定では、仮想デバイスまたはバスのすべてあるいはその一部）に割り当てられているアドレスレンジを示すものであり、一般に、主 P C I バス 1 5 0 及びその下位バスに割り当てられる記憶装置 1 4 5 におけるアドレス空間の一部であるかもしれない。仮想 P C I デバイスを対象としたホストバスサイクルは、ホストバスデバイス 1 1 0、2 1 0 及び 3 1 0 による遮断が許されている。

【 0 0 1 4 】

ホストバス 1 2 0 が P e n t i u m 3 または 4（登録商標）プロセッサを利用しているシステムでは、ホスト - P C I ブリッジ 1 4 0、2 4 0 及び 3 4 0 は、すべてのホストバスサイクルに対し、ホストバスプロトコルに従いすべてのホストバスサイクルが完了したということを保証する応答装置であってもよく、ホストバスデバイス 1 1 0 は遮断を行う選択されたホストバスサイクルを要求してもよい。

【 0 0 1 5 】

仮想 P C I デバイス 1 6 0 を対象とするホストバスサイクルの特定に必要な情報と、この情報の取得方法は、システムのバス構造に依存する。仮想 P C I デバイス 1 6 0 の一意的なバスデバイス番号の組み合わせは、仮想 P C I デバイス 1 6 0 が主 P C I バス 1 5 0 上に論理的に設置されているシステム 1 0 0 のホストバスデバイス 1 1 0 とホスト - P C I ブリッジの両方に、ハードウェア的に組み込まれるか、あるいはソフトウェア的に予めプログラムされる。

【 0 0 1 6 】

システム 1 0 0、2 0 0、3 0 0 及び 4 0 0 が、複数のホストバスデバイス 1 1 0、2 1 0 及び 4 1 0 を備えること、あるいは各自がそこに統合された複数のホストバスデバイス 1 1 0、2 1 0 及び 4 1 0 を有する複数のプロセッサ 1 3 0 を備えることは、本発明による方法と適合している。本発明による方法は、各自が複数の仮想 P C I デバイス 1 6 0 の 1 つと関連付けされる複数のホストバスデバイス 1 1 0 からなるシステム 1 0 0 に適用することができる。複数の仮想 P C I デバイス 1 6 0 の 1 つを対象としたホストバス 1 2 0 のサイクルは、ホスト - P C I ブリッジ 1 4 0 により主 P C I バス 1 5 0 に転送されず、ホストバスデバイス 1 1 0 の 1 つが当該サイクルの遮断を許される。複数のホストバスデバイス 1 1 0 が、仮想 P C I デバイスに割り当てられているシステムリソースを利用できるように当該仮想 P C I デバイス 1 6 0 に関連付けされる。その反対に、1 つのホストバ

デバイス 110 が複数の仮想 P C I デバイス 160 に関連付けられてもよい。さらに、ホストバスデバイス 110 は P C I プロトコルに従い複数の昨日をサポートするよう構成されてもよい。複数のホストバスデバイス 110 が同一の仮想 P C I デバイス 160 に対する遮断を行うことを防ぐための方策は、それに関連付けされた仮想 P C I デバイス 160 を特定する一意的なバスデバイス番号の組み合わせにより、各ホストバスデバイス 110 をハードウェア的に組み込んだり、あるいはソフトウェア的に予めプログラムすることにより実行される。

#### 【 0 0 1 7 】

図 1 a は、プロセッサ 130 とのホストバスインタフェースとは異なるインタフェース 112 を介しホストバスに接続されるホストバスデバイス 110 を示す。図 1 b は、プロセッサ 130 とホストバスデバイス 110 が、内部バス 113 及び共有ホストバスインタフェース 112 を介しホストバス 120 に接続されている本発明による方法と適合した他の構成を示す。図 1 b のシステムは、ホストバスデバイス 110 とプロセッサ 130 を 1 つの回路パッケージに統合することにより構成されうる。

#### 【 0 0 1 8 】

図 2 は、図 1 に示されたシステム 100 の教示に従う本発明の一実施例を説明するシステム 200 を示す。システム 200 は、設定空間を介しアクセス可能な 256 の 8 ビット設定レジスタ 268 を有する、1 つ以上のプロセッサ 130 において実行されるコンピュータプログラムの関し利用される仮想 P C I デバイス 160 を備える。必要かつ関連性のある設定レジスタ 268 のみが実現される。P C I プロトコルによると、ユーザによる操作を必要とせず、システムマップ構成における仮想 P C I デバイスを含む、コンピュータプログラムは仮想 P C I デバイス 160 の検出、仮想デバイス 160 のシステムリソース要件を判断するためのベンダーとデバイスタイプの特定、完全なデバイス再配置の提供、バインディングの中断、インストール、設定及び起動を含む 1 つ以上の機能を達成するため、仮想設定レジスタ 268 へのアクセスを開始してもよい。

#### 【 0 0 1 9 】

ホストバスデバイス 210 は、本実施例において、P C I に準拠する設定レジスタ 218 からなるホストバス記憶装置 111 を備えてもよい。必要かつ関連性のあるレジスタ 218 のみが実現される。モニタ回路 114 は、ホストバスサイクルを追跡し、ホストバスデバイス設定レジスタ 218 にアクセスするため遮断及びリダイレクトを行う仮想設定レジスタ 268 を対象とするホストバスサイクルを特定する。この結果、プロセッサ 130 上で実行されるコンピュータプログラムは、仮想 P C I デバイス 160 の設定レジスタ 268 を対象とするホストバスサイクルを始動させることにより、ホストバスデバイス設定レジスタ 218 にアクセスすることができる。このように、ホストバスデバイス 210 は、一般に利用可能なシステムリソースに P C I デバイスを割り当てる初期化及び設定処理に入る。

#### 【 0 0 2 0 】

設定サイクルは、P C I プロトコルにより与えられた 2 つのマッピング機構の 1 つを通じ、システム 200 において生成される。第 1 の機構は、典型的には、ホスト - P C I ブリッジ 240 に含まれる設定アドレスレジスタ 243 と設定データレジスタ 244 のためにプロセッサ I / O スペースの 2 つの固定された場所が予約されるインデックス方式である。設定アドレスレジスタ 243 は、設定空間をイネーブルあるいはディスイネーブルにし、以降の設定サイクルが対象とするバス番号、デバイス番号、機能番号及びレジスタ番号を指定することにより、P C I デバイスと設定レジスタを特定するコンピュータプログラムにより書き込まれる。設定データレジスタ 244 を対象とした以降の D W O R D リード・ライトホストバスサイクルは、典型的には、ホスト - P C I ブリッジ 240 により、P C I に準拠した設定サイクルに変換およびルーティングされる。しかしながら、仮想 P C I デバイス 160 の設置レジスタ 268 を対象としたホストバスサイクルは、P C I プロトコルにより予期されるように、ホスト - P C I ブリッジ 240 によりルーティングされるよりも、ホストバスデバイス 210 により遮断される。

## 【 0 0 2 1 】

第 1 機構をサポートするシステム 2 0 0 は、監視により取得された選択情報を保持する記憶装置 1 1 5 に含まれるミラーレジスタ 2 1 6 を備えてもよい。設定アドレスレジスタ 2 4 3 を対象としたホストバス 1 2 0 のライトサイクルは、ホストバスデバイス 2 1 0 により監視されてもよいし、監視されたサイクルで転送されるデータは設定アドレスレジスタ 2 4 3 のコンテンツを反映するミラーレジスタ 2 1 6 に格納されてもよい。モニタ回路 1 1 4 は、仮想設定レジスタ 2 6 8 にアクセスする設定データレジスタ 2 4 4 を対象とした以降の D W O R D ホストバス 1 2 0 のサイクルを特定するため、ミラーレジスタ 2 1 6 を参照してもよい。これらの特定されたサイクルは、ホストバスデバイス 2 1 0 により遮断され、ホストバスデバイス 2 1 0 の対応する設定レジスタ 2 1 8 にアクセスするた

10

## 【 0 0 2 2 】

また、システム 2 0 0 は、第 2 の機構をサポートするものであってもよい。この第 2 の機構では、典型的には、ホスト - P C I ブリッジ 2 4 0 に配置される設定空間イネーブルレジスタ ( 図示せず ) と転送レジスタ ( 図示せず ) が、プロセッサ I / O アドレス空間における固定された場所にマップされる設定空間の 4 k バイトを指定するコンピュータプログラムにより書き込みされる。第 2 機構をサポートするよう設計されたシステム 2 0 0 は、設定空間イネーブルレジスタ ( 図示せず ) と転送レジスタ ( 図示せず ) を対象とした検索されたホストバスライトサイクルを格納するミラーレジスタ 2 1 6 を備えてもよい。仮想デバイスの設定レジスタ 2 6 8 を対象としたホストバスサイクルを特定するため、ミ

20

## 【 0 0 2 3 】

P C I プロトコルに従って、設定レジスタは、割り込み、プロセッサメモリアドレス空間、プロセッサ I / O アドレス空間、及び R O M ( R e a d O n l y M e m o r y ) に予約されたプロセッサメモリアドレス空間のレンジである R O M アドレス空間を含むシステムリソースの割当を実行するコンピュータプログラムにより利用されてもよい。コンピュータプログラムは、仮想 P C I デバイス 1 6 0 のシステム要件を判断し、選択された設定レジスタ 2 6 8 への書き込みにより仮想 P C I デバイス 1 6 0 にリソースを割り当

30

## 【 0 0 2 4 】

選択的には、ホストバスデバイス設定レジスタ 2 1 8 は、例えば、仮想 P C I デバイス 2 6 0 に割り当てられるメモリ空間または I / O 空間の 1 つ以上のレンジである特定のシステムリソースのリクエストを示すよう実現されてもよい。内部記憶装置 1 1 1 の一部は、コンピュータプログラムにより、ホストバス 1 2 0 を介したアクセスのため当該アドレス空間にマップされてもよい。コンピュータプログラムによるアドレス空間の仮想 P C I

40

## 【 0 0 2 5 】

ホストバスデバイス 2 1 0 とホスト - P C I ブリッジ 2 4 0 は、仮想 P C I デバイス 1 6 0 のバス番号とデバイス番号を把握するようにしてもよい。このような情報は、ハードウェア的に組み込まれてもよいし、ソフトウェア的に予めプログラムされてもよいし、あるいはシステムの初期化においてプログラムにより提供されるようにしてもよく、仮想 P

50

ＣＩデバイス１６０の設定空間を対象としたホストバスサイクルの特定に利用される。ホスト－ＰＣＩブリッジ２４０は、仮想ＰＣＩデバイス１６０に割り当てられたアドレス空間を指定する仮想設定レジスタ２６８を対象とする選択されたホストナスライトサイクルを監視することにより、仮想ＰＣＩデバイス１６０に割り当てられたアドレス空間を把握ようにしてもよい。

【００２６】

図３は、システム１００及び２００の教示に従う本発明の一実施例を説明するシステム３００を示す。システム３００は、設定空間にアクセスする第１機構を実現したものである。システム３００は、プロセッサ１３０上で実行されるコンピュータプログラムに対し、主ＰＣＩバス１５０上の配置として、そして主仮想ＰＣＩバス３５７へのブリッジとして利用される主仮想ＰＣＩ－ＰＣＩ（Ｐ－Ｐ）ブリッジ３７０から構成されてもよい。仮想ＰＣＩデバイス３６０は、プロセッサ１３０上で実行されるコンピュータプログラムに対して、主仮想バス３５７上の配置として利用されてもよい。

【００２７】

本実施例において、ホストバスデバイス２１０とホスト－ＰＣＩブリッジ３４０は共に、主仮想ＰＣＩ－ＰＣＩブリッジ３７０配置されているバス番号とデバイス番号を把握し、ホストバスデバイス２１０は仮想ＰＣＩデバイス３６０のデバイス番号を把握している。この情報は、初期化プログラムにより与えられてもよいし、ハードウェア的に組み込まれても、ソフトウェア的に予めプログラムされていてもよい。

【００２８】

ホスト－ＰＣＩブリッジ３４０は、本実施例において、例えば、プラグ・アンド・プレイ（登録商標）リソース割当プログラムのような、主ＰＣＩバス１５０にアドレス空間を割り当てるため、コンピュータプログラムにより書き込まれる、仮想デバイス１６０に割り当てられるすべてのアドレス空間を網羅する記憶装置１４９を備えてもよい。記憶装置１４９に格納される情報は、主ＰＣＩバス３５７の後方にある仮想バス（図示せず）のバス番号を含むものであってもよい。通常、バス番号は、主ＰＣＩバス３５７やその下位バスに割り当てられる設定空間を決定するのに十分な情報である。選択的に、記憶装置１４９には、主ＰＣＩバス３５７と下位バスに割り当てられるメモリ空間またはＩ／Ｏ空間が含まれてもよい。本実施例では、プラグ・アンド・プレイ（登録商標）プロトコルに従って、主ＰＣＩバス３５７に割り当てられたアドレス空間は、典型的には、選択的な下位バス（図示せず）と仮想ＰＣＩデバイス１６０に割り当てられたアドレス空間を網羅し、これにより、仮想ＰＣＩバス３５７と選択的な下位仮想バスを対象としたホストバスサイクルの特定のため、ホスト－ＰＣＩブリッジ３４０による容易かつ効率的復号化が可能となる。

【００２９】

ホスト－ＰＣＩブリッジ３４０は、主仮想ＰＣＩ－ＰＣＩブリッジ３７０の仮想設定レジスタ３７８を対象としたホストバスサイクルの特定、及びこれら特定されたサイクルのホスト－ＰＣＩブリッジ設定レジスタ３４７へのルーティングを実行するため、制御回路１４８により参照されるブリッジ設定レジスタ３４７を備えてもよい。本実施例において、制御回路１４８は、ホストバスサイクルを主ＰＣＩバス１５０にルーティングすべきか判断するため、ブリッジ設定レジスタ３４７及び記憶装置１４５と１４９を参照するようにしてもよい。

【００３０】

ホストバスデバイス２１０は、主仮想ＰＣＩ－ＰＣＩブリッジ３７０の設定レジスタ３７８を対象としたホストバスサイクルを生成し、コンピュータプログラムにより主仮想ＰＣＩバス３５７に割り当てられたバス番号を取得し、この情報を監視により取得される選択された情報を保持する記憶装置１１５に格納するようにしてもよい。１つのホストバスデバイス２１０のみを有するシステムは、デバイス番号を仮想ＰＣＩデバイス１６０に任意に割り当ててもよい。複数のホストバスデバイス２１０を有するシステムは、ハードウェア的に組み込まれてもよいし、ソフトウェア的に予めプログラムされてもよいし、初

10

20

30

40

50

期化プログラムにより格納されてもよい一意的なデバイス番号（すなわち、スロット番号）を各ホストバスデバイス 210 に与えるなど、各ホストバスデバイス 210 を相異なる仮想 PCI デバイス 360 に関連付けるための機構を要するかもしれない。

#### 【0031】

図 4 は、図 3 に示されるシステム 300 の教示に従う本発明の一実施例を説明するためのシステム 400 を示す。ホストバスデバイス 410 は、ホストバスデバイス 210 と 310 に対し与えられた説明に従うものであってもよい。システム 400 は、設定空間にアクセスする第 1 機構を実現するものである。システム 400 はさらに、副 (secondary) 仮想 PCI バス 451 に直接接する副仮想 PCI - PCI ブリッジ 490 を備える。副仮想 PCI - PCI ブリッジ 490 は、プロセッサ 130 上で実行されるコンピュータプログラムの観点から、主仮想 PCI バス上の配置に利用され、仮想 PCI デバイス 160 は副仮想 PCI バス 451 に論理的に配置されてもよい。

10

#### 【0032】

副仮想バス 451 は、主仮想 PCI バス 357 に従属し、本実施例では、副仮想バス 451 と仮想 PCI デバイス 160 に割り当てられるアドレス空間は、主仮想 PCI バス 357 に割り当てられるアドレス空間内にある。ホスト - PCI ブリッジ 340 は、主 PCI バス 150 とその下位バスを対象とするホストバスサイクルの特定及びルーティングのため記憶装置 145 を参照し、主仮想バス 357 とその下位バスを対象とするホストバスサイクルの特定のため記憶装置 149 を参照する。主仮想バス 357 とその下位バスを対象とするホストバスサイクルは、主 PCI バス 450 に転送されず、ホストバスデバイス 410 による遮断が許可される。ホスト - PCI ブリッジ 340 は、ホストバスプロトコルに従い、遮断したホストバス 430 のサイクルを完了（すなわち終了）させることができる。

20

#### 【0033】

ホストバスデバイス 410 は、ホストバスに接続され、プロセッサ 130 にアクセス可能な記憶装置 111 を備えてもよい。記憶装置 111 は、仮想 PCI デバイス 160 の設定レジスタ 268 を対象とするホストバスサイクルによりアクセスされるデバイス設置レジスタ 218 を備えてもよい。さらに、記憶装置 111 は、仮想副 PCI - PCI ブリッジ 490 の仮想設定レジスタ 497 を対象としたホストバスサイクルによりアクセスされるブリッジ設定レジスタ 417 を備えてもよい。

30

#### 【0034】

本実施例では、システム 300 と同様に、ホストバスデバイス 410 とホスト - PCI ブリッジ 340 は、主仮想 PCI - PCI ブリッジ 370 が配置されるバス番号とデバイス番号を把握している。この情報は、初期化プログラムにより提供されてもよいし、ハードウェア的に組み込まれていてもよいし、ソフトウェア的に予めプログラムされていてもよい。さらに、本実施例において、ホストバスデバイス 410 は、主仮想 PCI - PCI ブリッジ 370 の設定レジスタ 378 を対象としたホストバスサイクルを監視することによって、主仮想 PCI バス 357 とその下位バスに割り当てられたバス番号を取得してもよい。単一のホストバスデバイス 410 からなるシステム 400 では、副仮想 PCI - PCI ブリッジ 490 のデバイス番号は任意に割り当てることができる。

40

#### 【0035】

複数のホストバスデバイス 410 からなるシステムでは、例えば、関連付けされた副仮想 PCI - PCI ブリッジ 490 の一意的なデバイス番号を各ホストバスデバイス 410 に割り当てようとする、各ホストバスデバイスを相異なる副仮想 PCI - PCI ブリッジ 490 に関連付けるための機構が必要となり、この割り当ては、ハードウェア的に組み込まれてもよいし、ソフトウェア的に予めプログラムされてもよいし、あるいは初期化プログラムにより実行されてもよい。各ホストバスデバイス 410 は、コンピュータプログラムによる書き込み後、関連付けされている副仮想 PCI - PCI ブリッジの直後の副仮想バス 451 に割り当てられているバス番号を決定するため、その内部設定レジスタ 417 を参照し、各仮想 PCI デバイス 460 にデバイス番号を任意に割り当てる。この情報は、

50

システム１００に関して説明された方法と同様にして、仮想ＰＣＩデバイス１６０を対象としたホストバスサイクルの特定のため、モニタ回路１１４により参照されてもよい。各ホストバスデバイス４１０は、各々がそれに関連付けされた副仮想ＰＣＩバス４５１に論理的に配置される相異なる仮想デバイス１６０と関連付けされている複数の物理的なデバイスを備えてもよい。プラグ・アンド・プレイ（登録商標）プログラムは、典型的には、各副仮想ＰＣＩ－ＰＣＩブリッジ４９０の後方に配置されたすべての仮想デバイス１６０に割り当てられるリソースを分類し、その結果、遮断されるサイクルの特定のため各ホストバスデバイス４１０によるホストバスサイクルの復号化が容易になる。例えば、単一のメモリアドレスレンジが、各デバイスに割り当てられた複数のレンジを網羅する副仮想ＰＣＩ－ＰＣＩブリッジ４９０に割り当てられてもよい。

10

#### 【００３６】

図５は、システム１００、２００、３００及び４００により利用され、モニタ回路１１４により実行される本発明による方法５００を説明するフロー図を示す。スタートステップ５１０は、記憶装置とレジスタにデフォルト値を設定するホストバスのリセットである。各ホストバスサイクルに対し、以下の各ステップが実行される。獲得ステップ５２０は、ホストバスサイクルを待機し、カレントホストバスサイクルの対象を示す選択されたホストバスアドレスと制御信号の受信及びラッチングに関する処理である。次の評価ステップ５４０は、獲得した各サイクルを評価し、遮断ステップ５５０に進むか、監視ステップ５６０に進むか判断する。監視ステップ５６０は、選択されたホストバスデータ信号の受信及び格納に関する処理である。評価ステップ５５０は、獲得した各サイクルを評価し、カレントサイクルに対し処理を行わず、ステップ５２０に進み、次のホストバスサイクルを獲得するか、あるいはサイクルの遮断ステップ５８０に進み、ホストバス記憶装置１１１内の適当な場所にアクセス（すなわち、読み出し、または書き込み）するため、カレントホストバスサイクルをルーティングさせるかどうか判断する。ステップ５４０と５５０はパラレルに実行されてもよいし、何れか一方が先行して実行されてもよい。

20

#### 【００３７】

図６ａ及び図６ｂは、図４に示されたシステム４００のモニタ回路１１４により実行される方法６００を説明するフロー図を示す。スタートステップ６１０及び獲得ステップ６２０は、それぞれステップ５１０と５２０に関する説明と同様である。評価ステップ５４０及び監視ステップ５６０は、ステップ６４１、６４２、６６２及び６６４によりなされる。同様に、評価ステップ５５０及び遮断ステップ５８０は、ステップ６４３、６４４、６４５、６８２、６８４及び６８６によりなされる。評価ステップ６４１～６４５はホストバスサイクルのアドレス段階において実質的にパラレルに実行され、監視ステップ６６２と６６４、あるいは遮断ステップ６８２、６８４と６８６が実行される場合、当該監視あるいは遮断ステップはホストバスサイクルのデータ段階において実行される。監視されたサイクルは、ホストバスデバイス４１０以外のデバイスにより完了させられ（例えば、終了させられ）、遮断されたサイクルはホストバスデバイス４１０により完了させられる。

30

#### 【００３８】

評価ステップ６４１では、獲得されたカレントホストバスサイクルが設定アドレスレジスタ２４３を対象としているか評価される。肯定的に評価されると、ステップ６６２に進み、獲得されたカレントサイクルにより転送されるデータが監視され、このデータの一部あるいは前部がミラーレジスタ２１６に格納される。否定的に評価されると、ステップ６４２に進む。

40

#### 【００３９】

評価ステップ６４２では、獲得されたホストバスサイクルが、主仮想ＰＣＩ－ＰＣＩブリッジ３７０にバス番号を割り当てるため、特定の仮想設定レジスタ３７８を対象としているかどうか評価される。この評価が肯定されるには、（ミラーレジスタ２１６のコンテンツにより反映されるような）設定アドレスレジスタ２４３が、設定空間がイネーブルであることを示す値と、主仮想バス３５７に割り当てられるバス番号を指定する主仮想ＰＣ

50

I - P C Iブリッジ370の設定レジスタ378を現在指定している値を有することが要求される。また、肯定的な評価には、獲得されたサイクルが設定データレジスタ244を対象にしたリード/ライトホストバスサイクルであることが要求される。ステップ642において肯定的な評価がなされると、監視ステップ664に進み、カレントサイクルで転送される一部あるいはすべてのホストバス120のデータが記憶装置115にラッチ及び格納される。

【0040】

評価ステップ643では、カレントサイクルが副P C I - P C Iブリッジ490の設定空間を対象としているかどうか評価される。この評価が肯定されるには、(ミラーレジスタ216のコンテンツにより反映されるような)設定アドレスレジスタ243が、設定空間がイネーブルであることを示す値と、副P C I - P C Iブリッジ490の設定レジスタ497を現在指定している値を有することが要求される。また、肯定的な評価には、獲得されたサイクルが設定データレジスタ244を対象にしたリード/ライトホストバスサイクルであることが要求される。ステップ643において肯定的な評価がなされると、遮断ステップ682に進み、カレントホストバスサイクルが副仮想P C I - P C Iブリッジ490の設定レジスタ417にルーティングされる。ここで、評価される設定レジスタ417は、ミラーレジスタ216の現在のコンテンツにより決定される。

【0041】

評価ステップ644では、獲得したホストバスサイクルが仮想P C Iデバイス160の設定空間を対象としているかどうか評価される。この評価が肯定されるには、(ミラーレジスタ216のコンテンツにより反映されるような)設定アドレスレジスタ243が、設定空間がイネーブルであることを示す値と、仮想P C Iデバイス160の設定レジスタ268を現在指定している値を有することが要求される。また、獲得されたサイクルが設定データレジスタ244を対象にしたリード/ライトホストバスサイクルであることが要求される。ステップ644において肯定的な評価がなされると、遮断ステップ684に進み、ミラーレジスタ216のコンテンツにより示されるように、ホストバス設定レジスタ218にアクセスするようカレントホストバスサイクルはルーティングされる。

【0042】

評価ステップ645では、獲得されたホストバスサイクルが、コンピュータプログラムにより仮想P C Iデバイス160に割り当てられたメモリまたはI/Oアドレス空間を対象としているどうか評価される。仮想P C Iデバイス460に割り当てられたメモリあるいはI/O空間を特定する設定レジスタ218が以前に設定されていない場合、評価結果は常に否定的なものとなる。P C I設定レジスタ218の現在のコンテンツにより決定されるように、仮想P C Iデバイス160に割り当てられたアドレス空間が、獲得されたホストバスサイクル情報と比較される。カレントホストバスサイクルの対象が仮想P C Iデバイス160に割り当てられたアドレス空間内のものである場合、ステップ686に進み、獲得されたホストバスサイクルのアドレス及び制御信号により示されるように、カレントホストバス420のサイクルが適当な内部記憶装置111にルーティングされる。

【0043】

ここで説明された機能が、本発明の意図を留める限り、説明された以外の物理的デバイスにおいて実現されうるということは当業者には理解されるであろう。

【0044】

本発明はP C Iシステムに適用したものとして説明されてきたが、ここで教示された方法は、ホストバス及び(P C Iに準拠したバスに類似の)周辺バスを有する任意のシステムにより利用可能であり、システムのプロセッサ上で実行されるコンピュータプログラムに対し、周辺バスにおける配置として利用されるホストバスに接続されたデバイスを備えることにより効果が得られるということは当業者には理解されるであろう。

【図面の簡単な説明】

【0045】

【図1a】図1aは、本発明によるシステム構成を示す。

10

20

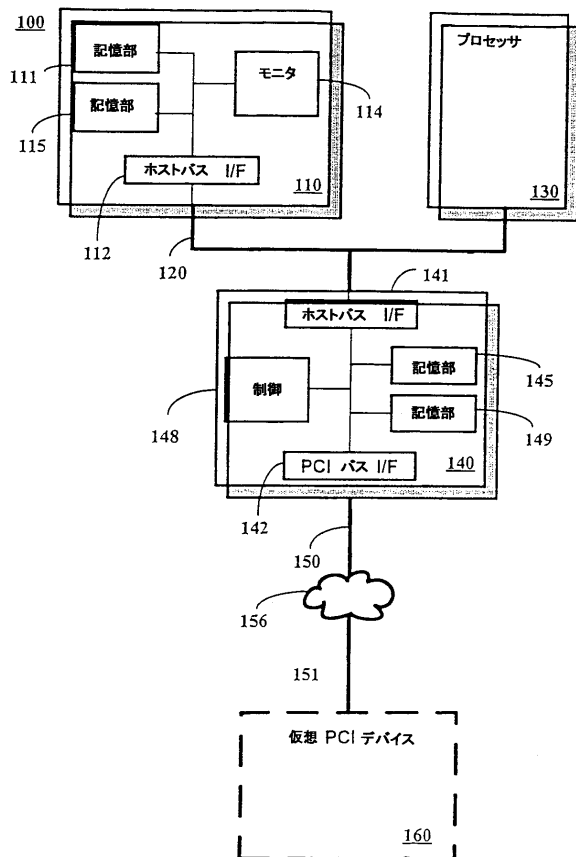
30

40

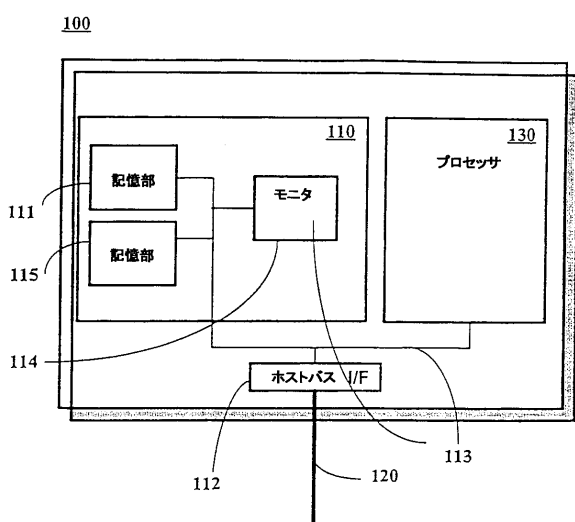
50

- 【図 1 b】図 1 b は、本発明によるシステム構成を示す。
- 【図 2】図 2 は、さらなる詳細なシステム構成を示す。
- 【図 3】図 3 は、主仮想ブリッジを備えたシステムを示す。
- 【図 4】図 4 は、主仮想ブリッジと副仮想ブリッジを備えたシステムを示す。
- 【図 5】図 5 は、本発明の一例となる方法のフロー図を示す。
- 【図 6 a】図 6 a は、本発明の一例となる方法のフロー図を示す。
- 【図 6 b】図 6 b は、本発明の一例となる方法のフロー図を示す。

【図 1 a】

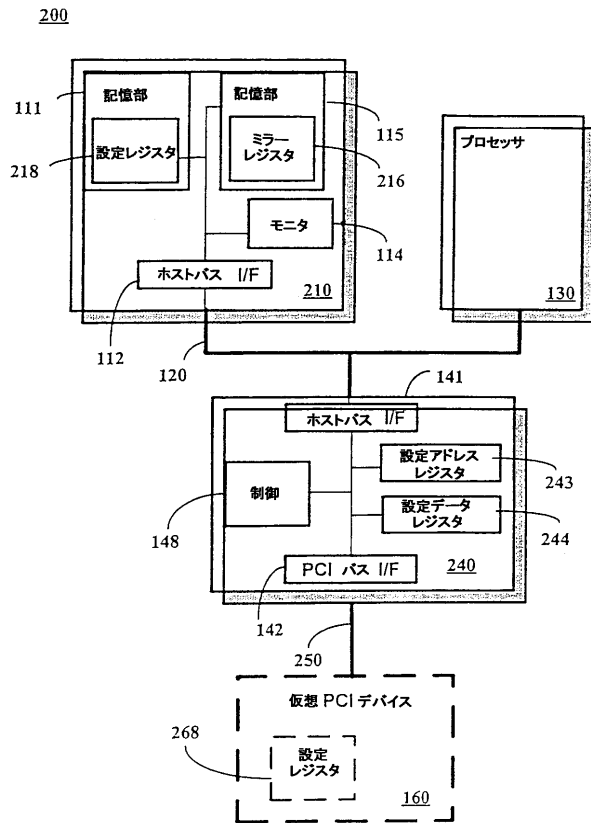


【図 1 b】

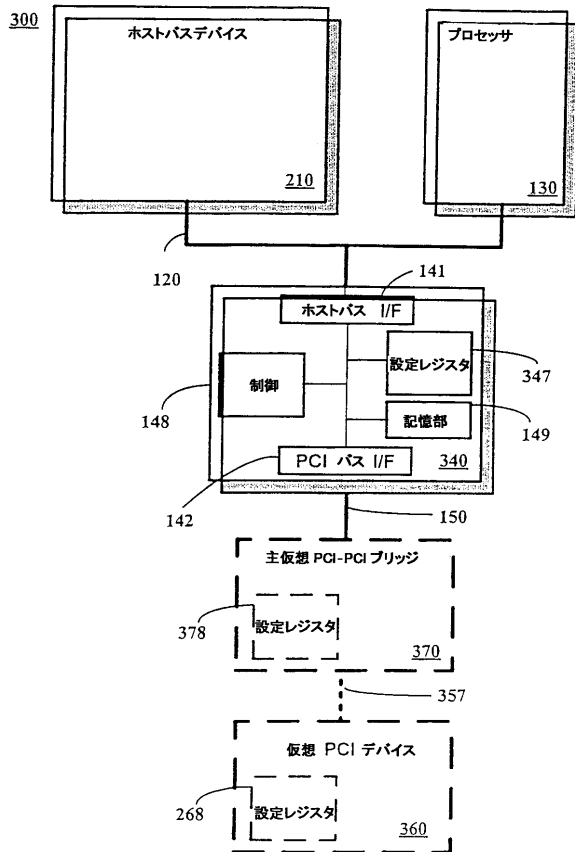




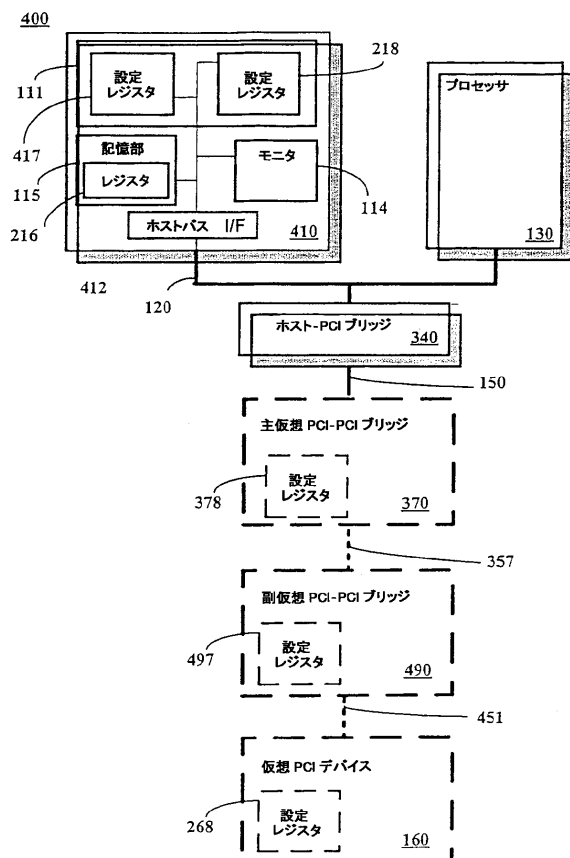
【図 2】



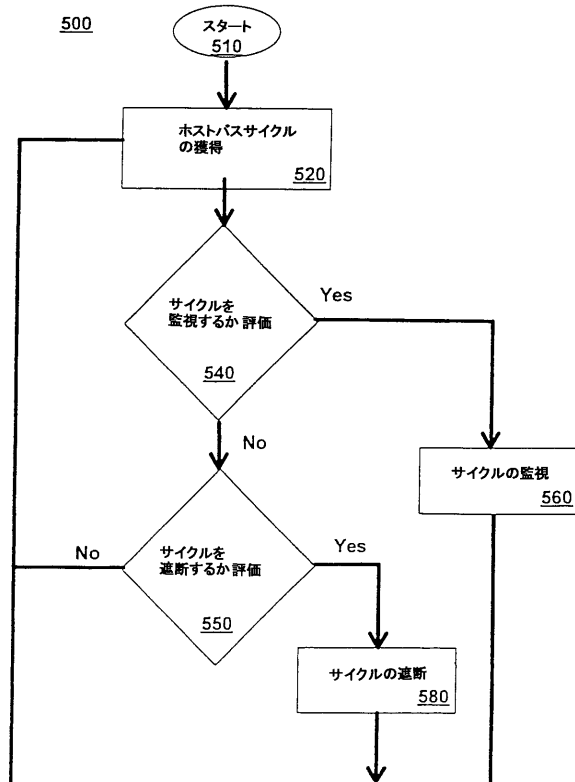
【図 3】



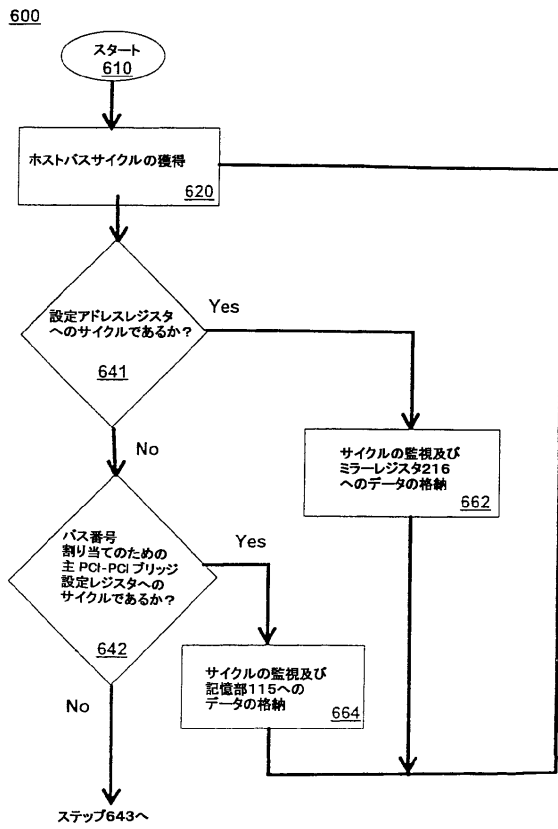
【図 4】



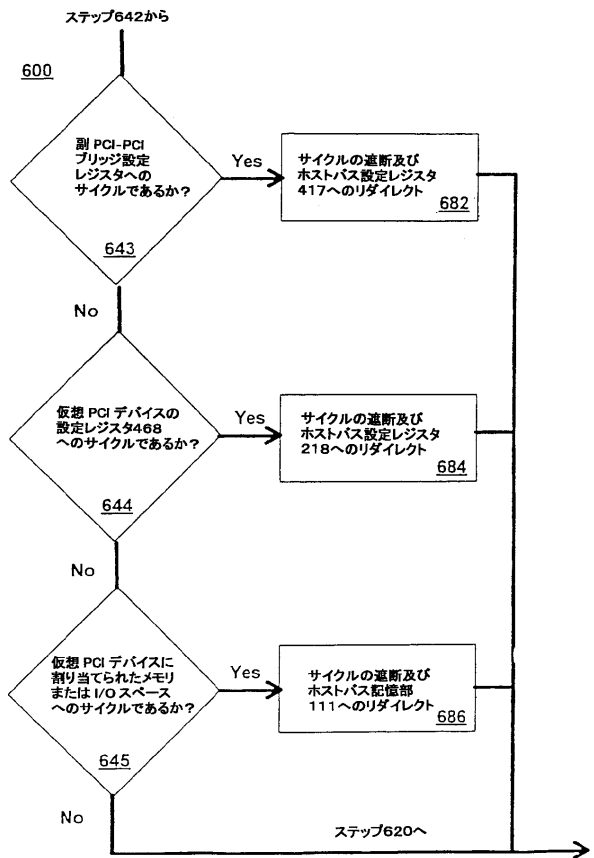
【図 5】



【図 6 a】



【図 6 b】



---

フロントページの続き

(72)発明者 ランゲンドルフ, ブライアン  
アメリカ合衆国 9 4 5 1 0 カリフォルニア州 ベニーシャ センプルズ クロッシング 2 7  
2

合議体

審判長 江口 能弘

審判官 清水 稔

審判官 鈴木 重幸

(56)参考文献 米国特許 6 6 2 9 1 5 7 第 ( U S , B 1 )  
特開平 1 1 - 1 6 7 5 2 3 ( J P , A )  
米国特許第 6 1 0 8 7 1 9 ( U S , A )

(58)調査した分野(Int.Cl. , D B 名)  
G06F 13/14, G06F 13/36