



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 780035

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 27.12.78 (21) 2703321/18-24

(51) М. Кл.³

с присоединением заявки № —

G 11 C 7/00

(23) Приоритет —

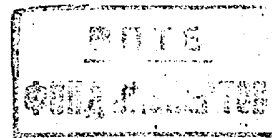
Опубликовано 15.11.80. Бюллетень № 42

(53) УДК 681.327
(088.8)

Дата опубликования описания 15.11.80

(72) Авторы
изобретения

Е.Я. Ваврук, А.Н. Елагин, В.С. Жижин,
В.Е. Тимофеев и А.А. Филимонов



(71) Заявитель

(54) УСТРОЙСТВО РЕГЕНЕРАЦИИ ИНФОРМАЦИИ
ДЛЯ ДИНАМИЧЕСКОГО БЛОКА МАТРИЧНОЙ
ПАМЯТИ

1

Изобретение относится к области запоминающих устройств и может быть использовано в динамических запоминающих устройствах.

Известно устройство регенерации информации для динамического блока матричной памяти, содержащее коммутатор адреса, одни входы которого подключены к входу устройства, а другие — к выходам счетчика адреса регенерации [1].

Недостатком этого устройства является невысокое быстродействие.

Наиболее близким техническим решением к изобретению является устройство регенерации информации для динамического блока матричной памяти, содержащее адресный блок, дешифратор строк, элементы памяти, блок синхронизирующих импульсов, причем одни входы адресного блока подключены к входным адресным шинам, управляющий вход подключен к первому выходу блока синхронизирующих импульсов, а выходы соединены с выходными адресными шинами устройства и входами дешифратора строк, стробирующий вход которого подключен ко второму выходу блока синхронизирующих импульсов, а выходы соединены со входами

2

установки единицы элементов памяти [2].

Недостатками этого устройства являются удвоенная частота следования запросов на регенерацию, большое время ожидания окончания регенерации, в худшем случае равное времени регенерации всего объема памяти запоминающего устройства, поскольку регенерация информации выполняется путем последовательного перебора адресов строк. Эти недостатки устройства приводят к снижению его быстродействия.

15 Целью изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что устройство содержит счетчик адреса регенерации, дешифратор адреса регенерации и коммутатор, причем выходы счетчика адреса регенерации подключены к другим входам адресного блока, к адресным входам коммутатора и дешифратора адреса регенерации, стробирующий вход которого подключен к третьему выходу блока синхронизирующих импульсов, а выходы подключены к входам установки нуля элементов памяти, выходы которых соединены с информационными входами комму-

30

татора, выход которого подключен к входу блока синхронизирующих импульсов, четвертый выход которого соединен с входом счетчика адреса регенерации.

На чертеже изображена блок-схема предложенного устройства.

Устройство содержит адресный блок 1, дешифратор 2 строк, элементы 3 памяти, коммутатор 4, счетчик 5 адреса регенерации, дешифратор 6 адреса регенерации, блок 7 синхронизирующих импульсов, имеющий входы ПУСК, СБРОС и ЗАПРОС РЕГЕНЕРАЦИИ, входные адресные шины 8, выходные адресные шины 9, входы 10 установки нуля и входы 11 установки единицы элементов 3 памяти.

Одни входы адресного блока 1 подключены к входным адресным шинам 8, другие входы - к выходам счетчика 5 адреса регенерации, адресным входам коммутатора 4 и дешифратора 6 адреса регенерации, управляющий вход подключен к первому выходу блока 7 синхронизирующих импульсов, а выходы соединены с выходными адресными шинами 9 устройства и входами дешифратора 2 строк. Стробирующий вход дешифратора 2 строк подключен к второму выходу блока синхронизирующих импульсов 7, а выходы соединены с входами 11 установки единицы элементов 3 памяти.

Стробирующий вход дешифратора 6 адреса регенерации подключен к третьему выходу блока 7 синхронизирующих импульсов, а выходы подключены к входам 10 установки нуля элементов 3 памяти, выходы которых соединены с информационными входами коммутатора 4. Выход коммутатора 4 подключен к входу блока синхронизирующих импульсов 7, четвертый выход которого соединен с входом счетчика 5 адреса регенерации.

Устройство работает следующим образом.

На вход блока 7 синхронизирующих импульсов поступают сигналы СБРОС, ПУСК и ЗАПРОС РЕГЕНЕРАЦИИ. По сигналу СБРОС блок 7 синхронизирующих импульсов устанавливается в исходное состояние, а элементы 3 памяти - в состояние "0". Если нет запросов на регенерацию, то производится работа на запись (считывание), и на управляющий вход адресного блока 1 с выхода блока 7 синхронизирующих импульсов не поступает сигнал РЕГЕНЕРАЦИЯ. При этом адресный блок 1 коммутирует содержимое входных адресных шин 8 на выходные адресные шины 9. С приходом сигнала ПУСК блок 7 синхронизирующих импульсов формирует строб, по которому дешифратор 2 строк устанавливает один из элементов 3 памяти в состояние "1". Таким образом производится запоминание строки, к которой производилось обращение. Коммутатор 4 коммутирует в соответ-

ствии с кодом адреса регенерации, поступающим с выходов счетчика адреса регенерации 5, выход одного из элементов 3 памяти на вход блока 7 синхронизирующих импульсов.

С приходом сигнала ЗАПРОС РЕГЕНЕРАЦИИ блок 7 анализирует выходной сигнал коммутатора 4. Если с выхода коммутатора 4 поступает сигнал "0", то блок 7 формирует сигнал РЕГЕНЕРАЦИЯ, по которому адресный блок 1 коммутирует содержимое счетчика 5 адреса регенерации на выходные адресные шины 9, и производится один цикл регенерации. Одновременно блок 7 синхронизирующих импульсов формирует строб, по которому дешифратор 6 адреса регенерации обнуляет один из элементов 3 памяти. Причем, если производится регенерация i -й строки, то обнуляется элемент 3 памяти, соответствующий строке $i + \frac{N}{2}$, где N - количество строк блока памяти (после строки N идет строка 1, т.е. имеет место циклический перенос).

По окончании цикла регенерации сигнал РЕГЕНЕРАЦИЯ снимается, а к содержимому счетчика 5 адреса регенерации прибавляется единица.

Если с приходом сигнала ЗАПРОС РЕГЕНЕРАЦИИ на выходе коммутатора 4 стоит "1", то формирование сигнала РЕГЕНЕРАЦИЯ блокируется, цикл регенерации не производится, вырабатывается строб, по которому дешифратор 6 адреса регенерации обнуляет соответствующий элемент 3 памяти, а затем к содержимому счетчика 5 адреса регенерации прибавляется единица.

Таким образом, по одному запросу на регенерацию производится один цикл регенерации, если за последний период времени $\frac{2}{3} T_{хр}$ ($T_{хр}$ - допустимое время хранения информации в динамическом запоминающем устройстве) к данной строке не производилось обращение. Это снижает максимальное время ожидания окончания регенерации по длительности одного цикла регенерации.

Сигналы ЗАПРОС РЕГЕНЕРАЦИИ поступают с периодом $\frac{2}{3N} T_{хр}$, т.е. каждая строка регенерируется с периодом $\frac{2}{3} T_{хр}$.

Технико-экономическое преимущество описываемого устройства заключается в том, что в нем максимальное время ожидания окончания регенерации информации снижено до длительности одного цикла регенерации, что повышает быстродействие устройства и, при применении его в вычислительной системе, исключает конфликтные ситуации между процессором и динамическим блоком матричной памяти.

Формула изобретения

Устройство регенерации информации для динамического блока матричной памяти, содержащее адресный блок, дешифратор строк, элементы памяти, блок синхронизирующих импульсов, причем одни входы адресного блока подключены к входным адресным шинам, управляющий вход подключен к первому выходу блока синхронизирующих импульсов, а выходы соединены с выходными адресными шинами устройства и входами дешифратора строк, стробирующий вход которого подключен ко второму выходу блока синхронизирующих импульсов, а выходы соединены со входами установки единицы элементов памяти, отличающееся тем, что, с целью повышения быстродействия устройства, оно содержит счетчик адреса регенерации, дешифратор адреса регенерации и коммутатор,

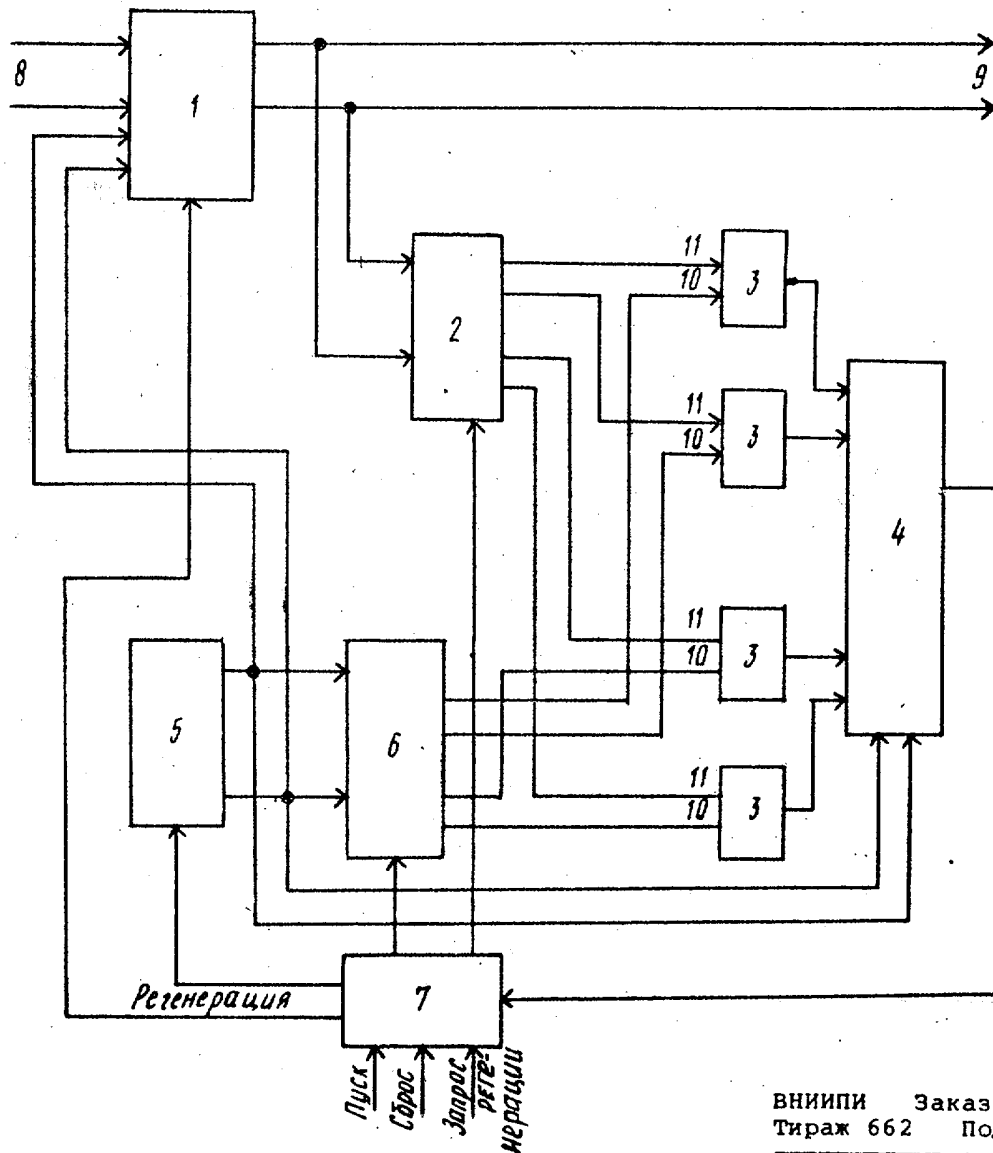
причем выходы счетчика адреса регенерации подключены к другим входам адресного блока, к адресным входам коммутатора и дешифратора адреса регенерации, стробирующий вход которого подключен к третьему выходу блока синхронизирующих импульсов, а выходы подключены к входам установки нуля элементов памяти, выходы которых соединены с информационными входами коммутатора, выход которого подключен к входу блока синхронизирующих импульсов, четвертый выход которого соединен с входом счетчика адреса регенерации.

Источники информации,

15 принятые во внимание при экспертизе

1. Application report simplify your dynamic RAB (microprocessor interface), Intel Corporation, 1976.

2. Авторское свидетельство СССР № 514346, кл. G 11 C 21/00, 1974 (прототип).



ВНИИПИ Заказ 9330/16
Тираж 662 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4