

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6209976号
(P6209976)

(45) 発行日 平成29年10月11日(2017.10.11)

(24) 登録日 平成29年9月22日(2017.9.22)

(51) Int.Cl.

F 1

G02F 1/167 (2006.01)
G09G 3/34 (2006.01)
G09G 3/20 (2006.01)
G09F 9/30 (2006.01)

GO2 F 1/167
GO9 G 3/34 C
GO9 G 3/20 680 G
GO9 G 3/20 624 E
GO9 G 3/20 621 A

請求項の数 16 (全 24 頁) 最終頁に続く

(21) 出願番号

特願2014-8795 (P2014-8795)

(22) 出願日

平成26年1月21日(2014.1.21)

(65) 公開番号

特開2015-138097 (P2015-138097A)

(43) 公開日

平成27年7月30日(2015.7.30)

審査請求日

平成28年12月6日(2016.12.6)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区新宿四丁目1番6号

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100146835

弁理士 佐伯 義文

(74) 代理人 100140774

弁理士 大浪 一徳

(72) 発明者 山崎 克則

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 磯崎 忠昭

最終頁に続く

(54) 【発明の名称】電気泳動表示装置、電気泳動表示装置の駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項 1】

一対の基板と、

前記一対の基板間に挟持され、隔壁と、前記隔壁で区画された複数の領域に配置された電気泳動粒子と、を含む電気泳動層と、

複数の画素を含む表示部と、

前記複数の画素に設けられる画素電極と、

前記電気泳動層を介して前記画素電極と対向する対向電極と、

前記画素電極と電気的に接続され、平面視で前記隔壁と重ならない部分を有する第1制御線および第2制御線と、

前記第1制御線および前記第2制御線と前記電気泳動層との間に配置され、平面視で前記第1制御線および前記第2制御線に重なり、電位入力が可能な遮蔽層と、を備える電気泳動表示装置。

【請求項 2】

前記遮蔽層には、前記画素電極と異なる電位が入力される

請求項1に記載の電気泳動表示装置。

【請求項 3】

前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極と同電位が入力される

請求項1又は2に記載の電気泳動表示装置。

10

20

【請求項 4】

前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極および前記画素電極間における電位差に比べて、該遮蔽層および前記対向電極間における電位差を小さくするように電位が入力される

請求項 1 又は 2 に記載の電気泳動表示装置。

【請求項 5】

前記遮蔽層には、前記表示部に画像が書き込まれる一定期間ごとに、対向電極の電位にに対して反転された電位が入力される

請求項 1、2、4 のいずれか一項に記載の電気泳動表示装置。

【請求項 6】

前記遮蔽層には、前記表示部への画像書き込み動作中に電位が入力される

請求項 1 ~ 5 のいずれか一項に記載の電気泳動表示装置。

【請求項 7】

前記遮蔽層は、前記画素電極と同じ層に設けられている

請求項 1 ~ 6 のいずれか一項に記載の電気泳動表示装置。

【請求項 8】

前記遮蔽層は、前記画素電極と前記第 1 制御線および前記第 2 制御線との間の層に設けられている

請求項 1 ~ 6 のいずれか一項に記載の電気泳動表示装置。

【請求項 9】

前記遮蔽層は、平面視した状態で前記画素電極の端部に重なるように設けられている

請求項 8 に記載の電気泳動表示装置。

【請求項 10】

前記遮蔽層は、前記画素電極と一体に設けられている

請求項 1 に記載の電気泳動表示装置。

【請求項 11】

一対の基板と、前記一対の基板間に挟持され、隔壁と、前記隔壁で区画された複数の領域に配置された電気泳動粒子と、を含む電気泳動層と、複数の画素を含む表示部と、前記複数の画素に設けられる画素電極と、前記電気泳動層を介して前記画素電極と対向する対向電極と、前記画素電極と電気的に接続され、平面視で前記隔壁と重ならない部分を有する第 1 制御線および第 2 制御線と、前記第 1 制御線および前記第 2 制御線と前記電気泳動層との間に配置され、平面視で前記第 1 制御線および前記第 2 制御線に重なる遮蔽層と、を備えた電気泳動表示装置の駆動方法において、

前記遮蔽層に前記画素電極と異なる電位を入力する電位入力ステップを有する
電気泳動表示装置の駆動方法。

【請求項 12】

前記電位入力ステップにおいて、前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極と同電位が入力される

請求項 1 1 に記載の電気泳動表示装置の駆動方法。

【請求項 13】

前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極および前記画素電極間における電位差に比べて、該遮蔽層および前記対向電極間における電位差を小さくするように電位が入力される

請求項 1 1 に記載の電気泳動表示装置の駆動方法。

【請求項 14】

前記電位入力ステップは、前記表示部に画像が書き込まれる 1 フレーム期間ごとに実行されるとともに、フレーム期間ごとに前記遮蔽層に入力される電位の極性が反転される

請求項 1 1 ~ 1 3 のいずれか一項に記載の電気泳動表示装置の駆動方法。

【請求項 15】

前記電位入力ステップは、前記表示部への画像書き込み動作中に実行される

10

20

30

40

50

請求項 11～13 のいずれか一項に記載の電気泳動表示装置の駆動方法。

【請求項 16】

請求項 1～10 のいずれか一項に記載の電気泳動表示装置を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気泳動表示装置、電気泳動表示装置の駆動方法および電子機器に関するものである。

【背景技術】

【0002】

従来、電気泳動表示装置として、画素ごとに、スイッチング素子と、メモリ回路と、メモリ回路の出力信号によりスイッチングされて画素電極と第1又は第2の制御線との接続状態を切り替えるスイッチ回路と、を備えたものが知られている（例えば、下記特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 256919 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記従来技術における電気泳動表示装置では、第1又は第2の制御線は総ての画素について共通に設けられているため、第1および第2の制御線の少なくとも一部は、他の配線に遮られることなく、電気泳動素子を介して対向電極と対向して配置される。そのため、画像表示を繰り返すと次第に制御線部分に電気泳動粒子が堆積することで表示用の電気泳動粒子が減少ていき、表示ムラが生じるといった問題があった。

【0005】

本発明の一つの態様は、上記の課題を解決するためになされたものであって、電気泳動粒子の堆積を抑制することで良好な表示品質が得られる電気泳動表示装置、電気泳動表示装置の駆動方法および電子機器を提供することを目的の一つとする。

【課題を解決するための手段】

【0006】

本発明の第1態様に従えば、一对の基板と、前記一对の基板間に挟持され、隔壁と、前記隔壁で区画された複数の領域の各々に配置された電気泳動粒子と、を含む電気泳動層と、複数の画素を含む表示部と、前記複数の画素ごとに形成される画素電極と、前記電気泳動層を介して複数の前記画素電極と対向する対向電極と、前記画素電極と電気的に接続され、各々が平面視で前記隔壁と重ならない部分を有する第1制御線および第2制御線と、前記第1制御線および前記第2制御線と前記電気泳動層との間に配置され、平面視で前記第1制御線および前記第2制御線に重なり、電位入力が可能な遮蔽層と、を備える電気泳動表示装置が提供される。

【0007】

第1態様に係る電気泳動表示装置によれば、第1制御線および前記第2制御線に重なる遮蔽層が設けられるので、第1制御線および第2制御線と対向電極との間に生じる電位が遮断される。よって、第1制御線および第2制御線と対向電極との間に電場が生じなくなる。これにより、第1制御線および第2制御線に対応する部分に電気泳動粒子が偏在して滞留しなくなる。したがって、電気泳動粒子の堆積が抑制されることで表示ムラのない良好な表示品質を得ることができる。

【0008】

上記第1態様において、前記遮蔽層には、前記画素電極と異なる電位が入力されることが好ましい。

10

20

30

40

50

この構成によれば、遮蔽層に画素電極と異なる電位（例えば、画素電極の電位を基準にした正負極性の電位）が入力されるため、遮蔽層の電位は画素電極に対応して変化することから遮蔽層に堆積した電気泳動粒子が斥力で退けられる。したがって、電気泳動粒子の堆積が抑制される。

【0009】

上記第1態様において、前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極と同電位が入力されることが好ましい。

この構成によれば、対向電極に同期して同電位が遮蔽層に入力することができる。よって、遮蔽層は対向電極とともに電位が変動するので、遮蔽層に対応する部分に電気泳動粒子が堆積することが抑制される。

10

【0010】

上記第1態様において、前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極および前記画素電極間における電位差に比べて、該遮蔽層および前記対向電極間における電位差を小さくするように電位が入力されることが好ましい。

この構成によれば、遮蔽層および対向電極間の電位差が対向電極および画素電極間の電位差よりも小さいため、電気泳動粒子を対向電極側に移動させることができる。

【0011】

上記第1態様において、前記遮蔽層には、前記表示部に画像が書き込まれる一定期間ごとに、対向電極の電位に対して反転された電位が入力されることが好ましい。

この構成によれば、1フレーム期間ごとに遮蔽層に反転電位が入力されるので、電気泳動粒子に良好に斥力を生じさせることができ、遮蔽層に対応する部分への電気泳動粒子の堆積が抑制される。

20

【0012】

上記第1態様において、前記遮蔽層には、前記表示部への画像書き込み動作中に電位が入力されることが好ましい。

この構成によれば、画像書き込み動作に伴って電気泳動粒子の堆積を抑制することができる。

【0013】

上記第1態様において、前記遮蔽層は、前記画素電極と同じ層に形成されていることが好ましい。

30

この構成によれば、画素電極と遮蔽層とを同一工程で形成することができる。よって、製造工程が簡便化され、製造コストを低減できる。

【0014】

上記第1態様において、前記遮蔽層は、前記画素電極と前記第1制御線および前記第2制御線との間に層に形成されていることが好ましい。

この構成によれば、遮蔽層を画素電極と別工程で形成することができる。よって、第1制御線および第2制御線を平面視で確実に覆った状態の遮蔽層を形成することができる。

【0015】

上記第1態様において、前記遮蔽層は、平面視した状態で前記画素電極の端部に重なるよう形形成されていることが好ましい。

40

この構成によれば、平面視した状態で、画素電極と遮蔽層との間に隙間ができることが防止される。よって、この隙間において、第1又は第2制御線および対向電極間に電場が生じることが防止される。

【0016】

上記第1態様において、前記遮蔽層は、前記画素電極と一体に形成されていることが好ましい。

この構成によれば、画素電極の一部を用いて遮蔽層を構成することができる。よって、遮蔽層を別途形成する必要が無くなるので、製造コストを低減できる。

【0017】

本発明の第2態様に従えば、一対の基板と、前記一対の基板間に挟持され、隔壁と、前

50

記隔壁で区画された複数の領域の各々に配置された電気泳動粒子と、を含む電気泳動層と、複数の画素を含む表示部と、前記複数の画素ごとに形成される画素電極と、前記電気泳動層を介して複数の前記画素電極と対向する対向電極と、前記画素電極と電気的に接続され、各々が平面視で前記隔壁と重ならない部分を有する第1制御線および第2制御線と、前記第1制御線および前記第2制御線と前記電気泳動層との間に配置され、平面視で前記第1制御線および前記第2制御線に重なる遮蔽層と、を備えた電気泳動表示装置の駆動方法において、前記遮蔽層に前記画素電極と異なる電位を入力する電位入力ステップを有する電気泳動表示装置の駆動方法が提供される。

【0018】

第2態様に係る電気泳動表示装置の駆動方法によれば、第1制御線および前記第2制御線に重なる遮蔽層に画素電極と異なる電位が入力されるので、第1制御線および第2制御線と対向電極との間に生じる電位が遮断される。よって、第1制御線および第2制御線と対向電極との間に電場が生じなくなる。これにより、第1制御線および第2制御線に対応する部分に電気泳動粒子が偏在して滞留しなくなり、電気泳動粒子の堆積が抑制されることで表示ムラのない良好な表示品質を得ることができる。また、遮蔽層に画素電極と異なる電位（例えば、画素電極の電位を基準にした正負極性の電位）が入力されるため、遮蔽層の電位は画素電極に対応して変化することから遮蔽層に堆積した電気泳動粒子が斥力で退けられる。

【0019】

上記第2態様において、前記電位入力ステップにおいて、前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極と同電位が入力されることが好ましい。

この構成によれば、対向電極に同期して同電位が遮蔽層に入力することができる。よって、遮蔽層は対向電極とともに電位が変動するので、遮蔽層に対応する部分に電気泳動粒子が堆積することが抑制される。

【0020】

上記第2態様において、前記遮蔽層には、前記対向電極に電位が入力されるタイミングに同期して、前記対向電極および前記画素電極間における電位差に比べて、該遮蔽層および前記対向電極間における電位差を小さくするように電位が入力されることが好ましい。

この構成によれば、遮蔽層および対向電極間の電位差が対向電極および画素電極間の電位差よりも小さいため、電気泳動粒子を対向電極側に移動させることができる。

【0021】

上記第2態様において、前記電位入力ステップは、前記表示部に画像が書き込まれる1フレーム期間ごとに実行されるとともに、フレーム期間ごとに前記遮蔽層に入力される電位の極性が反転されることが好ましい。

この構成によれば、1フレーム期間ごとに遮蔽層に極性が反転した電位が入力されるので、電気泳動粒子に良好に斥力を生じさせることができ、遮蔽層に対応する部分への電気泳動粒子の堆積が抑制される。

【0022】

上記第2態様において、前記電位入力ステップは、前記表示部への画像書き込み動作中に実行されることが好ましい。

この構成によれば、画像書き込み動作に伴って電気泳動粒子の堆積を抑制することができる。

【0023】

本発明の第3態様に従えば、上記第1態様に係る電気泳動表示装置を備える電子機器が提供される。

【0024】

第3態様に係る電子機器によれば、表示ムラのない電気泳動表示装置を備えるので、電子機器自体も良好な表示品質を備えた付加価値の高いものとなる。

【図面の簡単な説明】

10

20

30

40

50

【0025】

- 【図1】電気泳動表示装置の概略構成を示す平面図。
- 【図2】画素の回路構成を示す図。
- 【図3】電気泳動表示装置の概略断面構成図。
- 【図4】電気泳動素子の動作説明図。
- 【図5】1つ分の画素の構成を示す図。
- 【図6】3つ分の画素の構成を示す図。
- 【図7】1つの画素に着目した駆動方法の一例を示すタイミングチャート図。
- 【図8】画素で生じる現象を説明するための図。
- 【図9】静電遮蔽層、対向電極および画素電極の入力電位の関係を示す図。 10
- 【図10】静電遮蔽層による作用説明図。
- 【図11】画素電極の一部を静電遮蔽層として用いる場合の画素の平面図。
- 【図12】別の画素回路を備えた電気泳動表示装置の回路図。
- 【図13】電子機器の一例に係る構成を示す図。

【発明を実施するための形態】

【0026】

以下、本発明の一実施形態について、図面を参照しつつ説明する。本実施形態では、アクティブマトリクス方式により駆動される電気泳動表示装置を例に挙げて説明する。なお、以下の図面においては、各構成をわかりやすくするために、実際の構造と各構造における縮尺や数等を異ならせている。 20

【0027】

図1は、本実施形態に係る電気泳動表示装置の概略構成を示す平面図である。電気泳動表示装置100は、複数の画素20が配列された表示部3と、走査線駆動回路60と、データ線駆動回路70とを備えている。

【0028】

表示部3には、走査線駆動回路60から延びる複数の走査線40(Y1、Y2、...、Ym)と、データ線駆動回路70から延びる複数のデータ線50(X1、X2、...、Xn)とが形成されている。画素20は走査線40とデータ線50との交差部に対応して配置されており、各画素20は走査線40及びデータ線50にそれぞれ接続されている。

なお、表示部3の周辺には、走査線駆動回路60、データ線駆動回路70に加えて、共通電源変調回路(図示略)や、コントローラ(図示略)が配置されている。当該コントローラは、上位装置から供給される画像データや同期信号に基づき、前記各回路を総合的に制御する。 30

【0029】

また、各々の画素20には、走査線40、データ線50に加えて、共通電源変調回路から高電位電源線78、低電位電源線77、第1制御線75、第2制御線76が接続されている。共通電源変調回路は、コントローラの制御のもと、上記の配線の各々に供給すべき各種信号を生成する一方、これら各配線の電気的な接続及び切断(ハイインピーダンス化)を行う。

【0030】

図2は、画素20の回路構成を示す図である。

図2に示すように、画素20には、画素スイッチング素子24と、ラッチ回路(メモリ回路)25と、電位制御用のスイッチ回路SWと、電気泳動素子23とを備えている。電気泳動素子23は、画素電極21と、対向電極22と、これらの間に配置された電気泳動層80を含む。スイッチ回路SWは、トランジスタゲートTG1、TG2を含む。

【0031】

画素スイッチング素子24は、電界効果型のN型トランジスタである。画素スイッチング素子24のゲート端子には走査線40が接続され、ソース端子にはデータ線50が接続され、ドレイン端子にはラッチ回路25の入力端子N1が接続されている。画素スイッチング素子24は、走査線駆動回路60から走査線40を介して選択信号が入力される期間 50

中、データ線 50 とラッチ回路 25 を接続させることによって、データ線駆動回路 70 からデータ線 50 を介して入力される画像信号をラッチ回路 25 に入力させるために用いられる。

【 0 0 3 2 】

ラッチ回路 25 は 2 つの P 型トランジスタ 32、34、及び 2 つの N 型トランジスタ 31、33 によって構成されている。P 型トランジスタ 32、34 のソース側にて高電位電源線 78 が接続され、N 型トランジスタ 31、33 のソース側には低電位電源線 77 が接続されている。したがって、P 型トランジスタ 32、34 のソース側が、ラッチ回路 25 の高電位電源端子 P H であり、N 型トランジスタ 31、33 のソース側がラッチ回路 25 の低電位電源端子 P L である。

10

【 0 0 3 3 】

ラッチ回路 25 は、画素スイッチング素子 24 のドレイン側と接続された入力端子 N 1 と、スイッチ回路 SW と接続された第 1 の出力端子 N 2 及び第 2 の出力端子 N 3 を備えている。

ラッチ回路 25 の P 型トランジスタ 34 のドレイン側及び N 型トランジスタ 33 のドレイン側は、ラッチ回路 25 の入力端子 N 1 として機能する。入力端子 N 1 は、画素スイッチング素子 24 のドレイン側と接続されるとともに、ラッチ回路 25 の第 2 の出力端子 N 3 (P 型トランジスタ 32 のゲート部及び N 型トランジスタ 31 のゲート部) と接続されている。

さらに、第 2 の出力端子 N 3 は、トランスファゲート TG 1、TG 2 に接続されている。

20

【 0 0 3 4 】

ラッチ回路 25 の P 型トランジスタ 32 のドレイン側及び N 型トランジスタ 31 のドレイン側は、ラッチ回路 25 の第 1 の出力端子 N 2 として機能する。

第 1 の出力端子 N 2 は、P 型トランジスタ 34 のゲート部及び N 型トランジスタ 33 のゲート部と接続されるとともに、トランスファゲート TG 1、TG 2 に接続されている。

【 0 0 3 5 】

ラッチ回路 25 は、S R A M (Static Random Access Memory) セルに相当する回路である。ラッチ回路 25 は、画素スイッチング素子 24 から送られた画像信号を保持するとともに、スイッチ回路 SW に画像信号を入力するために用いられる。スイッチ回路 SW は、ラッチ回路 25 から入力された画像信号に基づいて、第 1 制御線 75 及び第 2 制御線 76 の何れかを択一的に選択し、画素電極 21 と接続させるセレクタとして機能する。このとき、トランスファゲート TG 1、TG 2 は、画像信号のレベルに応じて一方のみが動作する。

30

【 0 0 3 6 】

トランスファゲート TG 1 は、電界効果型の P 型トランジスタ T 11 と電界効果型の N 型トランジスタ T 12 を備えている。P 型トランジスタ T 11 のソース端子と N 型トランジスタ T 12 のソース端子とが接続されており、これらが第 1 制御線 75 に接続されている。P 型トランジスタ T 11 のドレイン端子と N 型トランジスタ T 12 のドレイン端子とが接続されており、これらが画素電極 21 に接続されている。P 型トランジスタ T 11 のゲート端子はラッチ回路 25 の入力端子 N 1 に接続され、N 型トランジスタ T 12 のゲート端子はラッチ回路 25 の第 1 の出力端子 N 2 に接続されている。

40

【 0 0 3 7 】

トランスファゲート TG 2 は、電界効果型の P 型トランジスタ T 21 と電界効果型の N 型トランジスタ T 22 を備えている。P 型トランジスタ T 21 のソース端子と N 型トランジスタ T 22 のソース端子とが接続されており、これらが第 2 制御線 76 に接続されている。P 型トランジスタ T 21 のドレイン端子と N 型トランジスタ T 22 のドレイン端子とが接続されており、これらが画素電極 21 に接続されている。

【 0 0 3 8 】

また、P 型トランジスタ T 21 のゲート端子は、トランスファゲート TG 1 の N 型トランジ

50

ンジスタ T 1 2 のゲート端子とともに、ラッチ回路 2 5 の出力端子 N 2 に接続されており、N 型トランジスタ T 2 2 のゲート端子は、トランスファゲート T G 1 の P 型トランジスタ T 1 1 のゲート端子とともに、ラッチ回路 2 5 の入力端子 N 1 に接続されている。また、第 1 制御線 7 5 と第 2 制御線 7 6 とは各画素 2 0 について平行に配置されている。

【 0 0 3 9 】

例えば、画像信号としてラッチ回路 2 5 の入力端子 N 1 にローレベル (L : 低電位電源線 7 7 の電位に近い電位) が入力されると、第 1 の出力端子 N 2 からはハイレベル (H : 高電位電源線 7 8 の電位に近い電位) が出力されるので、第 1 の出力端子 N 2 に接続された N 型トランジスタ T 1 2 が動作し、また第 2 の出力端子 N 3 (入力端子 N 1) と接続された P 型トランジスタ T 1 1 が動作してトランスファゲート T G 1 が駆動される。10

【 0 0 4 0 】

一方、画像信号としてラッチ回路 2 5 の入力端子 N 1 にハイレベル (H) が入力されると、第 1 の出力端子 N 2 からはローレベル (L) が出力されるので、第 1 の出力端子 N 2 に接続された P 型トランジスタ T 2 1 が動作し、また第 2 の出力端子 N 3 (入力端子 N 1) と接続された N 型トランジスタ T 2 2 が動作してトランスファゲート T G 2 が駆動される。10

そして、動作した方のトランスファゲートを介して、第 1 制御線 7 5 又は第 2 制御線 7 6 が画素電極 2 1 と電気的に導通し、画素電極 2 1 に電位が入力される。

【 0 0 4 1 】

図 3 は本実施形態に係る電気泳動表示装置 1 0 0 の概略構成を示す断面図である。図 3 に示すように電気泳動表示装置 1 0 0 は、素子基板 1 と、対向基板 2 と、該素子基板 1 及び対向基板 2 間に配置される電気泳動層 8 0 と、を備えている。

【 0 0 4 2 】

素子基板 1 は、基材 1 A と、基材 1 A の電気泳動層 1 1 側に設けられた画素電極 2 1 と、画素電極 2 1 を覆う第 1 絶縁膜 7 と、を含む。基材 1 A は、ガラスやプラスチック等からなる基板であり、画像表示面とは反対側に配置されるため透明なものでなくてもよい。画素電極 2 1 は、Cu 箔上にニッケルめっきと金めっきとをこの順で積層したものや、Al、ITO (インジウム錫酸化物) などにより形成された電極である。図示は省略しているが、画素電極 2 1 と基材 1 Aとの間には、走査線 4 0 、データ線 5 0 、及び画素スイッチング素子 2 4 などが形成されている。30

【 0 0 4 3 】

対向基板 2 は、ガラスやプラスチック等の透明基材から構成され、画像表示側に配置される。対向基板 2 の電気泳動層 8 0 側には複数の画素電極 2 1 と対向する対向電極 2 2 が形成されている。対向電極 2 2 の全面は、第 2 絶縁膜 8 により覆われている。対向電極 2 2 は、MgAg、ITO、IZO (インジウム・亜鉛酸化物) などから形成された透明電極である。

【 0 0 4 4 】

電気泳動層 8 0 は、素子基板 1 の内面側に設けられた第 1 絶縁膜 7 と、対向基板 2 の内面側に設けられた第 2 絶縁膜 8 と、これら第 1 絶縁膜 7 及び第 2 絶縁膜 8 間に配置された隔壁 1 0 と、で仕切られた複数の空間 (領域) に充填されている。本実施形態において、隔壁 1 0 は複数 (本実施形態では、例えば 3 つ) の画素 2 0 を区画する大きさに対応するものであり、透光性材料 (アクリルやエポキシ樹脂など) から構成されている。40

【 0 0 4 5 】

隔壁 1 0 の厚みは、例えば、30 μm である。なお、隔壁 1 0 の上部と第 2 絶縁膜 8 との間には、接合層 4 が設けられている。接合層 4 は、対向基板 2 と隔壁 1 0 が形成された素子基板 1 とを接合するためのものである。接合層 4 は、例えば透明樹脂で構成されており、隔壁 1 0 の上部を接合層 4 に食い込ませている。接合層 4 の厚みは、電界の妨げにならない程度が良く、例えば、2 μm ~ 6 μm 程度とするのが好ましい。また、隔壁 1 0 の接合層 4 への食い込み量は、例えば、0.5 μm ~ 1 μm とするのが好ましい。50

【0046】

電気泳動層 80 は、分散媒 81 中に分散された複数の電気泳動粒子から構成される。本実施形態において、電気泳動粒子は、例えば白色粒子 82 及び黒色粒子 83 から構成される。

【0047】

白色粒子 82 は、例えば、酸化チタン、亜鉛華、三酸化アンチモン等の白色顔料からなる粒子（高分子あるいはコロイド）であり、例えば負に帯電されて用いられる。黒色粒子 83 は、例えば、アニリンブラック、カーボンブラック等の黒色顔料からなる粒子（高分子あるいはコロイド）であり、例えば正に帯電されて用いられる。これらの顔料には、必要に応じ、電解質、界面活性剤、金属石鹼、樹脂、ゴム、油、ワニス、コンパウンドなどの粒子からなる荷電制御剤、チタン系カップリング剤、アルミニウム系カップリング剤、シラン系カップリング剤等の分散剤、潤滑剤、安定化剤などを添加することができる。10

【0048】

また、白色粒子 82 及び黒色粒子 83 に代えて、例えば赤色、緑色、青色などの顔料を用いてもよい。この構成によれば、赤色、緑色、青色などを表示することでカラー表示を行うことが可能な電気泳動表示装置 100 を提供することができる。

【0049】

分散媒 81 としては、水、アルコール系溶媒（メタノール、エタノール、イソプロパノール、ブタノール、オクタノール、メチルセルソルブなど）、エステル類（酢酸エチル、酢酸ブチルなど）、ケトン類（アセトン、メチルエチルケトン、メチルイソブチルケトンなど）、脂肪族炭化水素（ペンタン、ヘキサン、オクタンなど）、脂環式炭化水素（シクロヘキサン、メチルシクロヘキサンなど）、芳香族炭化水素（ベンゼン、トルエン、キレン、長鎖アルキル基を有するベンゼン類（ヘキシリベンゼン、ヘプチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン、テトラデシルベンゼンなど））、ハロゲン化炭化水素（塩化メチレン、クロロホルム、四塩化炭素、1,2-ジクロロエタンなど）、シリコーンオイルなどを例示することができ、その他の油類であってもよい。これらの物質は単独又は混合物として用いることができ、さらに、カルボン酸塩のような界面活性剤などを配合してもよい。20

【0050】

このような構成に基づき、電気泳動表示装置 100 では、例えば、画素電極 21 と対向電極 22との間に電圧を入力すると、これらの間に生じる電界にしたがって、後述のように電気泳動粒子（白色粒子 82 及び黒色粒子 83 ）はいずれかの電極（画素電極 21 、対向電極 22 ）に向かって電気泳動する。30

【0051】

図 4 は、電気泳動素子（白色粒子 82 及び黒色粒子 83 ）の動作説明図である。図 4 (a) は、画素 20 を白表示する場合、図 4 (b) は、画素 20 を黒表示する場合をそれぞれ示している。本実施形態において、白色粒子 82 は正に帯電し、黒色粒子 83 は負に帯電しているものとする。

【0052】

図 4 (a) に示す白表示の場合には、対向電極 22 が相対的に低電位、画素電極 21 が相対的に高電位に保持される。これにより、正に帯電した白色粒子 82 が対向電極 22 に引き寄せられる一方、負に帯電した黒色粒子 83 が画素電極 21 に引き寄せられる。その結果、表示面側となる対向電極 22 側からこの画素 20 を見ると、白色 (W) が認識される。40

【0053】

一方、図 4 (b) に示す黒表示の場合、対向電極 22 が相対的に高電位、画素電極 21 が相対的に低電位に保持される。これにより、負に帯電した黒色粒子 83 が対向電極 22 に引き寄せられる一方、正に帯電した白色粒子 82 が画素電極 21 に引き寄せられる。その結果、対向電極 22 側からこの画素を見ると黒色 (B) が認識される。50

【0054】

図5は、本実施形態に係る電気泳動表示装置100のうち1つの画素20の回路構成を具体的に示す平面図である。なお、図5では、図を見易くするため、静電遮蔽層90の図示を省略している。

画素20は積層構造になっている。図5に示すように、最下層の第1層F1(図6(b)参照)には半導体層が設けられている。また、当該第1層の上層である第2層F2(図6(b)参照)および当該第2層の上層である第3層F3(図6(b)参照)には種々の配線が形成されている。また、第3層の上層である第4層F4(図6(b)参照)には後述する静電遮蔽層90が形成されている。また、第5層F5(図6(b)参照)には、画素電極21が形成されている。各層は図示しない絶縁層によって絶縁されている。

10

【0055】

まず、画素20の外周に設けられた配線について説明する。画素20の外周には走査線40、データ線50、高電位電源線78、低電位電源線77、第1制御線75及び第2制御線76が設けられている。これらの配線は複数の画素20に跨って形成されている。第1制御線75及び第2制御線76は、少なくとも一部が隔壁10と平面視で重ならない部分を有している。このうち、走査線40とデータ線50とは画素20の図中右上角部で直交している。

【0056】

また、高電位電源線78と低電位電源線77とは画素20の図中上下で平行に配置されている。第1制御線75と第2制御線76とは画素20の図中左右で対向配置されている。これらの配線のうち走査線40、低電位電源線77及び高電位電源線78が同一層(第2層)に形成されており、データ線50、第1制御線75、および第2制御線76が上記第2層F2よりも上層(第3層F3)に同一層で形成されている。

20

【0057】

次に、画素20内に設けられた配線及び半導体層の構成を説明する。画素20内の最下層である第1層F1には、半導体層41、51、52、61、62が形成されている。これらの半導体層はいずれもシリコンなどの半導体材料から構成されている。なお、各半導体層を異なる材料によって構成しても勿論構わない。

【0058】

本実施形態において、半導体層51は、第1半導体層51aおよび第2半導体層51bを含む。半導体層52は、第1半導体層52aおよび第2半導体層52bを含む。半導体層61は、第1半導体層61aおよび第2半導体層61bを含む。半導体層62は、第1半導体層62aおよび第2半導体層62bを含む。半導体層41、51、52、61、62は互いに分離した島状に形成されている。

30

【0059】

この第1層の上層である第2層には、配線56、57、58、及び63が形成されている。これらの配線は例えば銅、アルミニウム、銀などの導電性の高い金属によって構成されている。

【0060】

配線56は、第1半導体層61aに平面視で重なるように設けられた分岐部分56aと、第2半導体層61bに平面視で重なるように設けられた分岐部分56bと、を含む。第1半導体層61aと、分岐部分56aと、これらの間に配置されたゲート絶縁層とでP型トランジスタT11が構成され、第2半導体層61bと、分岐部分56bと、これらの間に配置されたゲート絶縁層とでN型トランジスタT22が構成される。

40

【0061】

配線57は第1半導体層62aに平面視で重なるように設けられた分岐部分57aと、第2半導体層62bに平面視で重なるように設けられた分岐部分57bと、第1半導体層52aに平面視で重なるように設けられた分岐部分57cと、第2半導体層52bに平面視で重なるように設けられた分岐部分57dと、を含む。第1半導体層62aと、分岐部分57aと、これらの間に配置されたゲート絶縁層とでP型トランジスタT21が構成さ

50

れ、第2半導体層62bと、分岐部分57bと、これらの間に配置されたゲート絶縁層とでN型トランジスタT12が構成される。

【0062】

配線58は第1半導体層51aに平面視で重なるように設けられた分岐部分58aと、第2半導体層51bに平面視で重なるように設けられた分岐部分58bとを含む。半導体層51、52、配線57、58によりラッチ回路25が構成される。

【0063】

配線63は第1制御線75とトランジスタT11、T12とを接続するための配線の一部を構成する。配線63はコンタクトホールを介して第1制御線75と接続されている。

【0064】

第2層の上層である第3層には、配線42、43、53、54、55、64、65、及び66が形成されている。これらの配線は第2層に形成された配線と同様、例えば銅、アルミニウム、銀などの導電性の高い金属によって構成されている。

【0065】

配線42は、データ線50から画素20内へ向けて図中左方向に突出した部分であり、半導体層41の一方の端部とはコンタクトホールを介して接続されている。

【0066】

配線43は、半導体層41の他方の端部と配線58の端部とをコンタクトホールを介して接続されている。また、半導体層41の他方の端部と配線56とをコンタクトホールを介して接続されている。

【0067】

配線53は、高電位電源線78と第1半導体層51aとを接続する配線53aと、高電位電源線78と第1半導体層52aとを接続する配線53bとを含む。配線53はコンタクトホールを介して第1半導体層51aおよび52aに接続されている。

【0068】

配線54は、低電位電源線77と、第2半導体層52bと、第2半導体層51bとを接続する配線である。配線54は、第2半導体層51bおよび52bとはコンタクトホールを介して接続されている。

【0069】

配線55は、第1半導体層51a、第2半導体層51b、配線57と、それぞれコンタクトホールを介して接続されている。

【0070】

配線64は、第1半導体層61aと、第2半導体層62bと、配線63とを接続する配線である。配線64は、第1半導体層61a、第2半導体層62b、配線63とそれぞれコンタクトホールを介して接続されている。配線65は第2制御線76とトランジスタ(N型トランジスタ)T22とを接続する配線65aと、第2制御線76とトランジスタ(P型トランジスタ)T21とを接続する配線65bとを含む。配線65a、65bはそれぞれ、コンタクトホールを介して第2半導体層61b、第1半導体層62aと接続されている。

【0071】

配線66は、第1半導体層61a、62aおよび第2半導体層61b、62bとそれぞれコンタクトホールを介して接続されている。さらに配線66は、コンタクトホールを介して上層(5層)に形成された画素電極21に接続されている。

【0072】

このように各層が構成されることにより、半導体層61、62、配線56、57、64、66、及び第1層と第2層との間の図示しない絶縁層によってトランスマッピングゲートTG1、TG2が構成されることになる。

【0073】

また、半導体層41のうち平面視で走査線40の一部に重なる部分はチャネル領域となり、配線42を介してデータ線50に接続されている部分がソース領域となり、配線43

10

20

30

40

50

に接続された部分がドレイン領域となる。走査線 4 0 のうち半導体層 4 1 に平面視で重なる部分（延在部分）は画素スイッチング素子 2 4 のゲート電極を構成することになる。

【 0 0 7 4 】

また、半導体層 5 1 及び 5 2 と、配線 5 3、5 5、5 7、5 8、及び 5 7 を主体としてラッチ回路 2 5 が構成されることになる。図示しないが、半導体層 5 1 によってラッチ回路 2 5 の N 型トランジスタ 3 1 と P 型トランジスタ 3 2 とが構成されることになり、半導体層 5 2 によってラッチ回路 2 5 の N 型トランジスタ 3 3 と P 型トランジスタ 3 4 とが構成されることになる。

【 0 0 7 5 】

さらに、第 1 半導体層 6 1 a を主体として電界効果型の P 型トランジスタ T 1 1 が構成され、第 2 半導体層 6 2 b を主体として電界効果型の N 型トランジスタ T 1 2 が構成される。第 2 半導体層 6 1 b を主体として電界効果型の N 型トランジスタ T 2 2 が構成され、第 1 半導体層 6 2 a を主体として電界効果型の P 型トランジスタ T 2 1 が構成される。すなわち、第 1 半導体層 6 1 a、第 2 半導体層 6 2 b、配線 5 6、5 7、6 4、6 6 によりトランスファゲート TG 1、TG 2 が構成される。10

【 0 0 7 6 】

このような画素 2 0 を形成する場合には、第 1 層から第 4 層までを順に積層すれば良いことになる。

【 0 0 7 7 】

図 6 (a) は、本実施形態に係る電気泳動表示装置 1 0 0 のうち 3 つの画素 2 0 の構成を具体的に示す平面図であり、図 6 (b) は図 6 (a) における A - A 線矢視による断面図である。20

【 0 0 7 8 】

本実施形態では、図 6 (a) に示すように、隣接する画素 2 0 A と画素 2 0 B の間で第 2 制御線 7 6 を共有した構成を採用している。図 6 に示す構成では、画素 2 0 A 内の構造と画素 2 0 B 内の構造とが第 2 制御線 7 6 に対して線対称の関係になっている。このように配置することにより、画素内の配線の実質的な配置を大きく変更することなく、第 2 制御線 7 6 の本数を省略することができる。このため、その分隣接する画素 2 0 A 及び画素 2 0 B のスペースを広く確保することができ、画素 2 0 A 及び画素 2 0 B 内に形成する配線間の距離に余裕を持たせることができる。30

【 0 0 7 9 】

また、本実施形態では、平面視で第 1 制御線 7 5 および第 2 制御線 7 6 に重なる静電遮蔽層（遮蔽層）9 0 を備えている。静電遮蔽層 9 0 は、複数の画素 2 0 に跨ってストライプ状に形成されている。静電遮蔽層 9 0 は、Cu 箔上にニッケルめっきと金めっきとをこの順で積層したものや、A 1、ITO（インジウム錫酸化物）などにより形成される。静電遮蔽層 9 0 には不図示のコントローラにより電位が入力可能とされている。

【 0 0 8 0 】

図 6 (b) に示すように、本実施形態では、静電遮蔽層 9 0 は、第 2 制御線 7 6 と画素電極 2 1 との間に配置されている。なお、図示は省略するが、静電遮蔽層 9 0 は、第 1 制御線 7 5 と画素電極 2 1 との間に配置されている。40

また、静電遮蔽層 9 0 は、隣り合う画素 2 0 間の画素電極 2 1 の両端部に平面視で重なる大きさを有している。静電遮蔽層 9 0 は、後述のように第 1 制御線 7 5 および第 2 制御線 7 6 と対向電極 2 2 間に電界が生じるのを遮蔽する機能を有する。

【 0 0 8 1 】

続いて、静電遮蔽層 9 0 の効果を説明すべく、静電遮蔽層 9 0 が設けられない場合に生じる問題について説明する。図 7 は、電気泳動表示装置における 1 つの画素 2 0 に着目した駆動方法の一例を示すタイミングチャート図である。

【 0 0 8 2 】

図 7 に示すように、電気泳動表示装置 1 0 0 において、各画素 2 0 は、画像信号入力期間 S T 1、および画像書き込み期間 S T 2 の順に移行することで画像を生成する。50

画像信号入力期間 S T 1 では、ラッチ回路 2 5 にデータ線 5 0 から画像データが入力される。具体的には、上記構成を有する画素 2 0 において、データ線 5 0 から画素スイッチング素子 2 4 を介してラッチ回路 2 5 にローレベルの画像データが入力されると、上述のようにラッチ回路 2 5 の端子 N 1 はローレベルになる。

【 0 0 8 3 】

すると、トランスマルチゲート T G 1 がオンとなり、画素電極 2 1 は第 1 制御線 7 5 に電気的に接続される。そして、画素電極 2 1 には、第 1 制御線 7 5 に対応した電位が入力可能となる。すなわち、画素電極 2 1 には、第 1 制御線 7 5 から制御信号 S 1 として、ローレベルである例えば 0 V の電位 (L) が入力される。

【 0 0 8 4 】

一方、データ線 5 0 から画素スイッチング素子 2 4 を介してラッチ回路 2 5 にハイレベルの画像データが入力されると、トランスマルチゲート T G 2 がオンとなり、画素電極 2 1 は第 2 制御線 7 6 に電気的に接続される。そして、画素電極 2 1 には、第 2 制御線 7 6 に対応した電位が入力可能となる。すなわち、画素電極 2 1 には、第 2 制御線 7 6 から制御信号 S 2 として、ハイレベルである例えば 15 V の電位 (H) が入力される。

【 0 0 8 5 】

電気泳動表示装置 1 0 0 は、上記画像信号入力期間 S T 1 により選択された第 1 制御線 7 5 又は第 2 制御線 7 6 から所定の電位を画素電極 2 1 に入力することで画素 2 0 に画像を表示させることが可能である。

【 0 0 8 6 】

続いて、画像書込期間 S T 2 について説明する。図 7 に示すように、画像書込期間 S T 2 は、前半部 S T 2 a と、後半部 S T 2 b を含む。

【 0 0 8 7 】

画像書込期間 S T 2 の前半部 S T 2 a では、対向電極 2 2 にはローレベルの信号に対応した例えば 0 V の電位 V c o m が入力される。この場合、第 1 制御線 7 5 から 0 V の電位 (L) が入力された画素電極 2 1 と対向電極 2 2 との間には電位差が生じない。そのため、電気泳動粒子 (白色粒子 8 2 および黒色粒子 8 3) は動かない。

【 0 0 8 8 】

一方、第 2 制御線 7 6 から 15 V の電位 (H) が入力された画素電極 2 1 は、対向電極 2 2 に対して 15 V の電位差を有するため、正に帯電する白色粒子 8 2 は対向電極 2 2 側に移動し、負に帯電する黒色粒子 8 3 は画素電極 2 1 側に移動することで、表示面となる対向電極 2 2 側からこの画素を見ると、白色 (W) が認識される (図 4 (a) 参照)。

【 0 0 8 9 】

画像書込期間 S T 2 の後半部 S T 2 b では、対向電極 2 2 にはハイレベルの信号に対応した例えば 15 V の電位 V c o m が入力される。この場合、第 2 制御線 7 6 から 15 V の電位 (H) が入力された画素電極 2 1 と対向電極 2 2 との間には電位差が生じない。一方、第 1 制御線 7 5 から 0 V の電位 (L) が入力された画素電極 2 1 は、対向電極 2 2 に対して -15 V の電位差を有するため、正に帯電する白色粒子 8 2 は画素電極 2 1 側に移動し、負に帯電する黒色粒子 8 3 は対向電極 2 2 側に移動することで、表示面となる対向電極 2 2 側からこの画素を見ると、黒色 (B) が認識される (図 4 (b) 参照)。

【 0 0 9 0 】

以上のように、第 1 制御線 7 5 から 0 V の電位 (L) が画素電極 2 1 に入力された画素 2 0 は黒色となり、第 2 制御線 7 6 から 15 V の電位 (H) が画素電極 2 1 に入力された画素 2 0 は白色となる。したがって、図 7 において、黒表示する画素 2 0 の画素電極 2 1 に入力される電位を「 B l a c k 」とし、白表示する画素 2 0 の画素電極 2 1 に入力される電位を「 W h i t e 」とする。

【 0 0 9 1 】

ところで、第 1 制御線 7 5 および第 2 制御線 7 6 は複数の画素 2 0 に跨って共通に形成される。そのため、画像書込期間 S T 2 の間、第 1 制御線 7 5 には 0 V の電位 (L) が常時入力されることとなり、第 2 制御線 7 6 には 15 V の電位 (H) が常時入力されること

10

20

30

40

50

となる。

【0092】

以上から、静電遮蔽層90が設けられない場合、図8に示す現象が生じる得る。図8はある1画素20当たりの断面と白色粒子82、黒色粒子83の動きを示したものである。なお、図8では、図示を簡略化し、画素電極21、対向電極22、第1制御線75および第2制御線76のみを示している。

【0093】

図8(a)は、ある1画素20において黒色表示から白色表示に切り替える際の画像書き込み期間ST2の前半部ST2aに対応し、図8(b)は、図8(a)に続く画像書き込み期間ST2の後半部ST2bに対応するものである。また、図8(c)は、ある1画素20において白色表示から黒色表示に切り替える際の画像書き込み期間ST2の前半部ST2aに対応し、図8(d)は、図8(c)に続く画像書き込み期間ST2の後半部ST2bに対応するものである。

【0094】

画素20を黒表示から白表示に切り替える場合、画像書き込み期間ST2の前半部ST2aでは、画素電極21に15V(H)の電位が入力され、対向電極22に0V(L)の電位が入力されている。このとき、図8(a)に示されるように、黒色粒子83が対向電極22に対して相対的に高電位となる画素電極21および第2制御線76(画素電極21と同電位)に向かって引き寄せられる。なお、白色粒子82は、対向電極22に引き寄せられる。

【0095】

また、画像書き込み期間ST2の後半部ST2bでは、画素電極21に15Vの電位が入力されるとともに、対向電極22に15V(H)の電位Vcomが入力されるため、対向電極22、画素電極21、および第2制御線76がいずれも同電位となる。よって、画素電極21および第2制御線76と対向電極22との間には電場が生じることがなく、図8(b)に示されるように、電気泳動粒子(白色粒子82および黒色粒子83)は画素電極21、対向電極22、および第2制御線76上から動かない。

【0096】

一方、画素20を白表示から黒表示に切り替える場合、画像書き込み期間ST2の前半部ST2aでは、画素電極21に第1制御線75から0V(L)の電位が入力され、対向電極22に0V(L)の電位が入力されている。このとき、第2制御線76の電位は15V(H)であるため、図8(c)に示されるように、黒色粒子83が対向電極22に対して相対的に電位が高い第2制御線76に向かって引き寄せられる。

【0097】

また、画像書き込み期間ST2の後半部ST2bでは、対向電極22に15V(H)の電位Vcomが入力されている。そのため、画素電極21に対して、第2制御線76および対向電極22は相対的に電位が高い状態となる。したがって、図8(d)に示されるように、負に帯電した黒色粒子83は画素電極21上から対向電極22に向かって動く。また、黒色粒子83は、画素電極21上から第2制御線76側にも動く。なお、正に帯電した白色粒子82は、対向電極22側に向かって移動する。

【0098】

すなわち、黒色粒子83は、第2制御線76と平面視で重なる部分(画素電極21間の隙間)に堆積していく。第2制御線76は、構造上、0V(例えば、電源オフ時などの画像書き込み期間ST以外の期間)または+15Vの電位しかとり得ないため、堆積した黒色粒子83は第2制御線76上や、その近傍に留まり続ける。第2制御線76と対向電極22との間に隔壁10が配置されている領域(第2制御線76と隔壁10が平面視で重なる領域)ではこのような挙動がある程度抑制されるが、第2制御線76と対向電極22との間に隔壁10が配置されていない領域(すなわち第2制御線76が隔壁10と平面視で重ならない部分を有する場合)では電気泳動粒子の堆積が顕著になる。

【0099】

10

20

30

40

50

そのため、黒色粒子 8 3 の堆積量が所定の閾値を超えると、表示に寄与できる粒子の数が少なくなり、表示ムラや最悪の場合、表示不能となるといった問題を引き起こす。なお、図 8 では、説明を簡単にするため、図示を省略していたが、第 1 制御線 7 5 についても、第 2 制御線 7 6 と同様の現象が生じてあり、経時的に白色粒子 8 2 の堆積が発生する。

【 0 1 0 0 】

本実施形態では、このような電気泳動粒子（白色粒子 8 2 および黒色粒子 8 3 ）の堆積を防止すべく、図 6 に示した上記静電遮蔽層 9 0 を設けている。また、静電遮蔽層 9 0 は、電位が入力可能とされている。静電遮蔽層 9 0 には、画素電極 2 1 と異なる電位が入力される。

【 0 1 0 1 】

図 9 は、静電遮蔽層 9 0 、対向電極 2 2 、および画素電極 2 1 （黒表示の画素 2 0 および白表示の画素 2 0 ）に入力される電位の関係を示す図である。図 9 において、静電遮蔽層 9 0 に入力される電位を E 1 と示す。

【 0 1 0 2 】

図 9 に示されるように、本実施形態では、静電遮蔽層 9 0 に対し、対向電極 2 2 に電位が入力されるタイミングに同期して、対向電極 2 2 と同電位を入力している。すなわち、静電遮蔽層 9 0 は、画像書込期間 S T 2 の前半部 S T 2 a において、対向電極 2 2 に入力される電位 V c o m と同電位である 0 V (L) の電位が入力され、画像書込期間 S T 2 の後半部 S T 2 b において、対向電極 2 2 に入力される電位 V c o m と同電位である 1 5 V (H) の電位が入力される。このように本実施形態では、静電遮蔽層 9 0 に対して、表示部 3 の画素 2 0 への画像が書き込み動作中に電位の入力が行われている。

【 0 1 0 3 】

静電遮蔽層 9 0 により、図 1 0 に示す作用が生じているものと考えられる。図 1 0 は本実施形態における、ある 1 画素 2 0 当たりの断面と、白色粒子 8 2 および黒色粒子 8 3 の動きを示したものである。図 1 0 (a) は、ある 1 画素 2 0 において黒色表示から白色表示に切り替える際の画像書込期間 S T 2 の前半部 S T 2 a に対応し、図 1 0 (b) は、図 1 0 (a) に続く画像書込期間 S T 2 の後半部 S T 2 b に対応するものである。また、図 1 0 (c) は、ある 1 画素 2 0 において白色表示から黒色表示に切り替える際の画像書込期間 S T 2 の前半部 S T 2 a に対応し、図 1 0 (d) は、図 1 0 (c) に続く画像書込期間 S T 2 の後半部 S T 2 b に対応するものである。

【 0 1 0 4 】

画素 2 0 を黒表示から白表示に切り替える場合、画像書込期間 S T 2 の前半部 S T 2 a では、画素電極 2 1 に 1 5 V (H) の電位が入力され、対向電極 2 2 および静電遮蔽層 9 0 に 0 V (L) の電位が入力されている。静電遮蔽層 9 0 は、対向電極 2 2 に対して相対的に高電位となる第 2 制御線 7 6 を遮蔽する。よって、第 2 制御線 7 6 と対向電極 2 2 との間で電場が生じさせることがない。また、静電遮蔽層 9 0 は、対向電極 2 2 と同電位である。そのため、図 1 0 (a) に示すように、黒色粒子 8 3 は、静電遮蔽層 9 0 から斥力を受けることで、対向電極 2 2 に対して相対的に高電位となる画素電極 2 1 のみに引き寄せられる。なお、白色粒子 8 2 は対向電極 2 2 に引き寄せられる。

【 0 1 0 5 】

また、画像書込期間 S T 2 の後半部 S T 2 b では、画素電極 2 1 に 1 5 V (H) の電位が入力されるとともに、対向電極 2 2 および静電遮蔽層 9 0 にも 1 5 V (H) の電位が入力されている。そのため、対向電極 2 2 、画素電極 2 1 、および静電遮蔽層 9 0 がいずれも同電位となる。よって、画素電極 2 1 および第 2 制御線 7 6 と対向電極 2 2 との間には電場が生じることがなく、図 1 0 (b) に示されるように、電気泳動粒子（白色粒子 8 2 および黒色粒子 8 3 ）は画素電極 2 1 および対向電極 2 2 上から動かない。

【 0 1 0 6 】

一方、画素 2 0 を白表示から黒表示に切り替える場合、画像書込期間 S T 2 の前半部 S T 2 a では、画素電極 2 1 に第 1 制御線 7 5 から 0 V (L) の電位が入力され、対向電極 2 2 および静電遮蔽層 9 0 には 0 V (L) の電位が入力されている。なお、第 2 制御線 7

10

20

30

40

50

6の電位は15V(H)に保持されている。静電遮蔽層90は、対向電極22に対して相対的に高電位となる第2制御線76を遮蔽する。よって、第2制御線76と対向電極22との間で電場が生じさせることがない。また、静電遮蔽層90は、対向電極22と同電位である。そのため、図10(c)に示されるように、黒色粒子83は対向電極22に対して相対的に電位が高い第2制御線76に向かって引き寄せられることがない。

【0107】

また、画像書込期間ST2の後半部ST2bでは、対向電極22および静電遮蔽層90に15V(H)の電位が入力されている。そのため、画素電極21に対して、静電遮蔽層90および対向電極22は相対的に電位が高い状態となる。したがって、図10(d)に示されるように、負に帯電した黒色粒子83は画素電極21上から対向電極22に向かって動く。なお、正に帯電した白色粒子82は、対向電極22側に向かって移動する。10

【0108】

ここで、黒色粒子83は、画素電極21上から静電遮蔽層90上にも動いて一時的に堆積する。しかしながら、この場合においても、再度、黒表示から白表示に切り替える際、図10(a)に示したように、静電遮蔽層90は黒色粒子83に対して斥力を生じさせるため、静電遮蔽層90に一時的に堆積した黒色粒子83は放出される。

【0109】

また、静電遮蔽層90に対して、対向電極22および画素電極21間ににおける電位差(絶対値)に比べて、静電遮蔽層90および対向電極22間ににおける電位差(絶対値)を小さくするように電位が入力されるようにしてもよい。具体的には、図9の一点鎖線で示すように、画像書込期間ST2の前半部ST2aにおいて静電遮蔽層90への入力電位を0Vよりも僅かに高くし、画像書込期間ST2の後半部ST2bにおいて静電遮蔽層90への入力電位を15Vよりも僅かに小さくしてもよい。20

【0110】

このようにすれば、静電遮蔽層90および対向電極22間の電位差が対向電極22および画素電極21間の電位差よりも小さくなるため、図10(d)に示した静電遮蔽層90上に堆積する黒色粒子83を対向電極側に積極的に移動させることができる。

【0111】

以上述べたように、本実施形態に係る電気泳動表示装置100によれば、第1制御線75および第2制御線76に重なる静電遮蔽層90に画素電極21と異なる電位が入力されるので、第1制御線75および第2制御線76と対向電極22との間に生じる電位が遮断される。30

よって、第1制御線75および第2制御線76と対向電極22との間に電場が生じなくなる。これにより、第1制御線75および第2制御線76に対応する部分に(白色粒子82および黒色粒子83)が偏在して滞留しなくなる。

したがって、電気泳動粒子の堆積が抑制されることで表示ムラのない良好な表示品質を得ることができる。

【0112】

また、本実施形態では、静電遮蔽層90に対向電極22への電位入力に同期して該対向電極22への入力電位と同電位が入力される。よって、静電遮蔽層90の電位は対向電極22に対応して変化することとなるので、図10に示したように静電遮蔽層90に一時的に堆積した電気泳動粒子を斥力で退けることができる。40

【0113】

また、本実施形態において、静電遮蔽層90は、平面視した状態で画素電極21の端部に重なるように形成されているため、平面視で画素電極21と静電遮蔽層90との間に隙間が生じることが防止される。よって、この隙間から第1制御線75および第2制御線76と対向電極22間に電場が生じることが防止される。

【0114】

なお、本実施形態では、静電遮蔽層90に対して表示部3の画素20への画像が書き込み動作中に電位を入力する場合を例に挙げたが、本発明はこれに限定されない。例えば、50

画像の書き込み動作が終了したタイミングで静電遮蔽層 90 に電位を入力しても良い。すなわち、表示部 3 の画素 20 に画像の書き込みが完了する 1 フレームごとに静電遮蔽層 90 への電位入力を行うようにしても良い。ここで、走査線駆動回路 60 とデータ線駆動回路 70 とにより画素 20 への画像信号入力が実行され、全ての走査線 40 を逐次的に 1 回選択する期間が 1 フレーム（1 フレーム期間）とされる。

【0115】

この場合において、静電遮蔽層 90 にパルス状の電位を入力しても良い。このパルスは、画像書き込み中に画素電極 21 に入力される電位と逆極性となっている。例えば、画像書き込み中に画素電極 21 にローレベル（L）の電位が入力されていた場合は、静電遮蔽層 90 にはハイレベル（H）の電位を入力すればよい。これによれば、静電遮蔽層 90 に逆極性の電位が入力されるので、仮に静電遮蔽層 90 の近傍に電気泳動粒子が滞留していた場合でも斥力によって排除することができる。10

【0116】

また、静電遮蔽層 90 に入力される電位を 1 フレームごとに反転させるようにしてもよい。すなわち、対向電極 22 に入力される電位の反転電位を静電遮蔽層 90 に入力するようにしてもよい。同一の画像を表示続ける画素においては、対向電極 22 と画素電極 21 とが同電位に保持される。そのため、静電遮蔽層 90 に対応する部分に電気泳動粒子が堆積する可能性がある。

【0117】

これに対し、上述のように対向電極 22 と反転電位が入力されると、画素電極 21 と静電遮蔽層 90 との間に電位差が生じることで該静電遮蔽層 90 に堆積した電気泳動粒子を斥力によって退けることが可能となる。20

【0118】

また、上記実施形態では、静電遮蔽層 90 が第 1 制御線 75 および第 2 制御線 76 と画素電極 21 との間に設けられる場合を例に挙げたが、本発明はこれに限定されない。例えば、静電遮蔽層 90 が画素電極 21 と同じ層に形成されていてもよい。この場合、静電遮蔽層 90 は、例えば、画素電極 21 間に引き回れる配線層等から構成される。この構成によれば、静電遮蔽層 90 が画素電極 21 と同層に配置されるため、静電遮蔽層 90 を設けるための層が 1 層不要となる。よって、積層構造を 1 層少なくすることができ、電気泳動表示装置 100 の積層構造を薄くすることができる。30

【0119】

あるいは、静電遮蔽層が画素電極 21 の一部から構成されていても良い。図 11 は、画素電極 21 の一部を静電遮蔽層として用いる場合の画素 20 の平面構造を示す図である。図 11 に示されるように、画素電極 21 は、平面視で第 1 制御線 75 または第 2 制御線 76 のいずれか一方を覆う形状を呈している。

【0120】

この構成においても、第 1 制御線 75 および第 2 制御線 76 と対向電極 22 との間に電場が無くなるので、対向電極 22 から第 1 制御線 75 および第 2 制御線 76 へ向かう電気泳動粒子を無くすことができる。したがって、第 1 制御線 75 および第 2 制御線 76 に電気泳動粒子が堆積することが無くなり、表示不良が発生するといった問題が生じることがない。40

【0121】

また、上記実施形態では、画素 20 が、画素回路として、画素スイッチング素子 24、ラッチ回路 25、スイッチ回路 SW、スイッチ回路 SW に接続された第 1 制御線 75 および第 2 制御線 76 と、を備えた構成を例に挙げたが、本発明はこれに限定されない。本発明は、画像表示時において、一定の電位が印加される 2 つ以上の制御線（電源線を含む）のいずれか 1 つと画素電極とを電気的に接続して、電気泳動素子を駆動する構成であれば、画素回路の構造は限定されない。例えば、図 12 に示すような画素回路を備えた電気泳動表示装置 101 にも本発明は適用可能である。なお、図 12 においては、1 行 1 列目の画素 20 における画素回路 110 を示している。各画素回路 110 の構成は同じであるた50

め、ここでは代表して1行1列目の画素回路110について説明し、他の画素回路110については説明を省略する。

【0122】

画素回路110は、TFT131(第1トランジスタ)、TFT132(第2トランジスタ)、TFT133(第3トランジスタ)およびTFT134(第4トランジスタ)を備えている。TFT133のゲートは、走査線40に接続されており、TFT133のソースは、第1データ線50Aに接続されている。TFT134のゲートは、走査線40に接続されており、TFT134のソースは、第2データ線50Bに接続されている。

TFT131のゲートは、TFT133のドレインに接続されており、TFT131のソースには第1電位Ve1が第1制御線175により入力される。TFT132のゲートは、TFT134のドレインに接続されており、TFT132のソースには第2電位Ve2が第2制御線176により入力される。また、TFT131のドレインとTFT132のドレインは、画素電極21に接続されている。
10

【0123】

次に画素20を黒表示にする場合の駆動方法と画素20を白表示にする場合の駆動方法について説明する。画素29に画像を表示させる際には、対向電極22に電位Vcomが入力される。ここで、第1電位Ve1は電位Vcomより高位の電位であり、第2電位Ve2は電位Vcomより低位の電圧である。

【0124】

例えば、1行1列目の画素20を白にする場合、データ線駆動回路(不図示)は、Hレベルのデータ信号を1列目の第1データ線50Aに供給すると共にLレベルのデータ信号を1列目の第2データ線50Bに供給する。TFT133がオンの状態で第1データ線50AがHレベルになると、TFT131のゲートがHレベルとなってTFT131がオンとなる。また、TFT134がオンの状態で第2データ線50BがLレベルになると、TFT132のゲートがLレベルとなってTFT132がオフとなる。TFT131がオンとなり、TFT132がオフとなると、第1制御線175により第1電位Ve1が画素電極21に入力される。ここで画素電極21の電位は、対向電極22に入力されている電位Vcomより高いため、電気泳動層80においては、正に帯電している白の電気泳動粒子が対向電極22側に移動し、負に帯電している黒の電気泳動粒子が画素電極21側に移動する。
20
30

【0125】

一方、例えば1行1列目の画素を黒にする場合、データ線駆動回路(不図示)は、1行目の走査線40がHレベルの期間においてLレベルのデータ信号を1列目の第1データ線50Aに供給すると共にHレベルのデータ信号を1列目の第2データ線50Bに供給する。走査線40がHレベルとなってTFT133がオンの状態で第1データ線50AがLレベルになると、TFT131のゲートがLレベルとなってTFT131がオフとなる。また、走査線40がHレベルとなってTFT134がオンの状態で第2データ線50BがHレベルになると、TFT132のゲートがHレベルとなってTFT132がオンとなる。TFT131がオフとなり、TFT132がオンとなると、第2制御線176により第2電位Ve2が画素電極21に入力される。ここで、画素電極21の電位は、対向電極22に入力されている電位Vcomより低位の電圧となるため、電気泳動層80においては、負に帯電している黒の電気泳動粒子が画素電極21側に移動し、正に帯電している白の電気泳動粒子が対向電極22側に移動する。
40

【0126】

図12に示した画素回路110によれば、画素20の表示を変更する際に画素電極21への電圧の印加が一回で済むので消費電力を抑えることができる。また、画素20毎に画素電極21に印加する電圧を異ならせることができるために、一回の走査線40の選択で、同じ行の画素20について、ある画素については黒の表示に変更し、他の画素については白の表示に変更することができる。また、画素毎にメモリを設けることがないため、画素毎にメモリ回路(ラッチ回路)を設ける構成と比較して高精細化が可能となる。
50

【 0 1 2 7 】

本発明においては、上記画素回路 110において、各画素 20の画素電極 21に接続される第1制御線 75および第2制御線 176と平面視で重なるように静電遮蔽層 90を設けることで第1制御線 75および第2制御線 176に対応した部分に電気泳動粒子が堆積するのを防止することができる。

【 0 1 2 8 】**(電子機器)**

次に、上記各実施形態の電気泳動表示装置を電子機器に適用した場合について説明する。

図 13 は、本発明の電気泳動表示装置を適用した電子機器の具体例を説明する斜視図である。

図 13 (a) は、電子機器の一例である電子ブックを示す斜視図である。この電子ブック (電子機器) 400 は、ブック形状のフレーム 401 と、このフレーム 401 に対して回動自在に設けられた (開閉可能な) カバー 402 と、操作部 403 と、本発明の電気泳動表示装置によって構成された表示部 404 と、を備えている。

【 0 1 2 9 】

図 13 (b) は、電子機器の一例である腕時計を示す斜視図である。この腕時計 (電子機器) 500 は、本発明の電気泳動表示装置によって構成された表示部 501 を備えている。

【 0 1 3 0 】

図 13 (c) は、電子機器の一例である電子ペーパーを示す斜視図である。この電子ペーパー (電子機器) 600 は、紙と同様の質感および柔軟性を有するリライタブルシートで構成される本体部 601 と、本発明の電気泳動表示装置によって構成された表示部 602 を備えている。

【 0 1 3 1 】

例えば電子ブックや電子ペーパーなどは、白地の背景上に文字を繰り返し書き込む用途が想定されるため、表示ムラの解消が必要とされる。

なお、本発明の電気泳動表示装置を適用可能な電子機器の範囲はこれに限定されず、帶電粒子の移動に伴う視覚上の色調の変化を利用した装置を広く含むものである。

【 0 1 3 2 】

以上の電子ブック 400 、腕時計 500 及び電子ペーパー 600 によれば、本発明に係る電気泳動表示装置が採用されているので、表示ムラが抑制されることで品質の高い表示特性を得ることができる信頼性に優れた高品位の電子機器となる。

【 0 1 3 3 】

なお、上記の電子機器は、本発明に係る電子機器を例示するものであって、本発明の技術範囲を限定するものではない。例えば、携帯電話、携帯用オーディオ機器などの電子機器の表示部や、マニュアル等の業務用シート、教科書、問題集、情報シート等にも、本発明に係る電気泳動表示装置は好適に用いることができる。

【 符号の説明 】**【 0 1 3 4 】**

1...素子基板 (一対の基板) 、 2...対向基板 (一対の基板) 、 3...表示部、 10...隔壁、
21...画素電極、 22...対向電極、 50...データ線、 75...第1制御線、 76...第2制御線、
80...電気泳動層、 82...白色粒子 (電気泳動粒子) 、 83...黒色粒子 (電気泳動粒子) 、
90...静電遮蔽層 (遮蔽層) 、 100, 101...電気泳動表示装置、 400...電子
ブック (電子機器) 、 500...腕時計 (電子機器) 、 600...電子ペーパー (電子機器)
。

【図1】

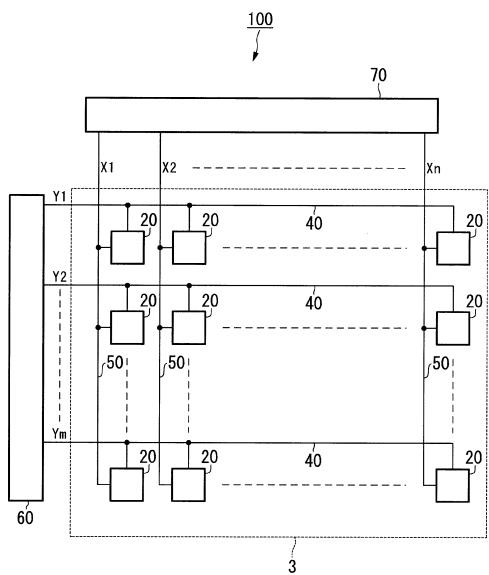


図1

【図2】

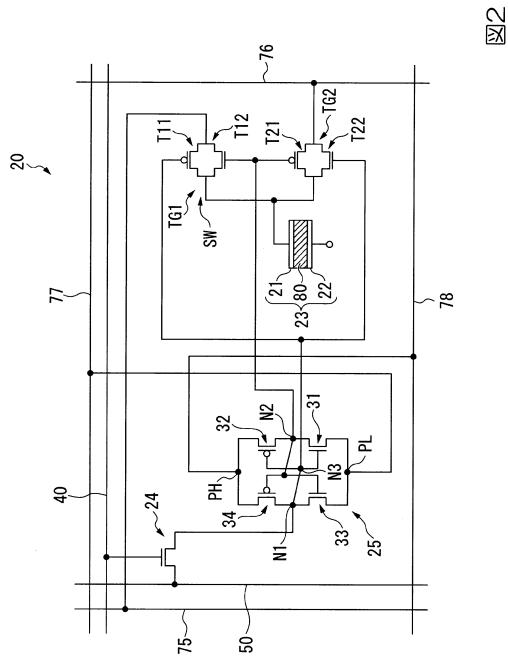


図2

【図3】

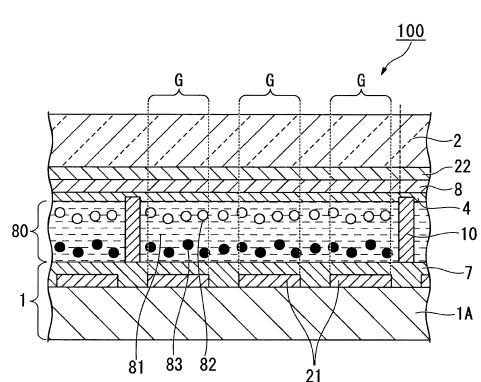


図3

【図4】

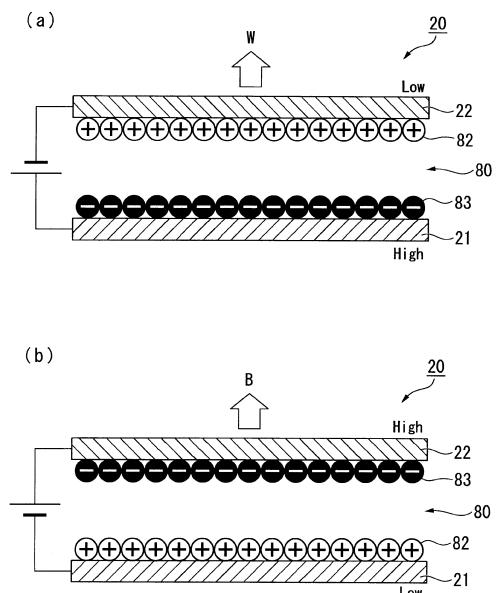
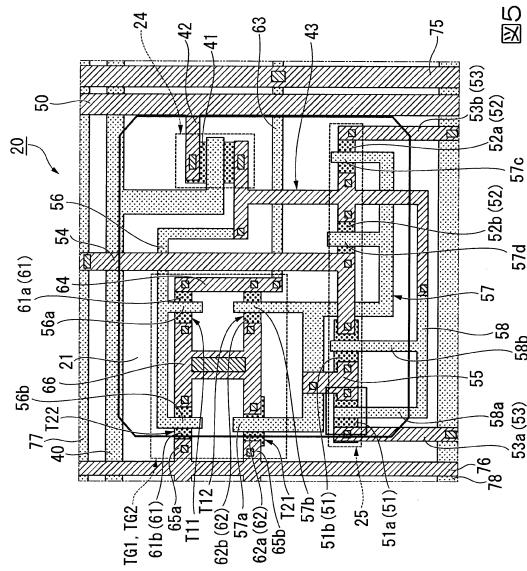
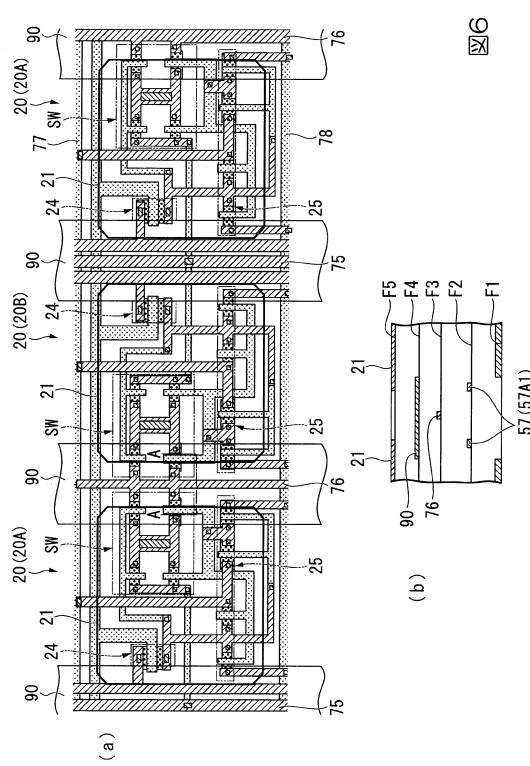


図4

【図5】



【図6】



【図7】

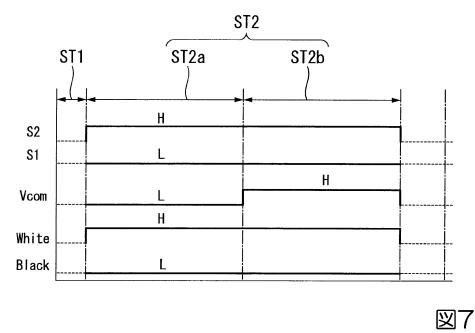


図7

【図8】

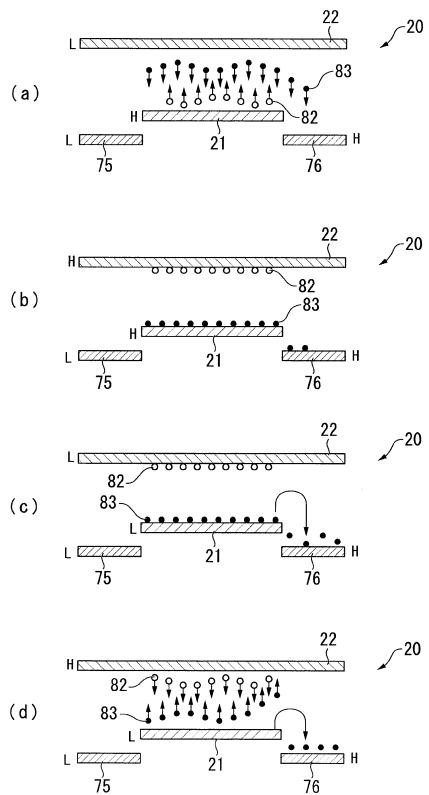


図8

【図9】

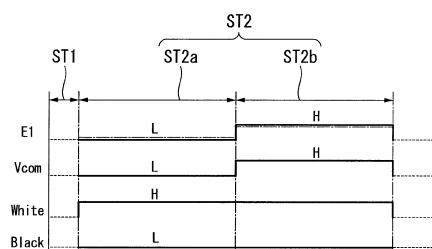


図9

【図10】

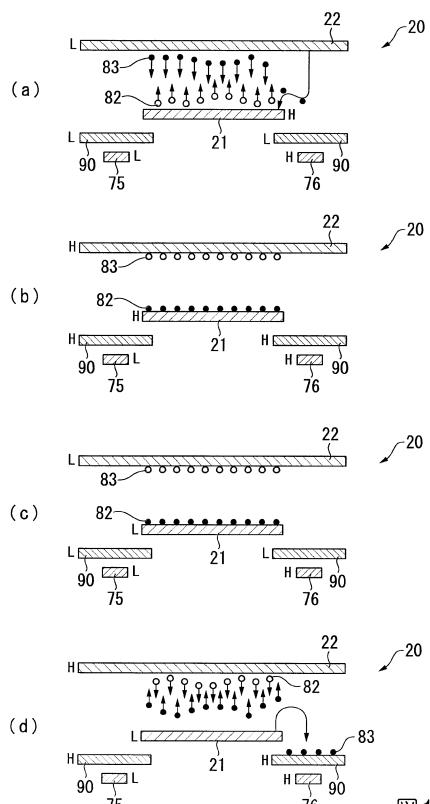


図10

【図11】

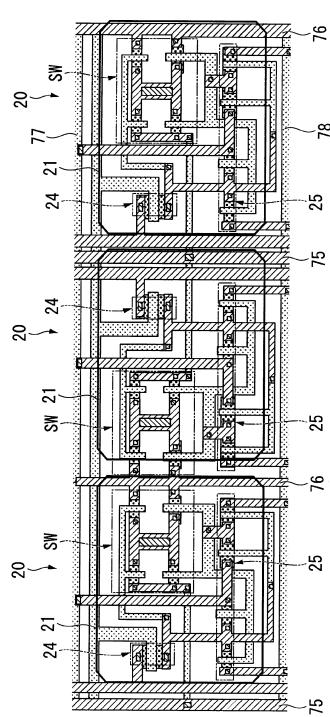


図11

【図12】

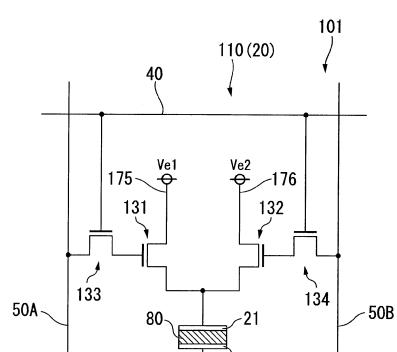


図12

【図13】

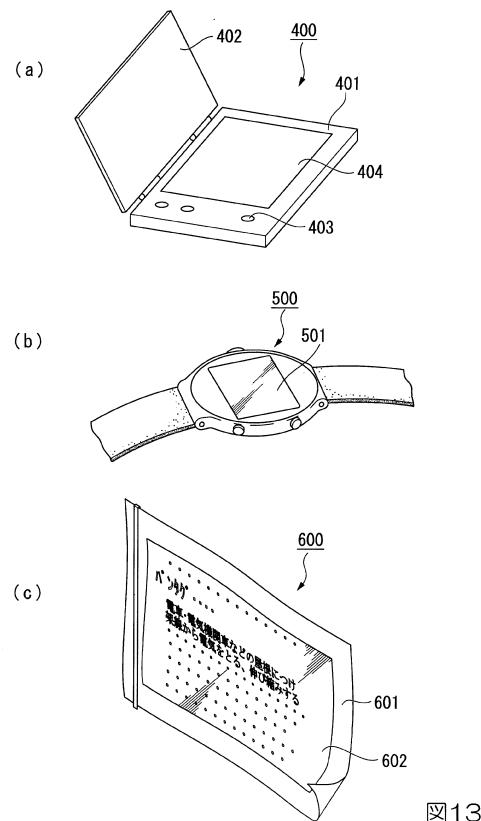


図13

フロントページの続き

(51)Int.Cl.

F I		
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 1 1 C
G 0 9 G	3/20	6 2 4 B
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 4 9 C

(56)参考文献 特開2008-242381(JP,A)

特開2008-268853(JP,A)

特開2012-3231(JP,A)

米国特許出願公開第2013/0235447(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 6 7 - 1 / 1 9
G 0 9 F	9 / 3 0
G 0 9 G	3 / 0 0