

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 3/06 (2006.01)

H01L 25/00 (2006.01)

G11C 5/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510087309.X

[45] 授权公告日 2009年9月30日

[11] 授权公告号 CN 100545796C

[22] 申请日 2005.7.28

[21] 申请号 200510087309.X

[30] 优先权

[32] 2004.7.30 [33] US [31] 10/903,371

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 D·M·德雷普斯

F·D·费拉艾奥洛 K·C·高尔

M·W·凯洛格 R·里彭斯

[56] 参考文献

US5513135A 1996.4.30

CN1506842A 2004.6.23

US5982655A 1999.11.9

US6229727B1 2001.5.8

US6510100B2 2003.1.21

US6347394B1 2002.2.12

审查员 蔡萍

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 杨晓光

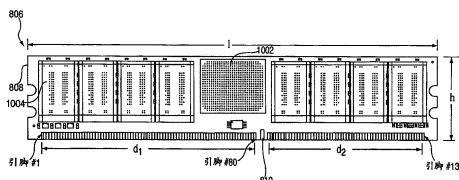
权利要求书 2 页 说明书 15 页 附图 15 页

[54] 发明名称

双列直插存储模块和计算机存储系统

[57] 摘要

一种双列直插存储模块 (DIMM) 包括一个长度为大约 151.2 到大约 151.5 毫米的卡、多个与所述卡连接的单独的局部存储器件, 以及一个与所述卡连接的缓冲装置, 所述缓冲装置被配置用于转换封装化的存储器接口。所述卡包括在其上配置的至少 276 根引脚。



1. 一种计算机存储系统，包括：

双列直插存储模块 DIMM，该 DIMM 包括卡、多个与所述卡连接的单独的局部存储器件、以及与所述卡连接的缓冲装置，所述缓冲装置被配置包括用于转换封包化数据的存储器接口；

多个与所述 DIMM 通信的高速总线，包括至少第一条高速总线和第二条高速总线，用于实现到相对于所述 DIMM 的上游装置和下游装置的级联连接；以及

所述 DIMM 还具有多个排列在所述卡上的高速总线接口引脚，从而：

对于第一条高速总线，与之关联的所述高速总线接口引脚的第一部分位于相对于所述卡的长度的中点的所述卡的一侧，以及与之关联的所述高速总线接口引脚的第二部分位于相对于所述中点的所述卡的另一侧；以及

对于第二条高速总线，高速总线接口引脚聚集在相对于所述中点的所述卡的中心周围。

2. 权利要求 1 的计算机存储系统，其中所述 DIMM 还包括多个在所述卡上形成的至少 276 根引脚。

3. 权利要求 1 的计算机存储系统，其中至少一个定位键位于相对于该卡的长度的非中心位置。

4. 权利要求 2 的计算机存储系统，其中所述至少 276 根引脚排列于卡一侧的第一行引脚和卡另一侧的第二行引脚中。

5. 权利要求 1 的计算机存储系统，其中所述长度为 151.2 到 151.5 毫米。

6. 权利要求 1 的计算机存储系统，还包括多个在所述至少 276 根引脚中的冗余引脚，其中相对于给定主功能引脚的给定冗余引脚直接位于卡的另一侧上所述主功能引脚的对应位置。

7. 如权利要求 1 的双列直插存储模块 DIMM，其中所述引脚

的第一部分被配置为操作于第一供电电压，而所述引脚的第二部分被配置为操作于第二供电电压。

8. 权利要求 7 的双列直插存储模块 DIMM，其中所述第一供电电压用于操作与所述缓冲装置相关联的逻辑装置，而所述第二供电电压用于操作所述多个单独的局部存储器件。

9. 权利要求 8 的双列直插存储模块 DIMM，还包括在所述卡上形成的定位键，其中所述定位键位于相对于该卡的长度的非中心位置。

10. 权利要求 8 的双列直插存储模块 DIMM，其中所述 DIMM 还包括多个在所述卡上形成的至少 276 根引脚，其中所述至少 276 根引脚排列于卡一侧的第一行引脚和卡另一侧的第二行引脚中。

11. 权利要求 10 的双列直插存储模块 DIMM，还包括多个在所述至少 276 根引脚中的冗余引脚，其中相对于给定主功能引脚的给定冗余引脚直接位于卡的另一侧上所述主功能引脚的对应位置。

12. 权利要求 11 的双列直插存储模块 DIMM，其中所述至少 276 根引脚还包括一对连续性引脚，所述一对连续性引脚中的一个位于所述卡的一端，而所述一对连续性引脚中的另一个位于所述卡的另一端。

双列直插存储模块和计算机存储系统

技术领域

本发明涉及计算机存储器子系统，并且更特别地涉及具有增强的容错性的带缓冲的存储模块。

背景技术

计算机存储子系统已发展了多年，但是仍保留许多一贯的属性。20世纪80年代早期的计算机存储子系统，例如与本申请共同转让的 LeVallee 等人的美国专利 No. 4475194 中公开的计算机存储子系统，包括一存储控制器，具有阵列器件、缓冲器、端接器和附属定时及控制功能的存储组件（被发明人同时称为基本存储模块（BSM）），以及一些点到点总线，以允许每个存储组件与该存储控制器经由其自身的点到点地址和数据总线进行通信。图1示出这个20世纪80年代早期的计算机存储子系统的示例，该子系统包括两个BSM、一存储控制器、一维护控制台、和连接BSM和存储控制器的点到点地址及数据总线。

来自与本申请共同转让的 Dell 等人的美国专利 No. 5513135 的图2示出一种早期的同步存储模块，该模块包括同步动态随机存取存储器（DRAM）8、缓冲装置12、一优化的引脚排列、一互连、以及一电容解耦方法以便利操作。该专利还说明了使用例如锁相环（PLL）的设备来在该模块上使用时钟再驱动。

来自共同转让的 Grundon 等人的美国专利 No. 6510100 的图3示出存储子系统10的简图和说明，该子系统在传统的多点短截线（stub）总线通道上包括最多4个带寄存器的双列直插存储模块（DIMM）40。该子系统包括一存储控制器20、一外部时钟缓冲器30、带寄存器的DIMM40、地

址总线 50、控制总线 60 和数据总线 70，在地址总线 50 和数据总线 70 上具有端接器 95。

图 4 示出 20 世纪 90 年代的存储子系统，该子系统是从图 1 中的结构发展而来的，并且包括一存储控制器 402，一个或多个高速点到点通道 404，每个该通道与一总线到总线转换器芯片 406 相连接，并且每个通道具有一同步存储器接口 408，该接口使得能够与一个或多个带寄存器的 DIMM 410 相连接。在此实现中，该高速、点到点通道 404 以两倍的 DRAM 数据速率工作，使得该总线到总线转换器芯片 406 能够以完全的 DRAM 数据速率操作一个或两个带寄存器的 DIMM 存储通道。每个带寄存器的 DIMM 包括一 PLL、寄存器、DRAM、一电可擦可编程只读存储器 (EEPROM) 和端接器、以及其他无源元件。

如图 5 中所示，存储子系统经常通过一存储控制器与单个存储模块或在“短截线”总线上互连的两个或更多存储模块相连接构成。图 5 是一多点短截线总线存储器结构的简图，该结构与图 3 中所示的结构类似。此结构在成本、性能、可靠性和升级能力之间实现了合理的折衷，但是对可连接在该短截线总线上的模块的数量有固有的限制。可连接在短截线总线上的模块的数量的极限与在总线上传送的信息的数据传输率直接相关。随着数据传输率增加，必须减小短截线的数量和长度以确保稳健的存储操作。提高总线的速度通常会导致总线上的模块的数量减小，最优的电接口是其中单个模块直接连接在单个控制器上的接口，或一具有很少的（如果有的话）将导致反射和阻抗不连续的短截线的点到点接口。因为大多数存储模块的数据宽度为 64 或 72 位，所以此结构也需要大量的引脚以传送地址、命令和数据。作为代表性的引脚数，图 5 中示出 120 个引脚。

来自与本申请共同转让的 Petty 的美国专利 No. 4723120 的图 6 涉及在多点通信结构中应用菊花链结构，否则该结构将需要多个端口，每个端口经由点到点接口与单独的设备相连接。通过采用菊花链机构，可形成具有较少端口（或通道）的控制站，并且通道上的每个设备可利用标准的上行和下行协议，而与它们在该菊花链结构中的位置无关。

图 7 示出根据美国专利 No. 4723120 的教导实现的菊花链存储总线。存储控制器连接在存储总线 315 上，该总线进一步连接在模块 310a 上。模块 310a 上的缓冲器将总线 315 上的信息再驱动到模块 310b 上，模块 310b 进一步将总线 315 再驱动到被指示为 310n 的模块位置。每个模块 310a 包括 DRAM 311a 和缓冲器 320a。总线 315 可被描述为具有菊花链结构，每个总线在性质上是点到点的。

由于性能增强、可靠性提高和/或功耗减少的新系统的出现，客户将经常用这些新系统代替现有系统。然而，为了减少总购买成本，许多客户可能希望在新系统中重新使用他们的许多或所有的存储器件——经常结合该系统新的存储技术，以便利用提高的速度和密度。同时，也希望能够以可靠的方式提供高速度、高密度的存储能力，这种方式可抵抗故障，如引脚断裂、单点故障和其他相关故障，并且可支持其中所增加的 DRAM 体的宽度。

发明内容

本发明的示例性实施例包括一种计算机存储系统，包括： 双列直插存储模块 DIMM，该 DIMM 包括卡、多个与所述卡连接的单独的局部存储器件、以及与所述卡连接的缓冲装置，所述缓冲装置被配置包括用于转换封包化数据的存储器接口；多个与所述 DIMM 通信的高速总线，包括至少第一条高速总线和第二条高速总线，用于实现到相对于所述 DIMM 的上游装置和下游装置的级联连接；以及所述 DIMM 还具有多个排列在所述卡上的高速总线接口引脚，从而：对于第一条高速总线，与之关联的所述高速总线接口引脚的第一部分位于相对于所述卡的长度的中点的所述卡的一侧，以及与之关联的所述高速总线接口引脚的第二部分位于相对于所述中点的所述卡的另一侧；以及对于第二条高速总线，高速总线接口引脚聚集在相对于所述中点的所述卡的中心周围。

附图说明

下面说明附图，其中在各图中同样的元件使用同样的标号：

图 1 示出现有技术的经由分离的点到点链路与两个带缓冲的存储组件相连接的存储控制器；

图 2 示出现有技术的具有缓冲装置的同步存储模块；

图 3 示出现有技术的使用带寄存器的 DIMM 的存储子系统；

图 4 示出现有技术的具有点到点通道、带寄存器的 DIMM 以及一 2:1

总线倍速器的存储子系统；

图 5 示出现有技术的使用多点存储器“短截线”总线的存储器结构；

图 6 示出现有技术的在多点通信结构中的菊花链结构，该多点通信结构否则将需要多个端口；

图 7 示出现有技术的在存储控制器和存储模块之间的菊花链连接；

图 8 示出可被本发明的示例性实施例利用的级联存储器结构；

图 9 描述了一种由本发明的示例性实施例使用的存储器结构，该存储器结构带有级联的存储模块和单向总线；

图 10 是一幅由本发明的示例性实施例使用的一种 276 根引脚的带缓冲的存储模块 (DIMM) 的正视图；

图 11 是一幅由本发明的示例性实施例使用的一种多模式缓冲装置的高级逻辑流程的框图；

图 12 是一个包括示例性缓冲装置的典型应用和操作模式的表；

图 13 是一幅可由本发明的示例性实施例使用的以多模式缓冲装置制造的带缓冲的 DIMM 的简化框图；

图 14 是一幅可由本发明的示例性实施例使用的以多模式缓冲装置制造的带缓冲的 DIMM 的简化框图；

图 15 (包括图 15a 和图 15b) 是一个表，该表说明了一种根据本发明的进一步实施例的、图 10 的示例性 276 根引脚的 DIMM 的功能引脚布局。

具体实施方式

本发明的示例性实施例提供了一种灵活、高速和高可靠性的存储系统体系结构和互连结构，该结构包括在任何两个高速互连接口之间的单端、点到点互连。根据希望的属性例如可靠性、性能、密度、空间、成本、元件重用和其他因素，该存储子系统可在若干结构之一中实现。一总线到总线转换器芯片通过包括多种可选的存储器接口模式而允许这种灵活性。这最大化了系统设计者在为每次安装定义最佳解决方案时的灵活性，并同时通过使用通用装置最小化了产品开发成本以及最大化了规模经济效果。此

外，本发明的示范性实施例提供了一条迁移路径，该迁移路径允许一安装从一通用缓冲装置实现带缓冲的存储模块和无缓冲的和/或带寄存器的存储模块的混合。

存储子系统可利用缓冲装置以支持带缓冲的存储模块（通过具有增强的可靠性特征的封包化的、多传输的接口直接连接到存储控制器）和/或现有的无缓冲的或带寄存器的存储模块（与一等效总线上的相同的缓冲装置一起，该缓冲装置被编程为以与为这些模块类型定义的存储器接口相一致的方式操作）。存储子系统可以用一种速度与带缓冲的存储模块通信，并用另一种速度（典型地用较慢的速度）与无缓冲的和带寄存器的存储模块通信。维持了与带缓冲的模块结构相关的许多属性，包括增强的高速总线错误检测和校正特征以及存储器级联功能。然而，当与大多数带寄存器的和无缓冲的 DIMM 通信时，由于与它们相关的网拓扑（net topology）和负载，整体性能可能会降低。

图 8 示出一种级联存储结构，当带缓冲的存储模块 806（例如，缓冲装置包含在存储模块 806 中）与缓冲控制器 802 通信时，本发明的示范性实施例可使用该结构。此存储结构包括一存储控制器 802，该存储控制器经由一高速点到点总线 804 与一个或多个存储模块 806 通信。图 8 中所示的示范性实施例中的每个总线 804 包括大约 50 条用于传送地址、命令、数据和时钟的高速线。通过使用上述现有技术中所述的点到点总线，可能优化该总线设计以便可显著地提高数据传输率，以及通过在多个周期上传送数据来降低总线引脚数。图 4 示出这样一种存储子系统，其中任何一条将存储控制器与一个总线转换器相连接的总线上的数据传输率（例如达每个引脚 1066 Mb/s）与任何一条在该总线转换器与一个或多个存储模块之间的总线上的数据传输率（例如达每个引脚 533 Mb/s）的比率是 2:1，而如图 8 所示的本发明的示范性实施例提供了 4:1 的总线速度比率，以最大化总线效率并最小化引脚数。

尽管点到点互连允许较高的数据传输率，但是必须通过使每个通道保持合理数量的存储模块 806 和存储器件（历史上为每个通道 4 个存储模块，

每个存储模块具有 4 到 36 个芯片，但是最高为每个通道 8 个存储模块，最低为每个通道一个存储模块）来使整个存储子系统具有效率。使用点到点总线要求在每个存储模块上必须有一总线再驱动功能，以便存储模块可级联，从而每个存储模块与其他存储模块以及存储控制器 802 互连。

图 9 示出本发明的示例性实施例利用的具有级联存储模块和单向总线的存储器结构，其中所有的存储模块 806 是带缓冲的存储模块 806。由该级联结构中的存储模块 806 提供的功能之一是将存储总线上的信号再驱动到其他存储模块 806 或存储控制器 802 上的再驱动功能。图 9 包括一个存储控制器 802 和在两条存储总线（下行存储总线 904 和上行存储总线 902）的每一个上的以直接或级联方式连接到存储控制器 802 的 4 个存储模块 806a、806b、806c 和 806d。存储模块 806a 以直接方式与存储控制器 802 连接。存储模块 806b、806c 和 806d 以级联方式与控制器 802 连接。

本发明的一示例性实施例包括位于存储控制器 802 和存储模块 806a（“DIMM #1”）之间以及位于级联存储器结构中的每个相继的存储模块 806b-d（“DIMM #2”、“DIMM #3”和“DIMM #4”）之间的两条单向总线。下行存储总线 904 包含 22 个单端信号和一差分时钟对。下行存储总线 904 用于从存储控制器 802 将地址、控制、数据和误码校正（ECC）位在几个时钟周期上下行传送给在该级联存储通道中安装的一个或多个存储模块 806。上行存储总线 902 包含 23 个单端信号和一差分时钟对，并用于从源存储模块 806 将总线级数据和 ECC 位上行传送给存储控制器 802。使用此存储器结构，以及在 DRAM 数据传输率（例如，每个引脚 400 到 800 Mb/s）和单向存储总线数据传输率（例如，每个引脚 1.6 到 3.2 Gb/s）之间的 4:1 数据传输率倍增，可将每个存储通道的存储控制器 802 信号引脚数从大约 120 个引脚减小到大约 50 个引脚。

图 10 描述了由本发明的示例性实施例使用的带缓冲的存储模块 806 的正视图 1006 和后视图 1008。在本发明的示例性实施例中，每个存储模块 806 包括一个尺寸大约为 6 英寸长、1.5 英寸高的空卡，其具有 18 个 DRAM 位置、一多模式缓冲装置 1002、以及本领域中已知但未显示出的

众多小元件（例如，电容、电阻、EEPROM）。在本发明的一示例性实施例中，卡的尺寸是 5.97 英寸长、1.2 英寸高。在本发明的一示例性实施例中，多模式缓冲装置 1002 位于存储模块 806 前面的中心区域，如图 10 的正视图 1006 中所描述的。同步 DRAM (SDRAM) 1004 位于多模式缓冲装置 1002 的任一侧，以及位于存储模块 806 的背面，如图 10 的后视图 1008 中所描述的。可以利用该配置以便于到多模式缓冲装置 1002 的高速接线以及使信号从缓冲装置到 SDRAM 1004。

DRAM 封装外形是高/窄的（即矩形的）DRAM 封装和短/宽的（即近似方形的）DRAM 封装的结合。经过这样配置后，单个卡设计可适应或“高”或“宽”的 DRAM 器件/封装组合，从而与过去的和预测的装置趋势相一致。此外，缓冲装置 1002 在形状上是矩形，从而允许在高速封装互连和 DIMM 接头引脚之间的最小距离，以及减少当使用最优的接地基准结构时高速信号在封装中为到达可用的高速引脚而必须传播的距离。

同样如图 10 所示，特别地将定位键 810（槽口）的位置从卡 808 的长度 l 的中点偏移（相对于先前各代的模型），以便确保 DIMM 无法完全插入到意在用于不同模块类型的连接器中。另外，定位键的位置也防止了反向插入 DIMM，并考虑到了对终端用户正确插入 DIMM 的视觉辅助。在所说明的范例中，定位键 810 位于引脚 80/218 和 81/219 之间。如此，沿着卡 808 的长度 l 的距离 d_1 大于距离 d_2 。

图 11 是一幅由本发明的示例性实施例使用的一种多模式缓冲装置 1002 的高级逻辑流程的框图。多模式缓冲装置 1002 可如前所述位于存储模块 806 上和/或位于系统板或卡上以便与无缓冲的和带寄存器的存储模块通信。在图的左下和右下部分中的框（1124、1128、1130、1134）与接收或驱动高速总线 804 相关联。“上行”是指总线 902 在存储控制器 802 的方向上传送信息，而“下行”是指总线 904 在离开存储控制器 802 的方向上传送信息。

参照图 11，将来自上游存储组件（即存储模块 806）或存储控制器 802 的数据、命令、地址、ECC 和时钟信号从下行存储总线 904 接收到接收器

组件 1124。接收器功能块 1124 向下行存储总线 904 提供宏和支持逻辑，并且在本发明的一示例性实施例中支持一 22 位、高速、从属接收器总线。接收器功能块 1124 将时钟信号传送给一时钟逻辑和分配功能块 1118（例如，以产生 4:1 时钟信号）。时钟逻辑和分配功能块 1118 还接收来自遍布和杂项信号 1110 的数据输入。这些信号通常包括用于时钟分配 PLL 的控制和建立信息、用于 BIST（内置的自检测）模式的检测输入、可编程时间设置等。接收器功能块 1124 将数据、命令、ECC 和地址信号传送给总线备用逻辑块 1126，以在从前面的存储组件传送期间使用备用线的情况下，当可应用时，重新设置数据的位设置。在本发明的示例性实施例中，总线备用逻辑块 1126 由多路复用器实现以在需要时移动信号位置。接下来，将原信号或重新排序的信号输入另一个总线备用逻辑块 1136，以在必要时修改或重新排序信号位置，以考虑可能存在于当前的存储组件和下游存储组件之间的任何有缺陷的互连。然后，将该原信号或重新排序的信号输入到驱动器功能块 1128，以便经由下行存储总线 904 将该信号传送给链中的下一个存储模块 806。在本发明的示例性实施例中，使用多路复用器来实现总线备用逻辑 1136。驱动器功能块 1128 为下行存储总线 904 提供宏和支持逻辑，并且在本发明的一示例性实施例中，支持一 22 位、高速、低等待时间的级联总线驱动器。

除了将原信号或重新排序的信号输入总线备用逻辑 1136 之外，总线备用逻辑 1126 还将原信号或重新排序的信号输入下行总线 ECC 功能块 1120，以对帧进行错误检测和校正。下行总线 ECC 功能块 1120 作用于从下行存储总线 904 通过多模式缓冲装置 1002 接收或传递的任何信息，以判定是否存在总线错误。下行总线 ECC 功能块 1120 分析总线信号，以判定它们是否有效。接下来，下行总线 ECC 功能块 1120 将已校正的信号传送给命令状态机 1114。命令状态机 1114 将与命令译码或冲突相关联的错误标志输入到遍布和杂项功能块 1110。下游和上游模块也将错误标志和/或错误数据（如果有的话）呈现给该遍布和杂项功能块 1110，以能够将这些错误报告给存储控制器、处理器、服务处理器或其他错误管理部件。

参照图 11, 该遍布和杂项功能块 1110 将错误标志和/或错误数据传送给存储控制器 802。通过从此链中的每个存储模块 806 收集错误标志和/或错误数据, 存储控制器 802 将能够识别故障段, 而不必启动进一步诊断, 即使在本设计的一些实施例中可进行其他的诊断。另外, 一旦达到故障数量或故障类型的安装选择的阈值(例如 1、2、10 或 20), 则通常响应于来自存储控制器 802 的输入, 遍布和杂项功能块 1110 可用备用线替代故障段。在本发明的一示例性实施例中, 为每组 4 个传送进行错误检测和校正, 从而允许在接收到构成一帧的 8 个传送的一半之后译码和启动操作。对来自下行存储总线 904 的通过存储模块 806 的所有信号进行错误检测和校正, 而不管这些信号是将被特定的存储模块 806 处理。下行总线 ECC 功能块 1120 将来自已校正信号的数据位输入到写数据缓冲器 1112。

命令状态机 1114 还判定这些已校正信号(包括数据、命令和地址信号)是否指向存储模块 806 并应当由其处理。如果已校正信号指向存储模块 806, 则命令状态机 1114 确定采取什么行动, 并且可启动 DRAM 行动、写缓冲器行动、读缓冲器行动或它们的组合。根据存储模块 806 的类型(带缓冲的、无缓冲的、带寄存器的), 命令状态机 1114 选择合适的驱动特性、定时和定时关系。与 DRAM 规范一致地, 写数据缓冲器 1112 将数据信号传送给存储数据接口 1106, 而命令状态机 1114 将相关联的地址和命令信号传送给存储命令接口 1108。存储数据接口 1106 从存储器件读取存储数据 1142, 并将存储数据写入存储器件。

在存储模块 806 执行一命令例如读命令之后, 与存储器件“读”定时一致地, 要传送给存储控制器 802 的数据信号可临时存储在读数据缓冲器 1116 内。读数据缓冲器 1116 将读数据传送到上行总线 ECC 功能块 1122 中。上行总线 ECC 功能块 1122 为读数据缓冲器 1116 中的信号生成校验位。这些校验位和来自读数据缓冲器 1116 的信号被输入到上行数据多路复用功能块 1132。该上行数据多路复用功能块 1132 通过总线备用逻辑 1138 和驱动器功能块 1130 将数据合并到上行存储总线 902 上。如果需要的话, 总线备用逻辑 1138 可重定向这些信号以考虑当前的存储模块 806 和上游接

收模块（或存储控制器）之间的有缺陷的段。驱动器功能块 1130 经由上行存储总线 902 将原信号或重新排序的信号传送给链中的下一个存储组件（即存储模块 806）或存储控制器 802。在本发明的一示例性实施例中，使用多路复用器实现总线备用逻辑 1138 以将信号移位。驱动器功能块 1130 为上行存储总线 902 提供宏和支持逻辑，并且在本发明的一示例性实施例中支持一 23 位、高速、低等待时间的级联驱动器总线。

上行存储总线 902 中的数据、时钟和 ECC 信号还被任何上游存储模块 806 中的任何上游多模式缓冲装置 1002 接收。这些信号需要被上行传递到达下一个存储模块 806 或存储控制器 802。参照图 11，来自下游存储组件（即，存储组件 806）的数据、ECC 和时钟信号在上行存储总线 902 上被接收到接收器功能块 1134 中。接收器功能块 1134 为上行存储总线 902 提供宏和支持逻辑，并且在本发明的一示例性实施例中支持一 23 位、高速、从属接收器总线。接收器功能块 1134 将数据和 ECC 信号通过总线备用功能块 1140 传递到上行数据多路复用功能块 1132，并然后传递到总线备用逻辑块 1138。信号经由驱动器功能块 1130 传送给上行存储总线 902。

除了将数据和 ECC 信号传递到上行数据多路复用功能块 1132 之外，总线备用功能块 1140 还将原始的或重新排序的数据和 ECC 信号输入到上行总线 ECC 功能块 1122，以对帧进行错误检测和校正。上行总线 ECC 功能块 1122 在从多模式缓冲装置 1002 接收或通过的来自上行存储总线 902 任何信息上进行操作，以判定是否存在总线错误。上行总线 ECC 功能块 1122 分析该数据和 ECC 信号，以判定该数据是否有效。接下来，上行总线 ECC 功能块 1122 将任何错误标志和/或错误数据传送给遍布和杂项功能块 1110，以便传送给存储控制器 802。另外，一旦达到预先确定的故障数量或类型的阈值，则通常响应于存储控制器 802 的指示，遍布和杂项功能块 1110 可用备用段替代故障段。

图 11 中的框图是可以由本发明的示例性实施例使用的多模式缓冲装置 1002 的一种实现。在无需违背本发明的范围的情况下其他的实现也是可能的。

图 12 是一个包括示例性缓冲装置的典型应用和操作模式的表。描述了三类缓冲模式 1208: 带缓冲的 DIMM 1202; 带寄存器的 DIMM 1204; 以及无缓冲的 DIMM 1206。从存储器命令接口 1108 输出的“a”和“b”总线能够根据应用被逻辑地配置以在一种或多种所述模式下操作。所述表包括: 列(rank)栏 1210, 其包含每个 DIMM 的列数; 片选(CS)栏, 其包含所用的缓冲器 CS 输出数以及每个 CS 的负载; 时钟栏 1214, 其包含所用的缓冲器时钟对数以及每个时钟对的负载; 以及杂项栏 1216, 其包含接线拓扑信息。负载指到存储模块 806 上的 DRAM、寄存器、缓冲器、PLL 或适当装置的接收器输入。

如图 12 所示, 带缓冲的 DIMM 实现支持每列最多 9 个存储器件, 其中每个设备具有一 8 位的接口(共 72 位)。如果在给定的由各当前千兆位装置所构成的模块上所有的 8 个列都被插装, 则该模块的总存储密度将是 8 千兆字节。如由 CS 栏 1212 (CS 通常被用于 DIMM 上作为一列选择, 以激活该列内的所有存储器件)和时钟栏 1214 内的表项目所表明的, 变化的负载和网结构需要不同的用于多模式缓冲装置 1002 的驱动器特性(如, 驱动强度)。此外, 由于带寄存器的 DIMM 通常在所有通过该 DIMM 上的寄存器的输入(地址和命令输入)上增加一个单时钟延迟, 多模式缓冲装置 1002 需要通过确保准确的地址和命令对数据的定时来适应所述的额外的时钟时延。更进一步地, 无缓冲的 DIMM 以及高负载的带缓冲的 DIMM 的应用, 由于在地址和某些命令行(例如, 行地址选通(RAS)、列地址选通(CAS)和写使能(WE))上的高负载, 经常需要双转换(2T)寻址。在后一种情况下, 缓冲器进行如此操作以允许这些输出两个时钟周期, 以便在将 CS 引脚驱动到低电平以捕捉这些 DRAM 输入并启动新的动作之前达到并维持有效的电平。

图 12 中的术语“网拓扑”指两个或更多个装置之间的接线互连结构的绘图和/或文本描述。“飞越拓扑”(fly-by-topology)是这样一种接线互连结构, 在该结构中源(驱动器)连接到沿着导线的长相连的两个或多个装置, 该导线通常终止于最远端, 其中沿着导线的装置在基于通过导线的

飞行时间和离开源的距离的时间接收到来自源的信号。“T”网拓扑是这样一种接线互连结构，该结构包括一个通过一条出现分支或拆分的导线连接到两个或更多个装置的源（驱动器）。每个分支或拆分意在包含近似的导线长度和负载。一般说来，单个导线将在单个分支点处拆分成两个分支，并且每个分支包含近似的线长度和负载。被接线到单个寄存器或时钟的输入通常被认为是点到点的。被接线到多个寄存器或 PLL 的输入通常被接线到“T”网结构内，以使每个接收器大致同时地接收具有近似的波形的输入。以上定义的“T”网典型地不是终端端接的（end-terminated），而是通常包括在分支点之前的导线部分中的串联的电阻端接。

图 13 是一幅可由本发明的示例性实施例使用的带有多模式缓冲装置 1002 的带缓冲的 DIMM 存储模块的简化框图。它提供了这样的网结构和负载的一个示例，所述的网结构和负载与按照图 12 的表中的信息用 18 个 DDR2 八位存储器件产生的两列带缓冲的 DIMM 相关联。将 CS 和时钟信号接线到飞越结构中，图中所示的从干线导线到每个存储器件的线显得较长，这仅仅是为了简化该图。飞越网的终端端接并未显示，但其包括在该示例性实施例中。

图 14 是一幅可由本发明的示例性实施例使用的用多模式缓冲装置 1002 产生的带缓冲的 DIMM 存储模块 806 的简化框图。它提供了这样的网结构和负载的一个示例，所述网结构和负载与按照图 12 的表中的信息用 8 位存储器件产生的 8 列带缓冲的 DIMM 存储模块 806 相关联。在本示例中，每个 CS 输出控制 9 个存储器件（72 位），而图 13 中每个 CS 控制 4 个或 5 个存储器件（32 到 40 位）。

最后，图 15 是一个表，该表说明了根据本发明的进一步实施例的、图 10 的示例性性 276 根引脚的 DIMM 的功能引脚布局。除了布局 and 每个引脚到销的大致距离（毫米）之外，图 15 也提供了对每个引脚的功能描述，包括那些用作冗余引脚的引脚和用于特殊控制功能的引脚。在图 15 中，使用后缀“_r”标明了用作冗余引脚的引脚。如前所述，标明的引脚 1-138 在 DIMM 的前侧从左到右排列，同时当观察 DIMM 的前侧时，引脚 139

- 276 位于引脚 1 - 138 的后面。

在一示例性实施例中，每个冗余引脚位于各自的主功能引脚之后，对于该主功能引脚，该冗余引脚是冗余的。例如，冗余服务引脚 serv_ifc(1)_r 和 serv_ifc(2)_r（引脚 142、143）分别直接位于服务引脚 serv_ifc(1) 和 serv_ifc(2)（引脚 4、5）之后。以这种方式，DIMM 可以抵抗单点故障存储器停运（例如，假设 DIMM 向一侧或另一侧弯曲或翘起）。

在 276 根引脚的布局内包括的各种功能中有一对连续性引脚（1，138）和范围触发引脚（3，141）。如将通过考察与传统布局中的引脚排列（在传统布局中每组执行相似功能的引脚位于 DIMM 的相同部分）相对的图 15 的引脚分配表认识到的，本实施例使用了创新性的布置，其中，中心区域用于 4 条高速总线中的两条（s3_us，输出：DIMM 到上游 DIMM 或到存储控制器），以及（ds_s3，DIMM 到上游 DIMM（输入））。将另外两条高速总线每个拆分成两半，其中带有用于每条总线的信号的大致一半的、每条总线的一半（us_s3，控制器或 DIMM 到 DIMM（输入），以及 s3_ds，DIMM 到下游 DIMM（输出）），被布置在中心区域引脚位置的某一端。由于缓冲装置放置在靠近模块中心的位置，可以减少用于在中心和外部区域中的每个引脚的接线长度的变化。

如也可以从图 15 中注意到的，该引脚布局提供了在第一电压电平（如，1.8 伏特）和第二电压电平（如，1.2 伏特，如引脚 75、213、79、217 处所示）上的功率。以这种方式，系统的逻辑部分可独立于为系统的主存储器部分加电和/或在为系统的主存储器部分加电之前进行操作，从而提供额外的系统存储器使用灵活性和/或功率节约。

如上所述，本发明的实施例可体现为计算机实现的过程和用于实现这些过程的装置的形式。本发明的实施例还可体现为包括指令的计算机程序代码的形式，这些指令包含在有形的介质例如软盘、CD-ROM、硬盘驱动器或任何其他计算机可读存储介质中，其中，当该计算机程序代码加载到计算机中并被计算机执行时，该计算机变为用于实现本发明的装置。本发明还可体现为这样的计算机程序代码的形式，即例如存储在一存储介质

中，加载到计算机中和/或被计算机执行，或在一些传送介质上传递例如在电线或电缆上传递，通过光纤或经由电磁辐射传递，其中，当该计算机程序代码加载到计算机中并被计算机执行时，该计算机变为用于实现本发明的装置。当实现于通用微处理器上时，计算机程序代码段配置该微处理器以创建特定的逻辑电路。

尽管已参照示例性实施例说明了本发明，但是本技术领域内的技术人员应理解，可进行多种变型或用等效物替代本发明的部件，而不会偏离本发明的范围。另外，可进行多种修改以使特定的环境或材料适应于本发明的教导，而不会偏离本发明的实质范围。因此，本发明并不是要局限于所公开的作为执行本发明的最好方式的特定实施例，而是本发明将包括所有落在所附权利要求的范围内的实施例。此外，术语第一、第二等的使用并不是指示任何顺序或重要性，而是使用术语第一、第二等将一个部件与其他部件区分开。

典型的大系统存储器配置

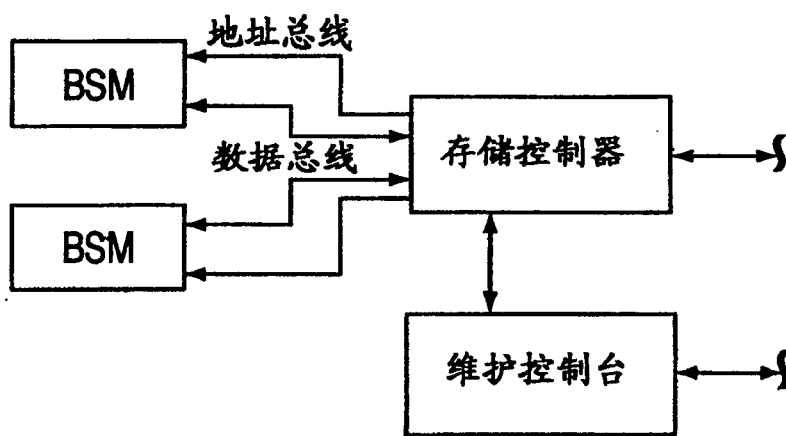


图 1
(现有技术)

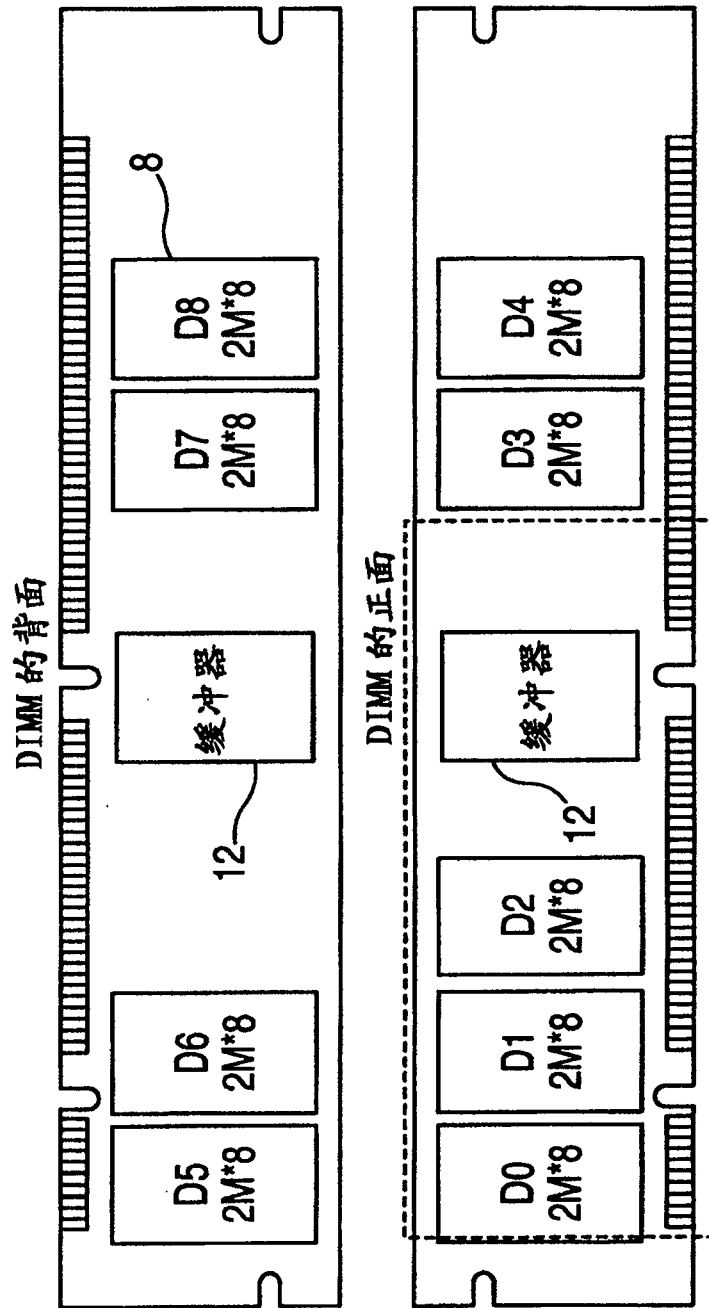


图 2
(现有技术)

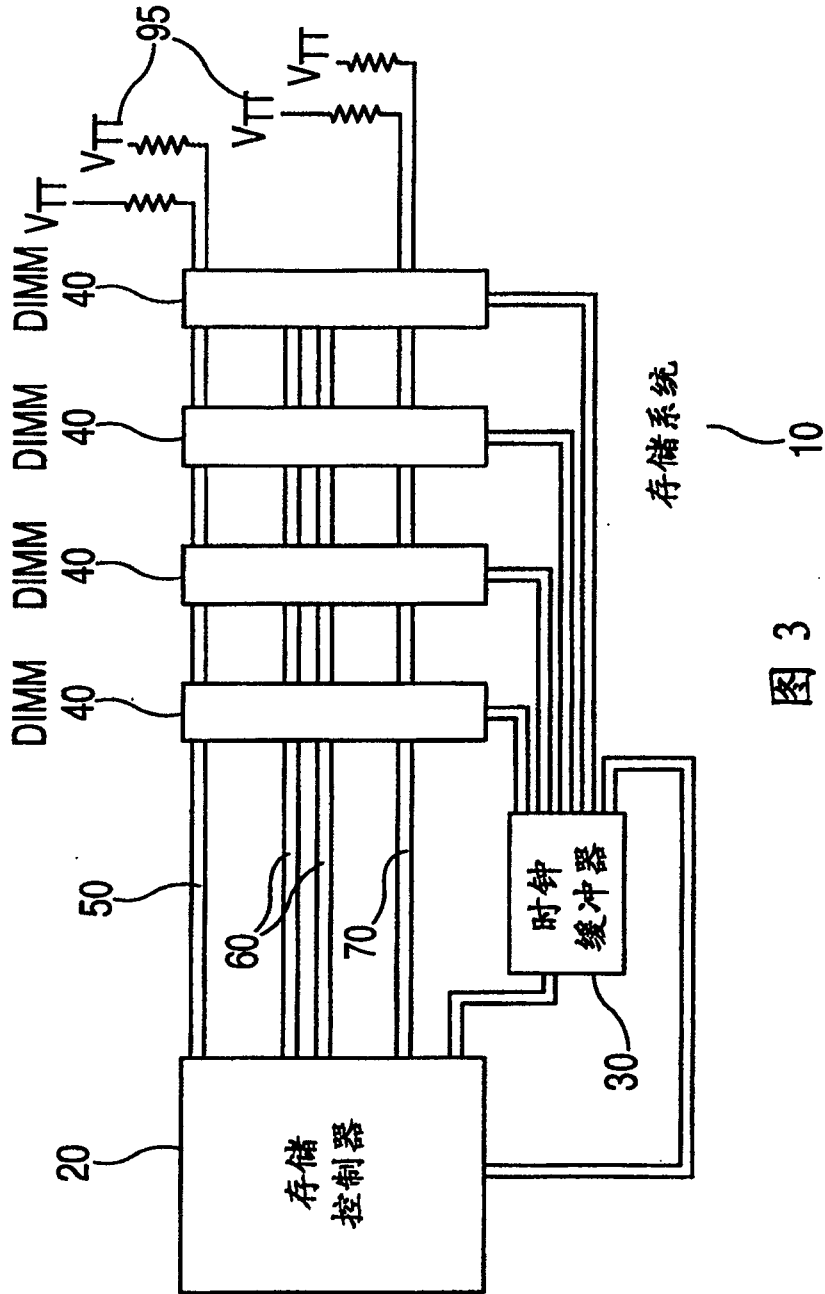


图 3
(现有技术)

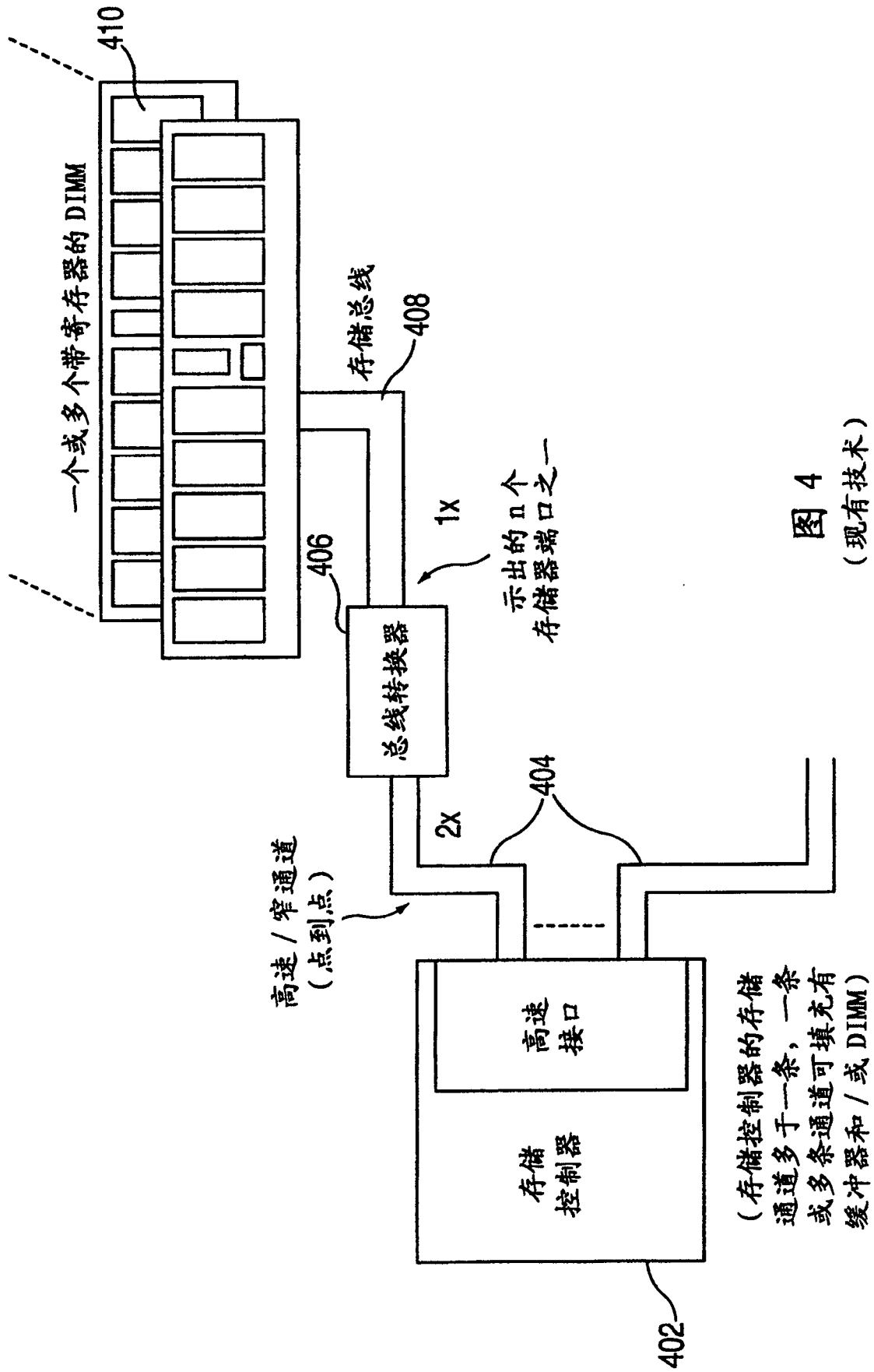


图 4
(现有技术)

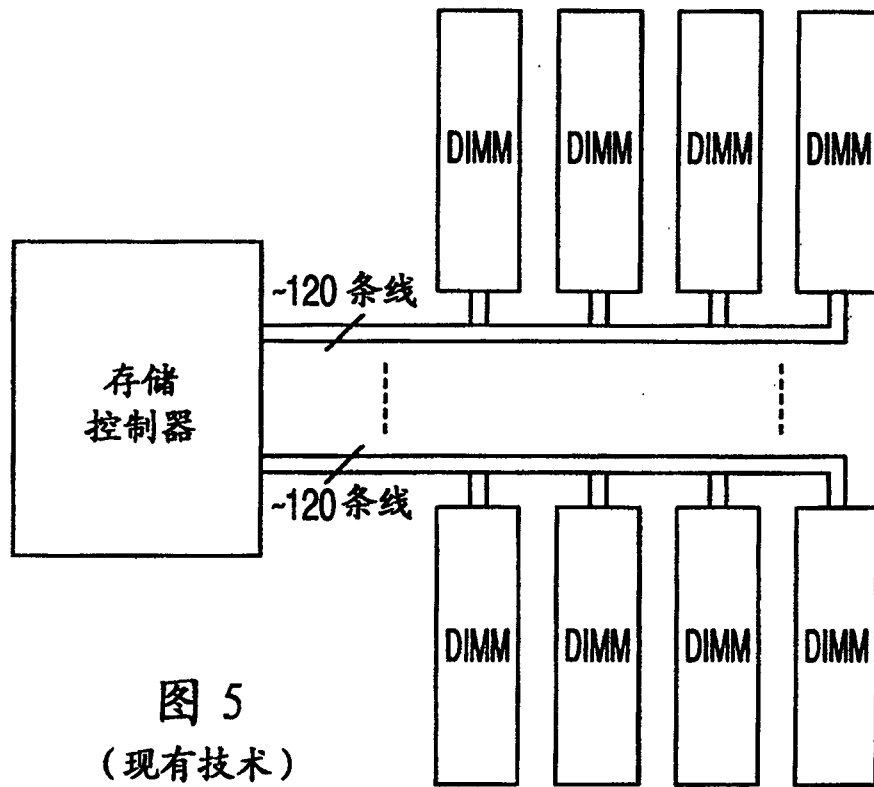


图 5
(现有技术)

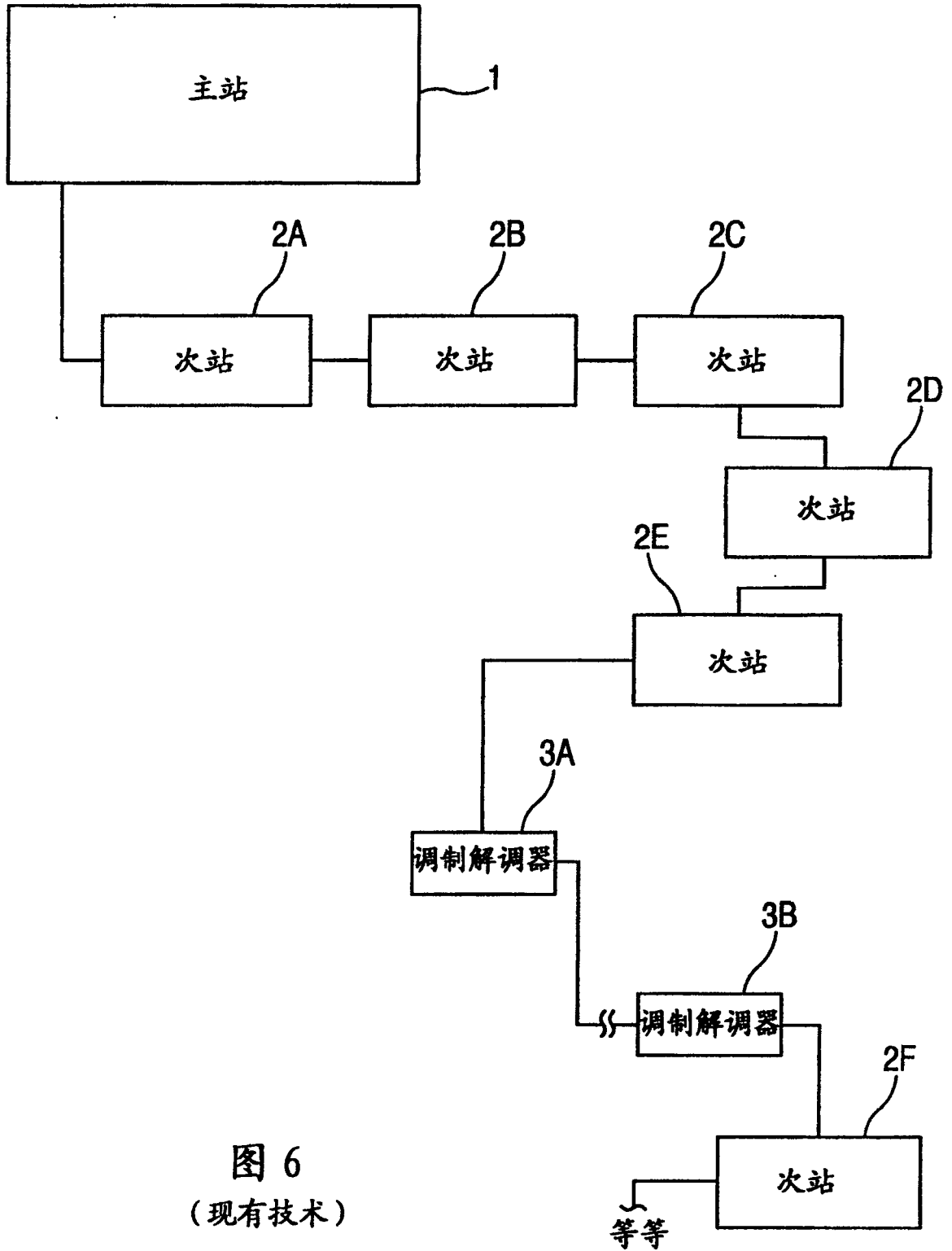


图 6
(现有技术)

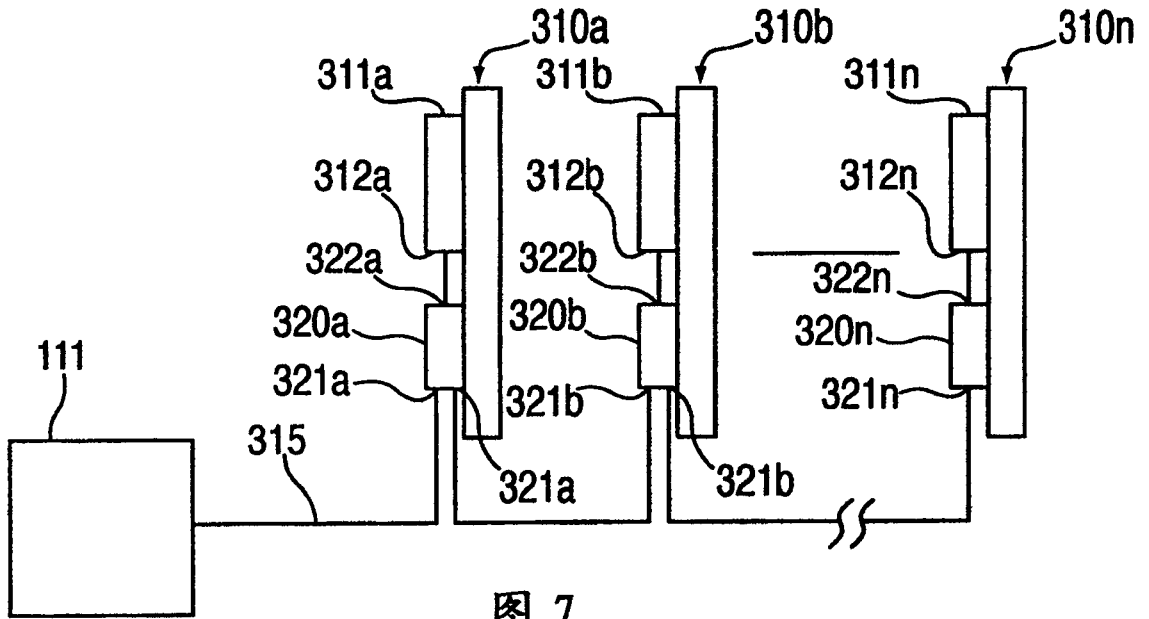


图 7
(现有技术)

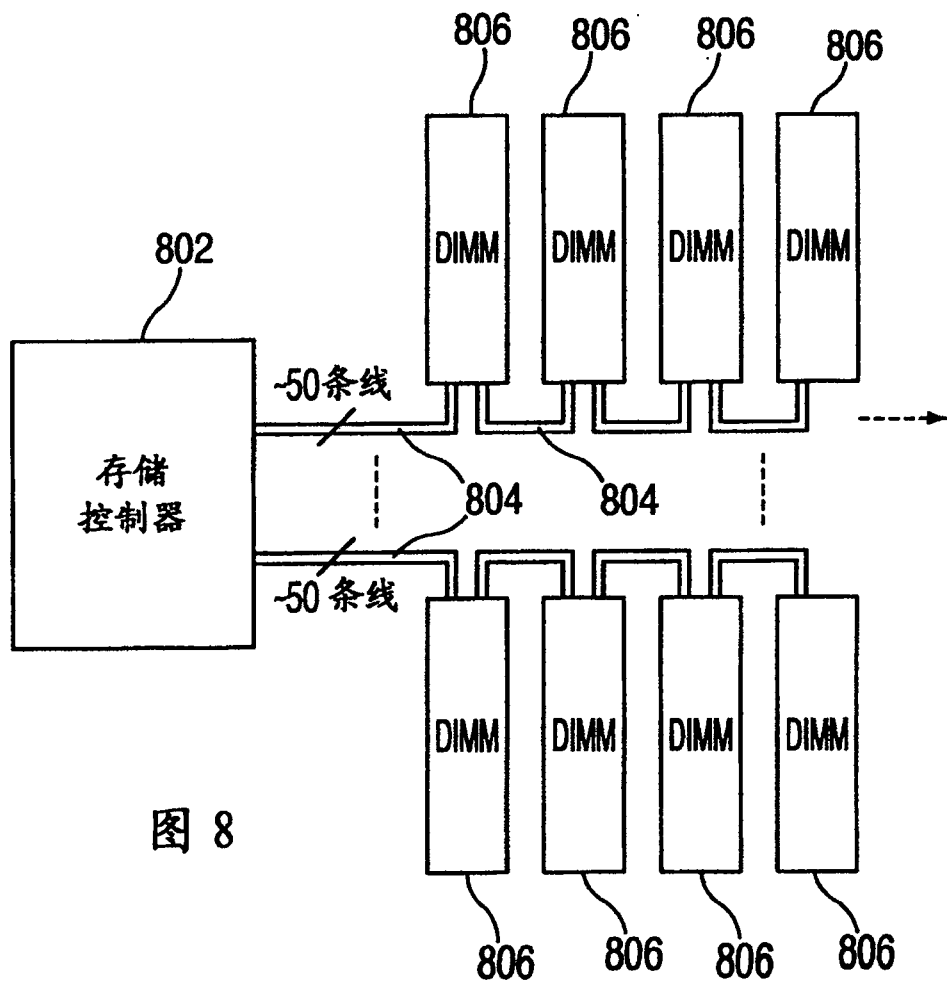


图 8

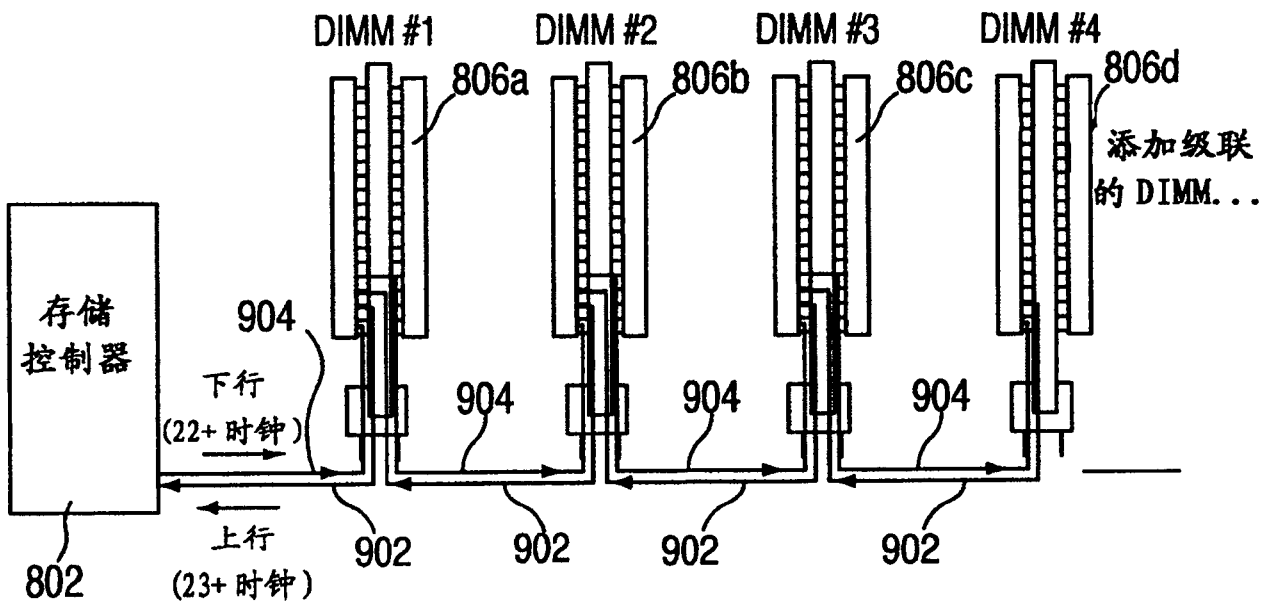


图 9

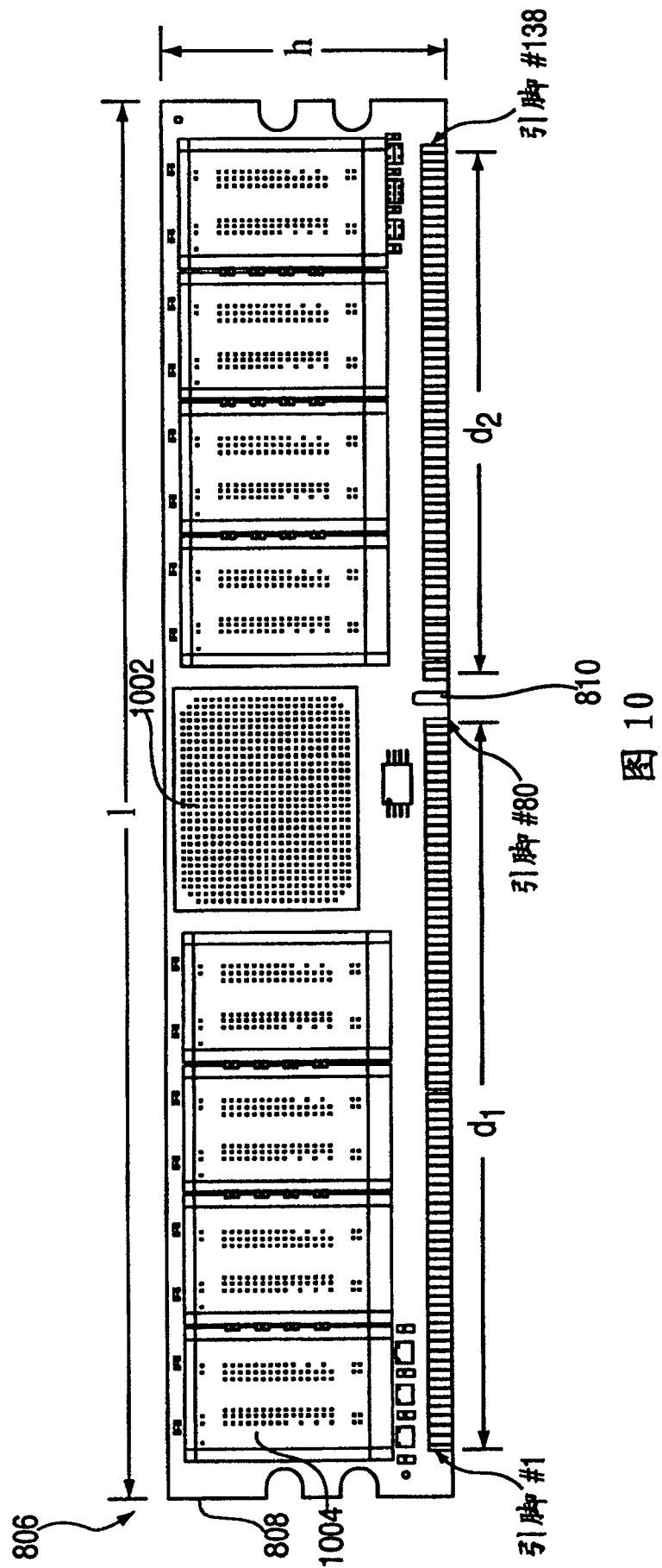


图 10

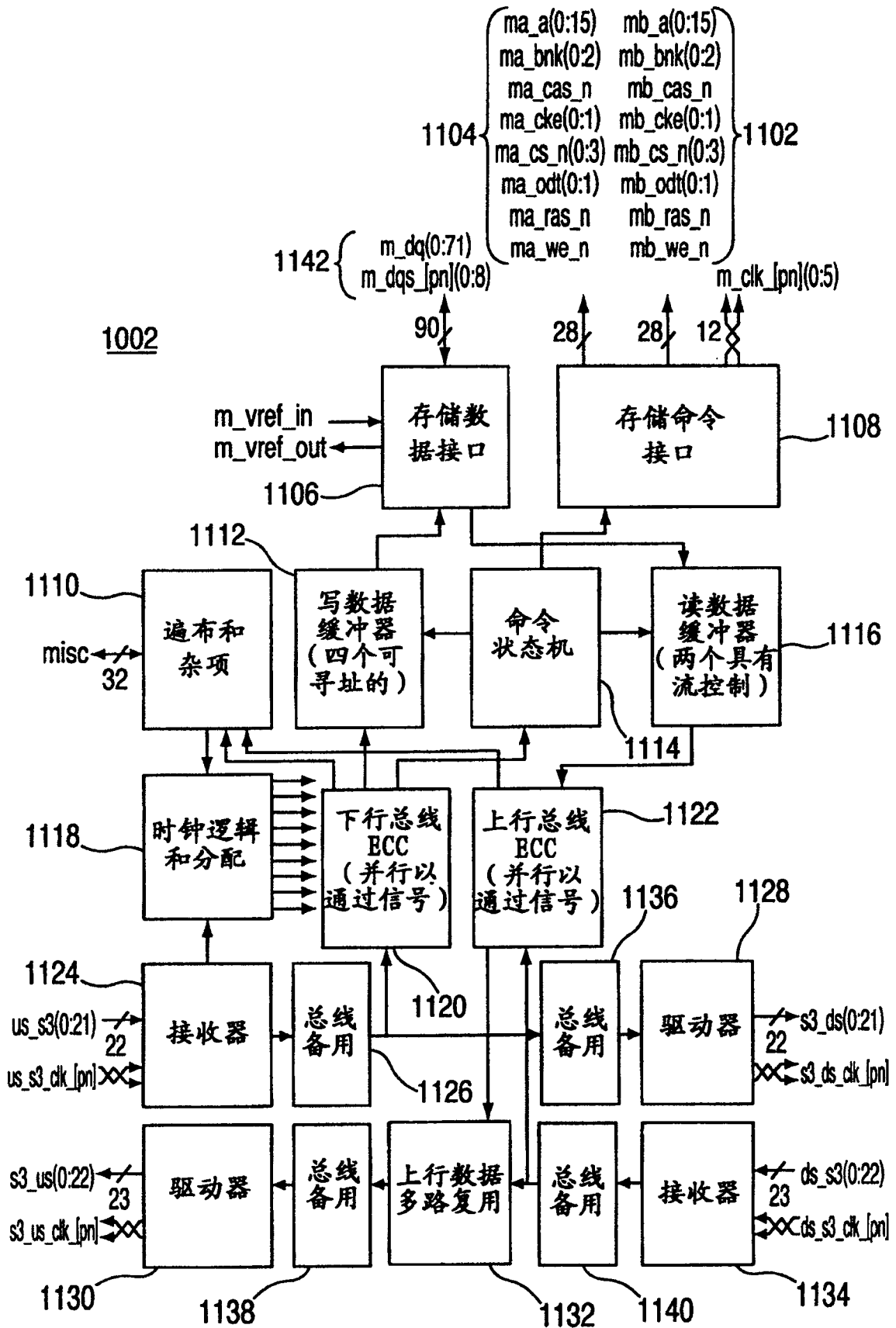


图 11

	1210	1212	1214	1216	
1208	缓冲器模式	每个 DIMM 的存储器列数	所用的缓冲器 CS 输出数 / 每个 CS 的负载	所用的缓冲器时钟对数 / 每个时钟对的负载	杂项
1202	带缓冲的 DIMM	1	2/4-5 负载	2/4-5 负载	'飞越' 拓扑
		2	4/4-5 负载	4/4-5 负载	'飞越' 拓扑
		4	8/4-5 负载	6/6 负载	'飞越' 拓扑
		8	8/9 负载	6/12 负载	'飞越' / "T" 拓扑
1204	带寄存器的 DIMM	1	2/1或2 负载	2/1或2 负载	输入接线到寄存器或 PLL(时钟) 直接连接或点到点
		2	4/1或2 负载	4/1或2 负载	输入接线到寄存器或 PLL(时钟) 直接连接或点到点
1206	无缓冲的 DIMM	1	2/4-9 负载	6/1-3 负载	'T' 网拓扑
		2	2/8-18 负载	6/2-6 负载	'T' 网拓扑

图 12

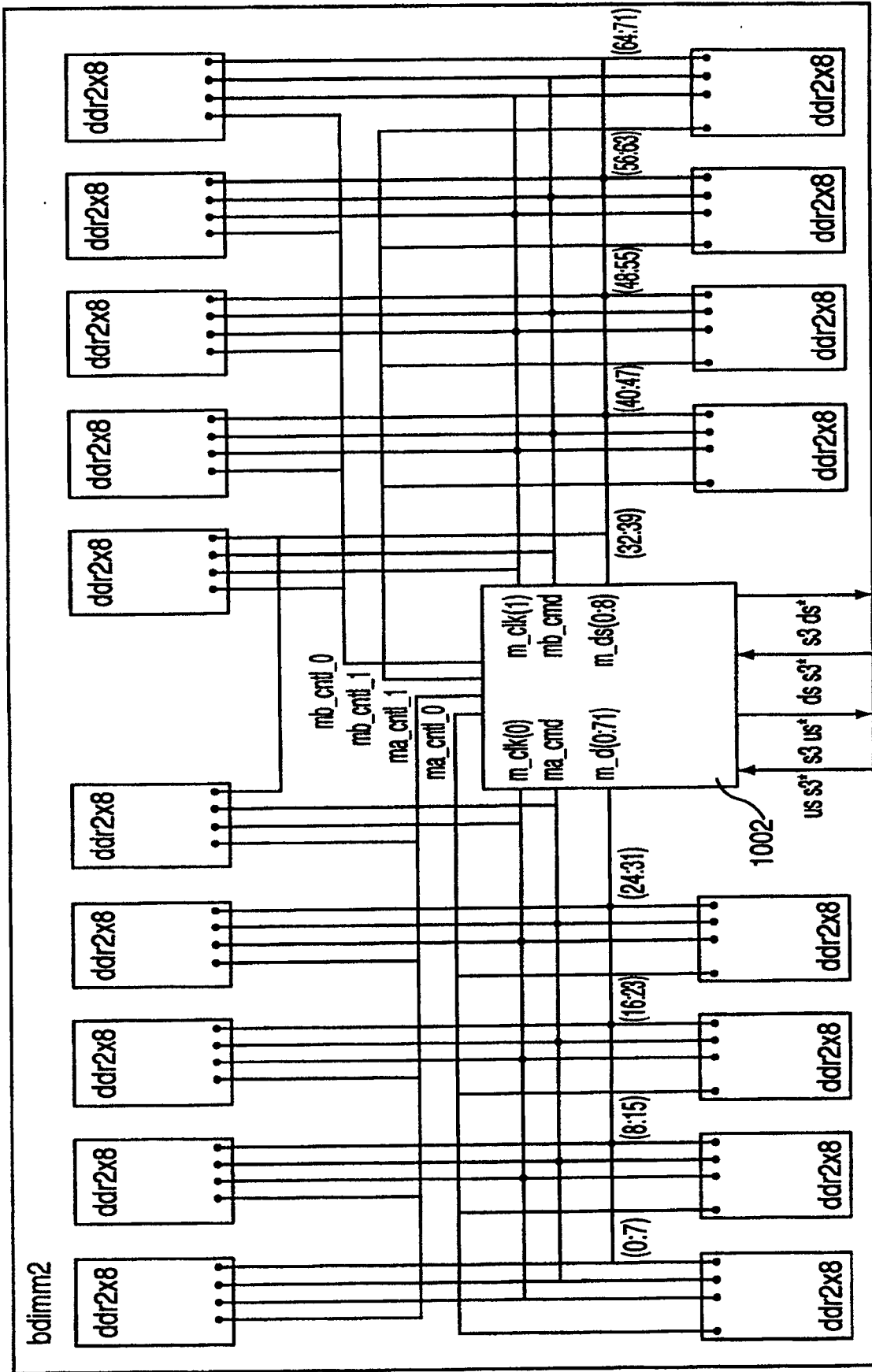


图 13

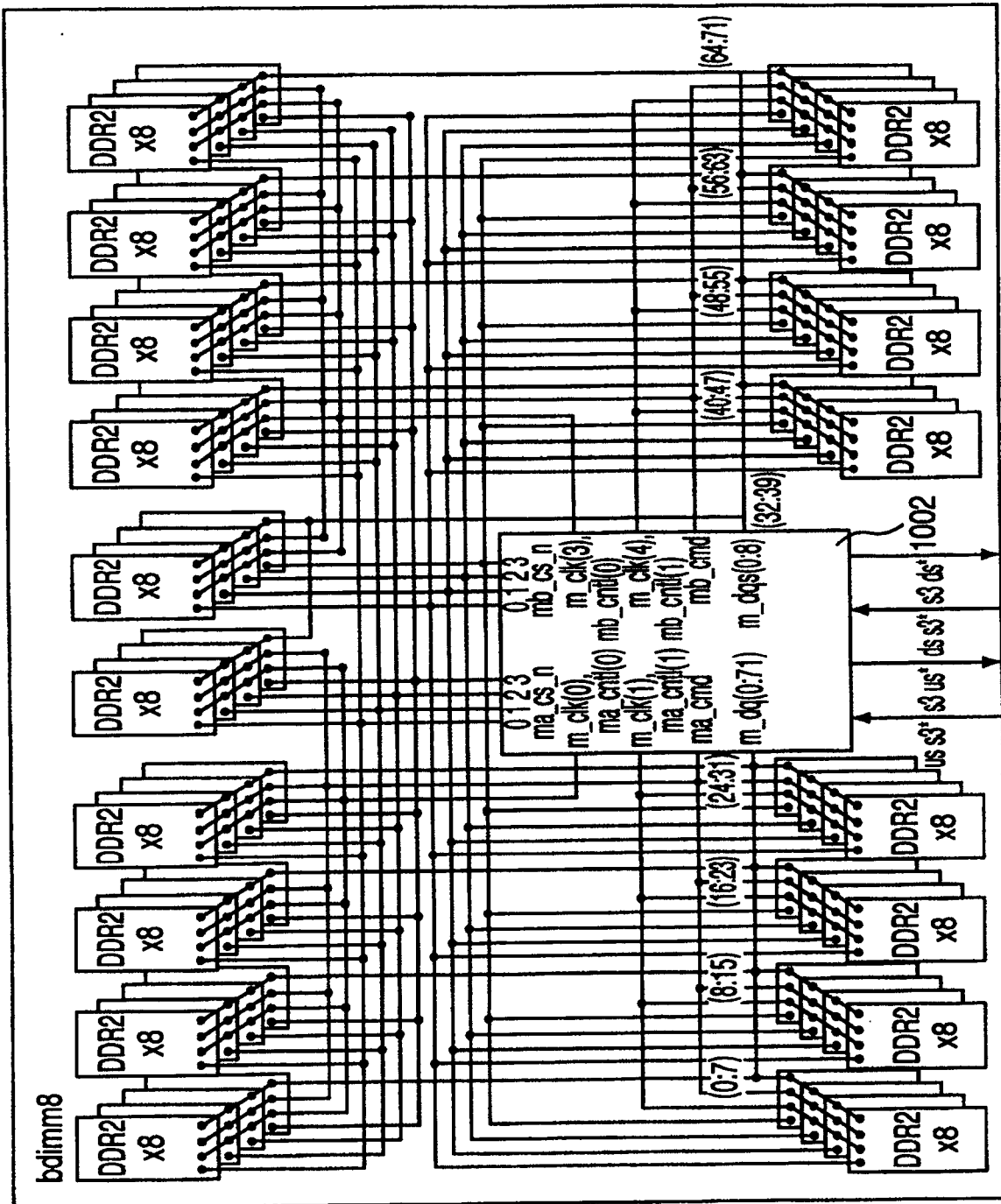


图 14

276根引脚: 带缓冲的DIMM引脚分配

顶部引 脚数字	底部引 脚数字	顶部引 脚功能	底部引 脚功能	到中心槽口 (或键)的距离 槽口的左边或右边	到槽口左边的距离(正视)
1	139	Continuity(0)	GND	81.5	
2	140	VTT	VTT	80.5	
3	141	scope_trigger(0)	scope_trigger(1)	79.5	
4	142	serv_ifc(1)	serv_ifc(1)_r	78.5	
5	143	serv_ifc(2)	serv_ifc(2)_r	77.5	
6	144	rtu0	rtu0_r	76.5	
7	145	rtu1	rtu1_r	75.5	
8	146	GND	GND	74.5	
9	147	1.8V	1.8V	73.5	
10	148	us_s3(0)	s3_ds(0)	72.5	
11	149	us_s3(1)	s3_ds(1)	71.5	
12	150	GND	GND	70.5	
13	151	1.8V	1.8V	69.5	
14	152	us_s3(2)	s3_ds(2)	68.5	
15	153	us_s3(3)	s3_ds(3)	67.5	
16	154	GND	GND	66.5	
17	155	1.8V	1.8V	65.5	
18	156	us_s3(4)	s3_ds(4)	64.5	
19	157	us_s3(5)	s3_ds(5)	63.5	
20	158	GND	GND	62.5	
21	159	1.8V	1.8V	61.5	
22	160	us_s3(6)	s3_ds(6)	60.5	
23	161	us_s3(7)	s3_ds(7)	59.5	
24	162	GND	GND	58.5	
25	163	1.8V	1.8V	57.5	
26	164	us_s3(8)	s3_ds(8)	56.5	
27	165	us_s3(9)	s3_ds(9)	55.5	
28	166	GND	GND	54.5	
29	167	1.8V	1.8V	53.5	
30	168	us_s3(10)	s3_ds(10)	52.5	
31	169	us_s3(11)	s3_ds(11)	51.5	
32	170	GND	GND	50.5	
33	171	1.8V	1.8V	49.5	
34	172	s3_us(0)	ds_s3(0)	48.5	
35	173	s3_us(1)	ds_s3(1)	47.5	
36	174	GND	GND	46.5	
37	175	1.8V	1.8V	45.5	
38	176	s3_us(2)	ds_s3(2)	44.5	
39	177	s3_us(3)	ds_s3(3)	43.5	
40	178	GND	GND	42.5	
41	179	1.8V	1.8V	41.5	
42	180	s3_us(4)	ds_s3(4)	40.5	
43	181	s3_us(5)	ds_s3(5)	39.5	
44	182	GND	GND	38.5	
45	183	1.8V	1.8V	37.5	
46	184	s3_us_clk_n	s3_us_clk_n_r	36.5	
47	185	s3_us_clk_p	s3_us_clk_p_r	35.5	
48	186	us_s3_clk_n	us_s3_clk_n_r	34.5	
49	187	us_s3_clk_p	us_s3_clk_p_r	33.5	
50	188	1.8V	1.8V	32.5	
51	189	GND	GND	31.5	
52	190	s3_us(6)	ds_s3(6)	30.5	
53	191	s3_us(7)	ds_s3(7)	29.5	
54	192	1.2V	1.2V	28.5	
55	193	GND	GND	27.5	
56	194	s3_us(8)	ds_s3(8)	26.5	
57	195	s3_us(9)	ds_s3(9)	25.5	
58	196	1.2V	1.2V	24.5	
59	197	GND	GND	23.5	
60	198	serv_ifc(3)	serv_ifc(4)	22.5	
61	199	serv_ifc(5)	serv_ifc(5)_r	21.5	
62	200	serv_ifc(6)	serv_ifc(7)	20.5	
63	201	serv_ifc(8)	serv_ifc(8)_r	19.5	
64	202	1.2V	1.2V	18.5	
65	203	SA0	SA0_r	17.5	
66	204	SA1	SA1_r	16.5	
67	205	SA2	SA2_r	15.5	

图 15a

68	206	vddstby(0)	vddstby(1)	14.5
69	207	PLL_VDDA	PLL_VDDA	13.5
70	208	VDDSPD	VDDSPD	12.5
71	209	serv_ifc(9)	serv_ifc(10)	11.5
72	210	serv_ifc(11)	serv_ifc(11)_r	10.5
73	211	serv_ifc(12)	serv_ifc(12)_r	9.5
74	212	serv_ifc(13)	serv_ifc(14)	8.5
75	213	1.2V	1.2V	7.5
76	214	GND	GND	6.5
77	215	power_rst	power_rst_r	5.5
78	216	s3_us(10)	ds_s3(10)	4.5
79	217	1.2V	1.2V	3.5
80	218	GND	GND	2.5 到槽口左边的距离 (正视)
槽口	槽口			
81	219	s3_us(11)	ds_s3(11)	2.5 到槽口右边的距离 (正视)
82	220	s3_us(12)	ds_s3(12)	3.5
83	221	1.2V	1.2V	4.5
84	222	GND	GND	5.5
85	223	s3_us(13)	ds_s3(13)	6.5
86	224	s3_us(14)	ds_s3(14)	7.5
87	225	1.8V	1.8V	8.5
88	226	GND	GND	9.5
89	227	s3_us(15)	ds_s3(15)	10.5
90	228	s3_us(16)	ds_s3(16)	11.5
91	229	GND	GND	12.5
92	230	1.8V	1.8V	13.5
93	231	s3_us(17)	ds_s3(17)	14.5
94	232	s3_us(18)	ds_s3(18)	15.5
95	233	GND	GND	16.5
96	234	1.8V	1.8V	17.5
97	235	s3_us(19)	ds_s3(19)	18.5
98	236	s3_us(20)	ds_s3(20)	19.5
99	237	GND	GND	20.5
100	238	1.8V	1.8V	21.5
101	239	s3_us(21)	ds_s3(21)	22.5
102	240	s3_us(22)	ds_s3(22)	23.5
103	241	GND	GND	24.5
104	242	1.8V	1.8V	25.5
105	243	us_s3(12)	s3_ds(12)	26.5
106	244	us_s3(13)	s3_ds(13)	27.5
107	245	GND	GND	28.5
108	246	1.8V	1.8V	29.5
109	247	us_s3(14)	s3_ds(14)	30.5
110	248	us_s3(15)	s3_ds(15)	31.5
111	249	GND	GND	32.5
110	250	1.8V	1.8V	33.5
113	251	us_s3_clk_n	us_s3_clk_n_r	34.5
114	252	us_s3_clk_p	us_s3_clk_p_r	35.5
115	253	s3_ds_clk_n	s3_ds_clk_n_r	36.6
116	254	s3_ds_clk_p	s3_ds_clk_p_r	37.5
117	255	GND	GND	38.5
118	256	1.8V	1.8V	39.5
116	257	us_s3(16)	s3_ds(16)	40.5
120	258	us_s3(17)	s3_ds(17)	41.5
121	259	GND	GND	42.5
122	260	1.8V	1.8V	43.5
123	261	us_s3(18)	s3_ds(18)	44.5
124	262	us_s3(19)	s3_ds(19)	45.5
125	263	GND	GND	46.5
126	264	1.8V	1.8V	47.5
127	265	us_s3(20)	s3_ds(20)	48.5
128	266	us_s3(21)	s3_ds(21)	49.5
129	267	GND	GND	50.5
130	268	1.8V	1.8V	51.5
131	269	rfu2	rfu2_r	52.5
132	270	power sns	power sns_r	53.5
133	271	serv_ifc(15)	serv_ifc(15)_r	54.5
134	272	i2c_scl	i2c_scl_r	55.5
135	273	i2c_sda	i2c_sda_r	56.5
136	274	serv_ifc(16)	serv_ifc(17)	57.5
137	275	VTT	VTT	58.5
138	276	Continuity(1)	1.8V	59.5 到槽口右边的距离 (正视)

图 15b