发明名称
具有分段磁性写入线的 MRAM 阵列

摘要
本发明公开了一种磁性随机存取存储器 (MRAM) 阵列以及制造该 MRAM 阵列的方法。该 MRAM 阵列包括磁性存储单元、全局写线、磁性字线、读取位线、选择器件和读取位线。每条磁性字线具有数个段。每个段与全局字线连接，使得每个段可分别选择。每个段还连接到磁性字线的一部分。读取位线通过选择器件与磁性单元连接。写入位线基本上平行于读取位线。优选地，磁性字线包括软磁材料，并通过薄的非磁性层连接到每个磁性存储单元。为了降低全局字线中电流的干扰，全局字线还基本上平行于磁性字线。
1. 一种磁性随机存取存储器阵列，包括：
   多个磁性存储单元；
   多条全局字线；
   多条磁性字线，所述多条磁性字线的每一条包括软磁性材料以及具有多个段，所述多个段的每一条通过段选择器件连接到所述多条全局字线的一条，使得所述多个段的每一条通过段选择器件的其中之一能够分别被选择，所述多个段的每一条连接到所述多个磁性存储单元的至少其中之一；
   多条读取位线，相对于所述多条磁性字线成垂直角度而定向；
   多个选择器件，所述多条读取位线的每一条通过所述多个选择器件的其中之一与所述多个磁性存储单元的其中之一连接；以及
   多条写入位线，平行于所述多条读取位线。

2. 如权利要求1所述的磁性随机存取存储器阵列，其中所述多个磁性存储单元的每一个进一步包括一个磁性隧道结，所述磁性隧道结的每一个包括由绝缘体层所分隔的自由层和钉扎层，自由层与所述多个段的一个段通过非磁性层电接触，其中多个段的每个段连接到两个磁性存储单元。

3. 如权利要求2所述的磁性随机存取存储器阵列，其中所述段通过非磁性层与所述磁性隧道结元件的自由层分隔开，所述非磁性层是导电的非磁性间隔层的。

4. 如权利要求1所述的磁性随机存取存储器阵列，其中所述多条全局字线比所述多条磁性字线具有更低的线电阻。

5. 如权利要求1所述的磁性随机存取存储器阵列，其中所述多条全局字线平行于所述多条磁性字线而定向。

6. 如权利要求1所述的磁性随机存取存储器阵列，其中所述多个选择器件的每个包括一个选择晶体管。

7. 如权利要求1所述的磁性随机存取存储器阵列，其中所述多条读取位线的每个通过二极管连接到所述多个磁性存储单元的一个。

8. 一种利用权利要求1所述的磁性随机存取存储器阵列的方法，包括：
   (a) 在写入模式中，从写入驱动电流电源向所述多条全局字线的至少一条驱动电流；
   (b) 在写入模式中，选择所述多个段的至少一个；
   (c) 在写入模式中，提供第一写入电流通过所述多个段的所述至少一个；以及
   (d) 在写入模式中，提供第二写入电流给多条写入位线；
   其中所述多个磁性存储单元的每一个通过所述多个选择器件中相对应的一个，分别与多条读取位线的其中之一连接，所述多条读取位线相对于所述多条磁性字线成垂直角度而定向。

9. 如权利要求8所述的方法，进一步包括以下步骤：
   (f) 在读取模式中，全局字线接低，读取模式用于读取所述多个磁性存储单元的一部分，所述多个磁性存储单元的所述部分包括多于一个的存储单元；
   (g) 在读取模式中，在所述多条读取位线的一部分中提供读取电流；
   (h) 在读取模式中，激活所述多个选择器件的一部分，从而允许读取电流流经多个磁性存储单元；以及
(i) 在读取模式中，读取在多个读取位线的一部分上的电压，以确定所述多个磁性存储单元的一部分的逻辑内容。

10. 如权利要求 8 所述的方法，其中所述多个磁性存储单元的每个进一步包括一个磁性隧道结，所述磁性隧道结的每一个包括由绝缘体层分隔开的自由层和钉扎层，自由层与所述多个段的一个段通过非磁性层电接触，其中多个段的每个段连接到两个磁性存储单元。

11. 如权利要求 10 所述的方法，其中所述段通过非磁性层与所述磁性隧道结元件的自由层分隔开，所述非磁性层是导电的非磁性间隔层的。

12. 如权利要求 8 所述的方法，其中所述多条全局字线比所述多条磁性字线具有更低的线电阻。

13. 如权利要求 8 所述的方法，其中所述多条全局字线平行于所述多条磁性字线而定向。

14. 如权利要求 8 所述的方法，其中所述多个选择器件的每个包括一个选择晶体管。

15. 如权利要求 8 所述的方法，其中所述多条读取位线的每条通过二极管连接到所述多个磁性存储单元的其中之一。
具有分段磁性写入线的 MRAM 阵列

[0001] 相关申请的交叉引用
[0002] 本申请涉及于 2002 年 12 月 9 日提交的、序列号为 No. 60/431,742 的，标题为“MRAM CELLS WITH MAGNETIC WRITE LINES (具有磁性写入线的 MRAM 单元)”的共同未决的美国专利申请，所述申请已转让给本申请的受让人。

技术领域
[0003] 本发明涉及磁性存储器，更具体地是涉及一种用于提供磁性随机存取存储器（magnetic random access memory, MRAM）的方法和系统，所述 MRAM 优选地是高密度、非易失性的，并具有结合了磁性写入线的结构。

背景技术
[0004] 近来，MRAM 对于非易失性和易失性存储器的潜在应用已经重新激发了人们对薄膜磁性随机存取存储器（MRAM）的兴趣。图 1 显示了传统的 MRAM 的一部分。传统的 MRAM 包括传统的正交导线 10 和 12，传统的磁性存储单元 11 以及传统的晶体管 13。传统的 MRAM 利用传统的磁性隧道结（magnetic tunneling junction, MTJ）堆叠 11 作为存储单元。使用传统的 MTJ 堆叠 11 能够设计具有高集成度、高密度、低读取功率和软错误率（soft error rate, SER）免疫的 MRAM 单元。导线 10 和 12 用于将数据写入磁性存储器 11 中。MTJ 堆叠 11 位于 10 和 12 之间的交叉点。传统的导线 10 和 12 被分别称作传统的字线 10 和传统的位线 12。但是，这些名字是可交换的。也可以使用其它的名字，例如行线、列线、数字线和数据线。

[0005] 传统的 MTJ 11 堆叠主要包括具有可变磁矢量（没有明确显示）的自由层 1104、具有固定磁矢量（没有明确显示）的钉扎层（pinned layer）1102、以及在两个磁性层 1104 和 1102 之间的绝缘体 1103。绝缘体 1103 通常具有足够小的厚度，使得电荷成流子可在磁性层 1102 和 1104 之间隧穿。层 1101 通常是由磁性层和反铁磁层构成的，所述反铁磁层强耦合至钉扎的磁性层。

[0006] 通过对传统的 MTJ 堆叠 11 施加磁场，在传统的 MTJ 堆叠 11 中储存数据。选择施加磁场的方向，以便将自由层 1104 的可变磁矢量移动到所选择的方位。在写入期间，在传统的位线 12 中流动的电流 I1 以及在传统的字线 10 中流动的电流 I2 在自由层 1104 上产生了两个磁场。相应地，电流 I1 和 I2 所产生的磁场，自由层 1104 中的磁矢量被定位在特定的、稳定的方位。此方向取决于电流 I1 和 I2 的方向和幅度以及自由层 1104 的特性和形状。通常，写入零 (0) 要求电流 I1 或 I2 的方向与写入一 (1) 时的方向不同。通常分别是，对准的方位指定为逻辑 1 或 0，而未对准的方位是相反的，即，逻辑 0 或 1。

[0007] 通过对电流从一个磁性层到另一个层通过传统的 MTJ 单元来读取或读出存储的数据。在读取期间，传统的晶体管 13 开启，小的隧穿电流流过传统的 MTJ 单元。测量流过传统的 MTJ 单元 11 的电流量或者传统的 MTJ 单元 11 两端的电压降，以确定存储单元的状态。在一些设计中，传统的晶体管 13 由二极管替代，或者完全被省略，从而传统的 MTJ 单
元11直接与传统的字线10接触。

根据上述传统的MTJ单元11能够使用传统的字线10和传统的位线12来写入，但是本领域普通技术人员将很容易意识到，对于大多数设计来说，I1或I2的幅度是几毫安的量级。因此，本领域普通技术人员还将意识到，对于许多存储器应用都期望较低的写入电流。

图2显示了具有较低写入电流的传统磁性存储器1'的一部分。在美国专利No. 5,659,499,美国专利No. 5,940,319,美国专利No. 6,211,090,美国专利No. 6,153,443,美国专利申请公开No. 2002/0127743中描述了类似的系统。这些引用文献中所公开的传统系统以及制造该传统系统的传统方法在三个不面对MTJ单元11'的表面上用软磁包层(cladding layer)包裹位线和字线。图2中所示的传统存储器的许多部分类似于图1中所示的那些部分，因此被类似地标记。图2中所示的系统包括传统的MTJ单元11'，传统的字线10'和位线12'。传统的字线10'由两部分组成：铜芯1001和软磁包层1002。类似地，传统的位线12'由两部分组成：铜芯1201和软磁包层1202。

相比于图1中的设计，软磁包层1002和1202能够将与I1和I2相关的磁通量汇聚在MTJ单元11'上，并降低没有面对MTJ单元11'的表面上的磁场。因此，软磁包层1002和1202将磁通量汇聚在构成MTJ单元11'的MTJ上，使得更容易编程自由层1104。

尽管这种方法理论上工作很好，但是本领域普通技术人员将很容易意识到，分别在传统线10'和12'的垂直侧壁上的软磁包层1002和1202部分的磁特性是很难控制的。本领域普通技术人员还将意识到，制造传统的字线10'和传统的位线12'的工艺是很复杂的。分别包括包层1002和1202的的传统字线10'和传统位线12'的形成，需要大约9个薄膜沉积步骤、5个光刻步骤、6个蚀刻步骤以及1个化学机械抛光(chemical mechanical polishing, CMP)步骤。此外，没有工艺能够与其他的CMOS工艺共用。需要严格控制其中一些工艺，例如CMP工艺以及几个薄膜沉积工艺和蚀刻工艺，以便获得预期的性能。由于这些制造器件的晶片表面不平并且要除去的部分在沟槽深处，所以需要将写入线10'和12'排列得相当疏，以便适应光刻工艺。因此，如果软磁包层1002和1202用于线10'和12'，将会牺牲芯片上存储器的密度和容量。这种复杂的制造方法对按比例缩小(scaling)以获得较高密度提出了严峻的挑战。因此，非常期望提供一种可按比例缩小的、容易制造的并提供较高写入效率的MRAM结构。

图1和图2中所示传统设计的传统写入线10,10'、12,12'的其它方面限制了可按比例缩小性。在这些传统的设计中，传统的写入线10,10'、12,12'主要由铝或铜构成。铝和铜的电流密度限制在1×10^6A/cm²或更低的量级。随着线宽减小以增大存储器密度，电迁移电流密度限制对于按比例缩小提出了严峻的挑战。

其它的传统系统试图提出不同的解决方案，每种方案都具有缺陷。例如，美国专利申请公开No. 2002/0080643提出，在写入操作之后，对写入线施加反向电流以防止电迁移。但是这样的传统方法通过降低存储器速度及增加复杂性和损害了性能。因此，还迫切期望使写入线由在电迁移方面具有高可靠性的材料构成，其使得可以容易地按比例缩小以获得高密度存储器阵列。

可能用于更小或更有效的存储器中的传统位线具有较低的电流。这有害地影响了整个存储器阵列的性能。但是，有许多克服此问题的传统
说明书

方法。一种通常的做法是将存储器阵列中的长位线分成由厚金属制成的全局位线 (global bit lines)，并将全局位线连接到由较薄金属制成的局部位线 (local bit lines)，因此具有较高的电阻。美国专利 No. 6,335,890 和美国专利申请公开 No. 2002/0034117 中揭示了这种方法的示例。但是，仍没有克服上述的其它问题，例如电迁移的问题。

类似地，其它的系统将写入线分成段，每个段通过选择晶体管连接到具有更高电阻的全局写入线。例如，美国专利 No. 6,335,890 和美国专利申请公开 No. 2002/0176272 中揭示了将传统写入线分成段的系统。在写入期间，只有一段传统的写入线传导电流。

图 3 显示了结合传统分段写入线 (segmented write line) 的传统设计 20。传统设计 20 包括用作 MRAM 单元的磁性晶体管 31，传统的分段磁性写入线 32，传统的全局写入和返回线 301 和 302，传统的选择晶体管 305，传统的数字线 303 和传统的位线选择晶体管 304。传统的分段写入线 32 通过传统的的部分选择晶体管 305 连接到传统的全局写入线 301 和传统的全局写入返回线 302。其它的段 (没有显示) 将以类似的方式连接到传统的全局写入线 301 和传统的全局写入返回线 302。举例而言，传统的分段写入线 32 的所述部分连接到 4 个传统的 MTJs 31。在传统的配置中，每个传统的 MTJ 31 然后通过传统的位线选择晶体管 304 连接到地线。传统的数字线 303 在每个传统的 MTJ 31 处垂直于传统的写入线 32。

在写入期间，传统的晶体管 305 开启，以使写入电流从传统的全局写入线 301 通过传统的分段写入线 32 的段流到全局的全局写入返回线 302。由传统分段写入线 32 中的写入电流所产生的磁场同时干扰该部分中所含的 4 个传统 MTJs 31 的自由层的磁矢量。根据传统数字线 303 中流动的电流的幅度和极性，数字数据被写入传统的 MTJs 31 中。以此方式，能够同时写入 4 个 MRAM 单元。

尽管能够并行写入 4 个 MRAM 单元，但是本领域普通技术人员很容易意识到，在读取期间，4 个位线选择晶体管 304 中只有一个能够开启。当 4 个位线选择晶体管 304 中开启一个时，能够测量传统的全局写入线 301 上的电压 (因为连接到传统的分段写入线 32)，以便确定所选的 MTJ 31 的逻辑状态。因此，尽管能够并行地写入该部分的 4 个单元中的数据，但是在该 4 个单元中的数据是串行地读取的。因此，本领域普通技术人员将很容易意识到，存储在 MTJs 31 中的数据的读取效率可能比预期低。此外，仍没有克服上述的其它问题，例如电迁移的问题。

因此，需要的是一种用于提供可按比例缩小的、有效的、低电流的磁性存储器的系统和方法，该磁性存储器在制造容易性及电迁移可靠性方面有所改进，并提供一种能够支持更简单驱动器设计并能够更有效读取的结构。而且，期望安排全局写入线，使得由流过 MRAM 单元上全局写入线的电流所引起的磁干扰最小。还期望获得一种用于提供能够具有更大写入余地 (margin) 以及更有效读取操作的高密度非易失性 MRAM 的系统和方法。本发明即针对这样的需要。

发明内容

本发明公开了一种用于提供磁性随机存取存储器 (MRAM) 阵列的方法和系统。该方法和系统包括提供 MRAM 阵列，该 MRAM 阵列包括磁性存储单元、全局位线、磁性字线，读取位线、选择器件和写入位线。每条磁性字线具有数个段。每个段与全局字线连接，使得每个
段都可分别选择。每个段还连接到磁性存储单元的一部分。读取位线相对于磁性字线成一角度而定向。读取位线通过选择器件与磁性单元连接。写入位线基本上平行于读取位线。
优选地，磁性字线包括软磁材料，并通过薄的非磁层连接到每个磁性存储单元。为了降低全局字线中电流的干扰，全局字线还基本上平行于磁性字线。

【0022】本发明提供了一种磁性随机存取存储器阵列，包括：多个磁性存储单元；多条全局字线；多条磁性字线；所述多条磁性字线的每一条包括软磁性材料以及具有多个段，所述多个段的每一段通过段选择器件连接到所述多条全局字线的一条，使得所述多个段的每一段通过段选择器件的其中之一能够分别被选择，所述多个段的每一段连接到所述多个磁性存储单元的至少其中之一；多条读取位线，相对于所述多个磁性字线成垂直角度而定向；多个选择器件，所述多条读取位线的每一条通过所述多个选择器件的其中之一与所述多个磁性存储单元的其中之一连接；以及多条写入位线，平行于所述多条读取位线。

【0023】本发明进一步提供了一种利用上述的磁性随机存取存储器阵列的方法，包括：(a)在写入模式中，从写入驱动电流电源向所述多条全局字线的至少一条驱动电流；(b)在写入模式中，选择所述多个段的至少一个；(c)在写入模式中，提供第一写入电流通过所述多个段的所述至少一个；以及(d)在写入模式中，提供第二写入电流给多条写入位线；其中所述多个磁性存储单元的每一个通过所述多个选择器件中相对应的一个，分别与多条读取位线的其中一个连接，所述多条读取位线相对于所述多条磁性字线成垂直角度而定向。

【0024】按照此处公开的系统和方法，本发明提供了一种具有改进的写入余地和读取效率的磁性存储器。

附图说明

【0025】图 1 是位于传统位线与传统字线交叉处的传统 MRAM 单元中传统 MTJ 的三维视图。

【0026】图 2 是在具有传统磁性写入线的传统的 MRAM 单元中的传统 MTJ 的侧视图。

【0027】图 3 显示了传统的分段磁性写入线的传统配置。

【0028】图 4 显示了利用磁性写入线的 MRAM 的一部分的一个实施例。

【0029】图 5 显示了按照本发明的 MRAM 的一部分的一个实施例。

具体实施方式

【0030】本发明涉及磁性存储器的改进。下面的说明使得本领域普通技术人员能够制造和利用本发明，并且是在专利申请及其要求的背景下的提供的。对优选实施例的各种修改对于本领域技术人员来说将是很明显的，并且此处的一般原理可用于其它的实施例。因此，本发明不限于所示的实施例，而应给予与此处所公开的原理和特征相一致的最宽范围。

【0031】共同未决的美国专利申请，序列号为 No. 60/431/742，标题为“MRAM MEMORIES UTILIZING MAGNETIC WRITE LINES”，已转让给本申请的受让人，公开了一种 MRAM 结构，其针对传统 MRAM 器件中遇到的许多问题。申请人在此以引用方式结合了上述共同未决的申请。图 4 显示了 MRAM 70 的一部分的一个实施例，包括上述共同未决申请中所公开的基本结构。图 4 中显示的 MRAM 70 包括优选地为 MTJ 堆叠 90 的磁性元件 90、形成在衬底 80 中的选择器件 81、磁性写入线 82、位线 83、导电立柱 (conductive stud) 87、连接立柱 96 和地线 97。选择器件 81 优选地是包括栅极 84、源极 85 和漏极 86 的 FET 晶体管。MTJ 堆叠包括
具有固定磁矢量（没有显示）的钉扎层 92、隧道层 93、具有可变磁矢量（没有显示）的自由层 94、以及导电覆膜层 (capping layer) 95。导电覆膜层 95 优选地是非磁性间隔层 95。MTJ 堆叠还包括一些层（没有明确显示），这些层包括晶种层，优选地包括反铁磁层。

[0032] 磁性写入线 82 包括软磁性材料，并通过非磁性间隔层 95 与 MTJ 堆叠 90 的自由层 94 分开。在一个实施例中，写入线 83 也是磁性的。磁性写入线 82 优选地基本上或完全由软磁性材料构成。此外，至少与包层相对的芯包括软磁性层。由于磁性写入线 82 与自由层 94 之间的小间隔，导致自由层 94 的磁矢量静磁耦合到磁性写入线 82 的磁矢量。这样的静磁耦合促进了自由层磁矢量的转动幅度。因此，使用上述共同未决申请中所公开的方法和系统，就能使用较低的电流，这是由于在软磁性位线 82 与 MTJ 90 之间的强磁性耦合。此外，由于磁性合金的极好的电迁移可靠性，所以磁性写入线可以制造得较薄，从而容易制造并具有较好的封装密度。

[0033] 尽管上述共同未决申请中所公开的方法和系统很好地实现了它们的预期目的，但是本领域普通技术人员很容易意识到，磁性写入线经常具有相对高的电阻。由于小的厚度与使用磁性合金的较高电阻率的组合，所以磁性写入线的线电阻可比主要是镍或铂的传统写入线大得多。所述高电阻率会增加写驱动电路设计带来困难。

[0034] 本发明提供了一种用于提供磁性随机存取存储器 (MRAM) 阵列的方法和系统。该方法和系统包括提供具有磁性存储单元、全局字线、磁性字线、读取位线、选择器件和写入位线的 MRAM 阵列。每条磁性字线具有多个段。每个段与全局字线连接，使得每个段都可分别选择。每个段还连接到磁性存储单元的一部分。读取位线相对于磁性字线成一角度而定向。读取位线通过选择器件与磁性单元连接。写入位线基本上平行于读取位线。优选地，磁性字线包括软磁性材料，并通过薄的非磁性层连接到每个磁性存储单元。为了降低全局字线中电流的干扰，全局字线还基本上平行于磁性字线。

[0035] 本发明将根据特定类型的磁性存储单元、元件的特定材料和特定配置来说明。但是，本领域普通技术人员将很容易意识到，这种方法和系统对于与本发明不一致的其它磁性存储单元、其它材料和配置也会有效。

[0036] 为了更具体地说明本发明的方法和系统，现参照图 5，其显示了按照本发明的 MRAM 阵列 100 的一个实施例。MRAM 阵列包括磁性存储单元 C11、C12、C13、C14、C21、C22、C23 和 C24。磁性存储单元 C11、C12、C13、C14、C21、C22、C23 和 C24 优选地是 MTJs，如图 4 所示。但是，在可选实施例中，可使用其它类型的单元，例如 GMR 或 AMR 单元。每个磁性存储单元 C11、C12、C13、C14、C21、C22、C23 和 C24 分别与对应的连接线 T11、T12、T13、T14、T21、T22、T23 和 T24 连接。在可选实施例中，连接线 T11、T12、T13、T14、T21、T22、T23 和 T24 是选择晶体管。但是，在可选实施例中，该使用其它类型的选择器，例如二极管。MRAM 阵列包括读取位线 102, 104, 106 和 108, 写入位线 110, 112, 114 和 116, 读取字线 118 和 120, 以及全局写入字线 122, 124 和 126。MRAM 阵列还包括被分成段的磁性字线，分成 Seg 11、Seg 12、Seg 21 和 Seg 22。还包括段选择晶体管 Seg T11、Seg T12、Seg T21 和 Seg T22 以及段选择线 128 和 130。每个段 Seg 11、Seg 12、Seg 21、Seg 22 分别通过段选择晶体管 Seg T11、Seg T12、Seg T21、Seg T22 连接到全局写入字线 122 和 124。分别使用段选择线 128 和段选择线 130 来选择段选择晶体管 Seg T11 和 Seg T12 以及段选择晶体管 Seg T21 和 Seg T22。
为了使全局写入线 122, 124 和 126 中的写入电流对 MTJ 单元 C11, C12, C13, C14, C21, C22, C23 和 C24 的干扰最小，全局写入字线 122, 124 和 126 被排列成基本上平行于磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22。磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 的磁矢量基本上平行于磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 的长度方向（即，图 5 中的水平方向）。因此，磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 沿着与磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 的磁场（即，垂直地）是可透过 (permeable) 的。但是，磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 沿着与磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 的外部磁场的具有良好磁屏蔽。因此，在全局字线 122, 124 和 126 中平行于磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 而流动的电流产生了垂直于磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 的场，因此，对 MRAM 单元具有最小的磁干扰。

在所给出的示例中，磁性字线的每个段 Seg 11, Seg 12, Seg 21 和 Seg 22 连接到两个磁性存储单元 C11, C12, C13, C14, C21, C22, C23, C24。例如，磁性字线的段 Seg 11 连接到 MTJs C11 和 C12, 等等。在实际中，通过存储器配置以及通过字线的所需写入电流来确定连接到每个磁性字线段 Seg 11, Seg 12, Seg 21, Seg 22 的存储单元 C11, C12, C13, C14, C21, C22, C23, C24 的数量。磁性字线 Seg 11, Seg 12, Seg 21, Seg 22 中的写入电流越大，则段选择晶体管 T11, T12, T21, T22, T11, T12, T21, T22 的尺寸就越大。随着段选择晶体管 Seg T11, Seg T12, Seg T21, Seg T22 的尺寸增大，对于较高的封装配线还需要增加连接到每个磁性字线段 Seg 11, Seg 12, Seg 21, Seg 22 的单元数量。分段磁性字线 Seg 11, Seg 12, Seg 21 和 Seg 22 提高了写入效率，因此使这些段选择晶体管 Seg T11, Seg T12, Seg T21 和 Seg T22 的尺寸最小化，提高了封装配线，并在确定每段的单元数量方面提供了更多灵活性。

每个 MTJ C11, C12, C13, C14, C21, C22, C23, C24 具有一个端与分段字线 Seg 11, Seg 12, Seg 21, Seg 22 接触。每个 MTJ C11, C12, C13, C14, C21, C22, C23, C24 的另一端通过选择晶体管 T11, T12, T13, T14, T21, T22, T23 和 T24 连接到读取位线 102, 104, 106, 108。例如，MTJ C11 通过晶体管 T11 连接到读取位线 102, 等等。为了将数据写入每个 MRAM 单元 C11, C12, C13, C14, C21, C22, C23, C24 中，还结合分段字线 Seg 11, Seg 12, Seg 21, Seg 22 为每个单元 C11, C12, C13, C14, C21, C22, C23, C24 提供写入位线 110, 112, 114 和 116。写入位线 110, 112, 114 和 116 被排列得基本上垂直于分段字线 Seg 11, Seg 12, Seg 21 和 Seg 22。

如图 5 所示的结构允许几个位的并行读取和写入。作为示例，下面是将数据写入 MRAM 单元 C23 和 C24 的说明。全局写入字线 122 和全局字线 124 分别连接到写入驱动器电流源和返回终端。为了简化，图 5 中没有显示写入驱动器电流源和连接。接下来，对段选择 130 施加电压，以便开启段选择晶体管 Seg T22。通过磁性字线段 Seg 22 提供写入电流。写入电流还施加到写入位线 114 和写入位线 116。电流的极性将确定分别存储在 C13 和 C14 中的对应位的逻辑状态。

为了读取存储在 MRAM 单元 C23 和 C24 中的数据，全局写入字线 122 接地，并将读取电流施加到读取位线 106 和读取位线 108。通过读取字线 120 上的电压开启位选择晶体管 T23 和 T24，以允许读取电流从读取位线 106 和 108 分别通过 MTJs C23 和 C24 流到地。
然后测量读取位线 106 和 108 上的电压，以分别确定 C23 和 C24 的逻辑内容。

因此，由于磁性写入线段 Seg 11、Seg 12、Seg 21 和 Seg 22 使用软磁性材料，结合薄的非磁性导电间隔层，所以磁性写入线段 Seg 11、Seg 12、Seg 21 和 Seg 22 强耦合到 MTJs C11、C12、C13、C14、C21、C22、C23、C24 的自由层。因此，能够使用较低的写入电流。由于磁性字线已经被分成段 Seg 11、Seg 12、Seg 21 和 Seg 22，所以能够减轻由于磁性材料的高电阻以及磁性字线段 Seg 11、Seg 12、Seg 21 和 Seg 22 的小厚度而致的问题。MTJs C11、C12、C13、C14、C21、C22、C23、C24 能并行写入。此外，MTJs C11、C12、C13、C14、C21、C22、C23、C24 能并行读取。因此，提高了 C11、C12、C13、C14、C21、C22、C23、C24 的读取效率。

本发明已经公开了一种用于提供磁性随机存取存储器的方法和系统，该磁性随机存取存储器具有改进的写入余地和更有效的读取。尽管本发明是按照所示的实施例说明的，但是本领域普通技术人员将很容易意识到，能够对实施例进行改变，并且这些变化将落入本发明的精神和范围内。因此，本领域普通技术人员可以进行许多修改，而不背离所附权利要求的精神和范围。
现有技术
图3
图4