

(12) 发明专利

(10) 授权公告号 CN 101373785 B

(45) 授权公告日 2010.06.02

(21) 申请号 200810210016.X

(22) 申请日 2008.08.22

(30) 优先权数据

2007-218330 2007.08.24 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 山崎和男 光地哲伸

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 康建忠

(51) Int. Cl.

H01L 27/146(2006.01)

审查员 吴黎

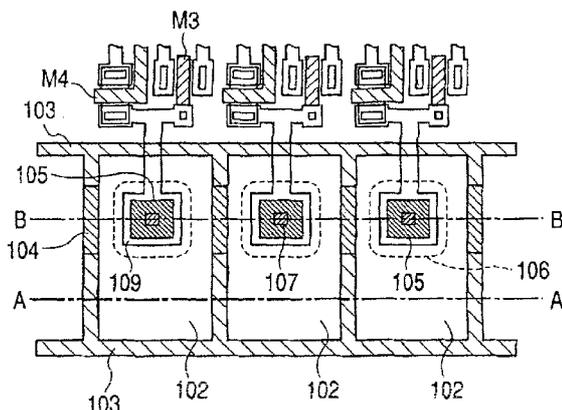
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

光电转换器件和多芯片图像传感器

(57) 摘要

本发明提供光电转换器件和多芯片图像传感器,其缩小像素间隔,而不会增大PN结电容。所述光电转换器件包括设置在其中的多个像素,每一个像素都包括构成光电转换区域的第一导电类型的第一杂质区域,设置在第一杂质区域中的构成信号获取区域的第二导电类型的第二杂质区域,第一导电类型的第三杂质区域和第一导电类型的第四杂质区域设置在每一个像素的外围,用于使每一个像素隔离,第四杂质区域被置于相邻像素之间,并且第四杂质区域的杂质浓度小于第三杂质区域的杂质浓度。



1. 一种包括多个像素的光电转换器件,每一个像素都具有光电转换区域,该光电转换区域包括:第一导电类型的第一杂质区域,和设置于第一杂质区域中的、作为信号获取区域操作的第二导电类型的第二杂质区域,其中

与第一杂质区域相邻地设置有第一导电类型的第三杂质区域和第一导电类型的第四杂质区域,以便一个像素中的第四杂质区域被置于所述一个像素中的第二杂质区域和与所述一个像素相邻的其它像素中的第二杂质区域之间,其中,所述第三杂质区域和所述第四杂质区域被提供在每一个像素的第一杂质区域的外围并且使各个像素的第一杂质区域都电隔离,并且

第四杂质区域的杂质浓度小于第三杂质区域的杂质浓度。

2. 根据权利要求 1 所述的光电转换器件,其中

第四杂质区域被设置在至少与所述信号获取区域最近的区域中。

3. 根据权利要求 1 所述的光电转换器件,其中

第二杂质区域具有长方形形状,以便第四杂质区域沿着该长方形形状的区域较长边设置。

4. 一种包括多个像素的光电转换器件,每一个像素都具有光电转换区域,该光电转换区域包括:第一导电类型的第一杂质区域,和设置于第一杂质区域中的、作为信号获取区域操作的第二导电类型的第二杂质区域,其中

与第一杂质区域相邻地设置有第一导电类型的第三杂质区域和第一导电类型的第四杂质区域,以便一个像素中的第四杂质区域被置于所述一个像素中的第二杂质区域和与所述一个像素相邻的其它像素中的第二杂质区域之间,其中,所述第三杂质区域和所述第四杂质区域被提供在每一个像素的第一杂质区域的外围并且使各个像素的第一杂质区域都电隔离,并且

第四杂质区域的隔离宽度比第三杂质区域的隔离宽度窄。

5. 根据权利要求 4 所述的光电转换器件,其中

第四杂质区域被设置在至少与所述信号获取区域最近的区域中。

6. 根据权利要求 4 所述的光电转换器件,其中

第二杂质区域具有长方形形状,以便第四杂质区域沿着该长方形形状的区域较长边设置。

7. 一种包括多个像素的光电转换器件,每一个像素都具有光电转换区域,该光电转换区域包括:第一导电类型的第一杂质区域,和设置于第一杂质区域中的、作为信号获取区域操作的第二导电类型的第二杂质区域,其中

与第一杂质区域相邻地设置有第一导电类型的第三杂质区域和第一导电类型的第四杂质区域,以便一个像素中的第四杂质区域被置于所述一个像素中的第二杂质区域和与所述一个像素相邻的其它像素中的第二杂质区域之间,其中,所述第三杂质区域和所述第四杂质区域被提供在每一个像素的第一杂质区域的外围并且使各个像素的第一杂质区域都电隔离,并且

第四杂质区域的深度小于第三杂质区域的深度。

8. 根据权利要求 7 所述的光电转换器件,其中

第四杂质区域被设置在至少与所述信号获取区域最近的区域中。

9. 根据权利要求 7 所述的光电转换器件,其中  
第二杂质区域具有长方形形状,以便第四杂质区域沿着该长方形形状的区域较长边设置。
10. 一种包括沿着多列设置的多个光电转换器件的多芯片图像传感器,每一个光电转换器件都是根据权利要求 1 提供的。
11. 一种包括沿着多列设置的多个光电转换器件的多芯片图像传感器,每一个光电转换器件都是根据权利要求 4 提供的。
12. 一种包括沿着多列设置的多个光电转换器件的多芯片图像传感器,每一个光电转换器件都是根据权利要求 7 提供的。

## 光电转换器件和多芯片图像传感器

### 技术领域

[0001] 本发明涉及光电转换器件和多芯片图像传感器,具体来说,涉及用于扫描仪、视频摄像机、数字静物摄像机等等的光电转换器件和多芯片图像传感器。

### 背景技术

[0002] 迄今为止,在用于读取传真机和扫描仪(用于读取像素)的线性型光电转换器件中,通过利用第一导电类型的掩埋区域以及第一导电类型的势垒区域来隔离半导体区域,来隔离相邻像素。每一个像素都具有光电二极管,该光电二极管由第一导电类型区域(由外延层构成)以及在第一导电类型区域中形成的第二导电类型区域的PN结形成。在日本专利申请特开 No. 2007-027558 中公开了这样的结构。

### 发明内容

[0003] 本发明的光电转换器件是包括在其中设置的多个像素的光电转换器件,每一个像素都包括:构成光电转换区域的第一导电类型的第一杂质区域,设置在第一杂质区域中的构成信号获取区域的第二导电类型的第二杂质区域,其特征在于,与所述第一杂质区域相邻地设置有第一导电类型的第三杂质区域和第一导电类型的第四杂质区域,第四杂质区域被置于所述第二杂质区域和相邻像素中的第二杂质区域之间,并且第四杂质区域的杂质浓度小于第三杂质区域的杂质浓度。

[0004] 此外,本发明的光电转换器件是包括在其中设置的多个像素的光电转换器件,每一个像素都包括:构成光电转换区域的第一导电类型的第一杂质区域,设置在第一杂质区域中的构成信号获取区域的第二导电类型的第二杂质区域,其特征在于,与所述第一杂质区域相邻地设置有第一导电类型的第三杂质区域和第一导电类型的第四杂质区域,第四杂质区域被置于所述第二杂质区域和相邻像素中的第二杂质区域之间,并且第四杂质区域的隔离宽度比第三杂质区域的隔离宽度窄。

[0005] 此外,本发明的光电转换器件是包括在其中设置的多个像素的光电转换器件,每一个像素都包括:构成光电转换区域的第一导电类型的第一杂质区域,设置在第一杂质区域中的构成信号获取区域的第二导电类型的第二杂质区域,其特征在于,与所述第一杂质区域相邻地设置有第一导电类型的第三杂质区域和第一导电类型的第四杂质区域,以便第四杂质区域被置于所述第二杂质区域和相邻像素中的第二杂质区域之间,并且第四杂质区域的深度小于第三杂质区域的深度。

[0006] 通过下面的结合附图进行的描述,本发明的其它特征和优点将变得显而易见,其中,类似的参考字符在附图的所有图中表示相同或类似的部分。本说明书并入的并构成本说明书的一部分的附图例示了本发明的实施例,并与说明书一起,用于解释本发明的原理。

### 附图说明

[0007] 图 1 是显示了包括三个像素的第一实施例的结构的平面图。

[0008] 图 2A 是图 1 中的 A-A' 截面的截面结构的示意图,图 2B 是图 1 中的 B-B' 截面的截面结构的示意图。

[0009] 图 3A、3B、3C、3D、3E、3F、3G 和 3H 是用于显示第一实施例的像素结构的半导体制造的工艺流程图。

[0010] 图 4A、4B、4C、4D、4E、4F、4G 和 4H 是用于显示第一实施例的像素结构的半导体制造的工艺流程图。

[0011] 图 5 是显示了包括三个像素的第二实施例的结构平面图。

[0012] 图 6A 是图 5 中的 6A-6A 截面的截面结构的示意图,图 6B 是图 5 中的 6B-6B 截面的截面结构的示意图。

[0013] 图 7 是第三实施例的光电转换器件的平面图。

[0014] 图 8A、8B、8C、8D、8E、8F、8G 和 8H 是用于显示第三实施例的像素结构的半导体制造的工艺流程图。

[0015] 图 9A、9B、9C、9D、9E、9F、9G 和 9H 是用于显示第三实施例的像素结构的半导体制造的工艺流程图。

[0016] 图 10 是使用光电转换器件的多芯片图像传感器的方框图。

[0017] 图 11 是使用光电转换器件的多芯片图像传感器的光学系统的图。

[0018] 图 12 是显示了光电转换器件的示例的电路图。

## 具体实施方式

[0019] 下面,将使用附图详细描述本发明。

[0020] 首先,将使用图 12 描述光电转换器件的电路的示例。图 12 是四个像素的光电转换部分和驱动电路的等效电路。像素 a1 到 d1 包括作为光电转换部分的光电二极管 PDa 到 PDd。此外,像素 a1 到 d1 具有构成了源极跟随器电路的放大晶体管 M3a 到 M3d,以及作为用于复位光电二极管 PDa 到 PDd 的单元的复位晶体管 M4a 到 M4d。从放大晶体管 M3a 到 M3d 输出的信号通过读取晶体管 M2a 到 M2d 被临时保持在积累区域 CAPa 到 CAPd 中,并通过读取晶体管 M1a 到 M1d 输出到公共信号线 14。使从放大晶体管到公共信号线的电路为读出电路。

[0021] 通过光电二极管 PDa 到 PDd 中的光电转换生成的电荷被放大晶体管 M3a 到 M3d 进行电荷-电压转换。然后,基于电荷的信号被通过信号传输脉冲  $\Phi_T$  一次全部地传输到积累区域 CAPa 到 CAPd。显示了源极跟随器电路的恒定电流负载 CSa 到 CSd。然后,读取晶体管 M1a 到 M1d 被从扫描电路 11 提供的读取脉冲  $\Phi_{a1}$  到  $\Phi_{d1}$  依次打开,逐个地变为高,并且通过公共信号线 14 从信号输出放大器 6 中读取信号。

[0022] (第一实施例)

[0023] 图 1 是显示了第一实施例中的包括三个像素的结构平面图。图 1 以收集于图 12 中显示的光电转换部分的方式显示了该光电转换部分。图 2A 是图 1 中的 A-A' 截面的截面结构的示意图,图 2B 是图 1 中的 B-B' 截面的截面结构的示意图。此外,在图 1、2A 和 2B 中,对相同的组件分配相同的参考字符。

[0024] 在图 1、2A 和 2B 中,显示了半导体衬底 100。通过此实施例,作为示例,描述了 N 型半导体衬底的情况。显示了在半导体衬底 100 上形成的 N 型掩埋扩散区域 101 以及 N 型外

延区域（第一杂质区域）102。此外，还显示了第一 N 型元件隔离区域（第三杂质区域）103、第二 N 型元件隔离区域（第四杂质区域）104 以及 P 型区域（第二杂质区域）105，该 P 型区域是信号获取区域。外延区域 102 和电荷获取区域 105 形成了 PN 结，并构成了光电转换部分。这里，使包括一个光电转换部分的最小重复单位为像素。在半导体衬底中设置了两个或更多像素。

[0025] 第一 N 型元件隔离区域 103 和第二 N 型元件隔离区域 104 被提供在每一个像素的 N 型的外延区域 102 的外围，并且使各个像素的 N 型外延区域 102 都电隔离。例如，在光电转换部分和读出电路之间设置了第一 N 型元件隔离区域 103。第二 N 型元件隔离区域 104 设置在相邻的 P 型区域 105 之间。P 型区域 105 通过金属电极 107 和配线 109 连接到读出电路。此外，虚线包围的区域 106 表示 PN 结的耗尽层区域。

[0026] 在截面图 2A 和 2B 中，显示了在 N 型外延区域 102 上形成的层间绝缘膜 108。

[0027] 如图 1 所示，每一个像素的光电探测器部分在表面上被第一 N 型元件隔离区域 103 和第二 N 型元件隔离区域 104 包围。其中，在表面上被包围的是沿着包括每一个结构的光接收部分的右接收表面的平面的视图中的配置。此外，在深度方向，如图 2A 所示，每一个像素的光电探测器部分被包围在 N 型掩埋区域 101 和第一 N 型元件隔离区域 103 中。通过按照入射到 N 型外延区域 102 的光进行的光电转换而生成的光载流子（这里，空穴）被收集到 P 型区域 105 中，并通过金属电极 107 读取到读出电路中。这里，省略了配线 109 和读出电路的结构和操作。此外，元件隔离区域 103 和 104 中生成的电荷也被收集到 P 型区域 105 中。

[0028] 当生成的光载流子在耗尽层 106 之外时，其通过扩散被一起收集在 P 型区域 105 中，或者，当在耗尽层 106 内时，其通过漂移被一起收集在 P 型区域 105 中。

[0029] N 型外延区域 102 被形成为使得杂质浓度可以变得低于第一 N 型元件隔离区域 103、第二 N 型元件隔离区域 104 以及 N 型掩埋区域 101 的杂质浓度。因此，在 N 型外延区域 102 与第一 N 型元件隔离区域 103、第二 N 型元件隔离区域 104、N 型掩埋区域 101 之间出现了电势差。这些电势差发生作用，以致减小了像素之间的光载流子的流量，即，串扰。此外，电势差减少将光载流子冲到 N 型半导体衬底 100，并进行作用以便抑制灵敏度降低。

[0030] 这里，将描述主题。当具有元件隔离区域的像素的布置间距变窄时，有这样的情况：N 型的元件隔离区域和 P 型区域之间的间隔变窄，光电二极管的 PN 结容量，即，检测电容  $C_{pd}$  变大。这里，一起收集在 P 型区域 105 中的光载流子被检测电容  $C_{pd}$ （包括 P 型区域 105 和 N 型的外延区域 102 的 PN 结的电容）进行电荷 - 电压转换。使输出电压是  $V$ ，使光载流子的量是  $Q$ ，关于电荷 - 电压转换的公式，输出电压  $V$  被表达为如下：

$$[0031] \quad V = Q/C_{pd}$$

[0032] 因此，当收集的光载流子相同时，检测电容  $C_{pd}$  越大，灵敏度降低得越厉害。相反，检测电容  $C_{pd}$  越小，输出电压  $V$  变得越大，并且可以形成具有高灵敏度的光电转换器件。因此，为了实现可以使用此结构的像素获得具有高灵敏度的良好的图像的光电转换器件，使此检测电容  $C_{pd}$  小是重要的。

[0033] 形成检测电容的一部分的、P 型区域 105 和 N 型外延区域 102 之间的 PN 结的容量  $C_j$  如下（电容 / 单位结面积）：

$$[0034] \quad C_j = \frac{\epsilon_s}{W} = \sqrt{\frac{q \epsilon_s N_B}{2(V_{bi} - V)}} \dots \text{公式 (1)}$$

[0035] 其中,  $\epsilon_s$  表示 Si 的介电常数, 而 W 表示耗尽层宽度。

[0036] 此外,  $V_{bi}$  表示内置电势, V 表示施加的电压, q 表示元电荷,  $N_B$  表示此示例中的 N 型外延区域 102 的杂质浓度。

[0037] 因此, 通过使 N 型外延区域 102 的杂质浓度低, 可以使 PN 结的结电容小。

[0038] 这里, 当像素间距逐渐地变窄时, 元件隔离区域趋近于 P 型区域以影响 PN 结, 或形成 PN 结。在这样的情况下, 公式 (1) 中的  $N_B$  的浓度变得高于外延区域的浓度, 或者, 被替换为元件隔离区域的高杂质浓度。因此, 由于 PN 结的电容  $C_j$  变大并且输出电压 V 变小, 因此, 灵敏度降低。如此, 在此实施例中, 提供了这样的第二 N 型元件隔离区域 104, 其杂质浓度高于 N 型外延区域 102 的杂质浓度, 但是, 低于第一 N 型元件隔离区域 103 的杂质浓度。通过此结构抑制因光载流子流出而产生的串扰, 灵敏度提高。

[0039] 这使用前面所描述的特性: 当光载流子在耗尽层区域 106 之外时, 其通过扩散被收集在 P 型区域 105 中, 或者, 当在耗尽层区域 106 内时, 其通过漂移被收集在 P 型区域 105 中。

[0040] 如此, 在图 1 中, 在耗尽层区域 106 中生成的光载流子通过漂移被收集到 P 型区域 105 中。因此, 如果使耗尽层区域 106 变宽到接近像素极限, 即使高浓度电势不会使像素之间隔离, 也可以通过漂移收集所需的光载流子, 并且还可以减少相邻像素之间的光载流子的传输。

[0041] 此外, 在耗尽层区域 106 的外围, 由于通过形成其浓度低于第一元件隔离区域 103 的浓度的第二元件隔离区域 104, 来减小元件隔离区域对 PN 结电容的影响, 因此, 可以抑制检测电容的增大。

[0042] 另一方面, 为了使势垒高以便通过扩散完全收集在耗尽层区域 106 的外面生成的光载流子, 第一元件隔离区域 103 隔离对耗尽层区域 106 的耗尽层的影响小的区域。

[0043] 如此, 通过选择并设置第一 N 型元件隔离区域 103 或其浓度低于第一 N 型元件隔离区域 103 的浓度的第二低元件隔离区域 104, 来进行隔离。通过这样的结构, 可以使像素间隔变窄, 而不会增大光电转换部分的 PN 结电容。

[0044] 因此, 可以实现具有这样的像素结构的光电转换器件, 该像素结构在高分辨率像素间距中也能减小串扰的增大, 并且防止灵敏度的降低。

[0045] 这里, 虽然第二元件隔离区域 104 是在矩形像素的较长边提供的, 但是, 在像素在较短边相邻的情况下, 在较短边提供第二元件隔离区域 104。如此, 可以将第二元件隔离区域 104 放在与像素之间的信号读出区域最近的部分中。

[0046] 然而, 如图 1 所示的、将第二元件隔离区域 104 设置于两个相邻像素的 P 型区域 105 之间的这样结构在形成具有窄像素间距的传感器时具有特别有利的效果。这是因为, 由于相邻像素的两个 P 型区域 105 之间的间隔最难以确保元件隔离区域和 P 型区域之间的距离, 所以对耗尽层的发散的影响比较大。

[0047] 图 3A 到 3H 以及图 4A 到 4H 是用于描述图 1、2A 和 2B 中的像素结构的制造工艺的工艺流程图。图 3A 到 3H 对应于图 1 中的 A-A' 截面, 图 4A 到 4H 对应于图 1 中的 B-B' 截面。

[0048] 下面,将使用附图描述此实施例的光电转换部分的制造工艺的每一个工艺。为了简明起见,省略对用于形成此光电转换器件的读出电路的 MOSFET 等等的制造工艺的描述。

[0049] 首先,如图 3A 和图 4A 所示,准备 N 型半导体衬底 100。

[0050] 接下来,如图 3B 和图 4B 所示,通过离子注入工艺,在 N 型半导体衬底 100 上形成 N 型掩埋区域 101。

[0051] 接下来,如图 3C 和图 4C 所示,通过外延生长,在 N 型掩埋层 101 上形成 N 型外延区域 102'。

[0052] 随后,如图 3D 和图 4D 所示,在离子注入工艺中,在 N 型外延区域 102' 中的、在光刻工艺中指定的区域中,形成第一 N 型元件隔离区域 103。

[0053] 接下来,如图 3E 和图 4E 所示,通过热扩散的方式扩散 N 型掩埋区域 101 和第一 N 型元件隔离区域 103。

[0054] 随后,如图 3F 和图 4F 所示,在离子注入工艺中,在 N 型外延区域 102 中的、在光刻工艺中指定的区域中形成第二 N 型元件隔离区域 104。

[0055] 这里, N 型外延区域 101 的杂质浓度大约是  $1e14$  到  $1e15/cm^3$ , N 型掩埋层 102 和第一 N 型元件隔离区域 103 的杂质浓度高于外延区域 101 的杂质浓度,是例如超过  $1e16$  到  $1e18/cm^3$  的浓度。理想的是, N 型外延区域 101 和第一 N 型元件隔离区域 103 具有 10 到 100 倍或更高的杂质浓度差,以便形成使元件隔离的势垒。另一方面,使第二 N 型元件隔离区域的杂质浓度大约为  $1e15$  到  $1e17/cm^3$ ,使其杂质浓度低于第一 N 型元件隔离区域的杂质浓度。使用磷和砷作为杂质。

[0056] 接下来,如图 3G 和图 4G 所示,在离子注入工艺中,在 N 型外延区域 102 中的、在光刻工艺中指定的区域中形成 P 型区域 105。

[0057] 最后,如图 3H 和图 4H 所示,形成层间绝缘膜 108 和金属电极 107。

[0058] 当在图 3E 和图 4E 中所描述的热扩散工艺中形成第一 N 型元件隔离区域 103 时,第一 N 型元件隔离区域 103 不仅在深度方向扩展,而且还在横向扩展,因此,如上文所描述的,第一 N 型元件隔离区域 103 和 P 型区域 105 之间的距离容易地变短,因此,由于检测电容的增大所导致的灵敏度的降低尤其容易在此制造工艺中造成问题。

[0059] 例如,当第一 N 型元件隔离区域的杂质浓度是  $1e18/cm^3$  ( $1 \times 10^{18}/cm^3$ ) 并且外延区域的杂质浓度是  $1e14/cm^3$  时,靠近 N 型元件隔离区域部分的外延区域的杂质浓度在这两值之间。临时地,假设每  $\mu m$ ,此中间浓度的轮廓图的斜率是每 1/10 变化的斜率,需要  $4 \mu m$  的宽度,以便 N 型元件隔离区域的  $1e18/cm^3$  变得与外延区域的浓度  $1e15/cm^3$  相同。

[0060] 即,为了使影响公式 (1) 中表达的 PN 结电容的浓度是外延区域中的杂质浓度  $1e14$ ,必须确保从第一 N 型元件隔离区域到耗尽层区域的边缘为至少  $4 \mu m$  或更大。例如,在分辨率为 2400dpi 的线性传感器的情况下,由于像素间距变为大约  $10.5 \mu m$ ,当从第一 N 型元件隔离区域到耗尽层区域的边缘的一边的距离为  $4 \mu m$ ,即,总共为  $8 \mu m$  的距离时,非常难以确保耗尽层区域宽度和 P 型元件隔离区域宽度。然后,假设第二 N 型元件隔离区域(其杂质浓度低)的杂质浓度是  $1e16$ ,从第二 N 型元件隔离区域到耗尽层区域的边缘的距离可以是  $2 \mu m$  或更高。

[0061] 因此,使用浓度不同的第一 N 型元件隔离区域 103 和第二 N 型元件隔离区域 104 的结构特别有效地发挥作用。此外,由于只要在如此制造工艺所示的第一 N 型元件隔离区

域 103 的热扩散工艺之后形成第二 N 型元件隔离区域 104, 就可以抑制第二 N 型元件隔离区域在横向的发散, 因此, 获得了相当有利的效果。

[0062] 所需的只是选择第二 N 型元件隔离区域在深度方向的浓度分布, 以便可以最佳地形成耗尽层区域 106。

[0063] 此外, 也可以不进行离子注入, 而是通过从第一元件隔离区域 103 扩散来形成第二元件隔离区域 104。当使用如此形成的第二元件隔离区域时, 获得与此实施例的效果相同的有利效果。

[0064] (第二实施例)

[0065] 图 5 是显示了第二实施例中的包括三个像素的结构平面图。类似于图 1, 图 5 以收集于图 12 中显示的光电转换部分的方式显示该光电转换部分。图 6A 是图 5 中的 6A-6A 截面的截面结构的示意图, 图 6B 是图 5 中的 6B-6B 截面中的截面结构的示意图。此外, 在图 5 和 6 中, 对与图 1、2A 和 2B 中的相同部件分配了相同的参考字符。关于图 5、6A 和 6B 中的结构, 省略了与第一实施例中的相同的组件的描述, 并且未显示读出电路。

[0066] 在图 5、6A 和 6B 中, 第三 N 型元件隔离区域 401 的元件隔离区域的宽度比第一 N 型元件隔离区域 103 的宽度窄。可以通过例如在形成前面描述的第一 N 型元件隔离区域 103 的过程中, 控制在光刻工艺中指定的离子注入区域的形状的宽度, 同时形成此结构。在此实施例中, 使第三 N 型元件隔离区域的杂质浓度与第一 N 型元件隔离区域的杂质浓度相同。

[0067] 虽然耗尽层通过 P 型区域 105 和外延区域 102 之间的反向偏压而向外延层延伸, 但是第三 N 型像素区域 401 的宽度被设计为以免耗尽层到达第三 N 型元件隔离区域 401。即使第三 N 型像素隔离区域 401 的杂质浓度高于第一 N 型元件隔离区域的杂质浓度, 只要耗尽层不会到达第三 N 型元件隔离区域 401 就是好的。当然, 第三 N 型像素隔离区域 401 的杂质浓度可以低于第一 N 型元件隔离区域的杂质浓度。

[0068] 因此, 可以产生具有小像素间距的光电转换器件, 其灵敏度高并且其中串扰的增大得到抑制。

[0069] (第三实施例)

[0070] 图 7 是第三实施例的光电转换器件的平面图。图 7 是对应于图 1 或图 5 的图, 给相同的部件应用了相同的参考编号。

[0071] 在此实施例中, 特征是, 第二 N 型杂质区域 104 的元件隔离区域的深度比第一 N 型元件隔离区域 103 的元件隔离区域的深度浅。例如, 虽然第一 N 型元件隔离区域 103 由两层或更多层杂质区域构成, 但是, 第二 N 型元件隔离区域 104 由一层杂质区域构成。

[0072] 图 8A 到 8H, 以及图 9A 到 9H 是用于描述图 7 中的像素结构的制造工艺的工艺流程图。图 8A 到 8H 对应于图 7 中的 A-A' 截面, 图 9A 到 9H 对应于图 7 中的 B-B' 截面。

[0073] 图 8H 和图 9H 是完整的截面图, 图 8A 到 8G 以及图 9A 到 9G 显示了到图 8H 和图 9H 的处理。

[0074] 此外, 只对为了形成此像素结构所需的扩散区域, 描述制造工艺, 为了简明起见, 省略了对用于形成此光电转换器件的读出电路的 MOSFET 等等的制造工艺的描述。

[0075] 此外, 在图 8 和 9 中, 对与图 3 和 4 中的相同组件分配了相同的参考字符, 并且省略对它们的描述。

[0076] 首先, 如图 8A 和图 9A 所示, 准备 N 型半导体衬底 100。

[0077] 接下来,如图 8B 和图 9B 所示,通过离子注入工艺,在 N 型半导体衬底 100 上形成 N 型掩埋区域 101。

[0078] 随后,如图 8C 和图 9C 所示,通过外延生长,在 N 型掩埋层 101 上形成具有  $1e14$  到  $1e15/cm^3$  的杂质浓度的 N 型外延区域 102'。

[0079] 接下来,如图 8D 和图 9D 所示,在光刻工艺中,它残留一部分,并且对用于进行高能离子注入的厚膜光致抗蚀剂 110 进行构图。

[0080] 随后,如图 8E 和图 9E 所示,通过 N 型外延区域 102 中的上文所提及的厚膜抗蚀剂,通过  $500keV$  到  $2.0MeV$  或更高的高能量离子注入工艺,在光刻工艺中指定的区域中形成 N 型扩散区域 601。然后,在由光刻工艺指定的外围中的薄的抗蚀剂区域中形成 N 型扩散区域 602。N 型扩散区域 601 的杂质浓度是  $1e16/cm^3$  ( $1 \times 10^{16}/cm^3$ ) 或更高,N 型扩散区域 602 的杂质浓度变成  $1e15$  到  $1e17/cm^3$ 。

[0081] 接下来,如图 8F 和图 9F 所示,在大约  $50keV$  到  $200keV$  的离子注入工艺中,在 N 型外延区域 102 的、在光刻工艺中指定的区域中形成 N 型扩散区域 603。N 型扩散区域 603 的杂质浓度变为  $1e17/cm^3$  或更高。此外,A-A' 截面中的 N 型扩散区域 601、602 和 603 连接为 N 型扩散区域,以变成第一元件隔离区域 103。B-B' 截面中的 N 型扩散区域 603 照原样变成第二元件隔离区域 104。

[0082] 接下来,如图 8G 和图 9G 所示,在离子注入工艺中,在 N 型外延区域 102 中的、在光刻工艺中指定的区域中形成 P 型区域 105。

[0083] 最后,如图 8H 和图 9H 所示,形成层间绝缘膜 108 和金属电极 107。

[0084] 当在 BB' 截面中形成处于深位置的 N 型杂质层 601 时,类似于 A-A' 截面,也在 B-B' 截面中在与 N 型杂质层 602 相同的深度形成 N 型杂质层。这是因为,由于在进行高能离子注入时所使用的厚抗蚀剂层倾向于在孔的附近产生“下垂”,所以离子被注入到从硅表面起的比较浅的位置。从 P 型信号获取区域 107 扩展的耗尽层的发散被此 N 型杂质层抑制,这成为光电转换器件的灵敏度被其降低的原因。因此,不在获取电极的附近的深的位置形成 N 型杂质层是适合于获得低干扰同时维持高灵敏度的结构。

[0085] 另一方面,通过类似于 B-B' 截面,使 N 型杂质区域进入远离信号获取电极的位置的两层或更多层,可以抑制电荷渗入到相邻像素中。

[0086] 此外,虽然在此实施例中示范了通过抗蚀剂形状中产生的“下垂”使隔离宽度变宽,除此之外,例如,因为对于高能量的厚膜光致抗蚀剂的精密蚀刻比对普通抗蚀剂的精密蚀刻更难,不得不使隔离宽度变宽。此外,在通过热扩散使隔离宽度变深的情况下,由于扩散不仅在深度方向进行,而且还在横向上进行,因此,隔离宽度变大。

[0087] 如此,一般而言,当形成深的隔离层时,隔离宽度容易在横向上变宽,当形成浅的隔离层时,可以在横向上形成窄的隔离宽度。

[0088] 因此,在此实施例中,通过在比第二元件隔离区域 104 处于峰值浓度的位置更深的位置处形成第一元件隔离区域 103,可以实现具有能够抑制灵敏度降低并且使串扰减少的像素结构的光电转换器件。

[0089] 虽然在上文所提及的实施例中描述了通过组合多次的离子注入(离子注入能量改变)来形成第一元件隔离区域 103 的情况,但是,也可以通过一次离子注入工艺来形成第一元件隔离区域 103。此外,也使用形成第二元件隔离区域 104 的离子注入工艺,以便形成

第一元件隔离区域 103,但是,在单独的离子注入中形成它们也是好的。

[0090] 虽然在上文所提及的第一到第三实施例中示范了在 N 型区域中提供了 P 型区域的情况,但是,本发明不限于此,也可以在相反导电类型的组合中获得相同的有利效果。

[0091] 此外,虽然在第一到第三实施例中示范和描述了使用通过外延生长在光电探测器部分中形成的低浓度区域的情况,但是,本发明不限于此。例如,甚至在通过高能离子注入在硅衬底的掩埋区域 101 中形成上文所提及的元件隔离结构时,本发明也是有效的。然后,硅衬底也可以用于光电探测器部分,或者,通过单独地离子注入工艺形成光电探测器部分以便变为合适的杂质浓度也是可以的。

[0092] 在上文所描述的第一到第三实施例中,是以线性传感器为示范,将其作为光电转换器件来进行描述的。然而,本发明也适用于二维传感器,其中,在一个芯片上设置了多个像素行,即,R 行、G 行,以及 B 行多条像素行。在其中设置了 R 行、G 行以及 B 行多条像素行的二维传感器的情况下,在每一个中间像素行中,在相邻的四个像素之间设置了第二 N 型元件隔离区域(第四杂质区域)。然后,在像素行的两个边缘中的每一个边缘中,在相邻三个像素之间设置了第二 N 型元件隔离区域(第四杂质区域)。此外,当然能够通过设置此实施例的三组 R 色、G 色以及 B 色线性传感器来构成二维传感器。

[0093] (第四实施例)

[0094] 图 10 是本发明中的第四实施例中的半导体图像传感器的多芯片系统的示意图。在用于进行图像传感器安装的衬底 702 上安装了多个半导体图像传感器 S1 到 S(n),第一到第三实施例的光电转换器件可以用于它们。如此,通过沿着多列设置第一到第三实施例的光电转换器件,构成半导体图像传感器的多芯片系统。

[0095] 图 7 是图 10 中的半导体图像传感器的多芯片系统的 A 部分的放大图。在 A 部分的放大图中,对图 1 中的相同组件应用了相同的参考字符,并且因此省略对它们的描述。图 11 是显示了使用上文所提及的半导体图像传感器的多芯片系统的光学系统的截面方框图。

[0096] 图 11 显示了原件 801、SELFOC 透镜阵列(商标名称,NipponSheet Glass Co.,Ltd. 制造)803,用于原件照明的 LED 阵列 804。也可以使用发光二极管和光导体的组合来代替用于原件照明的 LED 阵列 804。

[0097] 图 10 和图 11 中的箭头 700 显示了原件的副扫描方向。主要由扫描间距来确定此副扫描方向的分辨率。另一方面,因为主扫描方向的间距是由图像传感器的规范确定的,因此,通过使副扫描方向的区域变宽来提高灵敏度。

[0098] 在光电转换器件(在线性传感器中以机械方式对光电转换器件进行操作,以扫描图像)的情况下,副扫描方向的分辨率比主扫描方向的分辨率更重要是常见的。因此,在此实施例中,如图 7 所示,为了在分辨率和灵敏度方面兼容,每一个矩形像素被形成为使得纵横比可以是一或更大。

[0099] 在一个单位像素中的主扫描方向和副扫描方向的纵横比是一或更大的矩形像素的情况下,通过采用只在如此实施例所示的矩形的较长边设置第二 N 型元件隔离区域 104 的结构,可以实现具有高分辨率和高灵敏度的多芯片图像传感器,并将串扰的增大抑制到最小。

[0100] 本发明应用于用于扫描仪、视频摄像机、数字静物摄像机等等的光电转换器件。

[0101] 虽然参考示范性实施例描述了本发明,但是应该理解,本发明不限于所公开的示

范性实施例。下列权利要求的范围应该有最广泛的解释,以便包含所有这样的修改以及等效的结构和功能。

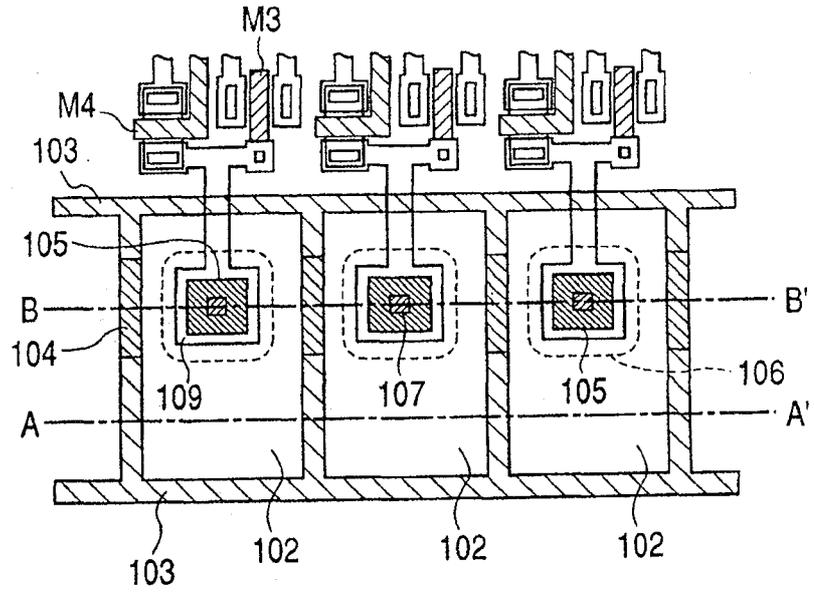


图 1

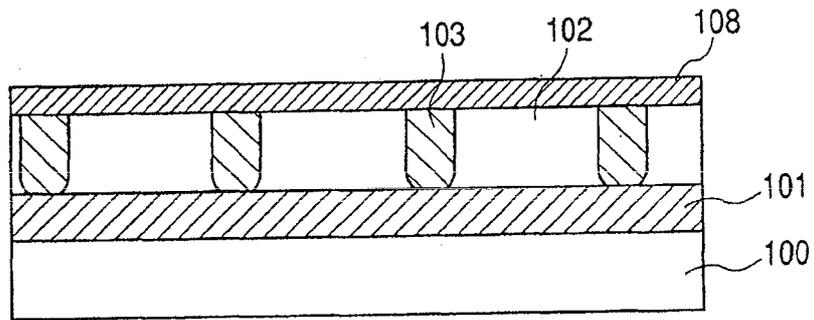


图 2A

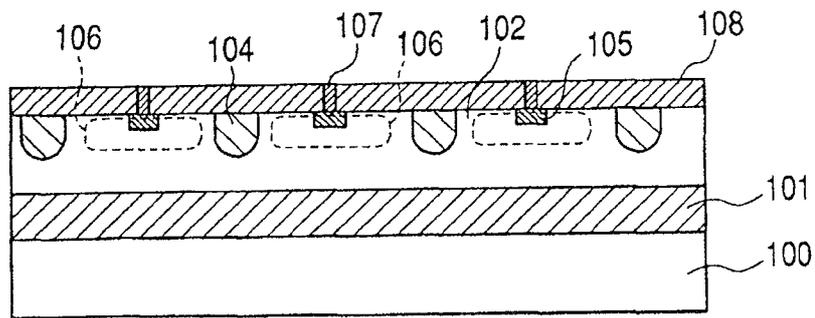


图 2B

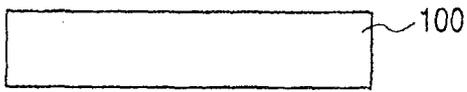


图 3A

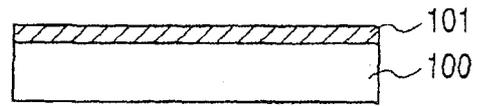


图 3B

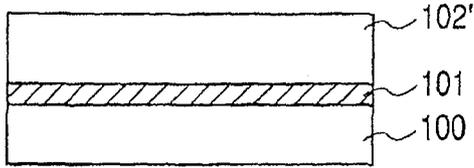


图 3C

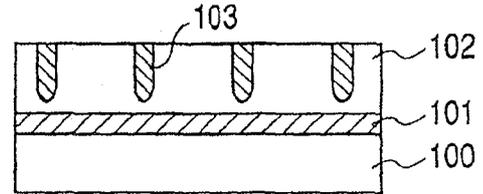


图 3D

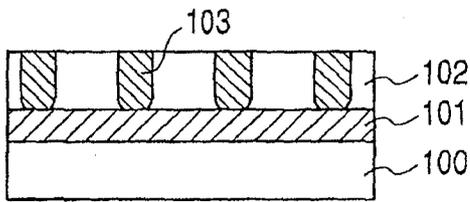


图 3E

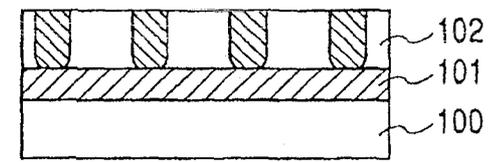


图 3F

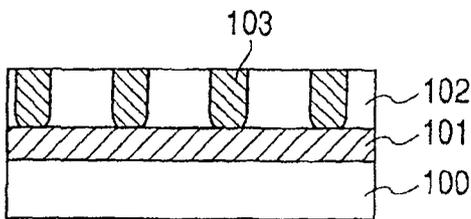


图 3G

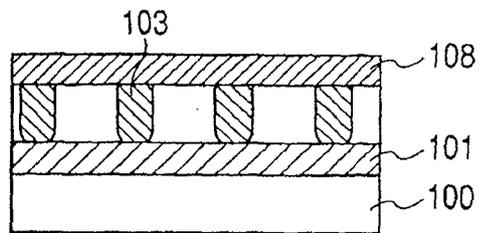


图 3H

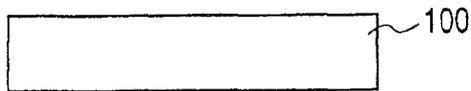


图 4A

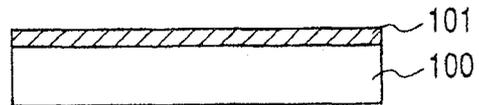


图 4B

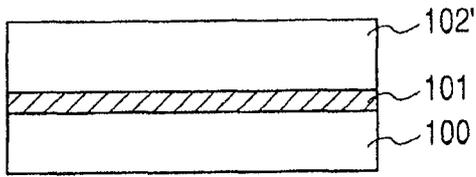


图 4C

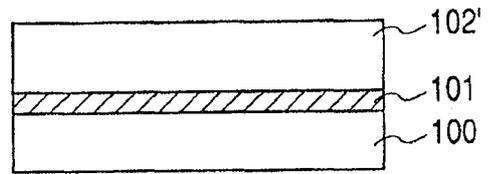


图 4D

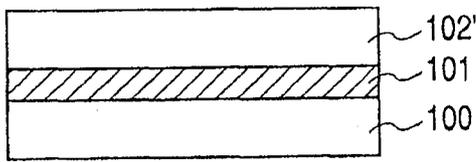


图 4E

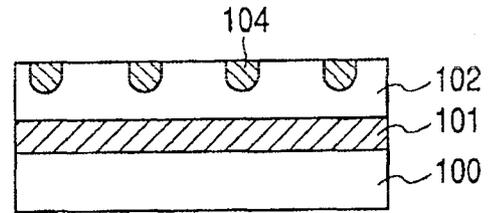


图 4F

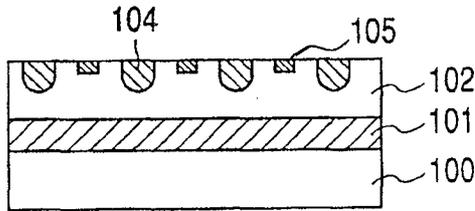


图 4G

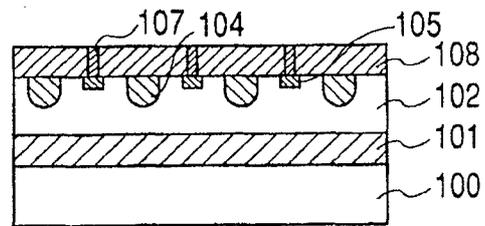


图 4H

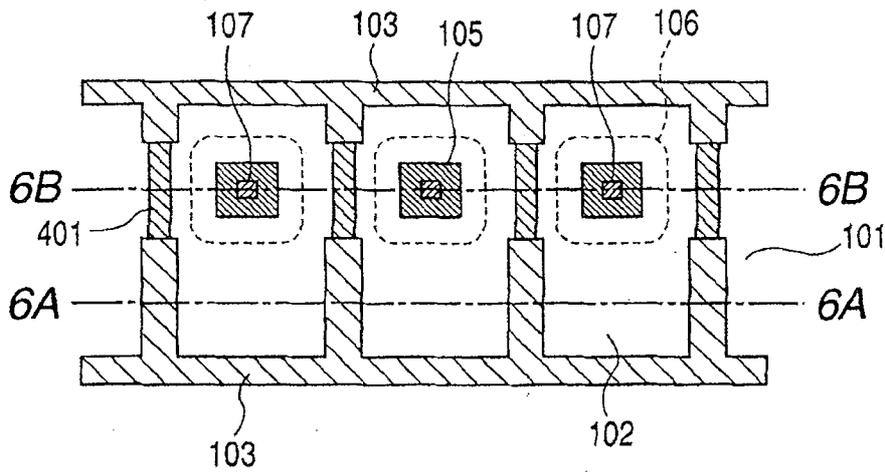


图 5

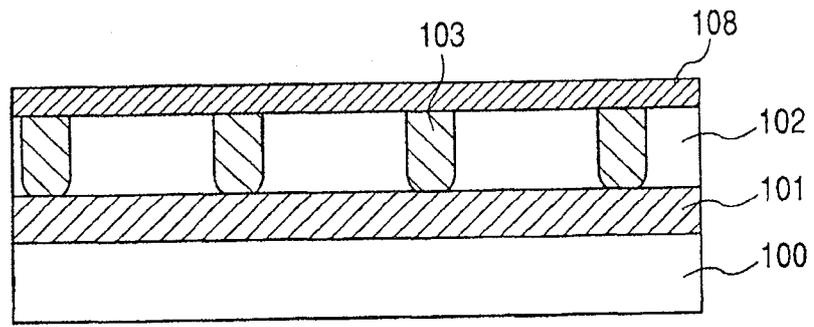


图 6A

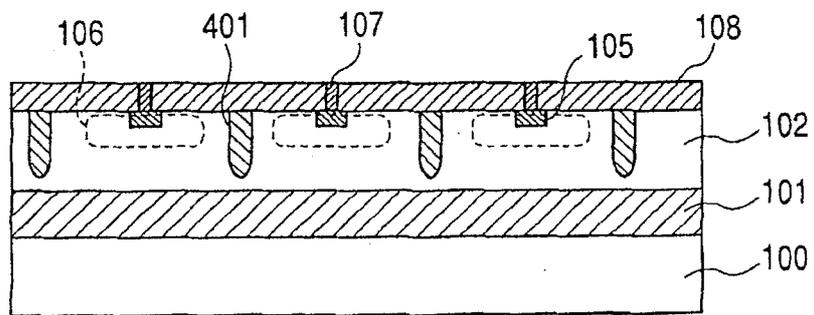


图 6B

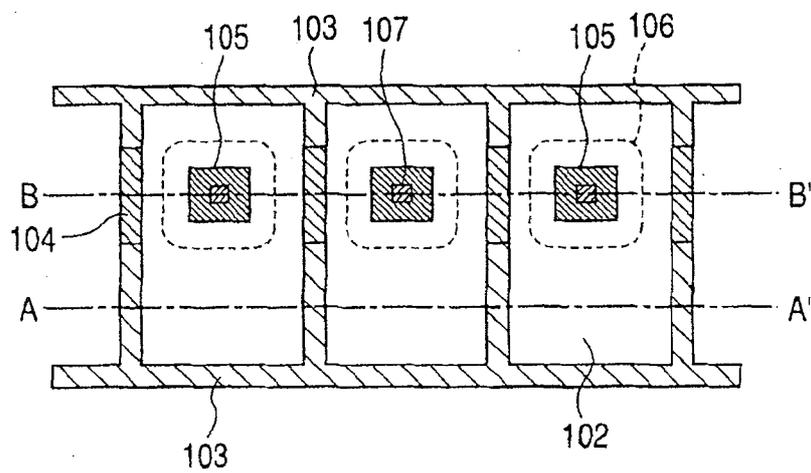


图 7

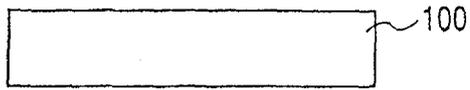


图 8A

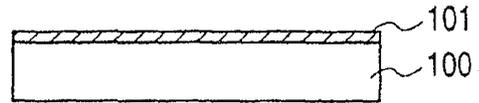


图 8B

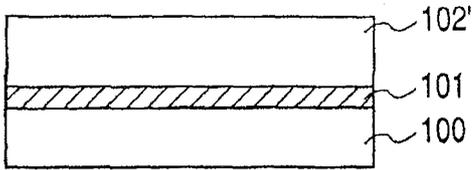


图 8C

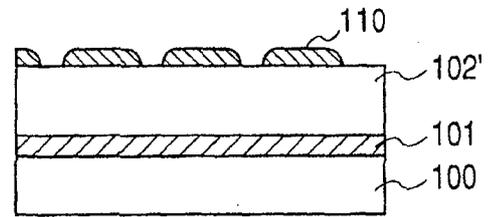


图 8D

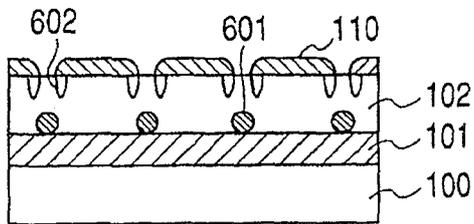


图 8E

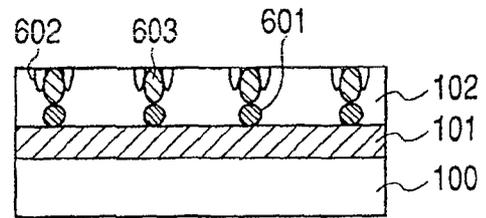


图 8F

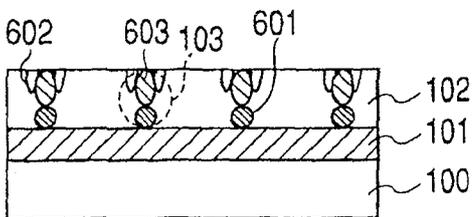


图 8G

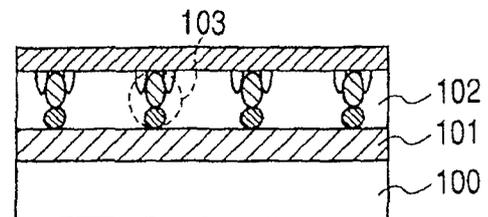


图 8H

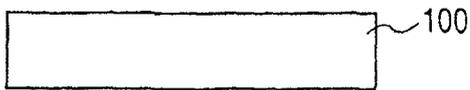


图 9A

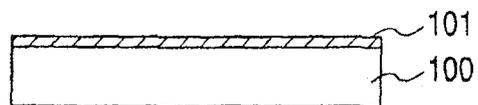


图 9B

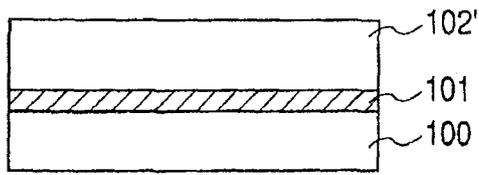


图 9C

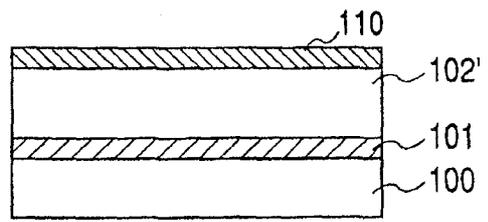


图 9D

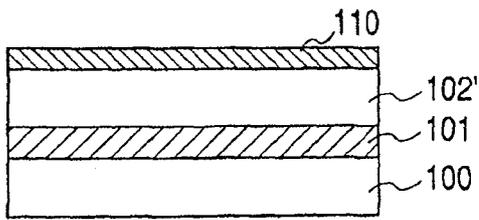


图 9E

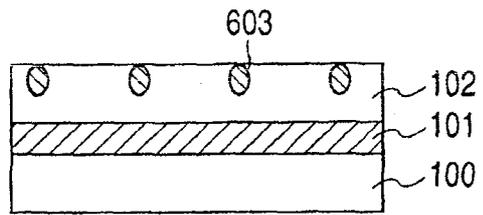


图 9F

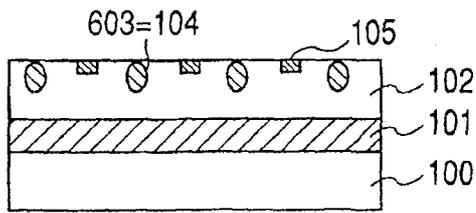


图 9G

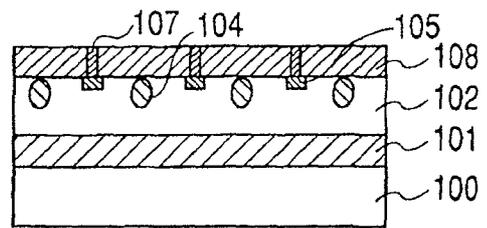


图 9H

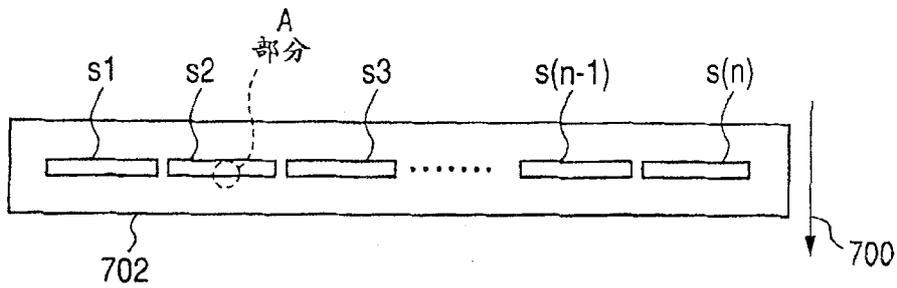


图 10

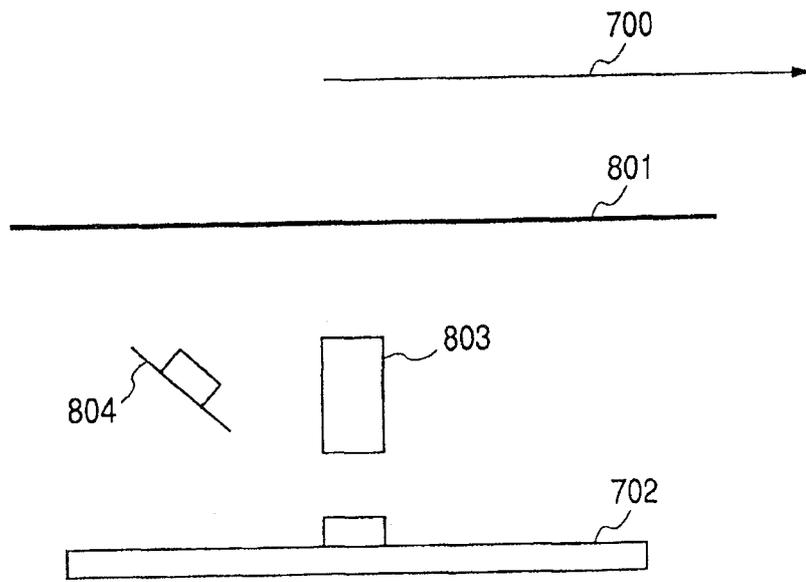


图 11

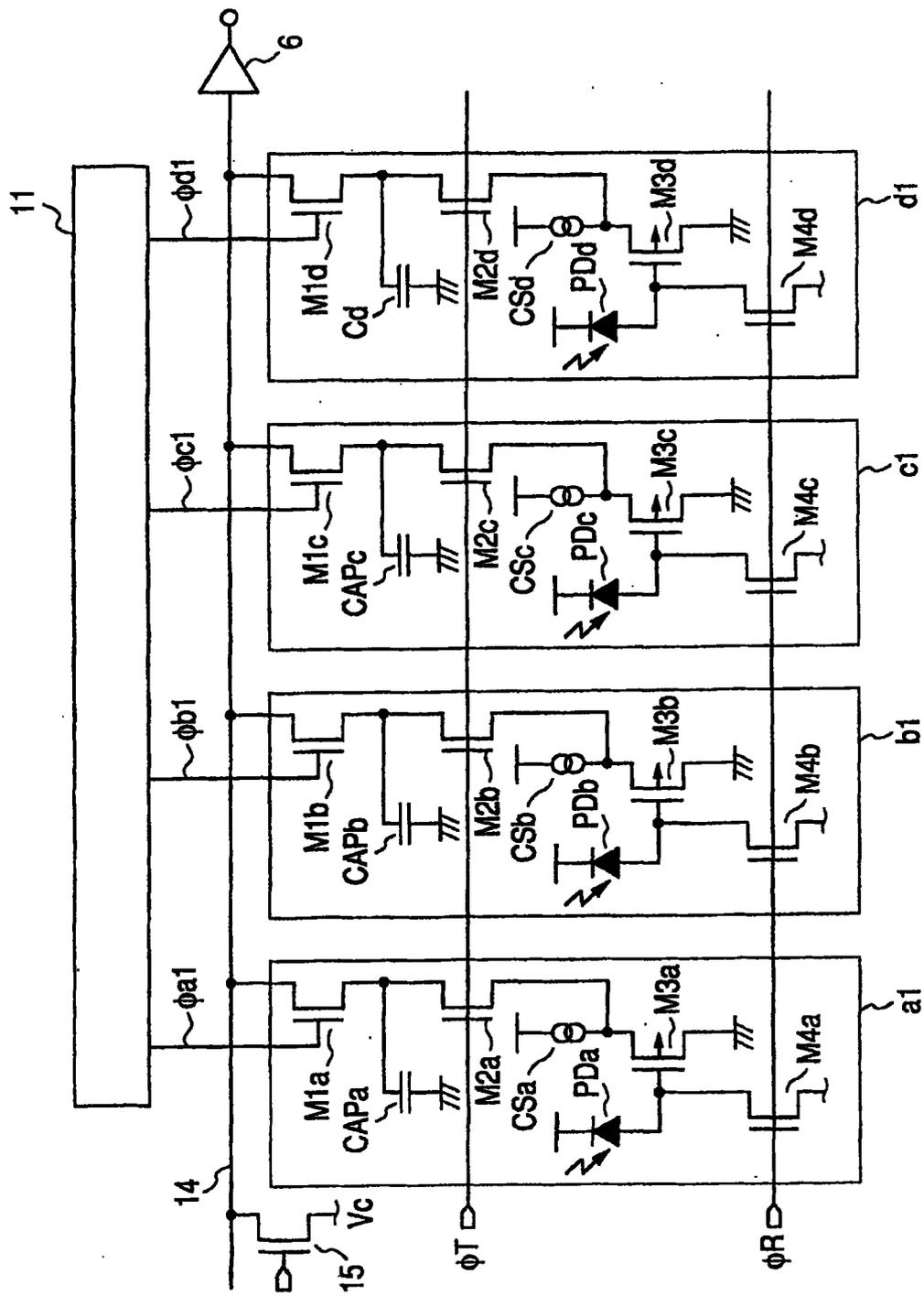


图 12