(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116508154 A
(43)申请公布日 2023.07.28

(21)申请号 202180072367.2
(22)申请日 2021.10.07
(30)优先权数据
17/094,303 2020.11.10 US
(85)PCT国际申请进入国家阶段日
2023.04.21
(86)PCT国际申请的申请数据
PCT/US2021/054044 2021.10.07
(87)PCT国际申请的公布数据
WO2022/103531 EN 2022.05.19
(71)申请人 高通股份有限公司
地址 美国加利福尼亚州
(72)发明人 孙洋洋 L-S·翁 Z·宋
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 张宁
(51)Int.Cl.
H01L 25/065(2023.01)
H01L 21/56(2006.01)
H01L 21/60(2006.01)

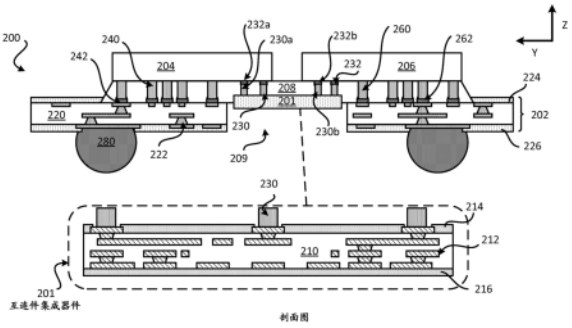
权利要求书3页 说明书22页 附图27页

(54)发明名称

包括衬底和高密度互连件集成器件的封装件

(57)摘要

一种封装件,包括:衬底(202);第一集成器件(204),耦合到该衬底;第二集成器件(206),耦合到该衬底;互连件集成器件(201),耦合到该第一集成器件和该第二集成器件;以及底部填料。该衬底包括腔(209)。该互连件集成器件位于该衬底的该腔之上。该底部填料(208)位于(i)该第一集成器件和该衬底之间,(ii)该第二集成器件和该衬底之间,(iii)该互连件集成器件和该第一集成器件之间,以及(iv)该互连件集成器件和该第二集成器件之间。



CN 116508154 A

1.一种封装件,包括:

衬底,包括腔;

第一集成器件,耦合到所述衬底;

第二集成器件,耦合到所述衬底;

互连件集成器件,耦合到所述第一集成器件和所述第二集成器件,其中所述互连件集成器件位于所述衬底的所述腔之上;以及

底部填料,位于(i)所述第一集成器件和所述衬底之间,(ii)所述第二集成器件和所述衬底之间,(iii)所述互连件集成器件和所述第一集成器件之间,以及(iv)所述互连件集成器件和所述第二集成器件之间。

2.根据权利要求1所述的封装件,其中所述第一集成器件、所述第二集成器件和所述互连件集成器件被配置为在所述第一集成器件和所述第二集成器件之间为电信号提供电路径,所述电路径延伸穿过所述互连件集成器件并且绕过所述衬底。

3.根据权利要求1所述的封装件,其中所述底部填料包括约10至30帕斯卡秒(Pa〃s)的粘度。

4.根据权利要求1所述的封装件,其中所述底部填料包括约百万分之10至15(ppm)的热膨胀系数(CTE)。

5.根据权利要求1所述的封装件,其中所述底部填料包括占所述底部填料的重量的约50至90%的填料。

6.根据权利要求1所述的封装件,其中所述互连件集成器件包括裸片衬底、至少一个电介质层和多个互连件。

7.根据权利要求6所述的封装件,其中所述裸片衬底包括硅、玻璃和/或石英。

8.根据权利要求6所述的封装件,

其中针对所述互连件集成器件的所述多个互连件的最小宽度在约2微米至5微米(μm)的范围内,并且

其中针对所述互连件集成器件的所述多个互连件的最小间距在约2微米至5微米(μm)的范围内。

9.根据权利要求1所述的封装件,其中所述互连件集成器件包括裸片,所述裸片没有耦合到电路的晶体管。

10.根据权利要求1所述的封装件,其中所述互连件集成器件至少部分地位于所述衬底的所述腔中。

11.根据权利要求1所述的封装件,其中所述底部填料还位于所述第一集成器件和所述第二集成器件之上。

12.根据权利要求1所述的封装件,其中所述底部填料还位于所述衬底的所述腔中。

13.根据权利要求1所述的封装件,还包括位于所述衬底之上的包封层。

14.根据权利要求1所述的封装件,还包括位于所述衬底的所述腔中的包封层。

15.根据权利要求1所述的封装件,

其中所述互连件集成器件通过第一多个焊料互连件和第一多个柱互连件耦合到所述第一集成器件,并且

其中所述互连件集成器件通过第二多个焊料互连件和第二多个柱互连件耦合到所述

第二集成器件。

16.根据权利要求1所述的封装件,其中所述底部填料包括毛细底部填料和/或模制物底部填料。

17.一种装置,包括:

衬底,包括腔;

第一集成器件,耦合到所述衬底;

第二集成器件,耦合到所述衬底;

用于集成器件互连的部件,耦合到所述第一集成器件和所述第二集成器件,其中所述用于集成器件互连的部件位于所述衬底的所述腔之上;以及

底部填料,位于(i)所述第一集成器件和所述衬底之间,(ii)所述第二集成器件和所述衬底之间,(iii)所述用于集成器件互连的部件和所述第一集成器件之间,以及(iv)所述用于集成器件互连的部件和所述第二集成器件之间。

18.根据权利要求17所述的装置,其中所述第一集成器件、所述第二集成器件和所述用于集成器件互连的部件被配置为在所述第一集成器件和所述第二集成器件之间为电信号提供电路径,所述电路径延伸穿过所述用于集成器件互连的部件并且绕过所述衬底。

19.根据权利要求17所述的装置,其中所述底部填料包括毛细底部填料和/或模制物底部填料。

20.根据权利要求17所述的装置,其中所述底部填料包括约10至30帕斯卡秒(Pa〃s)的粘度。

21.根据权利要求17所述的装置,其中所述底部填料包括约百万分之10至15(ppm)的热膨胀系数(CTE)。

22.根据权利要求17所述的装置,其中所述底部填料包括占所述底部填料的所述重量的约50至90%的填料。

23.根据权利要求17所述的装置,其中所述用于集成器件互连的部件包括裸片衬底、至少一个电介质层和多个互连件。

24.根据权利要求23所述的装置,其中所述裸片衬底包括硅、玻璃和/或石英。

25.根据权利要求23所述的装置,

其中针对所述互连件集成器件的所述多个互连件的最小宽度在约2至5微米(μm)的范围内,并且

其中针对所述互连件集成器件的所述多个互连件的最小间距在约2至5微米(μm)的范围内。

26.根据权利要求17所述的装置,其中所述用于集成器件互连的部件包括裸片,所述裸片没有耦合到电路的晶体管。

27.根据权利要求17所述的装置,其中所述装置包括选自由以下组成的组的设备:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动车辆中的设备。

28.一种用于制造封装件的方法,包括:

提供包括腔的衬底;

将第一集成器件耦合到所述衬底;

将第二集成器件耦合到所述衬底;

将互连件集成器件耦合到所述第一集成器件和所述第二集成器件,其中所述互连件集成器件位于所述衬底的所述腔之上;以及

(i)在所述第一集成器件和所述衬底之间,(ii)在所述第二集成器件和所述衬底之间,(iii)在所述互连件集成器件和所述第一集成器件之间,以及(iv)在所述互连件集成器件和所述第二集成器件之间形成底部填料。

29.根据权利要求28所述的方法,其中所述第一集成器件、所述第二集成器件和所述互连件集成器件被配置为在所述第一集成器件和所述第二集成器件之间为电信号提供电路径,所述电路径延伸穿过所述互连件集成器件并且绕过所述衬底。

30.根据权利要求28所述的方法,其中所述底部填料包括约10至30帕斯卡秒(Pa〃s)的粘度。

31.根据权利要求28所述的方法,其中所述底部填料包括约百万分之10至15(ppm)的热膨胀系数(CTE)。

32.根据权利要求28所述的方法,其中所述底部填料包括占所述底部填料的所述重量的约50至90%的填料。

33.根据权利要求28所述的方法,其中所述互连件集成器件包括裸片衬底、至少一个电介质层和多个互连件。

34.根据权利要求28所述的方法,其中所述互连件集成器件包括裸片,所述裸片没有耦合到电路的晶体管。

35.根据权利要求28所述的方法,其中所述底部填料包括毛细底部填料和/或模制物底部填料。

包括衬底和高密度互连件集成器件的封装件

[0001] 相关申请的交叉引用/优先权声明

[0002] 本专利申请要求2020年11月10日在美国专利商标局提交的第17/094,303号未决非临时申请的优先权和权益,该申请的内容被并入本文就如同在下文中为了所有适用的目的完全阐述了其全部内容一样。

技术领域

[0003] 各种特征涉及包括集成器件的封装件,并且更特别地涉及包括集成器件和衬底的封装件。

背景技术

[0004] 图1图示了包括衬底102、集成器件104和集成器件106的封装件100。衬底102包括至少一个电介质层120、多个互连件122和多个焊料互连件124。多个焊料互连件144耦合到衬底102和集成器件104。多个焊料互连件164耦合到衬底102和集成器件106。存在提供可以适应高密度互连件和/或高引脚数的更紧凑的封装件的持续需求。

发明内容

[0005] 各种特征涉及包括集成器件的封装件,并且更特别地涉及包括集成器件和衬底的封装件。

[0006] 一个示例提供了一种封装件,包括:衬底;第一集成器件,耦合到衬底;第二集成器件,耦合到衬底;互连件集成器件,耦合到第一集成器件和第二集成器件;以及底部填料。衬底包括腔。互连件集成器件位于衬底的腔之上。底部填料位于(i)第一集成器件和衬底之间,(ii)第二集成器件和衬底之间,(iii)互连件集成器件和第一集成器件之间,以及(iv)互连件集成器件和第二集成器件之间。

[0007] 另一个示例提供了一种装置,该装置包括:衬底,包括腔;第一集成器件,耦合到衬底;第二集成器件;耦合到衬底;用于集成器件互连的部件,耦合到第一集成器件和第二集成器件,其中用于集成器件互连的部件位于衬底的腔之上;以及底部填料,其位于(i)第一集成器件和衬底之间,(ii)第二集成器件和衬底之间,(iii)用于集成器件互连的部件和第一集成器件之间,以及(iv)用于集成器件互连的部件和第二集成器件之间。

[0008] 另一个示例提供了一种用于制造封装件的方法。该方法提供衬底,该衬底包括腔。该方法将第一集成器件耦合到衬底。该方法将第二集成器件耦合到衬底。该方法将互连件集成器件耦合到第一集成器件和第二集成器件,其中互连件集成器件位于衬底的腔之上。该方法(i)在第一集成器件和衬底之间,(ii)在第二集成器件和衬底之间,(iii)在互连件集成器件和第一集成器件之间,以及(iv)在互连件集成器件和第二集成器件之间形成底部填料。

附图说明

[0009] 当结合附图时，从下面阐述的具体实施方式中，各种特征、性质和优点将变得显而易见，在附图中，相同的附图标记始终对应地标识。

[0010] 图1图示了包括集成器件和衬底的封装件的剖面图。

[0011] 图2图示了包括高密度互连件集成器件的封装件的剖面图。

[0012] 图3图示了包括高密度互连件集成器件的另一封装件的剖面图。

[0013] 图4图示了包括耦合到衬底的高密度互连件集成器件的封装件中可能的电路径的视图。

[0014] 图5图示了包括高密度互连件集成器件的另一封装件的剖面图。

[0015] 图6图示了包括高密度互连件集成器件的另一封装件的剖面图。

[0016] 图7图示了包括高密度互连件集成器件的封装件中可能的电路径的视图。

[0017] 图8A至图8D图示了用于制造高密度互连件集成器件的示例性序列。

[0018] 图9图示了用于制造高密度互连件集成器件的方法的示例性流程图。

[0019] 图10图示了集成器件和包括柱互连件的互连件集成器件的剖面图。

[0020] 图11图示了集成器件和包括柱互连件的互连件集成器件的剖面图。

[0021] 图12A至图12B图示了用于制造具有柱互连件的互连件集成器件的示例性序列。

[0022] 图13A至图13B图示了用于制造具有柱互连件的集成器件的另一个示例性序列。

[0023] 图14图示了用于制造具有柱互连件的集成器件的方法的示例性流程图。

[0024] 图15A至图15C图示了用于制造衬底的示例性序列。

[0025] 图16图示了用于制造衬底的方法的示例性流程图。

[0026] 图17A至图17B图示了用于制造包括高密度互连件集成器件的封装件的示例性序列。

[0027] 图18图示了用于制造包括高密度互连件集成器件的封装件的方法的示例性流程图。

[0028] 图19图示了可以集成本文所描述的裸片、电子电路、集成器件、集成无源器件(IPD)、无源部件、封装件和/或设备封装件的各种电子设备。

具体实施方式

[0029] 在以下描述中，给出了具体细节以提供对本公开的各个方面的透彻理解。然而，本领域的普通技术人员应理解，可以在没有这些具体细节的情况下实践这些方面。例如，可以在框图中示出电路以避免在不必要的细节中模糊这些方面。在其他情况下，为了不混淆本公开的方面，可能没有详细示出公知的电路、结构和技术。

[0030] 本公开描述了一种封装件，包括：衬底；第一集成器件，耦合到衬底；第二集成器件，耦合到衬底；互连件集成器件，耦合到第一集成器件和第二集成器件；以及底部填料。衬底包括腔。互连件集成器件位于衬底的腔之上。底部填料位于(i)第一集成器件和衬底之间，(ii)第二集成器件和衬底之间，(iii)互连件集成器件和第一集成器件之间，以及(iv)互连件集成器件和第二集成器件之间。互连件集成器件可以包括高密度互连件集成器件，该高密度互连件集成器件被配置为具有最小宽度和间距比来自衬底的互连件的最小宽度和间距更小的互连件。互连件集成器件可以被配置为允许电流在集成器件之间流动，同时

绕过对于互连件具有更高的最小宽度和/或间距的衬底。互连件集成器件可以使封装件具有小而紧凑的形状因子,同时还提供高输入/输出(I/O)引脚数。互连件集成器件可以为集成器件提供改进的电压降、集成器件之间更短的路径和/或更低的电感。底部填料可以帮助为互连件集成器件提供强的结构完整性,这又帮助提供包括两个或更多个集成器件之间的可靠互连件的封装件。

[0031] 包括高密度互连件集成器件的示例性封装件

[0032] 图2图示了包括高密度互连件集成器件的封装件200的剖面图。封装件200可以通过多个焊料互连件280耦合到板(例如,印刷电路板(PCB))。封装件200提供具有紧凑小因子同时还具有高输入/输出引脚数的封装件。如下面将进一步描述的,封装件200在集成器件之间提供了更短的路径、更低的电感和/或更少的布线约束。

[0033] 如图2中所示,封装件200包括互连件集成器件201、衬底202、第一集成器件204、第二集成器件206和底部填料208。互连件集成器件201可以被配置作为两个或更多个集成器件之间的桥(例如,桥裸片)。如下面将进一步描述的,集成器件(例如,204、206)和互连件集成器件201可以以此类方式耦合在一起,使得当至少一个电信号(例如,第一电信号、第二电信号)在至少两个集成器件(例如,204、206)之间传播时,电信号传播通过互连件集成器件201并且绕过衬底202。该至少一个电信号可以通过由封装件、集成器件、衬底和/或互连件集成器件的互连件所限定的至少一个电路径传播。

[0034] 衬底202包括第一表面(例如,顶表面)和第二表面(例如,底表面)。衬底202包括至少一个电介质层220、多个互连件222、第一阻焊层224和第二阻焊层226。衬底202还包括延伸穿过衬底202的腔209。腔209可以延伸穿过至少一个电介质层220、第一阻焊层224和第二阻焊层226。腔209可以具有任何形状(例如,矩形、正方形)。腔209可以具有大于互连件集成器件201的侧向尺寸的侧向尺寸。衬底202可以包括一个以上的腔209。

[0035] 多个互连件222可以被配置为提供至少一个去往和/或来自板的电路径。多个互连件222可以被配置为向至少一个集成器件(例如,204、206)提供至少一个电路径。多个互连件222可以被配置为在两个或更多个集成器件(例如,204、206)之间提供至少一个电路径(例如,电连接)。多个互连件222可以具有第一最小间距和第一最小线间距(L/S)。在一些实现方式中,多个互连件222的第一最小线和间距(L/S)在约9/9至12/12微米(μm)的范围内(例如,约9至12微米(μm)的最小线宽,约9至12微米(μm)的最小间距)。不同的实现方式可以使用不同的衬底。衬底202可以是层压衬底、无芯衬底、有机衬底和/或有芯衬底(例如,包括芯层)。在一些实现方式中,至少一个电介质层220可以包括芯层和/或预浸料层。至少一个电介质层220可以具有约3.5至3.7范围内的电介质常数。下面在图15A至图15C中进一步描述了制造衬底的示例。如下文将进一步描述的,在一些实现方式中,可以使用改进的半加成工艺(mSAP)或半加成工艺(SAP)来制造衬底202。

[0036] 第一集成器件204耦合到衬底202的第一表面(例如,顶表面)。在一些实现方式中,第一集成器件204通过多个柱互连件240和/或多个焊料互连件242耦合到衬底202。多个柱互连件240和/或多个焊料互连件242可以耦合到衬底202的多个互连件222。第一集成器件204的一部分可以位于腔209之上。第一集成器件204的正面可以面向衬底202。

[0037] 第二集成器件206耦合到衬底202的第一表面。在一些实现方式中,第二集成器件206通过多个柱互连件260和/或多个焊料互连件262耦合到衬底202。多个柱互连件260和/

或多个焊料互连件262可以耦合到多个互连件222。第二集成器件206的一部分可以位于腔209之上。第二集成器件206的正面可以面向衬底202。

[0038] 互连件集成器件201通过多个柱互连件230和/或多个焊料互连件232耦合到第一集成器件204和第二集成器件206。例如，第一多个柱互连件230a和/或第一多个焊料互连件232a可以用于将互连件集成器件201耦合到第一集成器件204。第二多个柱互连件230b和/或第二多个焊料互连件232b可以用于将互连件集成器件201耦合到第二集成器件206。互连件集成器件201的正面可以面向第一集成器件204的正面和第二集成器件206的正面。互连件集成器件201位于衬底202的腔209之上。在一些实现方式中，互连件集成器件201可以至少部分地位于腔209中。在一些实现方式中，互连件集成器件201可以完全地位于衬底202的腔209中。腔209可以形成用于互连件集成器件201的空间以适配在第一集成器件204和/或第二集成器件206的下面。此外，柱互连件的使用可以帮助提供空间，使得互连件集成器件201可以适配在第一集成器件204和/或第二集成器件206下面。

[0039] 互连件集成器件201可以是包括具有第二最小间距和第二最小线间距(L/S)的互连件的高密度互连件集成器件。在一些实现方式中，互连件集成器件(例如，201)的互连件的第二最小线和间距(L/S)在约2/2至5/5微米(μm)的范围内(例如，最小线宽约2至5微米(μm)，最小间距约2至5微米(μm))。间距可以限定为两个相邻互连件之间的中心到中心的距离。互连件集成器件201的互连件的第二最小线和间距(L/S)低于用于衬底202的互连件的最小线和间距。互连件集成器件(例如，201)是被配置为放置在集成器件附近的区域中的局部集成器件。互连件集成器件的大小可以随着不同的实现方式而变化。

[0040] 具有更高密度互连件的互连件集成器件201允许封装件200提供更高的I/O引脚数而不必增加封装件200的大小。例如，使用互连件集成器件201可以允许衬底202具有较少数目的金属层，这可以帮助降低封装件200的整体高度。一个或多个互连件集成器件201可以帮助减少衬底202的某些区域(例如，集成器件附近的区域)中由于大量的引脚数和/或网表数而导致的拥塞和/或缠结。互连件集成器件201可以具有比第一集成器件204和/或第二集成器件206更低的高度。通过减少衬底202中的布线拥塞和/或通过减少集成器件之间的电流(例如，信号)路径，在集成器件之间提供绕过衬底202的至少一个电路径可以帮助提高封装件200的性能。最终结果是改进了电性能和更紧凑形状因子的封装件。此外，由于衬底202的互连件不需要靠得很近(例如，较低的L/S)来实现靠近裸片的脱离，因为互连件集成器件201的互连件将帮助靠近裸片的脱离，因此互连件集成器件201可以帮助降低衬底202的成本。如下面将进一步描述的，互连件集成器件(例如，201)可以被配置为桥。互连件集成器件(例如，201)可以包括裸片(例如，无源器件裸片、桥裸片)。被配置为桥裸片和/或无源器件裸片的互连件集成器件可以没有有源器件(诸如晶体管)。

[0041] 如图2中所示，底部填料208位于(i)第一集成器件204和衬底202之间，(ii)第二集成器件206和衬底202之间，(iii)互连件集成器件201和第一集成器件204之间，以及(iv)互连件集成器件201和第二集成器件206之间。底部填料208可以位于互连件集成器件201的侧向。例如，底部填料208可以侧向地围绕互连件集成器件201。底部填料208可以围绕多个柱互连件(例如，230、240、260)和/或多个焊料互连件(例如，232、242、262)。如将在下面进一步描述的，底部填料208可以位于其他位置中，诸如在腔209中和/或在第一集成器件204和第二集成器件206之上。

[0042] 底部填料208帮助为封装件200提供结构稳定性。特别地，底部填料208帮助在互连件集成器件201、第一集成器件204和第二集成器件206之间提供强而可靠的机械耦合。通过帮助将互连件集成器件201、第一集成器件204和第二集成器件206在结构上保持在一起，底部填料208帮助确保在第一集成器件204和第二集成器件206之间存在牢固且可靠的电连接(例如，电路径)。

[0043] 不同的实现方式可以为底部填料208提供不同的材料和/或特性。底部填料208可以包括一种或多种底部填料(例如，底部填料层)。例如，底部填料208可以由底部填料的单一形成物形成。在一些实现方式中，底部填料208可以表示分别地形成和固化的底部填料的若干部分和/或层。在一些实现方式中，底部填料208可以包括约10至30帕斯卡秒的粘度。(Pa〃s)。这些粘度值可以用于约80摄氏度的温度。在一些实现方式中，底部填料208可以包括约百万分之10至15(ppm)的热膨胀系数(CTE)。在一些实现方式中，底部填料208可以包括占底部填料208重量的约50至90％的填料。如将在下面进一步描述的，底部填料208可以具有毛细特性，该毛细特性允许底部填料208填充集成器件和/或衬底之间的小空间。例如，上面所描述的对于底部填料208的粘度值允许底部填料208在集成器件和/或衬底之间的小空间之间移动和填充。下面进一步描述底部填料208和/或可以位于柱周围以及集成器件和衬底之间的其他材料。

[0044] 集成器件(例如，204、206)可以包括裸片(例如，半导体裸芯片)。集成器件可以包括逻辑裸片、射频(RF)器件、无源器件、滤波器、电容器、电感器、天线、发射器、接收器、基于砷化镓(GaAs)的集成器件、表面声波(SAW)滤波器、体声波(BAW)滤波器、发光二极管(LED)集成器件、基于硅(Si)的集成器件、基于碳化硅(SiC)的集成器件、存储器、功率管理处理器和/或其组合。集成器件(例如，204、206)可以包括至少一个电子电路(例如，第一电子电路、第二电子电路等……)。

[0045] 图2图示了互连件集成器件201包括至少一个电介质层210、多个互连件212、钝化层214和衬底216。衬底216可以包括硅(Si)、玻璃或石英。衬底216可以是裸片衬底。互连件集成器件201可以包括正面和背面。互连件集成器件201的背面可以是包括衬底216的面。互连件集成器件201的正面可以是包括钝化层214的面和/或焊料互连件耦合到互连件集成器件201的面。互连件集成器件201的正面可以与互连件集成器件201的背面相对。如下面将进一步描述的，互连件集成器件201(和/或本公开中描述的任何互连件集成器件)可以被配置为桥。互连件集成器件201可以包括裸片(例如，无源器件裸片、桥裸片)。被配置为桥和/或无源器件裸片的互连件集成器件可以没有有源器件(诸如晶体管)。因此，被配置为桥和/或无源器件裸片的互连件集成器件可以没有晶体管(例如，没有耦合到电路的晶体管)。如上所述，互连件集成器件的互连件可以具有比衬底202的互连件较高的密度(例如，较低的最小间距和/或较低的最小L/S)。钝化层214位于互连件集成器件201的第一表面之上。多个柱互连件230耦合到互连件集成器件201的第一表面。然而，在一些实现方式中，多个焊料互连件232可以耦合到互连件集成器件201的第一表面。

[0046] 图3图示了包括互连件集成器件的封装件300。封装件300类似于图2的封装件200，并且因此包括与封装件200相同或类似的部件。如图3中所示，互连件集成器件201不同地耦合到第一集成器件204和第二集成器件206。

[0047] 互连件集成器件201耦合到多个焊料互连件332。多个焊料互连件332耦合到多个

柱互连件340和360。因此，互连件集成器件201通过多个焊料互连件332和多个柱互连件340耦合到第一集成器件204。类似地，互连件集成器件201通过多个焊料互连件332和多个柱互连件360耦合到第二集成器件206。

[0048] 如上面所提及的，互连件集成器件可以是耦合到衬底202的部件，使得封装件(例如，200、300)可以提供较高的I/O引脚数，而不必增加封装件的整体大小，并且/或可以在集成器件之间提供更短的路径。在一些实现方式中，去往和来自一个或多个集成器件的一个或多个电信号可以通过一个或多个互连件集成器件传播。一个或多个互连件集成器件(例如，201)可以帮助减少由于大量的引脚数和/或网表数而导致的衬底的某些区域中的拥塞和/或缠结。网表是电路部件的布置以及这些部件如何电耦合在一起。一个或多个互连件集成器件201在集成器件之间提供了更短的路径，帮助降低电感，和/或减少布线约束。底部填料208帮助为封装件提供结构稳定性，诸如互连件集成器件201和集成器件(例如，204、206)之间的结构稳定性。

[0049] 图4图示了电信号如何在概念上被配置为在封装件中传播的视图。图4图示了封装件400，该封装件包括互连件集成器件201、衬底202、第一集成器件204和第二集成器件206。封装件400可以在概念上表示本公开中描述的任何封装件。图4图示了(i)用于第一电信号的第一电路径410，(ii)用于第二电信号的第二电路径411，(iii)用于第三电信号的第三电路径412，(iv)用于第四电信号的第四电路径440，以及(v)用于第五电信号的第五电路径460。

[0050] 第一电路径410、第二电路径411和第三电路径412图示了绕过或跳过来自衬底202的互连件的集成器件之间的电路径的示例。第一电路径410可以被配置为允许至少一个信号通过互连件集成器件201在第一集成器件204和第二集成器件206之间传播。第二电路径411可以被配置为允许至少一个信号通过互连件集成器件201在第一集成器件204和第二集成器件206之间传播。第三电路径412可以被配置为允许至少一个信号通过互连件集成器件201在第一集成器件204和第二集成器件206之间传播。例如，集成器件之间的一个或多个电路径(例如，410、411、412)可以被限定为包括第一多个焊料互连件(例如，232a、332)、第一多个柱互连件(例如，230a、340)、多个互连件212、第二多个柱互连件(例如，230b、360)和/或第二多个焊料互连件(例如，232b、332)。

[0051] 第四电路径440可以被配置为允许至少一个信号在第一集成器件204和衬底202之间传播。第四电路径440可以被限定为包括多个柱互连件240和/或多个焊料互连件242。第五电路径460可以被配置为允许至少一个信号在第二集成器件206和衬底202之间传播。第五电路径460可以被限定为包括多个柱互连件260和/或多个焊料互连件262。应注意的是，本公开中描述的各种电路径中的两个或更多个电路径可以被配置为彼此电耦合。电信号可以包括I/O信号。代替I/O信号，本公开中示出的示例性路径也可应用于电源和/或接地。

[0052] 图5图示了包括互连件集成器件的封装件500。封装件500类似于图2的封装件200，并且因此包括与封装件200相同或类似的部件。如图5中所示，封装件500还包括包封层508。包封层508位于衬底202的第一表面(例如，顶表面)之上，使得包封层508包封第一集成器件204和第二集成器件206。包封层508可以位于第一集成器件204的背面和第二集成器件206的背面之上。包封层508可以围绕底部填料208。包封层508可以包括模制物、树脂、环氧树脂和/或聚合物。包封层508可以是用于包封的部件。包封层508可以为封装件提供附加结构强

度，帮助在第一集成器件204、第二集成器件206和互连件集成器件201之间提供牢固而可靠的机械耦合。应注意的是，包封层508可以可选地位于腔209中。

[0053] 图6图示了包括互连件集成器件的封装件600。封装件600类似于图2的封装件200，并且因此包括与封装件200相同或类似的部件。如图6中所示，封装件600包括包封层608。包封层608位于(i)第一集成器件204和衬底202之间，(ii)第二集成器件206和衬底202之间，(iii)互连件集成器件201和第一集成器件204之间，以及(iv)互连件集成器件201和第二集成器件206之间。包封层608可以位于互连件集成器件201的侧向。例如，包封层608可以侧向地围绕互连件集成器件201。包封层608可以围绕多个柱互连件(例如，230、240、260)和/或多个焊料互连件(例如，232、242、262)。包封层608可以在功能上替代图2的底部填料208。包封层608位于衬底202的第一表面(例如，顶表面)之上，使得包封层608包封第一集成器件204和第二集成器件206。包封层608可以位于第一集成器件204的背面和第二集成器件206的背面之上。包封层608可以位于衬底202的腔209中。包封层608可以延伸超出衬底202的底面。为整个封装件提供包封层608可能比为封装件提供底部填料和包封层更具成本效益。包封层608可以与包封层508相同、类似或不同。包封层608可以包括模制物底部填料(MUF)。

[0054] 如上所述，底部填料208、包封层508和/或包封层608可以具有特定的特性，以确保柱互连件周围的空间以及集成器件和衬底之间的空间被适当地填充，从而确保集成器件和衬底之间的牢固且安全的接合。

[0055] 例如，底部填料208可以包括具有良好流动能力的毛细底部填料。毛细底部填料可以包括(CUF)二氧化硅颗粒和环氧树脂液体聚合物复合材料。毛细底部填料的一个特性是受热时具有良好的流动性，因此它可以在毛细力的驱动下流入集成器件和衬底之间的狭窄空间。毛细底部填料可以具有足够的二氧化硅填料以获得具有低CTE的最终固化材料。毛细底部填料可以是液体类型，通常在-40摄氏度以下冻结，并且在应用前解冻和加热。

[0056] 包封层508可以包括包封材料和/或环氧模制物料(EMC)，该包封材料和/或环氧模制物料用于在毛细底部填料应用之后覆盖整个封装件，因此其可以保护整个封装件。包封层508可以包括可以在室温下储存的固体颗粒。包封层508可以被加热成液体并且在传递模塑流下进行处理，以覆盖集成器件。

[0057] 在一些实现方式中，可以使用模制物底部填料(MUF)来代替底部填料208和/或包封层508，或与底部填料208和/或包封层508结合使用。模制物底部填料可以是毛细底部填料(例如，底部填料208)和EMC(例如，包封层508)的组合。模制物底部填料的材料特性和应用形式与常规EMC相同或类似但具有更细的填料大小，因此它可以在传递模塑期间被压入集成器件到衬底的间隙中。通过此方式，模制物底部填料可以代替毛细底部填料，并且减少工艺步骤。

[0058] EMC和MUF可以具有高达90重量(wt)％的高得多的填料填充量，因此固化的材料性能优于具有较低CTE和高模量的毛细底部填料。在一些实现方式中，如果封装件需要包封层，则可以使用MUF来代替CUF。对于没有包封层的封装件，只能使用CUF。下表1说明了各种材料、底部填料和包封层的示例性特性。应注意的是，用于材料的值是示例性的。不同的材料可能具有不同的特性。此外，表1中示出的值不是限制性的。

[0059]

	毛细底部填料（CUF）	环氧模制物化合物（EMC）	模制物底部填料（MUF）	聚酰亚胺（PI）或PBO电介质膜
填料填充量	50至70wt%	直到90wt%	直到90wt%	0%
填料大小	0.1 μm至3 μm	顶部切割直到100 μm	顶部切割20 μm	N/A
固化前形式	液体	固体	固体	液体
固化温度	150C	180C	180C	250C至390C
固化材料玻璃化转变温度	120C至150C	150C至160C	150C至160C	250C至320C
固化材料模量	5Gpa至10Gpa	12Gpa至20Gpa	12Gpa至20Gpa	2Gpa至3Gpa
固化材料CTE	20 ppm/C至30 ppm/C	1 ppm/C至5 ppm/C	1 ppm/C至5 ppm/C	30至80

[0060] 表1-各种材料、底部填料和/或包封层的示例性特性。

[0061] 应注意的是，包封层508可适用于图3的封装件300，或本公开中描述的任何封装件。如上所述，封装件可以包括两个或更多个集成器件。例如，封装件可以包括布置成2×2阵列的四个集成器件。

[0062] 图7图示了封装件700，封装件700包括衬底202、集成器件201、第一集成器件204、第二集成器件206、第三集成器件704和第四集成器件706。第一集成器件204、第二集成器件206、第三集成器件704和第四集成器件706可以耦合到衬底202的第一表面。第一集成器件204、第二集成器件206、第三集成器件704和第四集成器件706可以布置成2×2阵列。集成器件之间的间距可以在约0.1毫米至1.5毫米(mm)的范围内。如至少在图2和图3中描述的多个焊料互连件和/或多个柱互连件可以用于将每个集成器件耦合到衬底202。封装件700可以类似于封装件200、300、500和/或600，并且因此可以包括与封装件200、300、500和/或600类似或相同的部件。衬底202包括腔209。集成器件中的每个集成器件的一部分可以位于腔209之上。

[0063] 集成器件可以被配置为通过互连件集成器件201彼此电耦合。图7图示了(i)用于第一电信号的第一电路径714，(ii)用于第二电信号的第二电路径716，(iii)用于第三电信号的第三电路径744，(iv)用于第四电信号的第四电路径746，(v)用于第五电信号的第五电路径766，以及(vi)用于第六电信号的第六电路径777。第一电路径714、第二电路径716、第三电路径744、第四电路径746、第五电路径766和第六电路径777图示了从衬底202绕过或跳过互连件的集成器件之间的电路径的示例。

[0064] 第一电路径714可以被配置为允许至少一个信号通过互连件集成器件201在第一

集成器件204和第四集成器件706之间行进。第二电路径716可以被配置为允许至少一个信号通过互连件集成器件201在第三集成器件704和第二集成器件206之间行进。第三电路径744可以被配置为允许至少一个信号通过互连件集成器件201在第一集成器件204和第三集成器件704之间行进。第四电路径746可以被配置为允许至少一个信号通过互连件集成器件201在第一集成器件204和第二集成器件206之间行进。第五电路径766可以被配置为允许至少一个信号通过互连件集成器件201在第二集成器件206和第四集成器件706之间行进。第六电路径777可以被配置为允许至少一个信号通过互连件集成器件201在第三集成器件704和第四集成器件706之间行进。

[0065] 应注意的是,集成器件中的每个集成器件可以包括彼此之间和/或与衬底202之间的附加电路径。应注意的是,本公开中示出的电信号的路径是示例性的和/或概念性的。不同的实现方式可以对于电信号使用不同的路径。此外,电信号和/或电路径可以穿过不同类型的互连件(例如,过孔、迹线、焊盘、柱)、焊料互连件和/或部件(例如,无源器件)。因此,例如,在一些实现方式中,在集成器件和互连件集成器件之间传播的电信号可以通过集成器件和互连件集成器件之间的至少一个中间部件(例如,无源器件、电容器)传播。针对电信号示出的路径也可以应用于电源和/或接地。还应注意的是,可以使用一个以上的互连件集成器件来便于对衬底的绕过。衬底的术语“第一表面”和“第二表面”是任意的,并且可以指衬底的任何表面。例如,衬底的第一表面可以是衬底的底表面,衬底的第二表面可以是衬底的顶表面。在另一个示例中,衬底的第一表面可以是衬底的顶表面,并且衬底的第二表面可以是衬底的底表面。互连件集成器件(例如,201)可以是用于集成器件互连的部件。下面在图8A至图8D中图示和描述了用于制造互连件集成器件的方法的示例。

[0066] 用于制造高密度互连件集成器件的示例性序列

[0067] 图8A至图8D图示了用于提供或制造高密度互连件集成器件的示例性序列。在一些实现方式中,图8A至图8D的序列可以用于提供或制造图2的互连件集成器件201,或本公开中描述的任何互连件集成器件。

[0068] 应注意的是,图8A至图8D的序列可以组合一个或多个阶段以便简化和/或阐明用于提供或制造互连件集成器件的序列。在一些实现方式中,可以改变或修改工艺的顺序。在一些实现方式中,在不脱离本公开的范围的情况下,可以替换或替代一个或多个工艺。不同的实现方式可以不同地制造互连件集成器件。

[0069] 如图8A中所示,阶段1图示了提供衬底216之后的状态。衬底216可以包括玻璃、石英和/或硅。

[0070] 阶段2图示了在衬底216之上形成多个互连件822之后的状态。多个互连件822可以包括迹线和/或焊盘。形成多个互连件822可以包括形成晶种层、执行光刻工艺、电镀工艺、剥离工艺和/或蚀刻工艺。多个互连件822可以是多个互连件212的一部分。

[0071] 阶段3图示了在多个互连件822和衬底216之上形成电介质层830之后的状态。电介质层830可以沉积和/或涂覆在多个互连件822和电介质层820之上。电介质层830可以包括聚合物。电介质层830可以类似于电介质层210。

[0072] 阶段4图示了在电介质层830中形成腔831之后的状态。可以使用蚀刻工艺来形成腔831。

[0073] 如图8B中所示,阶段5图示了在电介质层830之上形成多个互连件832之后的状态。

多个互连件832可以包括过孔、迹线和/或焊盘。形成多个互连件832可以包括执行光刻工艺、电镀工艺、剥离工艺和/或蚀刻工艺。多个互连件832可以是多个互连件212的一部分。

[0074] 阶段6图示了在多个互连件832和电介质层830之上形成电介质层840之后的状态。电介质层840可以被沉积和/或涂覆在多个互连件832和电介质层830之上。电介质层840可以包括聚合物。电介质层840可以类似于电介质层830。

[0075] 阶段7图示了在电介质层840中形成腔841之后的状态。可以使用蚀刻工艺来形成腔841。

[0076] 阶段8图示了在电介质层840之上形成多个互连件842之后的状态。多个互连件842可以包括过孔、迹线和/或焊盘。形成多个互连件842可以包括执行光刻工艺、电镀工艺、剥离工艺和/或蚀刻工艺。多个互连件842可以是多个互连件212的一部分。

[0077] 如图8C中所示，阶段9图示了在多个互连件842和电介质层840之上形成电介质层850之后的状态。电介质层850可以被沉积和/或涂覆在多个互连件842和电介质层840之上。电介质层850可以包括聚合物。电介质层850可以类似于电介质层840。

[0078] 阶段10图示了在电介质层850中形成腔851之后的状态。可以使用蚀刻工艺来形成腔851。腔851可以暴露多个互连件842的部分。

[0079] 阶段11图示了在电介质层850之上形成多个互连件852之后的状态。多个互连件852可以包括过孔、迹线和/或焊盘。形成多个互连件852可以包括执行光刻工艺、电镀工艺、剥离工艺和/或蚀刻工艺。多个互连件852可以是多个互连件212的一部分。

[0080] 如图8D中所示，阶段12图示了在至少一个电介质层210之上形成钝化层214之后的状态。可以使用沉积工艺来形成钝化层214。至少一个电介质层210可以表示电介质层830、840和850。阶段12可以图示多个互连件212，该多个互连件可以包括多个互连件832、842和/或852。

[0081] 阶段13图示了多个焊料互连件332耦合到互连件集成器件201之后的状态。阶段13可以图示如图2所示的互连件集成器件201的示例。在一些实现方式中，互连件集成器件201是晶片的一部分，并且可以执行单片化以将晶片切割成单独的互连件集成器件。

[0082] 应注意的是，柱互连件可以形成在互连件集成器件之上并且多个焊料互连件332可以耦合到柱互连件。例如，柱互连件可以耦合到多个互连件212并且多个焊料互连件332可以耦合到柱互连件。图10至图12图示了如何在互连件集成器件之上形成柱互连件的示例。

[0083] 用于制造高密度互连件集成器件的方法的示例性流程图

[0084] 在一些实现方式中，制造包括高密度互连件集成器件的封装件包括若干工艺。图9图示了用于提供或制造高密度互连件集成器件的方法900的示例性流程图。在一些实现方式中，图9的方法900可以用于提供或制造本公开中描述的图2的高密度互连件集成器件(例如，201)。然而，方法900可以用于提供或制造本公开中描述的任何互连件集成器件。

[0085] 应注意的是，图9的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造互连件集成器件的方法。在一些实现方式中，可以改变或修改工艺的顺序。

[0086] 该方法提供(在905)衬底(例如，216)。衬底216可以包括玻璃、石英和/或硅。图8A的阶段1图示了衬底的示例。

[0087] 该方法通过在衬底(例如，216)之上形成多个互连件822来形成(在910处)第一金

属层。形成多个互连件可以包括执行光刻工艺、执行电镀工艺、执行剥离工艺和/或执行蚀刻工艺。图8A的阶段2图示了形成用于高密度互连件集成器件的第一金属层的示例。

[0088] 该方法通过在第一金属层之上形成电介质层(例如,830)和多个互连件(例如,832)来形成(在915处)第二金属层。电介质层可以包括聚合物。形成电介质层和多个互连件可以包括在电介质层820和互连件822之上沉积电介质层830、执行光刻工艺、执行电镀工艺、执行剥离工艺和/或执行蚀刻工艺。图8A至图8B的阶段3至阶段5图示了为高密度互连件集成器件形成第二金属层(例如,再分布层、再分布金属层)的示例。再分布层(RDL)可以是金属化层的形式。RDL可以包括包括U形或V形的互连件。术语“U形”和“V形”可以互换。术语“U形”和“V形”可以指互连件和/或再分布互连件的侧面轮廓形状。U形互连件和V形互连件可以具有顶部和底部。U形互连件(或V形互连件)的底部可以耦合到另一个U形互连件(或V形互连件)的顶部。形成金属层和电介质层可以包括使用后段制程(BEOL)工艺。

[0089] 该方法通过在第二金属层之上形成一个或多个电介质层(例如,840、850)和多个互连件(例如,842、852)来形成(在920处)(一个或多个)附加金属层。电介质层可以包括聚合物。形成电介质层和多个互连件可以包括在电介质层830和互连件832之上沉积一个或多个电介质层(例如,840、850)、执行光刻工艺、执行电镀工艺、执行剥离工艺和/或执行蚀刻工艺。图8B至图8C的阶段7至阶段11图示了为高密度互连件集成器件形成附加金属层的示例。形成附加金属层和附加电介质层可以包括使用后段制程(BEOL)工艺。

[0090] 该方法在互连件集成器件(例如,201)的电介质层之上形成(在925处)钝化层(例如,214)。钝化层(例如,214)可以沉积在电介质层210之上。图8D的阶段12图示了在互连件集成器件的电介质层之上形成的钝化层的示例。阶段12可以图示互连件集成器件(例如,201)的示例。

[0091] 该方法将多个焊料互连件(例如,332)耦合(在930)到互连件集成器件(例如,201)。回流焊料工艺可以用于将多个焊料互连件耦合到互连件集成器件。图8D的阶段13可以图示耦合到互连件集成器件的焊料互连件的示例。

[0092] 在一些实现方式中,互连件集成器件201是晶片的一部分,并且可以执行单片化以将晶片切割成单独的互连件集成器件。方法900可以用于制造包括多个互连件212的互连件集成器件201。

[0093] 包括柱互连件的示例性集成器件

[0094] 图10和11图示了包括柱互连件集成器件和互连件集成器件的示例。图10图示了第一集成器件204和互连件集成器件201。第一集成器件204包括晶种层1010、多个柱互连件1040、多个焊料互连件1012和多个焊料互连件1042。晶种层1010位于第一集成器件204的正面之上。晶种层1010可以耦合到第一集成器件204的互连件。多个焊料互连件1012耦合到晶种层1010。多个柱互连件1040耦合到晶种层1010。多个焊料互连件1042耦合到多个柱互连件1040。

[0095] 互连件集成器件201包括晶种层1011、多个柱互连件1030和多个焊料互连件1032。晶种层1011可以耦合到互连件集成器件201的互连件。多个柱互连件1030耦合到晶种层1011。多个焊料互连件1032耦合到多个柱互连件1030。

[0096] 互连件集成器件201可以通过晶种层1011、多个柱互连件1030、多个焊料互连件1032、多个焊料互连件1012和晶种层1010耦合到第一集成器件204。多个焊料互连件1012和

多个焊料互连件1032可以组合成为多个焊料互连件232(例如,232a)。第一集成器件204可以通过晶种层1010、多个柱互连件1040和多个焊料互连件1042耦合到衬底。多个柱互连件1040可以表示多个柱互连件240。多个焊料互连件1042可以表示多个焊料互连件242。

[0097] 图11图示了第一集成器件204和互连件集成器件201的另一配置。第一集成器件204包括晶种层1010、多个柱互连件1040、多个柱互连件1130、多个焊料互连件1012和多个焊料互连件1042。晶种层1010位于第一集成器件204的正面之上。晶种层1010可以耦合到第一集成器件204的互连件。多个柱互连件1130耦合到晶种层1010。多个焊料互连件1012耦合到多个柱互连件1130。多个柱互连件1040耦合到晶种层1010。多个焊料互连件1042耦合到多个柱互连件1040。

[0098] 互连件集成器件201包括晶种层1011和多个焊料互连件1032。晶种层1011可以耦合到互连件集成器件201的互连件。多个焊料互连件1032耦合到晶种层1011。

[0099] 互连件集成器件201可以通过晶种层1011、多个焊料互连件1032、多个焊料互连件1012、多个柱互连件1130和晶种层1010耦合到第一集成器件204。多个焊料互连件1012和多个焊料互连件1032可以组合成为多个焊料互连件332。第一集成器件204可以通过晶种层1010、多个柱互连件1040和多个焊料互连件1042耦合到衬底。多个柱互连件1040可以表示多个柱互连件240。多个焊料互连件1042可以表示多个焊料互连件242。

[0100] 图10和11中描述的晶种层、柱互连件和焊料互连件可以应用于本公开的任何集成器件,包括第二集成器件206、第三集成器件704和/或第四集成器件706。

[0101] 用于制造具有柱互连件的高密度互连件集成器件的示例性序列

[0102] 图12A至图12B图示了用于提供或制造具有柱互连件的高密度互连件集成器件的示例性序列。在一些实现方式中,图12A至图12B的序列可以用于提供或制造图2的互连件集成器件201,或本公开中所描述的任何互连件集成器件。

[0103] 应注意的是,图12A至图12B的序列可以组合一个或多个阶段以便简化和/或阐明用于提供或制造互连件集成器件的序列。在一些实现方式中,可以改变或修改工艺的顺序。在一些实现方式中,在不脱离本公开的范围的情况下,可以替换或替代一个或多个工艺。不同的实现方式可以不同地制造互连件集成器件。

[0104] 如图12A中所示,阶段1图示了提供互连件集成器件201之后的状态。图8A至图8D的阶段1至阶段12图示并且描述了制造互连件集成器件的示例。互连件集成器件201可以被配置为集成器件(例如,裸片)之间的桥(例如,桥裸片)。

[0105] 阶段2图示了在互连件集成器件201的正面之上形成晶种层1011之后的状态。晶种层1011可以包括金属层。晶种层1011可以被沉积在互连件集成器件201之上。可以使用电镀工艺来形成晶种层1011。

[0106] 阶段3图示了在晶种层1011之上形成光致抗蚀剂层1200之后的状态。光致抗蚀剂层1200可以被沉积在晶种层1011之上。

[0107] 阶段4图示了在光致抗蚀剂层1200被图案化之后的状态,在光致抗蚀剂层1200中形成至少一个暴露部分晶种层1011的开口。

[0108] 如图12B中所示,阶段5图示了在多个柱互连件1030和多个焊料互连件1032通过光致抗蚀剂层1200中的开口位于晶种层1011之上之后的状态。可以通过电镀工艺在晶种层1011之上形成多个柱互连件1030。可以通过沉积工艺在多个柱互连件1030之上形成多个焊

料互连件1032。

[0109] 阶段6图示了移除光致抗蚀剂层1200，并且移除(例如，蚀刻)部分晶种层1011之后的状态。移除光致抗蚀剂层1200可以包括剥离光致抗蚀剂层1200。

[0110] 阶段7图示了将多个焊料互连件1032耦合(例如，接合)到多个柱互连件1030的回流焊料工艺之后的状态。阶段7可以图示具有可以耦合到两个或更多个集成器件的柱互连件的互连件集成器件(例如，201)。

[0111] 用于制造具有柱互连件的集成器件的示例性序列

[0112] 图13A至图13B图示了用于提供或制造具有柱互连件的集成器件的示例性序列。在一些实现方式中，图13A至图13B的序列可以用于提供或制造图2的第一集成器件204，或本公开中所描述的任何集成器件(例如，206、704、706)。

[0113] 应注意的是，图13A至图13B的序列可以组合一个或多个阶段以便简化和/或阐明用于提供或制造具有柱互连件的集成器件的序列。在一些实现方式中，可以改变或修改工艺的顺序。在一些实现方式中，在不脱离本公开的范围的情况下，可以替换或替代一个或多个工艺。不同的实现方式可以不同地制造集成器件。

[0114] 如图13A中所示，阶段1图示了提供第一集成器件204之后的状态。第一集成器件204可以包括具有有源器件(诸如晶体管)的裸片。

[0115] 阶段2图示了在第一集成器件204的正面之上形成晶种层1010之后的状态。晶种层1010可以包括金属层。晶种层1010可以沉积在第一集成器件204之上。可以使用电镀工艺来形成晶种层1010。

[0116] 阶段3图示了在晶种层1010之上形成光致抗蚀剂层1200并且对其进行图案化之后的状态。光致抗蚀剂层1200可以沉积在晶种层1010之上并且被图案化，在光致抗蚀剂层1200中形成至少一个暴露部分晶种层1010的开口。

[0117] 阶段4图示了多个焊料互连件1012通过光致抗蚀剂层1200中的开口位于晶种层1010之上之后的状态。可以通过沉积工艺在晶种层1010之上形成多个焊料互连件1012。

[0118] 阶段5图示了移除光致抗蚀剂层1200之后的状态。移除光致抗蚀剂层1200可以包括剥离光致抗蚀剂层1200。

[0119] 如图13B中所示，阶段6图示了在晶种层1010和多个焊料互连件1012之上形成光致抗蚀剂层1300并且对其进行图案化之后的状态。光致抗蚀剂层1300可以沉积在晶种层1010之上并且被图案化，在光致抗蚀剂层1300中形成至少一个暴露部分晶种层1010的开口。

[0120] 阶段7图示了在多个柱互连件1040和多个焊料互连件1042通过光致抗蚀剂层1300中的开口位于晶种层1010之上之后的状态。可以通过电镀工艺在晶种层1010之上形成多个柱互连件1040。可以通过沉积工艺在多个柱互连件1040之上形成多个焊料互连件1042。

[0121] 阶段8图示了移除光致抗蚀剂层1300，并且移除(例如，蚀刻)部分晶种层1010之后的状态。移除光致抗蚀剂层1300可以包括剥离光致抗蚀剂层1300。

[0122] 阶段9图示了将多个焊料互连件1042耦合(例如，接合)到多个柱互连件1040并且将多个焊料互连件1012耦合到晶种层1010的回流焊料工艺之后的状态。阶段9可以图示可以耦合到互连件集成器件和/或衬底的集成器件(例如，204、206、704、706)。

[0123] 用于制造包括柱互连件的集成器件的方法的示例性流程图

[0124] 在一些实现方式中，制造具有柱互连件集成器件包括若干工艺。图14图示了用于

提供或制造具有柱互连件的互连件集成器件的方法1400的示例性流程图。在一些实现方式中，图14的方法1400可以用于提供或制造本公开中描述的图2的集成器件(例如，204、206)。然而，方法1400可以用于提供或制造本公开中描述的任何集成器件和/或互连件集成器件(例如，201)。

[0125] 应注意的是，图14的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造具有柱互连件的集成器件的方法。在一些实现方式中，可以改变或修改工艺的顺序。

[0126] 该方法提供(在1405处)集成器件(例如，204、206)。图13A的阶段1图示了所提供的第一集成器件204。第一集成器件204可以包括具有有源器件(诸如晶体管)的裸片。在一些实现方式中，所提供的集成器件是互连件集成器件(例如，201)。

[0127] 该方法在集成器件的正面之上形成(在1410处)晶种层(例如，1010)。晶种层1010可以包括金属层。晶种层1010可以沉积在集成器件204之上。可以使用电镀工艺来形成晶种层1010。图13A的阶段2图示并且描述了形成晶种层的示例。

[0128] 该方法在晶种层(例如，1010)之上形成(在1415处)光致抗蚀剂层(例如，1200)。光致抗蚀剂层1200可以在晶种层1010之上形成并且被图案化。光致抗蚀剂层1200可以沉积在晶种层1010之上并且被图案化，在光致抗蚀剂层1200中形成至少一个暴露部分晶种层1010的开口。图13A的阶段3图示并且描述了在晶种层之上形成光致抗蚀剂层的示例。

[0129] 该方法通过光致抗蚀剂层(例如，1200)中的开口在晶种层(例如，1010)之上形成(在1420处)多个柱互连件(例如，1040)和/或焊料互连件(例如，1042)。可以通过沉积工艺在晶种层之上形成多个焊料互连件。可以通过电镀工艺在晶种层之上形成多个柱互连件。可以通过沉积工艺在多个柱互连件之上形成多个焊料互连件。图13A和图13B的阶段4和阶段7图示了形成多个柱互连件和/或多个焊料互连件的示例。

[0130] 该方法移除(在1425处)光致抗蚀剂层(例如，1200)。移除光致抗蚀剂层可以包括剥离光致抗蚀剂层。图13A和图13B的阶段5和阶段8图示了移除光致抗蚀剂层的示例。在一些实现方式中，晶种层的部分也可以被移除。可以使用蚀刻工艺来移除晶种层的部分。图13B的阶段8图示了被移除的晶种层的一部分的示例。应注意的是，如1415、1420和1425处所描述的，可以重复形成光致抗蚀剂层、柱互连件和/或焊料互连件以及移除光致抗蚀剂层。

[0131] 该方法执行(在1430处)将多个焊料互连件(例如，1042)耦合(例如，结合)到多个柱互连件(例如，1040)和/或将多个焊料互连件(例如，1012)耦合到晶种层(例如，1010)的回流焊料工艺。图13B的阶段9图示并且描述了回流焊料工艺的示例。

[0132] 在一些实现方式中，集成器件是晶片的一部分，并且可以执行单片化以将晶片切割成单独的集成器件。方法1400可以用于制造本公开中描述的任何集成器件，包括互连件集成器件。

[0133] 用于制造衬底的示例性序列

[0134] 在一些实现方式中，制造衬底包括若干工艺。图15A至图15C图示了用于提供或制造衬底的示例性序列。在一些实现方式中，图15A至图15C的序列可以用于提供或制造图2的衬底202。然而，图15A至图15C的工艺可以用于制造本公开中描述的任何衬底。

[0135] 应注意的是，图15A至图15C的序列可以组合一个或多个阶段以便简化和/或阐明用于提供或制造衬底的序列。在一些实现方式中，可以改变或修改工艺的顺序。在一些实现方式中，在不脱离本公开的范围的情况下，可以替换或替代一个或多个工艺。

[0136] 如图15A中所示，阶段1图示了在提供载体1500并且在载体1500之上形成金属层之后的状态。金属层可以被图案化以形成互连件1502。可以使用电镀工艺和蚀刻工艺来形成金属层和互连件。

[0137] 阶段2图示了在载体1500和互连件1502之上形成电介质层1520之后的状态。电介质层1520可以包括聚酰亚胺。然而，不同的实现方式可以针对电介质层使用不同的材料。

[0138] 阶段3图示了在电介质层1520中形成多个腔1510之后的状态。可以使用蚀刻工艺(例如，光蚀刻工艺)或激光工艺来形成多个腔1510。

[0139] 阶段4图示了在电介质层1520中和电介质层1520之上形成互连件1512之后的状态。例如，可以形成过孔、焊盘和/或迹线。可以使用电镀工艺来形成互连件。

[0140] 阶段5图示了在电介质层1520之上形成另一个电介质层1522之后的状态。电介质层1522可以是与电介质层1520相同的材料。然而，不同的实现方式可以对于电介质层使用不同的材料。

[0141] 如图15B中所示，阶段6图示了在电介质层1522中形成多个腔1530之后的状态。可以使用蚀刻工艺或激光工艺来形成腔1530。

[0142] 阶段7图示了在电介质层1522中和电介质层1522之上形成互连件1514之后的状态。例如，可以形成过孔、焊盘和/或迹线。可以使用电镀工艺来形成互连件。

[0143] 阶段8图示了在电介质层1522之上形成另一电介质层1524之后的状态。电介质层1524可以是与电介质层1520相同的材料。然而，不同的实现方式可以针对电介质层使用不同的材料。

[0144] 阶段9图示了在电介质层1524中形成多个腔1540之后的状态。可以使用蚀刻工艺或激光工艺来形成腔1540。

[0145] 如图15C中所示，阶段10图示了在电介质层1524中和电介质层1524之上形成互连件1516之后的状态。例如，可以形成过孔、焊盘和/或迹线。可以使用电镀工艺来形成互连件。

[0146] 互连件1502、1512、1514和/或1516中的一些或全部可以限定衬底202的多个互连件222。电介质层1520、1522、1524可以由至少一个电介质层220表示。

[0147] 阶段11图示了载体1500从电介质层220解耦合(例如，移除、研磨)之后的状态，留下包括至少一个电介质层220和多个互连件222的衬底202。

[0148] 阶段12图示了在衬底202之上形成第一阻焊层224和第二阻焊层226之后的状态。

[0149] 不同的实现方式可以使用不同的工艺来形成金属层。在一些实现方式中，化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成(一个或多个)金属层。例如，可以使用溅射工艺、喷涂工艺和/或电镀工艺来形成(一个或多个)金属层。

[0150] 用于制造衬底的方法的示例性流程图

[0151] 在一些实现方式中，制造衬底包括若干工艺。图16图示了用于提供或制造衬底的方法1600的示例性流程图。在一些实现方式中，图16的方法1600可以用于提供或制造图2的衬底。例如，图16的方法可以用于制造衬底202。

[0152] 应注意的是，图16的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造衬底的方法。在一些实现方式中，可以改变或修改工艺的顺序。

[0153] 该方法提供(在1605处)载体1500。不同的实现方式可以针对载体使用不同的材

料。载体可以包括衬底、玻璃、石英和/或载带。图15A的阶段1图示了在提供载体之后的状态。

[0154] 该方法在载体1500之上形成(在1610处)金属层。金属层可以被图案化以形成互连件。可以使用电镀工艺来形成金属层和互连件。图15A的阶段1图示了所形成的金属层和互连件1502的示例。

[0155] 该方法在载体1500和互连件1502之上形成(在1615处)电介质层1520。电介质层1520可以包括聚酰亚胺。形成电介质层还可以包括在电介质层1520中形成多个腔(例如,1510)。可以使用蚀刻工艺(例如,光蚀刻)或激光工艺来形成多个腔。图15A的阶段2至阶段3图示了形成电介质层和电介质层中的腔的示例。

[0156] 该方法在电介质层中和电介质层之上形成(在1620)互连件。例如,互连件1512可以形成在电介质层1520中和电介质层1520之上。可以使用电镀工艺来形成互连件。形成互连件可以包括在电介质层之上和/或中提供图案化的金属层。图15A的阶段4图示了在电介质层中和之上形成互连件的示例。

[0157] 该方法在电介质层1520和互连件之上形成(在1625处)电介质层1522。电介质层1522可以包括聚酰亚胺。形成电介质层还可以包括在电介质层1522中形成多个腔(例如,1530)。可以使用蚀刻工艺或激光工艺来形成多个腔。图15A至图15B的阶段5至阶段6图示了形成电介质层和电介质层中的腔的示例。

[0158] 该方法在电介质层中和/或之上形成(在1630)互连件。例如,可以形成互连件1514。可以使用电镀工艺来形成互连件。形成互连件可以包括在电介质层之上和电介质层中提供图案化的金属层。图15B的阶段7图示了在电介质层中和电介质层之上形成互连件的示例。

[0159] 该方法可以形成(一个或多个)附加电介质层和附加互连件,如在1625和1630处所描述的。图15B至图15C的阶段8至阶段10图示了在电介质层中和之上形成互连件的示例。

[0160] 一旦形成了所有的(一个或多个)电介质层和附加互连件,该方法可以将载体(例如,1500)从电介质层1520解耦合合(例如,移除、研磨),留下衬底。在一些实现方式中,该方法可以在衬底之上形成阻焊层(例如,224、226)。

[0161] 不同的实现方式可以使用不同的工艺来形成金属层。在一些实现方式中,用于形成金属层的化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺。例如,可以使用溅射工艺、喷涂工艺和/或电镀工艺来形成金属层。

[0162] 用于制造包括高密度互连件集成器件的封装件的示例性序列

[0163] 图17A至图17B图示了用于提供或制造包括高密度互连件集成器件的封装件的示例性序列。在一些实现方式中,图17A至图17B的序列可以用于提供或制造包括图5的衬底202和互连件集成器件201的封装件500,或本公开中描述的任何封装件。

[0164] 应注意的是,图17A至图17B的序列可以组合一个或多个阶段以便简化和/或阐明用于提供或制造封装件的序列。在一些实现方式中,可以改变或修改工艺的顺序。在一些实现方式中,在不脱离本公开的范围的情况下,可以替换或替代一个或多个工艺。图17A至图17B的序列可以用于一次制造一个封装件或若干封装件(作为晶片的一部分)。

[0165] 如图17A中所示,阶段1图示了提供衬底202之后的状态。衬底202可以由供应商供应或制造。可以使用类似于图15A至图15C中示出的工艺的工艺来制造衬底202。然而,不同

的实现方式可以使用不同的工艺来制造衬底202。可以用于制造衬底202的工艺的示例包括半加成工艺(SAP)和改进的半加成工艺(mSAP)。衬底202包括至少一个电介质层220和多个互连件222。衬底202可以是层压衬底、无芯衬底、有机衬底、包括芯层的衬底。在一些实现方式中,至少一个电介质层220可以包括芯层和/或预浸料层。衬底202包括腔209。可以使用激光工艺(例如,激光烧蚀)来制造腔209。

[0166] 阶段2图示了集成器件204和集成器件206耦合到衬底202的第一表面(例如,顶表面)之后的状态。集成器件204通过多个柱互连件240和/或多个焊料互连件242耦合到衬底202。集成器件206通过多个柱互连件260和/或多个焊料互连件262耦合到衬底202。集成器件204的部分和集成器件206的部分可以位于腔209之上。集成器件204可以耦合到衬底202,使得集成器件204的正面(例如,有源面)面向衬底202。类似地,集成器件206可以耦合到衬底202,使得集成器件206的正面面向衬底202。

[0167] 阶段3图示了在衬底202和集成器件204之间提供(例如,形成)底部填料1740,并且在衬底202和集成器件206之间提供(例如,形成)底部填料1760之后的状态。可以通过毛细作用和/或力在柱互连件(例如,240、260)和/或焊料互连件(例如,242、262)周围提供底部填料(例如,1740、1760)。底部填料的毛细特性允许底部填料填充集成器件和衬底之间的小空间和/或小间隙。

[0168] 阶段4图示了互连件集成器件201耦合到集成器件204和集成器件206之后的状态。互连件集成器件201通过多个柱互连件230和/或多个焊料互连件232耦合到集成器件204。类似地,互连件集成器件201通过多个柱互连件230和/或多个焊料互连件232耦合到集成器件206。在一些实现方式中,在互连件集成器件201耦合到集成器件204和206之前,衬底202和集成器件204和206被翻转。回流焊料工艺可以用于将互连件集成器件201耦合到集成器件204和206。

[0169] 如图17B中所示,阶段5图示了在互连件集成器件201与集成器件204和206之间提供(例如,形成)底部填料208之后的状态。可以通过毛细作用和/或力来提供底部填料208。底部填料的毛细特性允许底部填料填充集成器件和衬底之间的小空间和/或小间隙。底部填料208可以包括底部填料1740和底部填料1760。底部填料208可以表示一层或多层底部填料。如上所述,底部填料208帮助在互连件集成器件201和集成器件204和206之间提供机械耦合,这帮助通过将互连件集成器件201和集成器件204和206保持在一起而在互连件集成器件201和集成器件204和206之间提供牢固且可靠的电耦合。可以在提供底部填料208之前应用助焊剂工艺。

[0170] 阶段6图示了在包封层508形成在衬底202的第一表面之上使得包封层508包封第一集成器件204和第二集成器件206之后的状态。形成和/或沉积包封层508的工艺可以包括使用压缩工艺和传递模塑工艺、片材模塑工艺或液体模塑工艺。应注意的是,在一些实现方式中,包封层508可以代替底部填料(例如,1740、1760、208),如图7所示。因此,在一些实现方式中,包封层508可以形成并且位于由底部填料208占据的区域中。

[0171] 阶段7图示了多个焊料互连件280耦合到衬底202之后的状态。可以使用回流焊料工艺来耦合多个焊料互连件。阶段8可以图示封装件200,该封装件包括衬底202、第一集成器件204、第二集成器件206、互连件集成器件201、底部填料208和包封层508,至少如图5中所描述的。

[0172] 本公开中描述的封装件(例如,200、300、400、500、600、700)可以一次制造一个,或可以作为一个或多个晶片的一部分一起制造,然后单片化成单独的封装件。

[0173] 用于制造包括高密度互连件集成器件的封装件的方法的示例性流程图

[0174] 在一些实现方式中,制造包括高密度互连件集成器件的封装件包括若干工艺。图18图示了用于提供或制造包括耦合到衬底的高密度互连件集成器件的封装件的方法1800的示例性流程图。在一些实现方式中,图18的方法1800可以用于提供或制造本公开中描述的图5的封装件500。然而,方法1800可以用于提供或制造本公开中描述的任何封装件。

[0175] 应注意的是,图18的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造包括高密度互连件集成器件的封装件的方法。在一些实现方式中,可以改变或修改工艺的顺序。

[0176] 该方法提供(在1805)衬底(例如,202)。衬底202可以由供应商供应或制造。衬底202包括第一表面和第二表面。衬底202包括至少一个电介质层220和多个互连件222。衬底202可以包括至少一个腔209。不同的实现方式可以提供不同的衬底。可以使用类似于图15A至图15C中示出的工艺的工艺来制造衬底202。然而,不同的实现方式可以使用不同的工艺来制造衬底202。图17A的阶段1图示并且描述了提供衬底的示例。

[0177] 该方法将集成器件耦合(在1810)到衬底。例如,该方法可以将集成器件204和集成器件206耦合到衬底202的第一表面(例如,顶表面)。集成器件204通过多个柱互连件240和/或多个焊料互连件242耦合到衬底202。集成器件206通过多个柱互连件260和/或多个焊料互连件262耦合到衬底202。集成器件204的部分和集成器件206的部分可以位于腔209之上。集成器件204可以耦合到衬底202,使得集成器件204的正面(例如,有源面)面向衬底202。类似地,集成器件206可以耦合到衬底202,使得集成器件206的正面面向衬底202。图17A的阶段2图示并且描述了将集成器件耦合到衬底的示例。

[0178] 该方法在集成器件和衬底之间形成(在1815处)至少一个底部填料。例如,该方法可以在衬底202和集成器件204之间提供底部填料1740,以及在衬底202和集成器件206之间提供底部填料1760。可以通过毛细作用和/或力在柱互连件(例如,240、260)和/或焊料互连件(例如,242、262)周围提供底部填料(例如,1740、1760)。底部填料的毛细特性允许底部填料填充集成器件和衬底之间的小空间和/或小间隙。图17A的阶段3图示并且描述了提供底部填料的示例。

[0179] 该方法将互连件集成器件耦合(在1820)到集成器件。例如,该方法可以将互连件集成器件201耦合到集成器件204和集成器件206。互连件集成器件201通过多个柱互连件230和/或多个焊料互连件232耦合到集成器件204。类似地,互连件集成器件201通过多个柱互连件230和/或多个焊料互连件232耦合到集成器件206。在一些实现方式中,在互连件集成器件201耦合到集成器件204和206之前,衬底202和集成器件204和206被翻转。回流焊料工艺可以用于将互连件集成器件201耦合到集成器件204和206。图17A的阶段4图示并且描述了将互连件集成器件耦合到集成器件的示例。

[0180] 该方法还可以在互连件集成器件和集成器件之间提供(在1820)底部填料。例如,该方法可以在互连件集成器件201和集成器件204和206之间提供底部填料208。可以通过毛细作用和/或力来提供底部填料208。底部填料的毛细特性允许底部填料填充集成器件和衬底之间的小空间和/或小间隙。底部填料208可以包括底部填料1740和底部填料1760。如上

所述，底部填料208帮助提供互连件集成器件201与集成器件204和206之间的机械耦合。图17B的阶段5图示并且描述了提供底部填料的示例。

[0181] 该方法可以在衬底之上形成(在1825处)包封层。例如，该方法可以在衬底202的第一表面之上形成包封层508，使得包封层508包封第一集成器件204和第二集成器件。形成和/或沉积包封层508的工艺可以包括使用压缩工艺和传递模塑工艺、片材模塑工艺或液体模塑工艺。应注意的是，在一些实现方式中，包封层508可以代替底部填料(例如，1740、1760、208)，如图7所示。因此，在一些实现方式中，包封层508可以被形成并且位于被底部填料占据的区域中。图17B的阶段6图示并且描述了形成包封层的示例。

[0182] 该方法将多个焊料互连件(例如，280)耦合(在1830处)到衬底的第二表面(例如，202)。可以使用回流焊料工艺来耦合多个焊料互连件。图17B的阶段7图示并且描述了将焊料互连件耦合到衬底的示例。

[0183] 示例性电子设备

[0184] 图19图示了可以与前述器件、集成器件、集成电路(IC)封装件、集成电路(IC)器件、半导体器件、集成电路、裸片、中介层、封装件、层叠封装件(PoP)、系统级封装件(SiP)或片上系统(SoC)中的任一者集成的各种电子设备。例如，移动电话设备1902、膝上型计算机设备1904、固定位置终端设备1906、可穿戴设备1908或机动车辆1910可以包括如本文中所描述的设备1900。设备1900可以是例如本文所描述的任何设备和/或集成电路(IC)封装件。图19所示的设备1902、1904、1906和1908以及车辆1910仅是示例性的。其他电子设备也可以以设备1900为特征，其包括但不限于存储或检索数据或计算机指令的一组设备(例如，电子设备)，该一组设备包括移动设备、手持个人通信系统(PCS)单元、诸如个人数字助理的便携式数据单元、全球定位系统(GPS)使能设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、诸如仪表读取装备、通信设备、智能电话、平板计算机、计算机、可穿戴设备(例如，手表、眼镜)的固定位置数据单元，物联网(IoT)设备、服务器、路由器、在机动车辆(例如，自主车辆)中实现的电子设备，或任何其他设备，或它们的任意组合。

[0185] 图2至图7、图8A至图8D、图9、图10至图11、图12A至图12B、图13A至图13B、图14、图15A至图15C、图16、图17A至图17B和/或图18至图19中图示的一个或多个部件、工艺、特征和/或特征可以重新布置和/或组合成单个部件、工艺、特征或特征或在若干部件、工艺或特征中实施。在不脱离本公开的情况下，还可以添加附加元件、部件、工艺和/或功能。还应注意的是，图2至图7、图8A至图8D、图9、图10至图11、图12A至图12B、图13A至图13B、图14、图15A至图15C、图16、图17A至图17B和/或图18至图19及其在本公开中的相对应描述不限于裸片和/或IC。在一些实现方式中，图2至图7、8A至图8D、图9、图10至图11、图12A至图12B、图13A至图13B、图14、图15A至图15C、图16、图17A至图17B和/或图18至图19及其相对应的描述可以用于制造、形成、提供和/或生产器件和/或集成器件。在一些实现方式中，器件可以包括裸片、集成器件、集成无源器件(IPD)、裸片封装件、集成电路(IC)器件、设备封装件、集成电路(IC)封装件、晶片、半导体器件、层叠封装(PoP)器件、散热器件和/或中介层。

[0186] 应注意的是，本公开中的附图可以表示各种零件、部件、对象、器件、封装件、集成器件、集成电路和/或晶体管的实际表示和/或概念表示。在一些情况下，这些图可能不是按比例绘制的。在一些情况下，为了清楚起见，可能没有示出所有的部件和/或零件。在一些情况下，附图中各种零件和/或部件的位置、地点、大小和/或形状可以是示例性的。在一些实

现方式中,图中的各种部件和/或零件可以是可选的。

[0187] 本文使用的词语“示例性”表示“用作示例、实例或说明”。本文中描述为“示例性”的任何实现方式或方面不一定被解释为比本公开的其他方面更优选或更有利。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。本文使用的术语“耦合”是指两个对象之间的直接或间接耦合(例如,机械耦合)。例如,如果对象A物理接触对象B,并且对象B接触对象C,那么对象A和C仍然可以被认为是彼此耦合的——即使它们没有直接物理接触彼此。术语“电耦合”可以表示两个对象直接或间接耦合在一起,使得电流(例如,信号、功率、接地)可以在两个对象之间流动。电耦合的两个对象在这两个对象之间可以有或者可以没有电流流动。术语“第一”、“第二”、“第三”和”第四”(和/或任何高于第四)的使用是任意的。所描述的任何部件可以是第一部件、第二部件、第三部件或第四部件。例如,被称为第二部件的部件可以是第一部件、第二部件、第三部件或第四部件。术语“包封”是指该对象可以部分地包封或完全地包封另一个对象。术语“顶部”和“底部”是任意的。位于顶部的部件可以位于位于底部的部件之上。顶部部件可以被认为是底部部件,并且反之亦然。如本公开中所描述的,位于第二部件“之上”的第一部件可以意味着第一部件位于第二部件的上方或下方,这取决于底部或顶部是如何任意限定的。在另一示例中,第一部件可以位于第二部件的第一表面之上(例如,上方),并且第三部件可以位于第二部件的第二表面之上(例如,下方),其中第二表面与第一表面相对。还应注意,本申请中在一个部件位于另一个部件之上的上下文中使用的术语”之上”可以用于表示在另一部件上和/或在另一部件中的部件(例如,在部件的表面上或嵌入在部件中)。因此,例如,在第二部件之上的第一部件可以意味着(1)第一部件在第二部件之上,但是不直接接触第二部件,(2)第一部件在第二部件之上(例如,在其表面上),和/或(3)第一部件在第二部件中(例如,嵌入其中)。位于第二部件”中”的第一部件可以部分地位于第二部件中或完全地位于第二部件中。本公开中使用的术语”大约值‘X’”或”约值X”是指在“值X”的百分之10以内。例如,大约为1或约为1的值表示0.9至1.1范围内的值。

[0188] 在一些实现方式中,互连件是允许或便于两点、元件和/或部件之间的电连接的设备或封装件的元件或部件。在一些实现方式中,互连件可以包括迹线、过孔、焊盘、柱、金属化层、再分布层和/或凸块下金属化(UBM)层/互连件。在一些实现方式中,互连件可以包括导电材料,该导电材料可以被配置为提供用于信号(例如,数据信号)、接地和/或功率的电路径。互连件可以包括一个以上的元件或部件。可以由一个或多个互连件来限定互连件。互连件可以包括一个或多个金属层。互连件可以是电路的一部分。不同的实现方式可以使用不同的工艺和/或序列来形成互连件。在一些实现方式中,可以使用化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺、溅射工艺、喷涂工艺和/或电镀工艺来形成互连件。

[0189] 此外,应注意的是,本文包含的各种公开可以被描绘为被描绘为流图、流程图、结构图或框图的工艺。尽管流图可以将操作描述为序列工艺,但是许多操作可以并行或同时执行。此外,可以重新布置操作的顺序。当工艺的操作完成时,该工艺终止。

[0190] 在不脱离本公开的情况下,可以在不同的系统中实现本文所描述的本公开的各种特征。应注意的是,本公开的前述方面仅是示例并且不应被解释为限制本公开。对本公开的方面的描述旨在说明,而不是限制权利要求的范围。因此,本教导可以容易地应用于其他类型的装置,并且许多替换、修改和变型对于本领域技术人员来说是显而易见的。

[0191] 第一方面包括一种封装件，该封装件包括：衬底，包括腔；第一集成器件，耦合到衬底；第二集成器件，耦合到衬底；互连件集成器件，耦合到第一集成器件和第二集成器件，其中互连件集成器件位于衬底的腔之上；以及底部填料，位于(i)第一集成器件和衬底之间，(ii)第二集成器件和衬底之间，(iii)互连件集成器件和第一集成器件之间，以及(iv)互连件集成器件和第二集成器件之间。第一集成器件、第二集成器件和互连件集成器件可以被配置为在第一集成器件和第二集成器件之间为电信号提供电路径，该电路径延伸穿过互连件集成器件并且绕过衬底。底部填料可以包括约10至30帕斯卡秒(Pa〃s)的粘度。底部填料材料可以包括约百万分之10至15(ppm)热膨胀系数(CTE)。底部填料可以包括占底部填料的重量的约50至90％的填料。底部填料可以包括包封层。互连件集成器件可以包括裸片衬底、至少一个电介质层和多个互连件。裸片衬底可以包括硅、玻璃和/或石英。互连件集成器件可以包括高密度互连件集成器件，该高密度互连件集成器件被配置为具有最小宽度和间距比来自衬底的互连件的最小宽度和间距更小的互连件。用于互连件集成器件的多个互连件的最小宽度可以在约2至5微米(μm)的范围内，并且用于互连件集成器件的多个互连件的最小间距可以在约2至5微米(μm)的范围内。互连件集成器件可以包括没有耦合到电路的晶体管的裸片。互连件集成器件可以至少部分地位于衬底的腔中。底部填料还可以位于第一集成器件和第二集成器件之上。底部填料还可以位于衬底的腔中。该封装件还可以包括位于衬底之上的包封层。该封装件还可以包括位于衬底腔中的包封层。互连件集成器件可以通过第一多个焊料互连件和第一多个柱互连件耦合到第一集成器件。互连件集成器件可以通过第二多个焊料互连件和第二多个柱互连件耦合到第二集成器件。底部填料可以包括毛细底部填料和/或模制物底部填料。

[0192] 第二方面包括一种器件，该器件包括：衬底，包括腔；第一集成器件，耦合到衬底；第二集成器件；耦合到衬底；用于集成器件互连的部件，耦合到第一集成器件和第二集成器件，其中用于集成器件互连的部件位于衬底的腔之上；以及底部填料，位于(i)第一集成器件和衬底之间，(ii)第二集成器件和衬底之间，(iii)用于集成器件互连的部件和第一集成器件之间，以及(iv)用于集成器件互连的部件和第二集成器件之间。第一集成器件、第二集成器件和用于集成器件互连的部件可以被配置为在第一集成器件和第二集成器件之间为电信号提供电路径，该电路径延伸穿过用于集成器件互连的部件并且绕过衬底。底部填料可以包括毛细底部填料和/或模制物底部填料。底部填料可以包括约10至30帕斯卡秒(Pa〃s)的粘度。底部填料材料可以包括约百万分之10至15(ppm)热膨胀系数(CTE)。底部填料可以包括占底部填料的重量的约50至90％的填料。用于集成器件互连的部件可以包括裸片衬底、至少一个电介质层和多个互连件。裸片衬底可以包括硅、玻璃和/或石英。用于互连件集成器件的多个互连件的最小宽度可以在约2微米至5微米(μm)的范围内。用于互连件集成器件的多个互连件的最小间距可以在约2微米至5微米(μm)的范围内。用于集成器件互连的部件可以包括没有耦合到电路的晶体管的裸片。该装置可以包括选自由以下组成的组的设备：音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动车辆中的设备。

[0193] 第三方面包括一种用于制造封装件的方法。该方法提供衬底，该衬底包括腔。该方法将第一集成器件耦合到衬底。该方法将第二集成器件耦合到衬底。该方法将互连件集成

器件耦合到第一集成器件和第二集成器件，其中互连件集成器件位于衬底的腔之上。该方法(i)在第一集成器件和衬底之间，(ii)在第二集成器件和衬底之间，(iii)在互连件集成器件和第一集成器件之间，以及(iv)在互连件集成器件和第二集成器件之间形成底部填料。第一集成器件、第二集成器件和互连件集成器件可以被配置为在第一集成器件和第二集成器件之间为电信号提供电路径，该电路径延伸穿过互连件集成器件并且绕过衬底。底部填料可以包括约10至30帕斯卡秒(Pa〃s)的粘度。底部填料材料可以包括约百万分之10至15(ppm)热膨胀系数(CTE)。底部填料可以包括占底部填料的重量的约50至90％的填料。互连件集成器件可以包括裸片衬底、至少一个电介质层和多个互连件。互连件集成器件可以包括没有耦合到电路的晶体管的裸片。底部填料可以包括毛细底部填料和/或模制物底部填料。

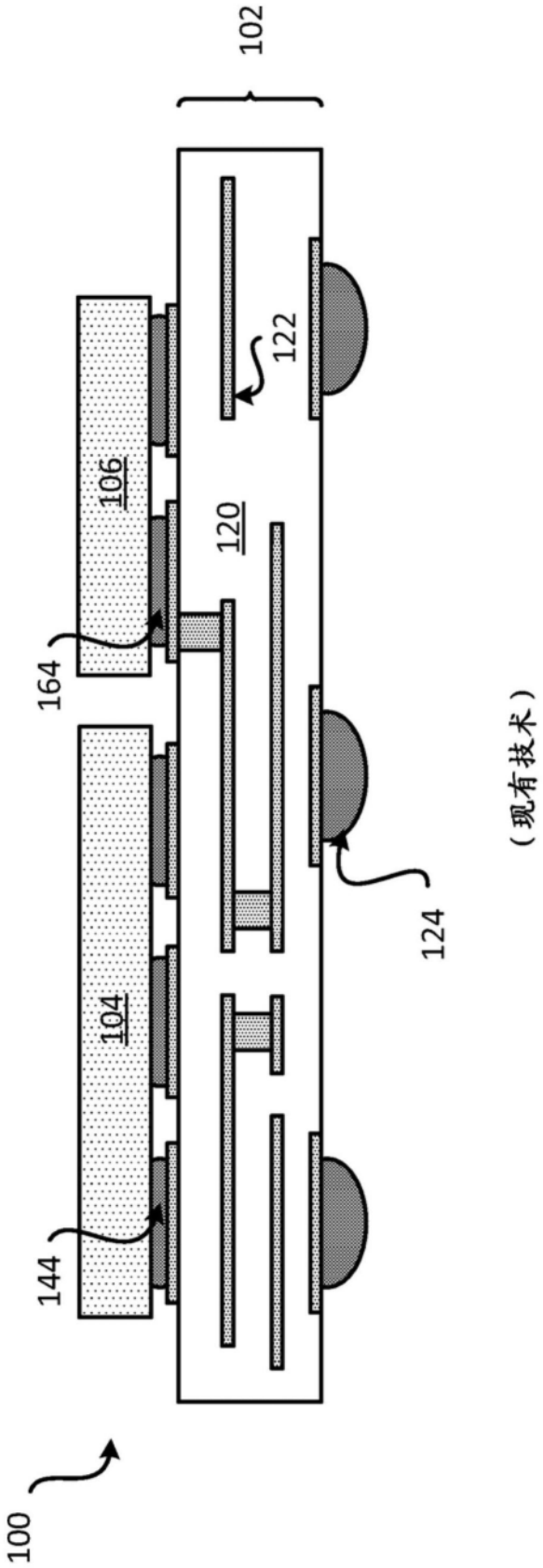


图1

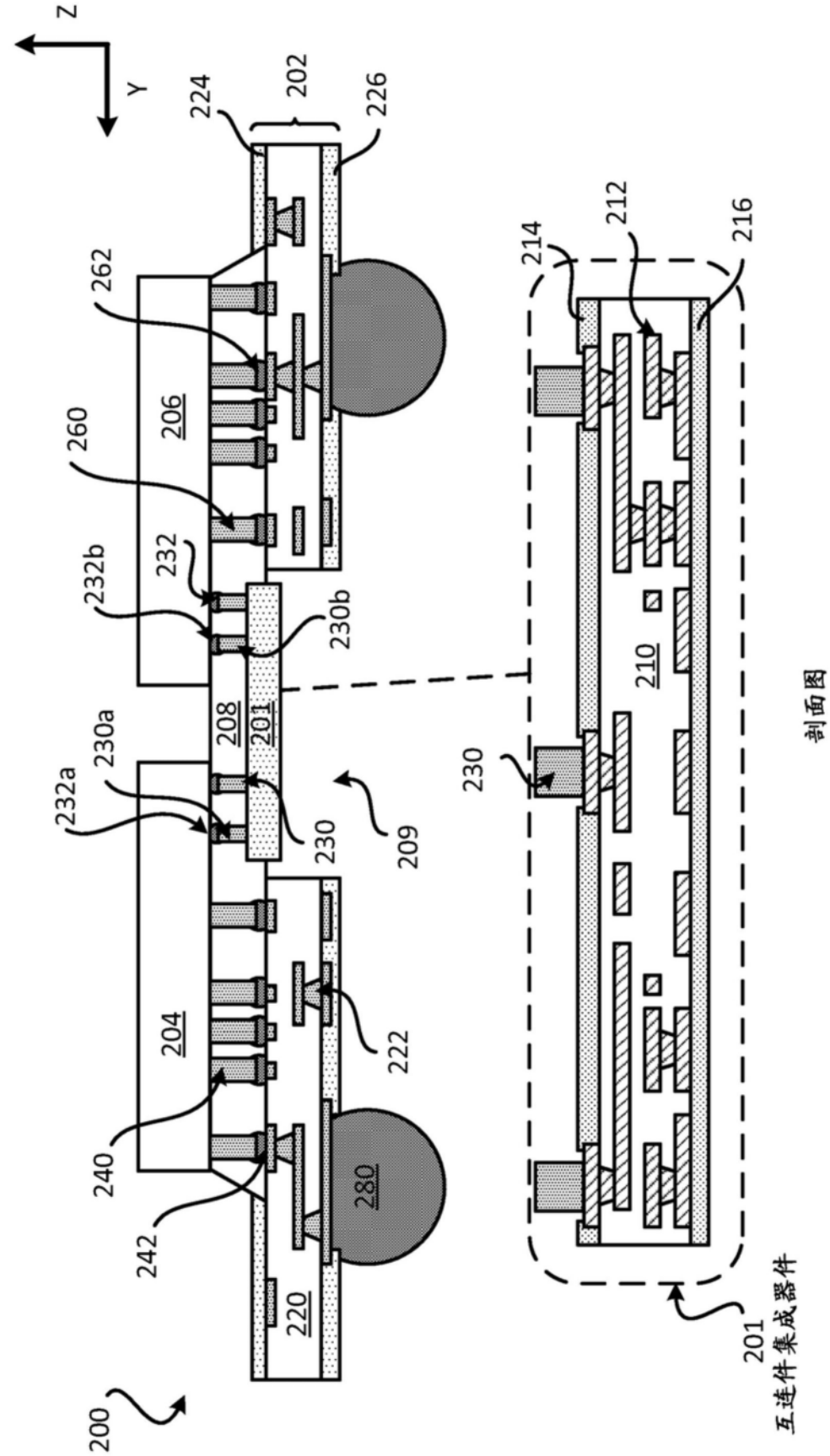

Z
Y
224
202
226
262
206
260
232b
232
230b
208
201
230a
232a
230
209
204
222
240
242
280
220
200
214
212
216
210
230
201
互连件集成器件
剖面图

图2

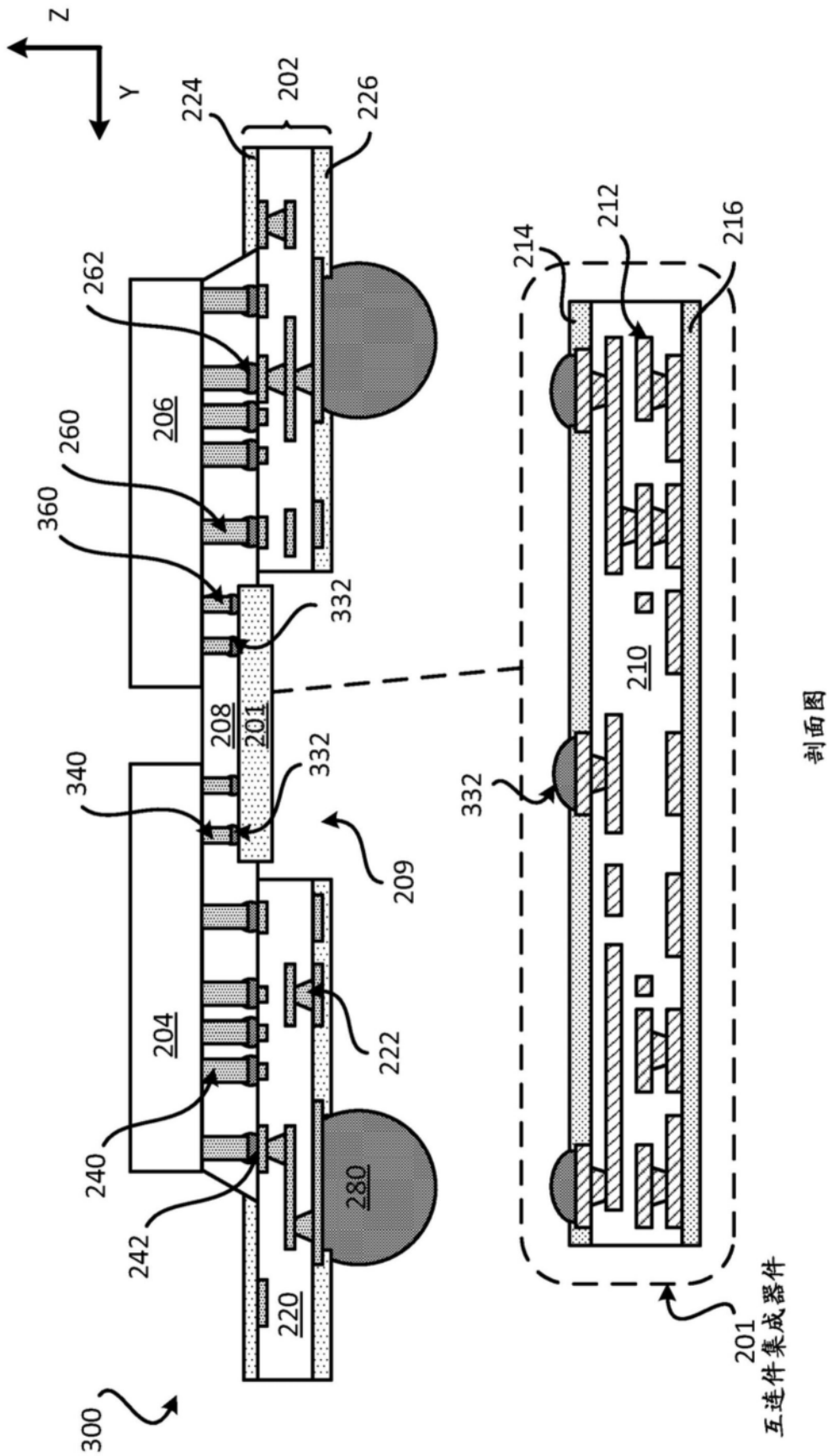

Z
Y
224
202
226
262
206
260
360
332
208
201
340
332
209
204
222
240
242
280
220
300
214
212
216
210
332
201
互连件集成器件
剖面图

图3

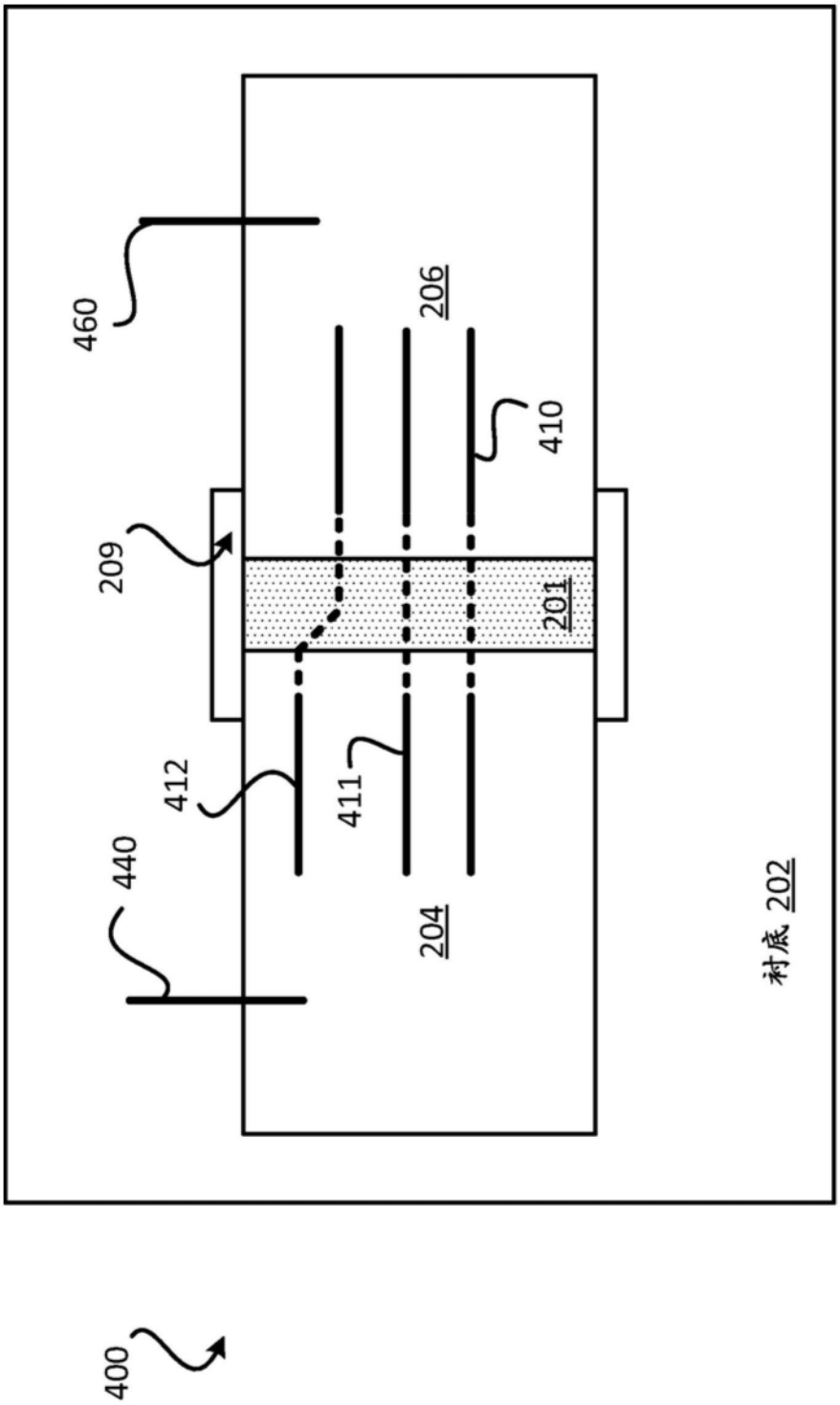


图4

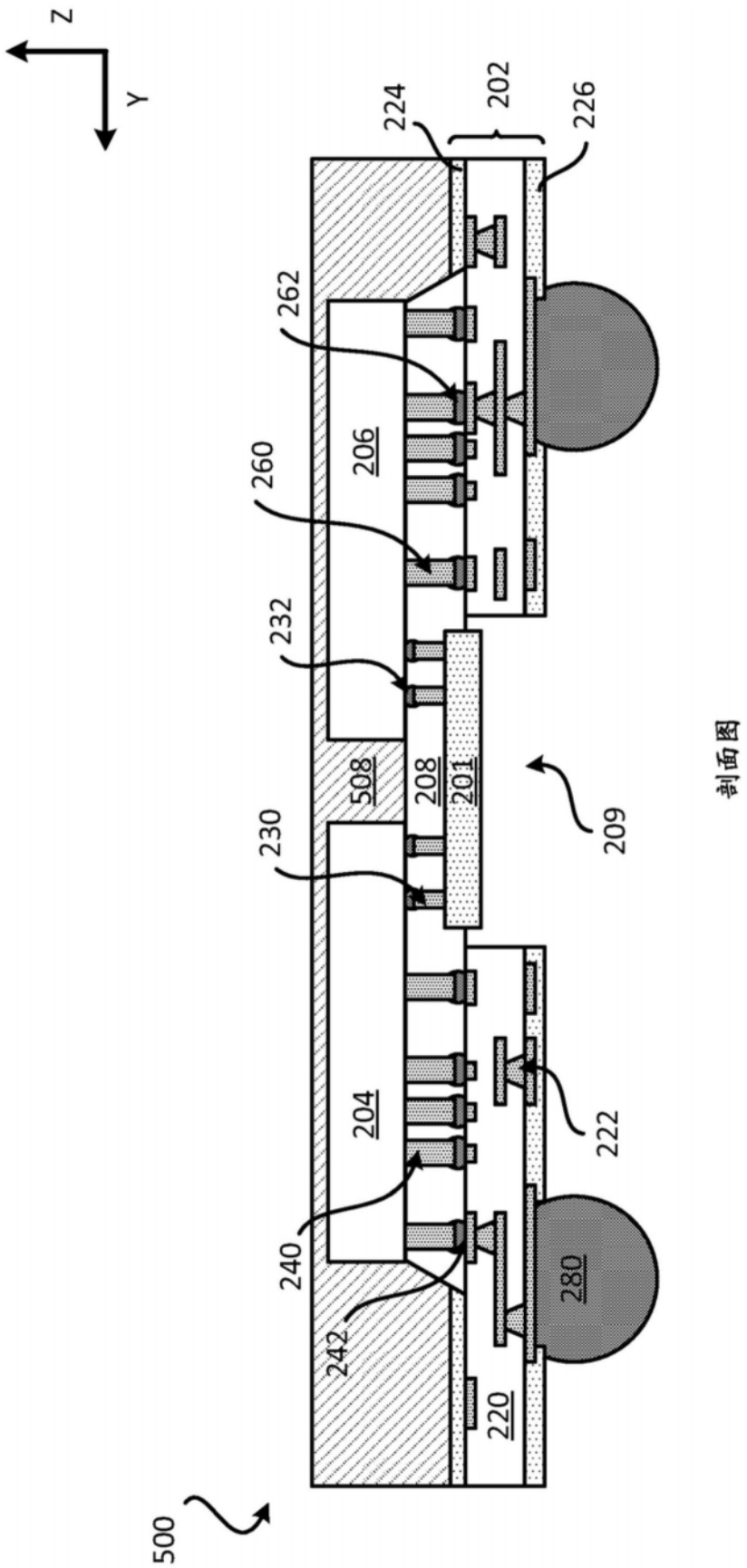

Z
Y
224
202
226
262
206
260
232
508
208
201
209
230
204
222
240
280
242
220
500
剖面图

图5

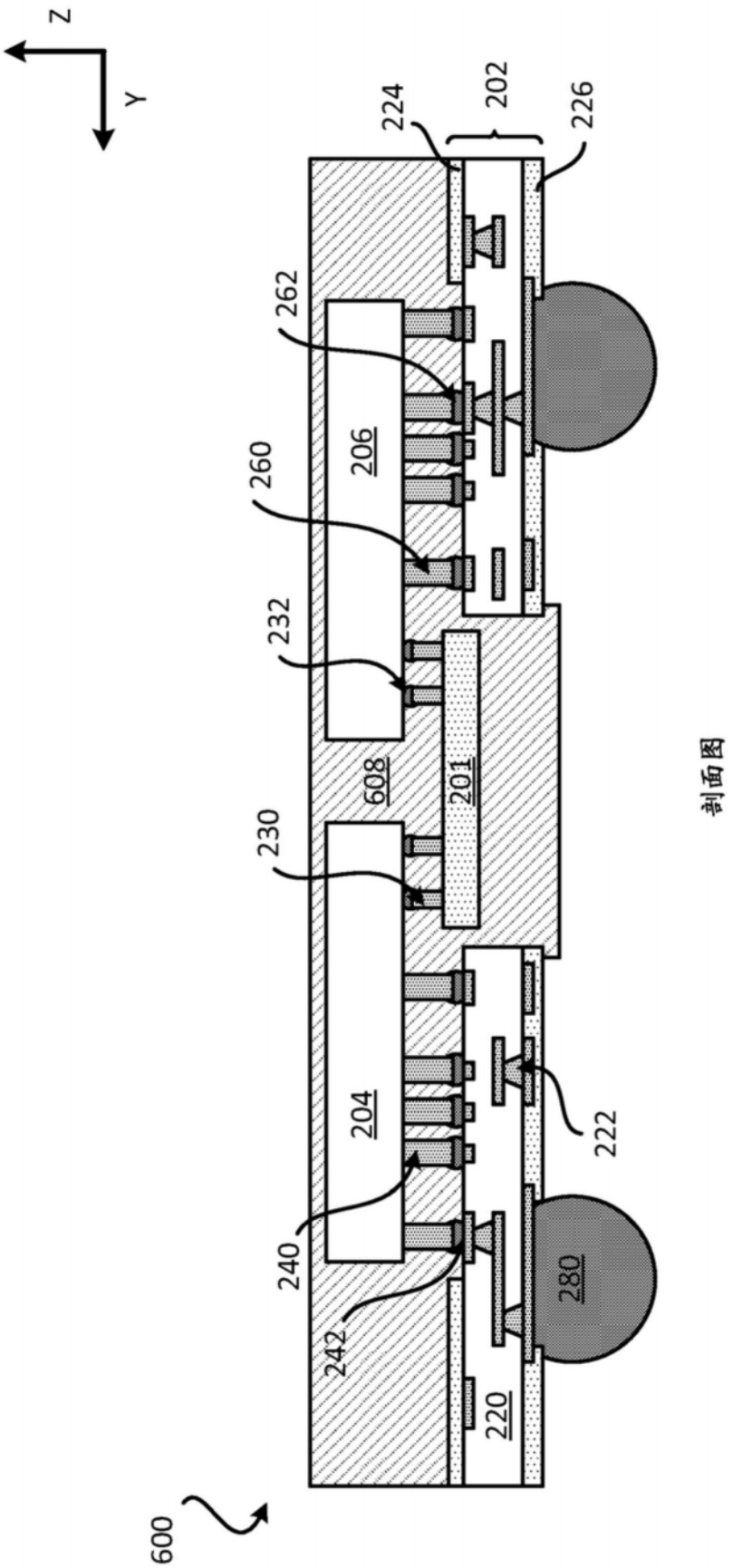

Z
Y
224
202
226
262
206
260
232
608
201
230
204
240
242
220
222
280
600
剖面图

图6

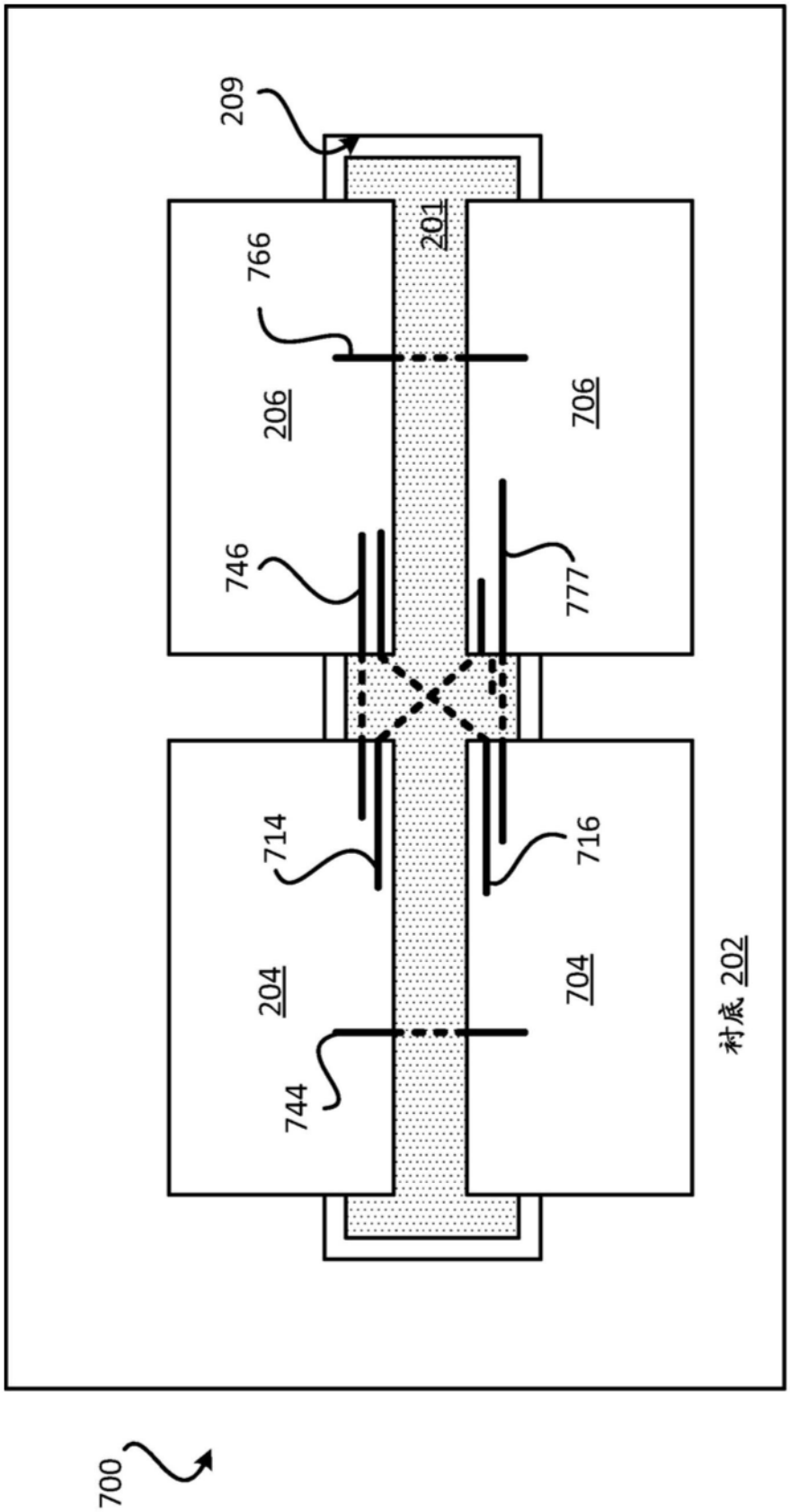


图7

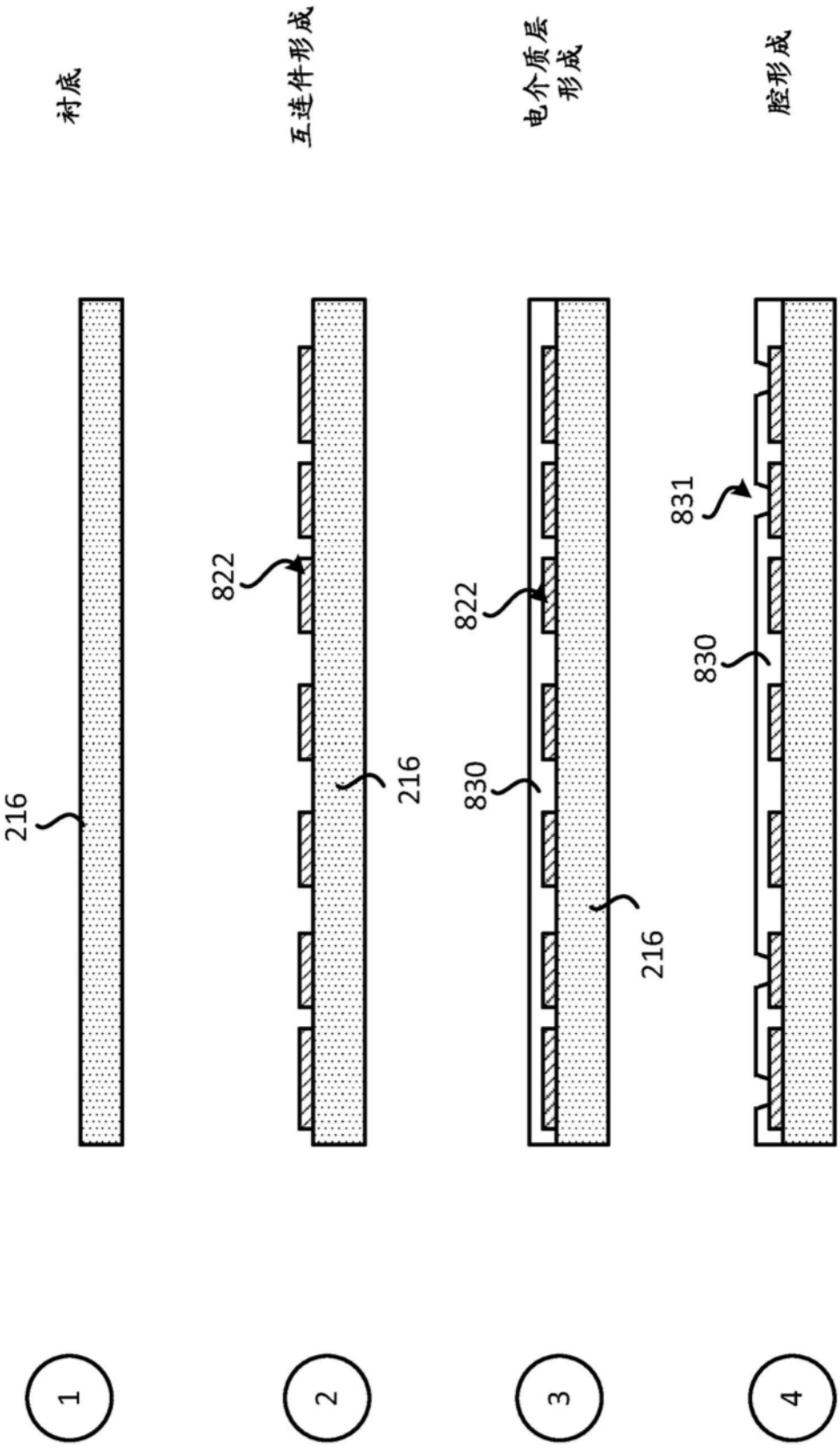


图8A

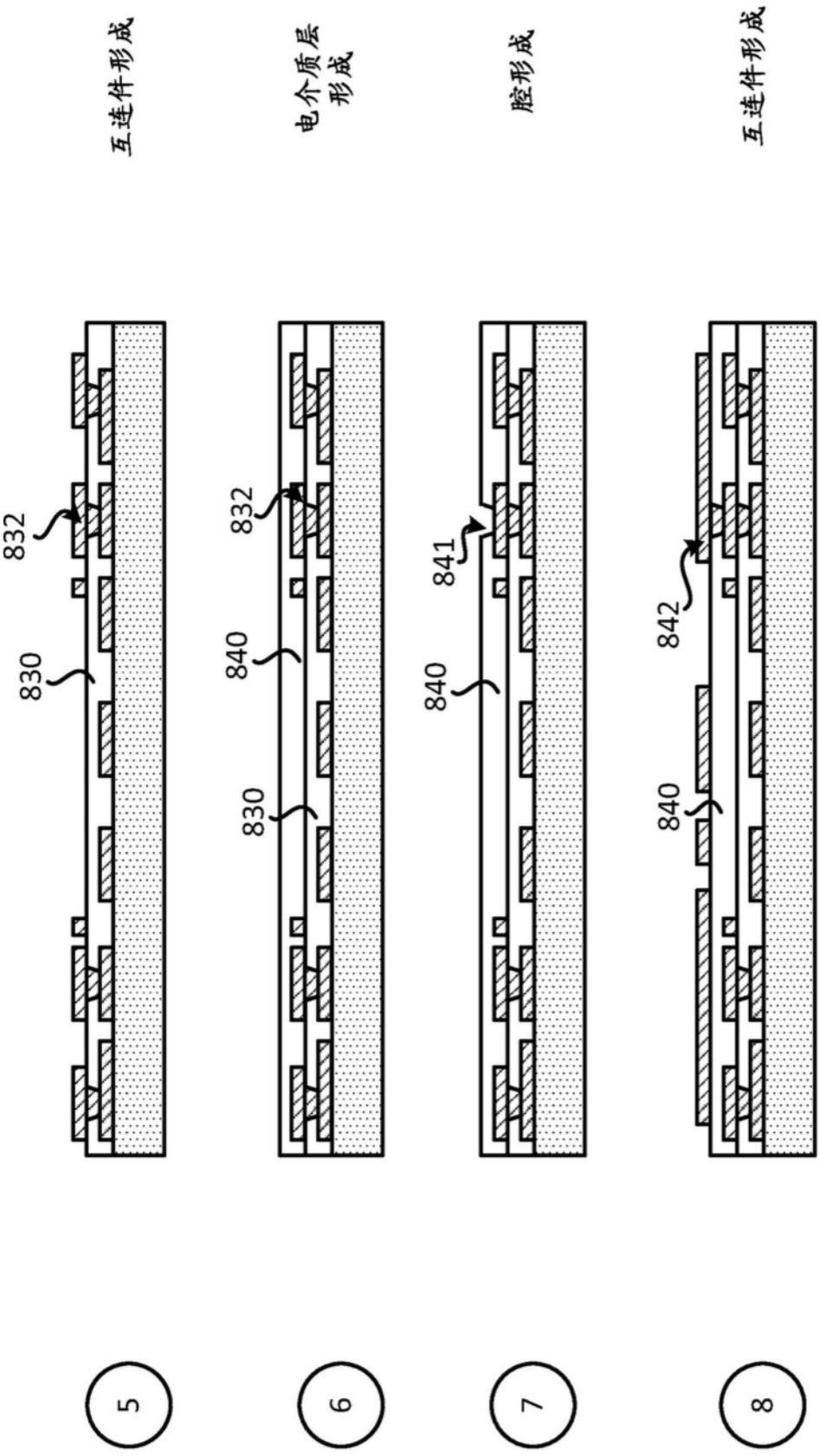

互连件形成
电介质层形成
腔形成
互连件形成
832
830
832
840
830
841
840
842
840
5
6
7
8

图8B

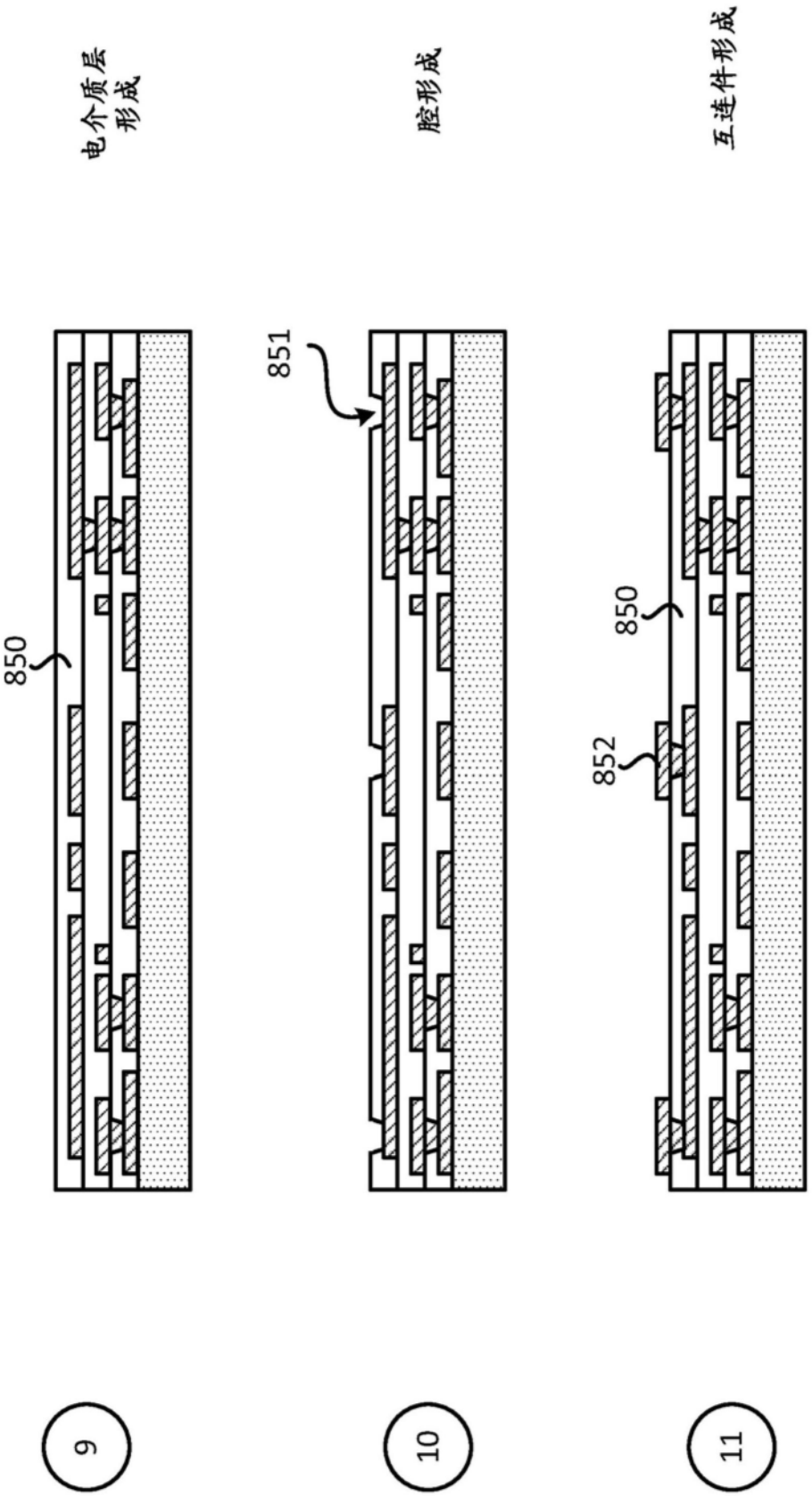


图8C

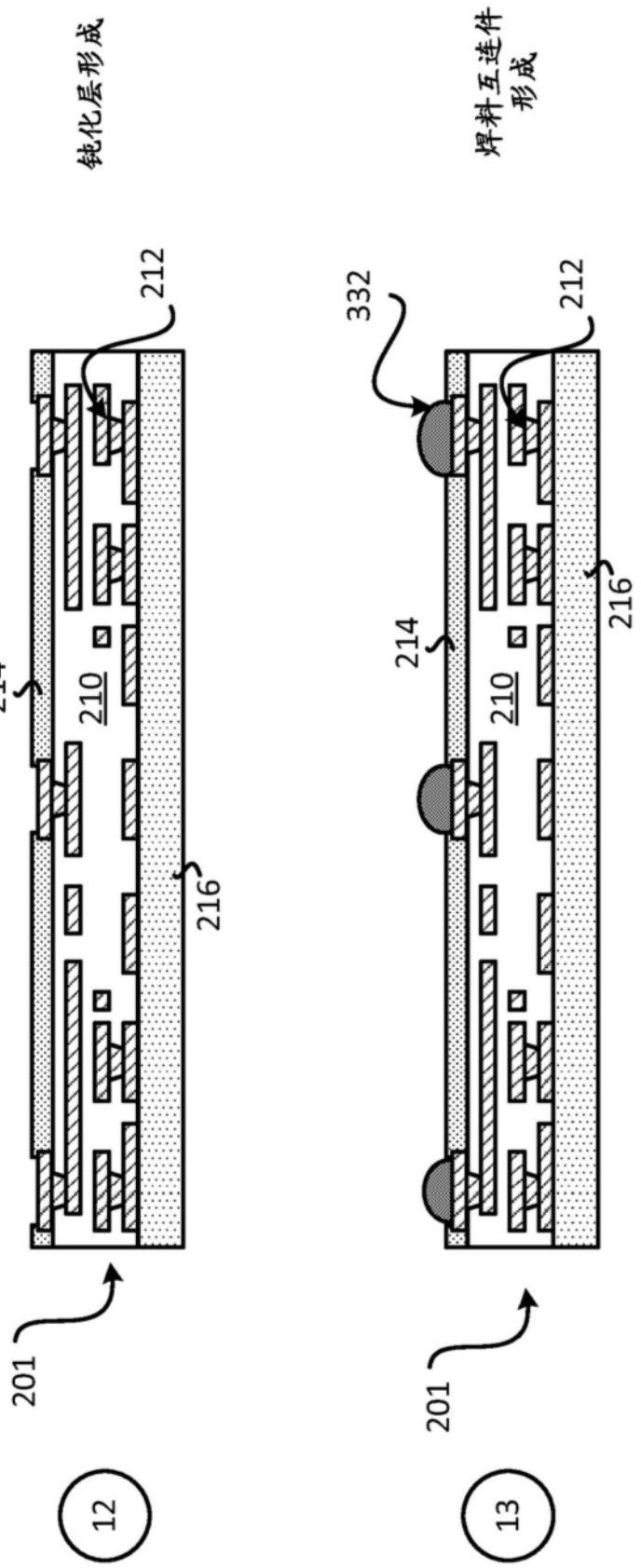


图8D

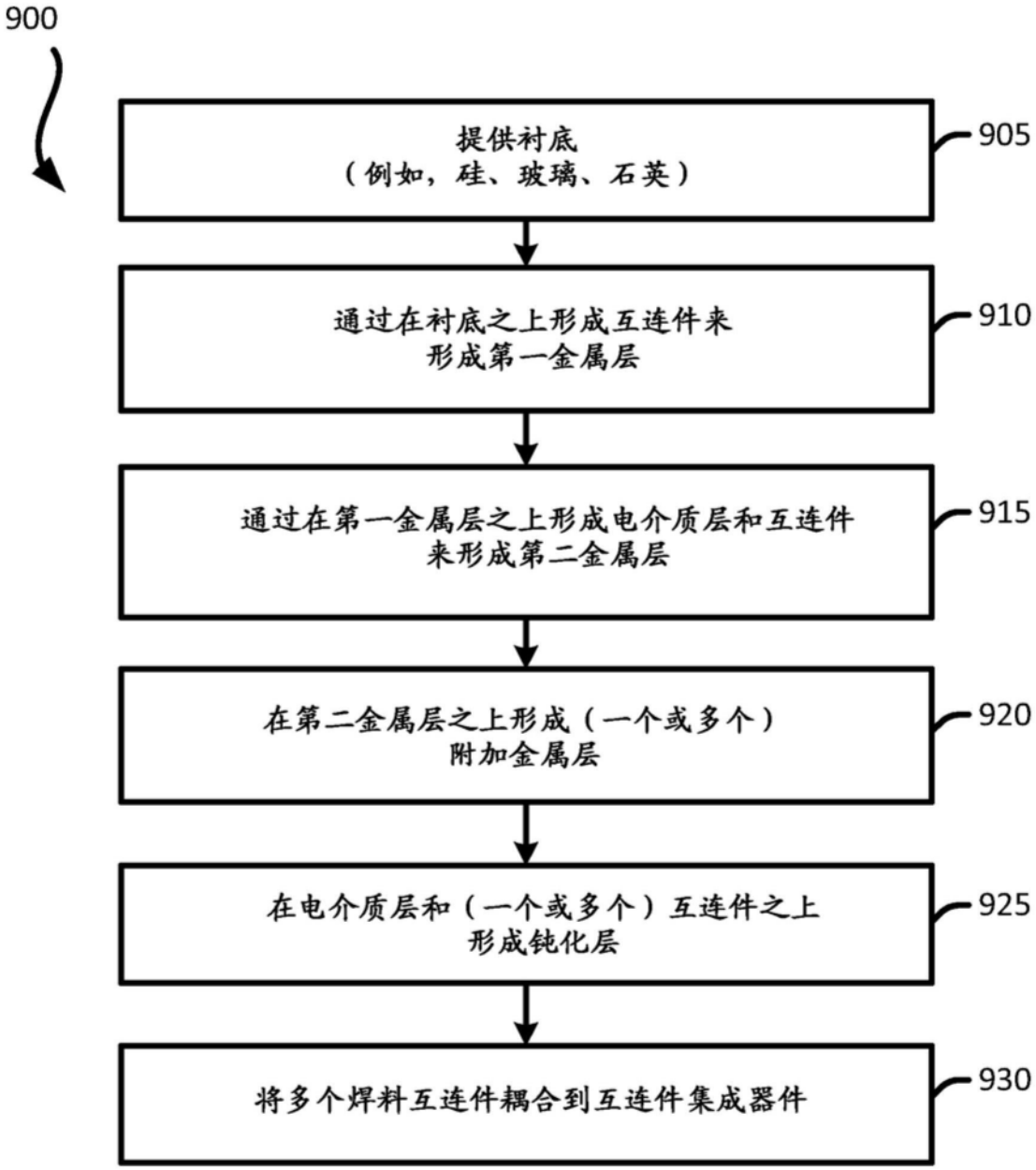

900
提供衬底
（例如，硅、玻璃、石英）
905
通过在衬底之上形成互连件来
形成第一金属层
910
通过在第一金属层之上形成电介质层和互连件
来形成第二金属层
915
在第二金属层之上形成（一个或多个）
附加金属层
920
在电介质层和（一个或多个）互连件之上
形成钝化层
925
将多个焊料互连件耦合到互连件集成器件
930

图9

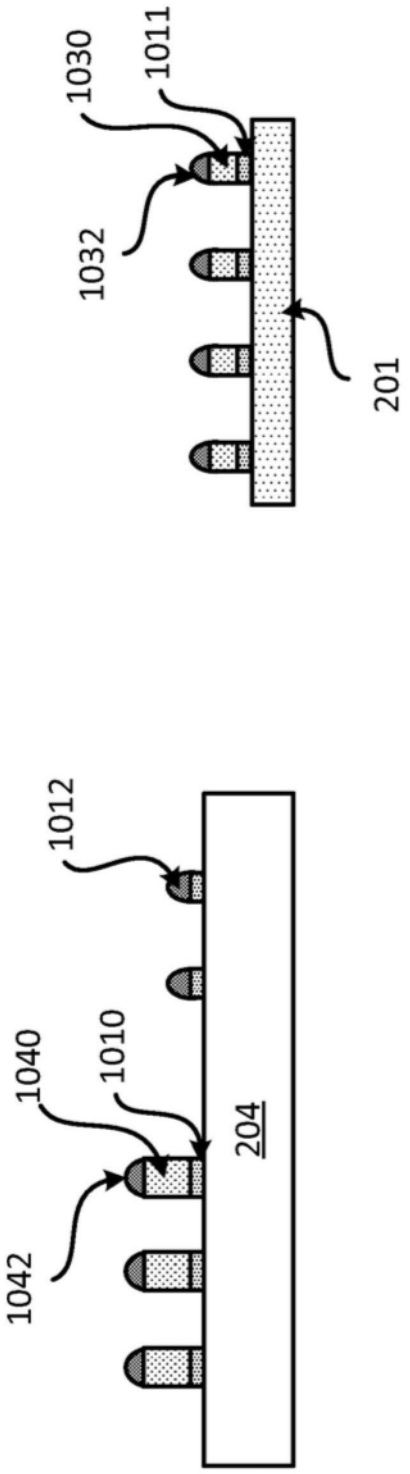


图10

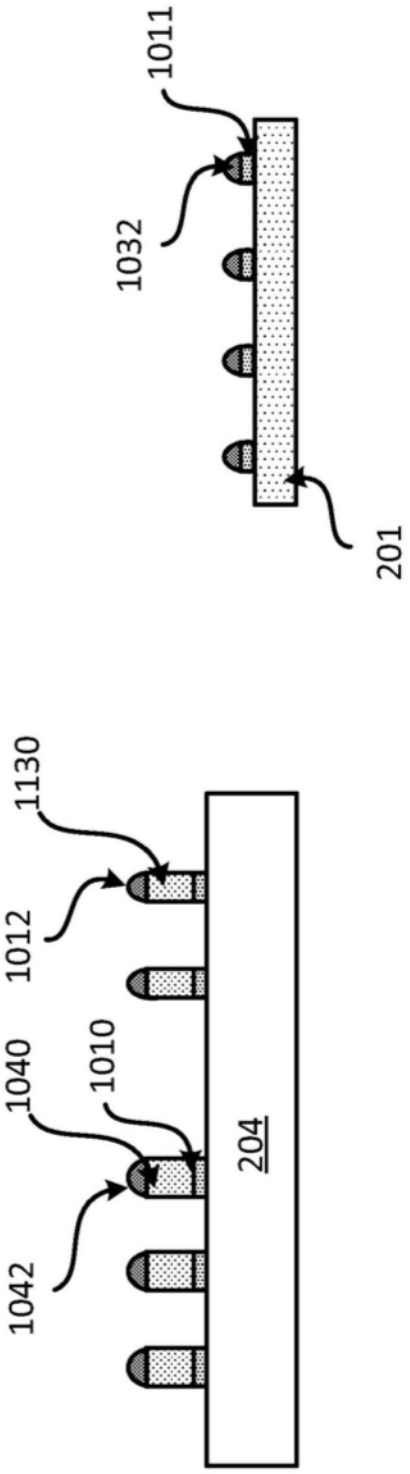


图11

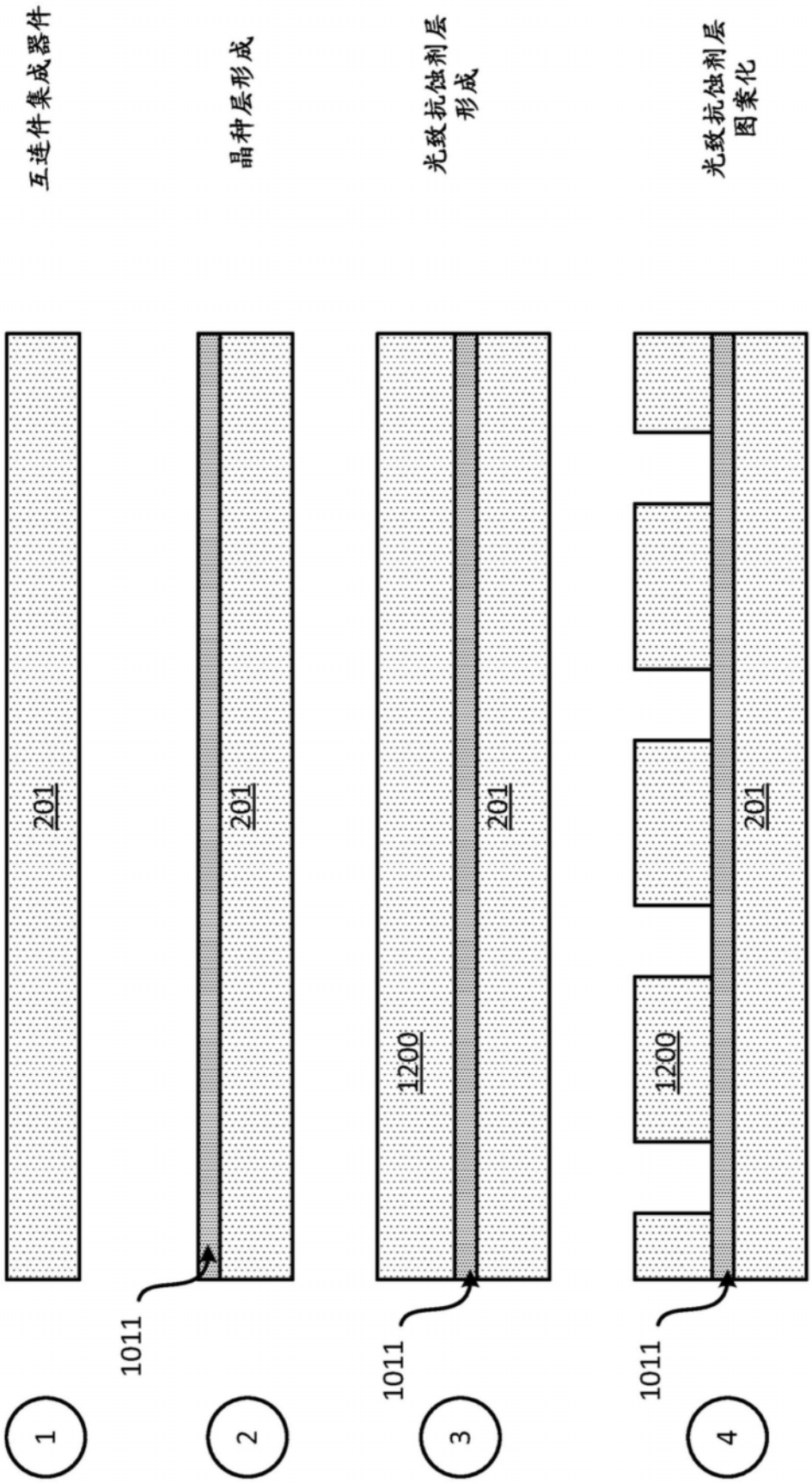


图12A

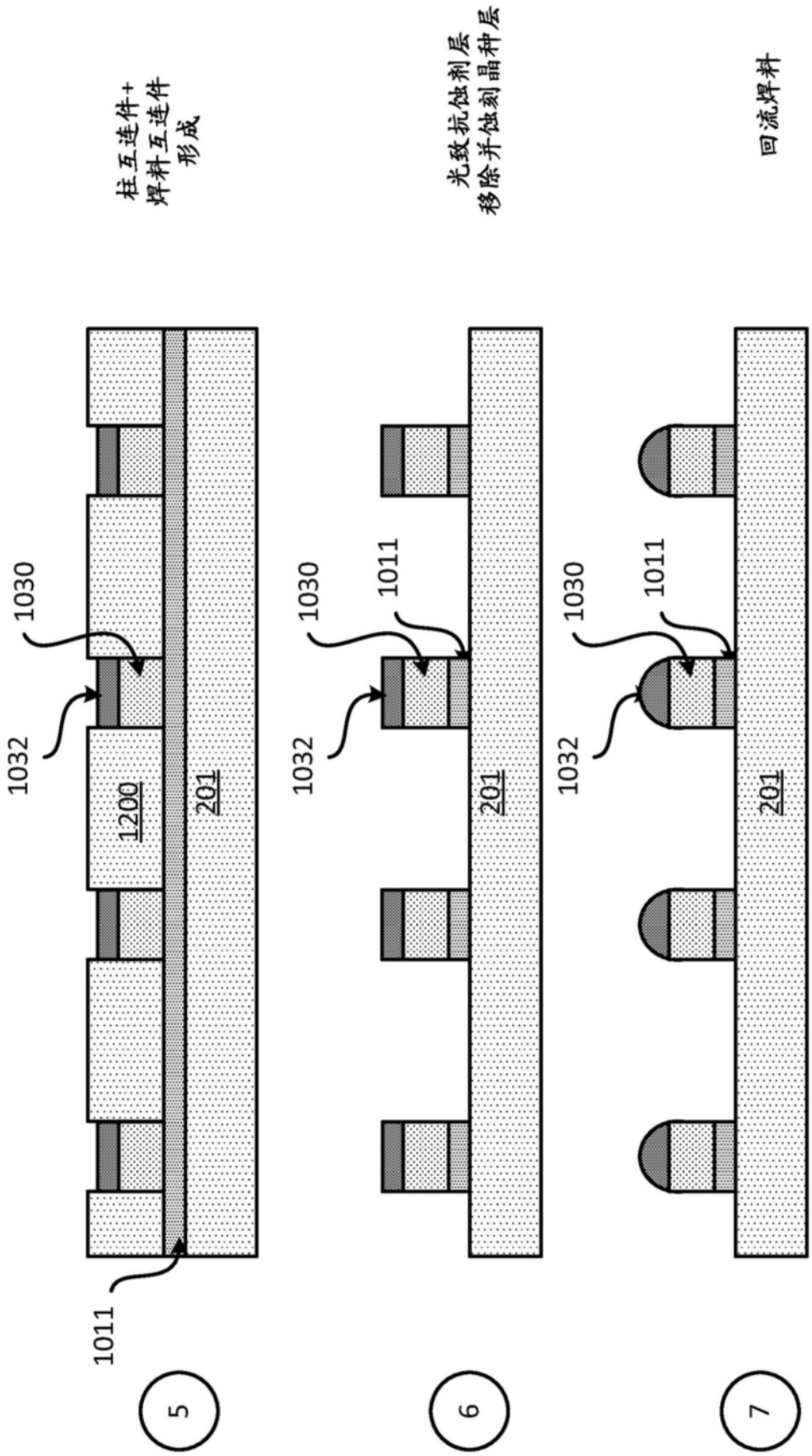

柱互连件+
焊料互连件
形成
光致抗蚀剂层
移除并蚀刻晶种层
回流焊料
1030
1032
1200
201
1011
5
6
7

图12B

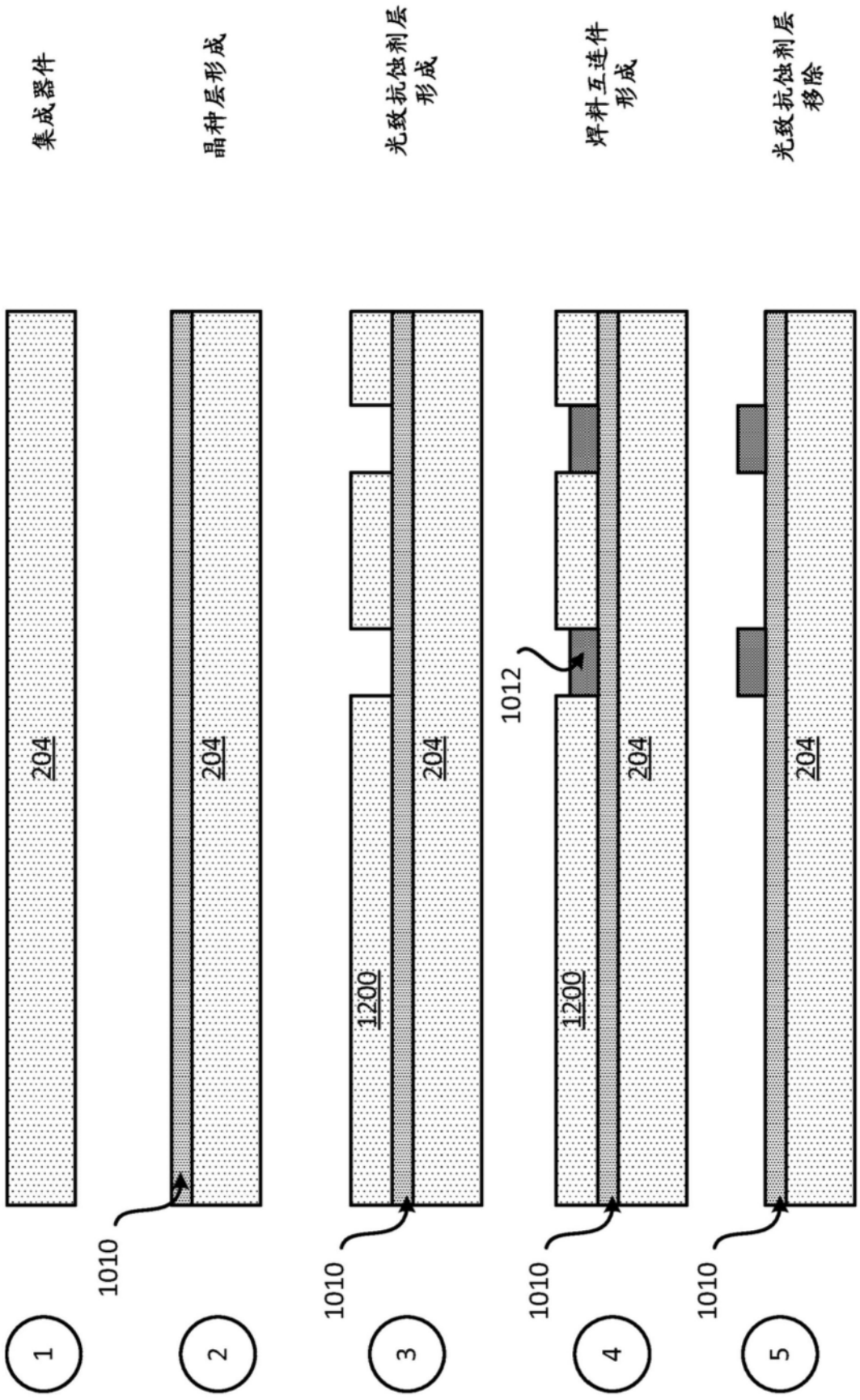

集成器件
晶种层形成
光致抗蚀剂层形成
焊料互连件形成
光致抗蚀剂层移除
204
1200
1010
1012
1
2
3
4
5

图13A

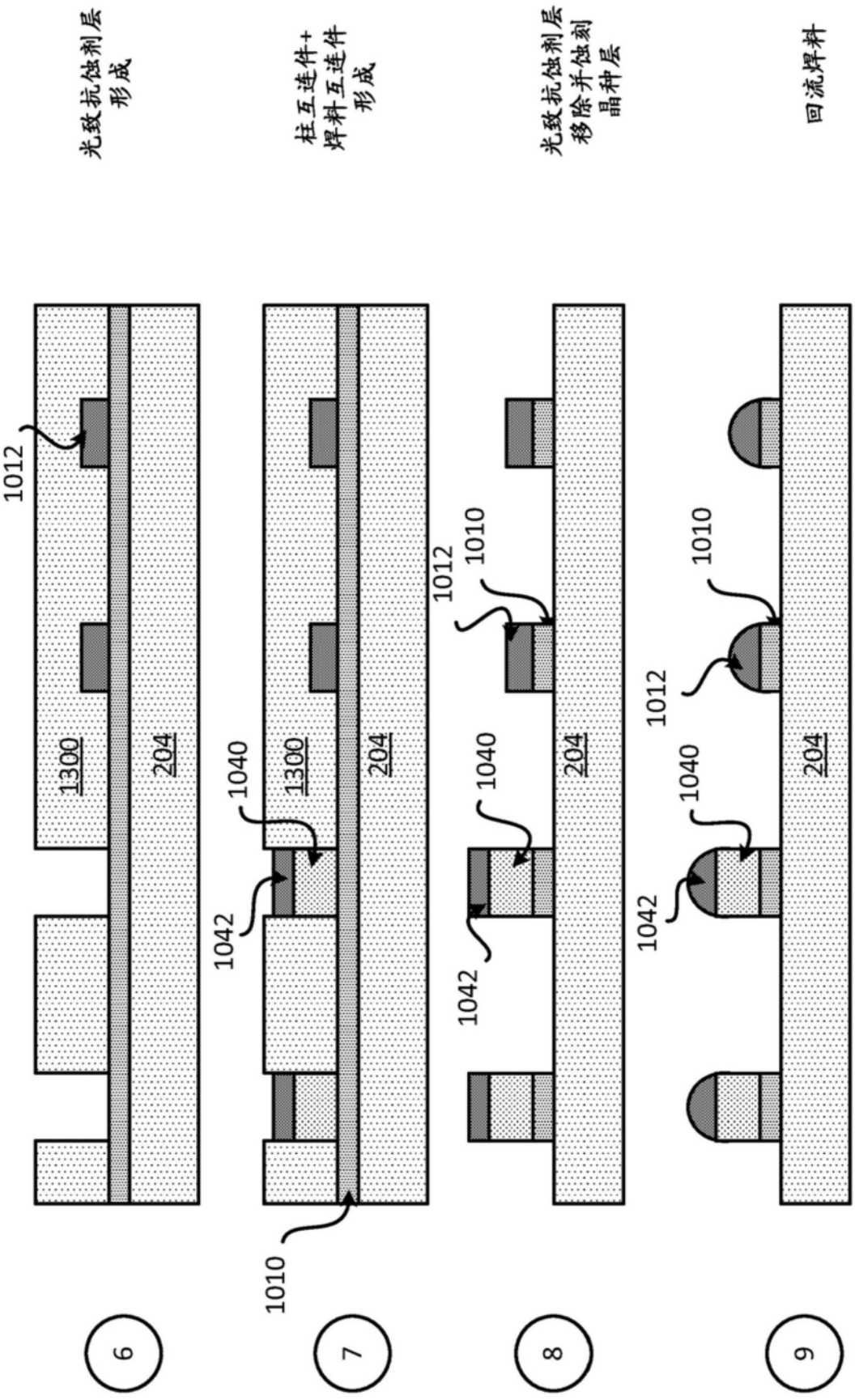

光致抗蚀剂层形成
柱互连件+焊料互连件形成
光致抗蚀剂层移除并蚀刻晶种层
回流焊料
1012
1300
204
1040
1042
1010
6
7
8
9

图13B

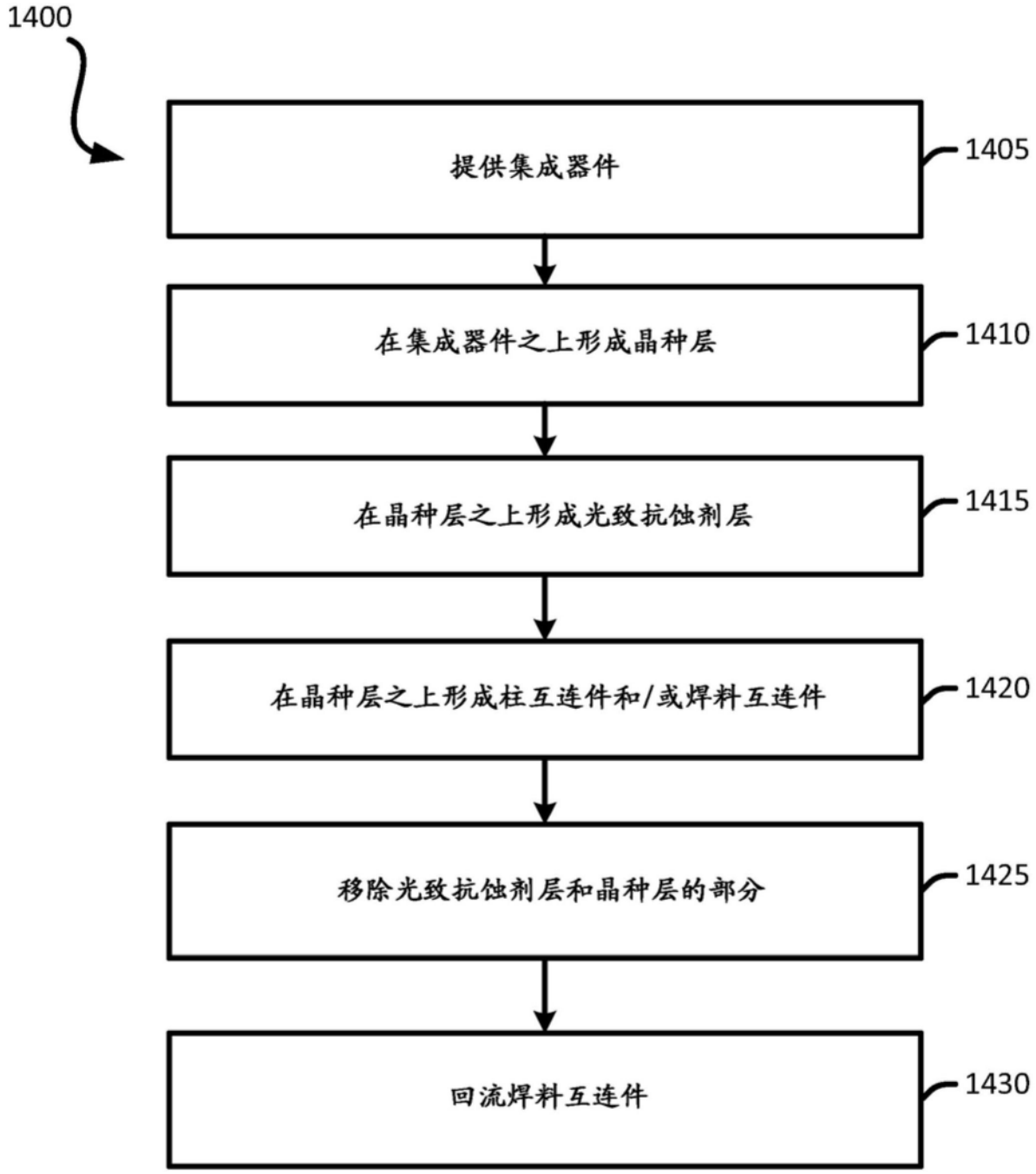

1400
提供集成器件
1405
在集成器件之上形成晶种层
1410
在晶种层之上形成光致抗蚀剂层
1415
在晶种层之上形成柱互连件和/或焊料互连件
1420
移除光致抗蚀剂层和晶种层的部分
1425
回流焊料互连件
1430

图14

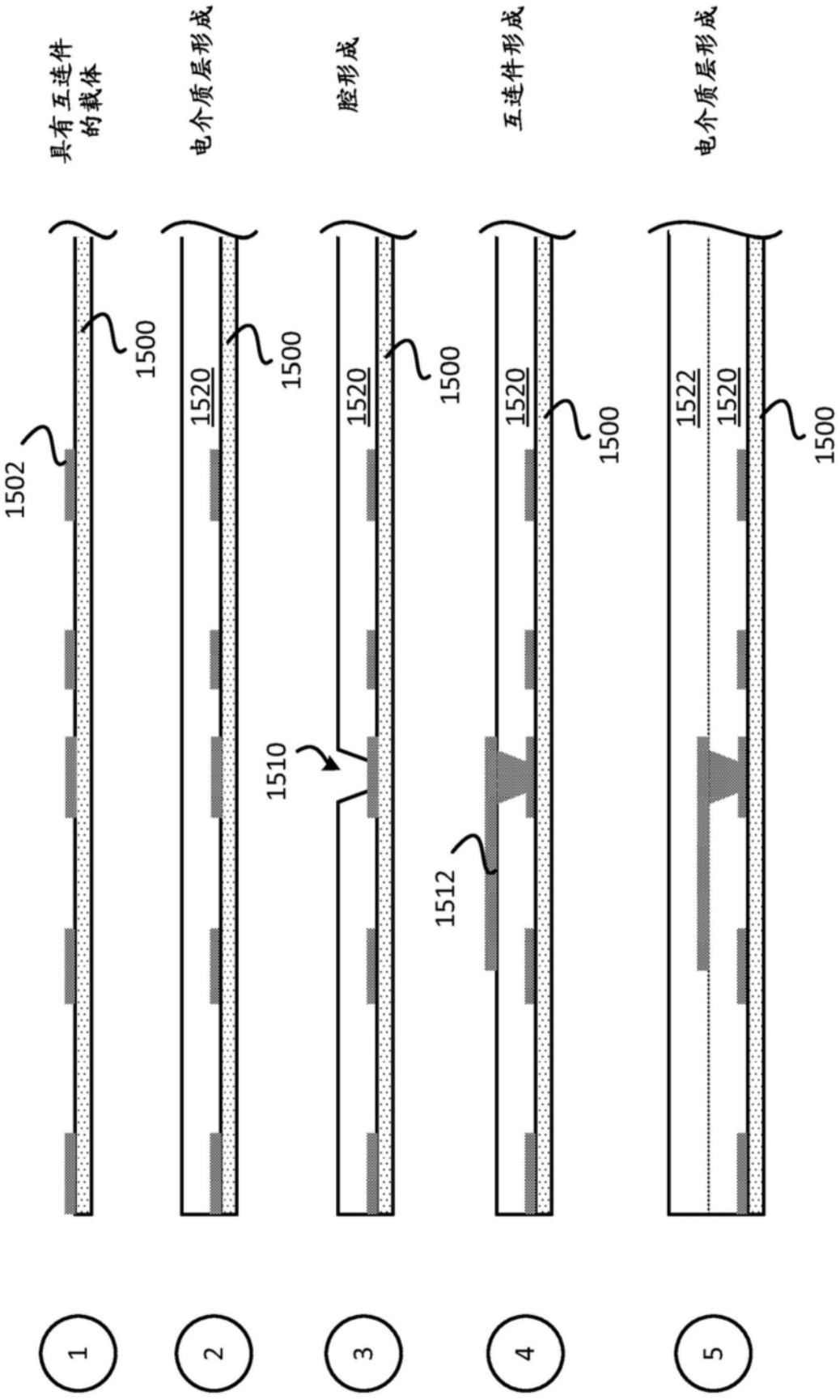

具有互连件的载体
电介质层形成
腔形成
互连件形成
电介质层形成
1502
1500
1520
1510
1512
1522
1
2
3
4
5

图15A

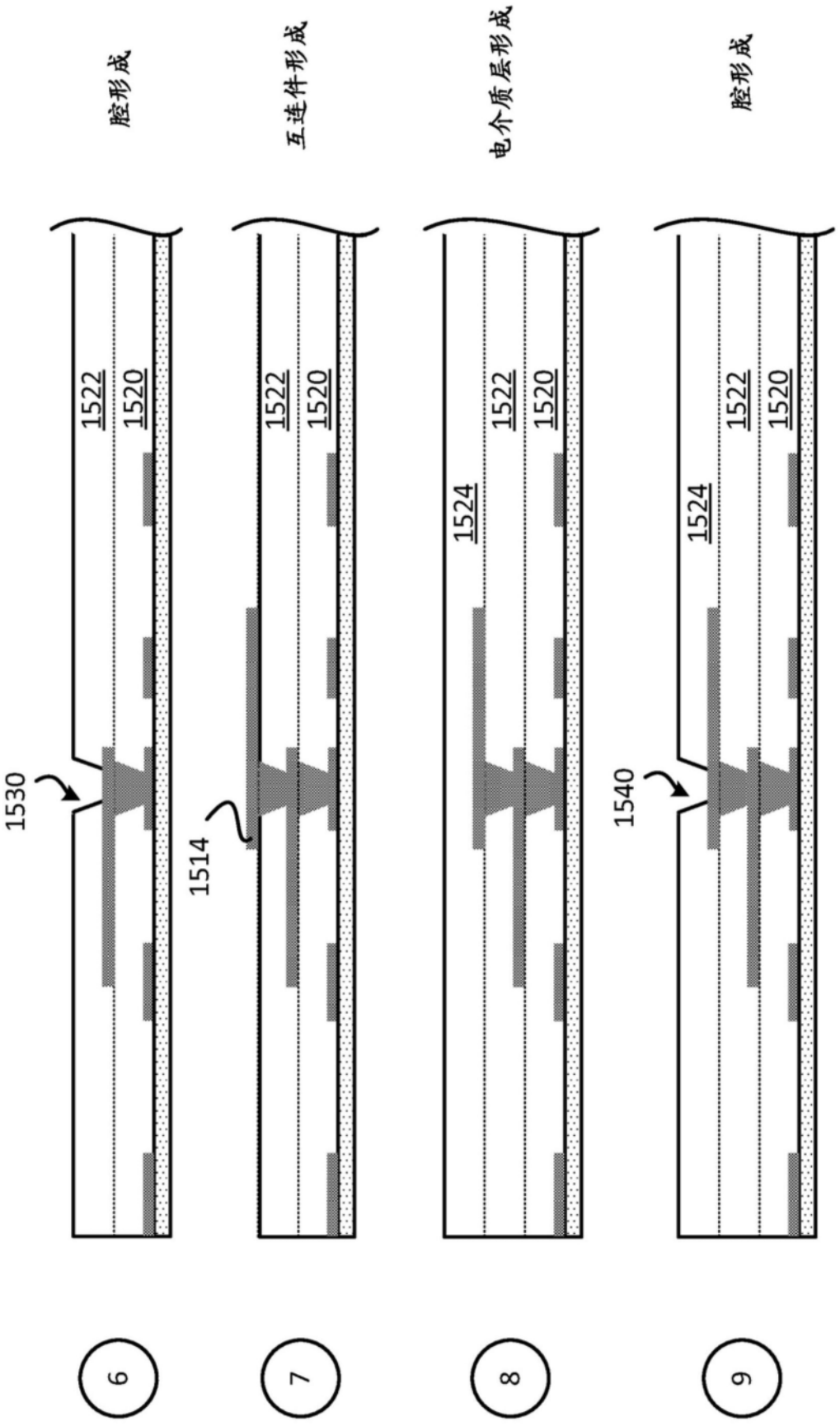


图15B

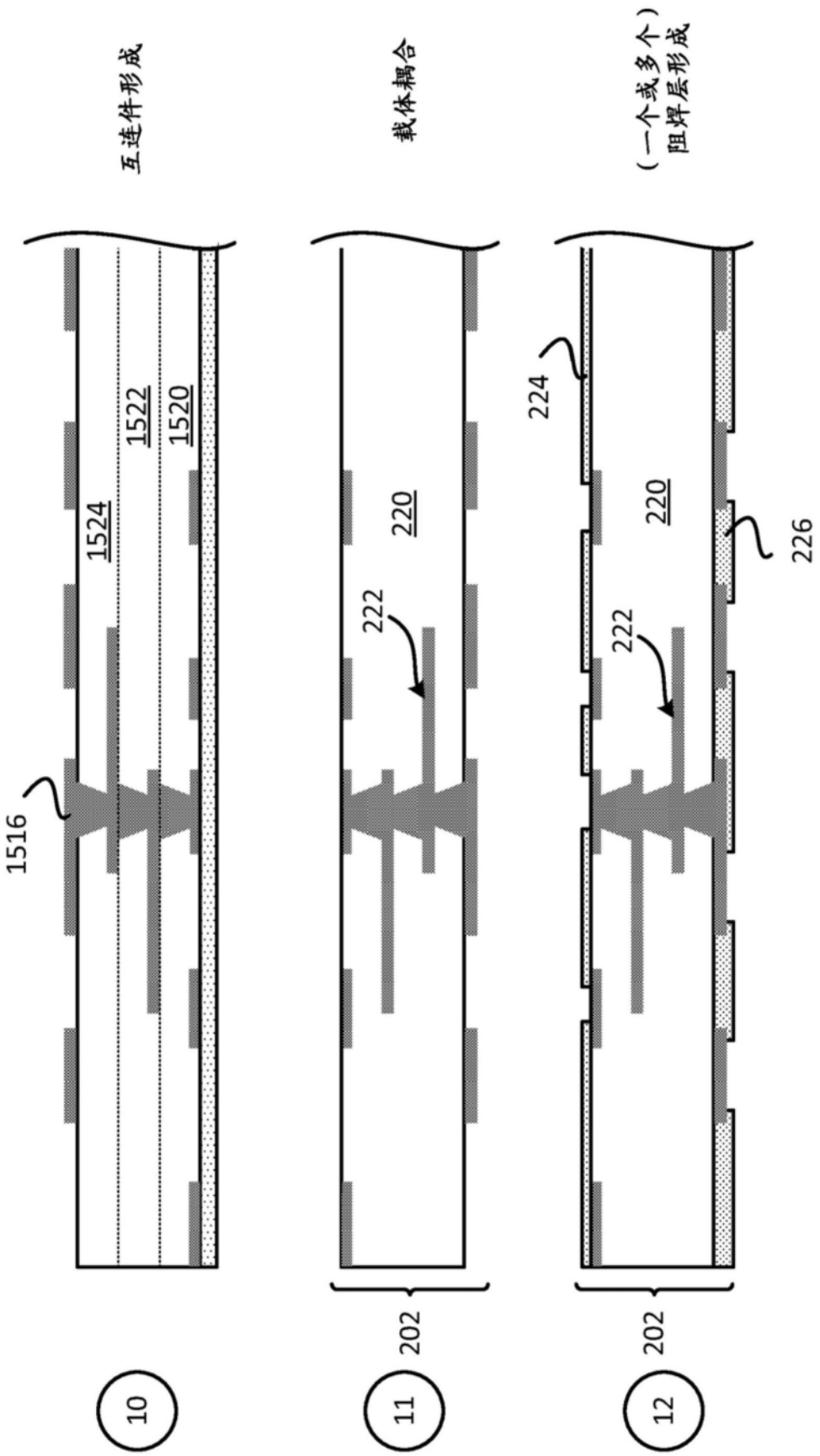

互连件形成
载体耦合
（一个或多个）
阻焊层形成
1516
1524
1522
1520
220
222
224
226
202
10
11
12

图15C

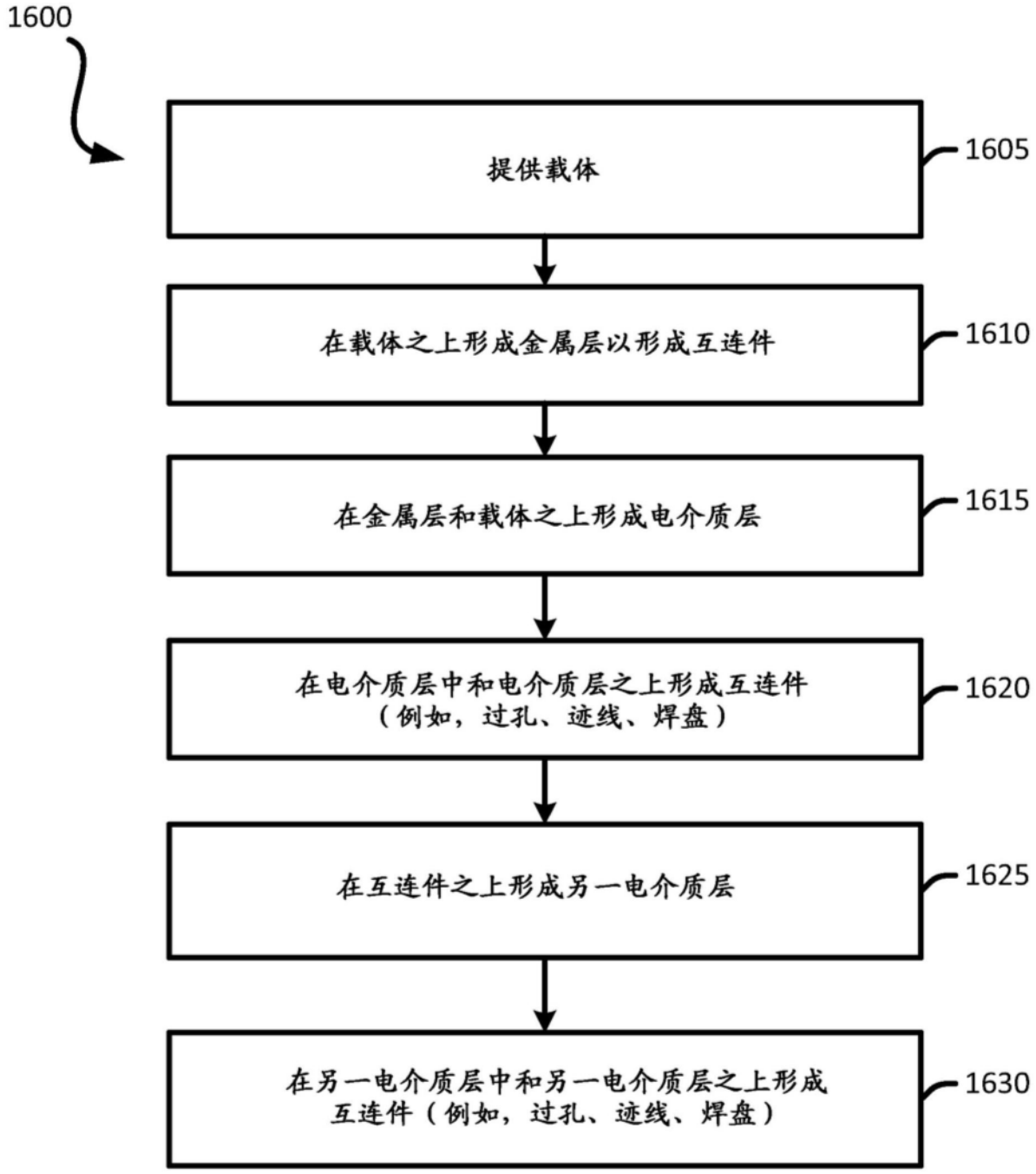

1600
提供载体
1605
在载体之上形成金属层以形成互连件
1610
在金属层和载体之上形成电介质层
1615
在电介质层中和电介质层之上形成互连件
（例如，过孔、迹线、焊盘）
1620
在互连件之上形成另一电介质层
1625
在另一电介质层中和另一电介质层之上形成
互连件（例如，过孔、迹线、焊盘）
1630

图16

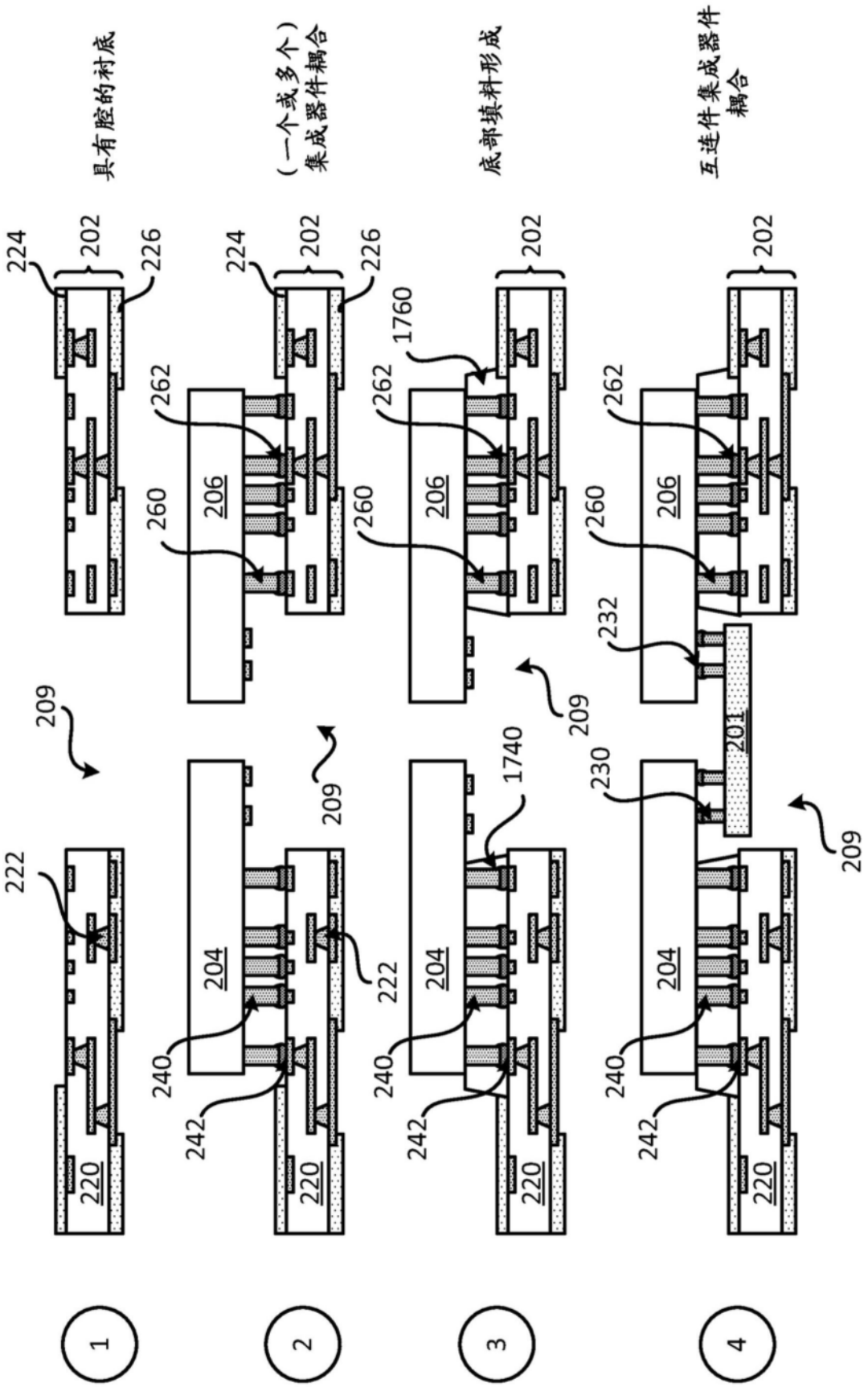

具有腔的衬底
（一个或多个）集成器件耦合
底部填料形成
互连件集成器件耦合
224
202
226
262
260
206
1760
209
222
204
240
242
220
1740
230
232
201
1
2
3
4

图17A

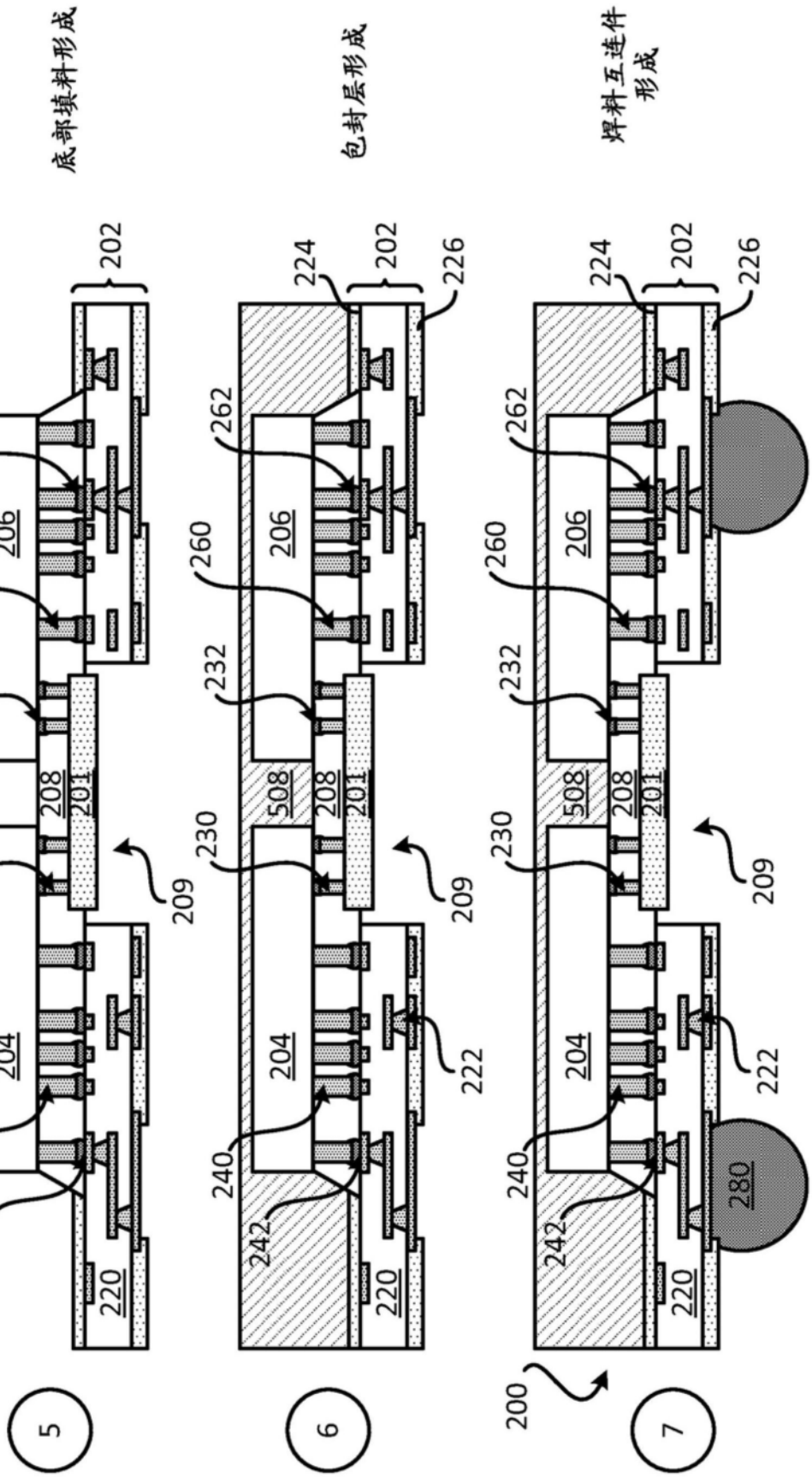

底部填料形成
包封层形成
焊料互连件形成
5
6
7
200
202
204
206
208
209
220
222
224
226
230
232
240
242
260
262
280
508
201

图17B

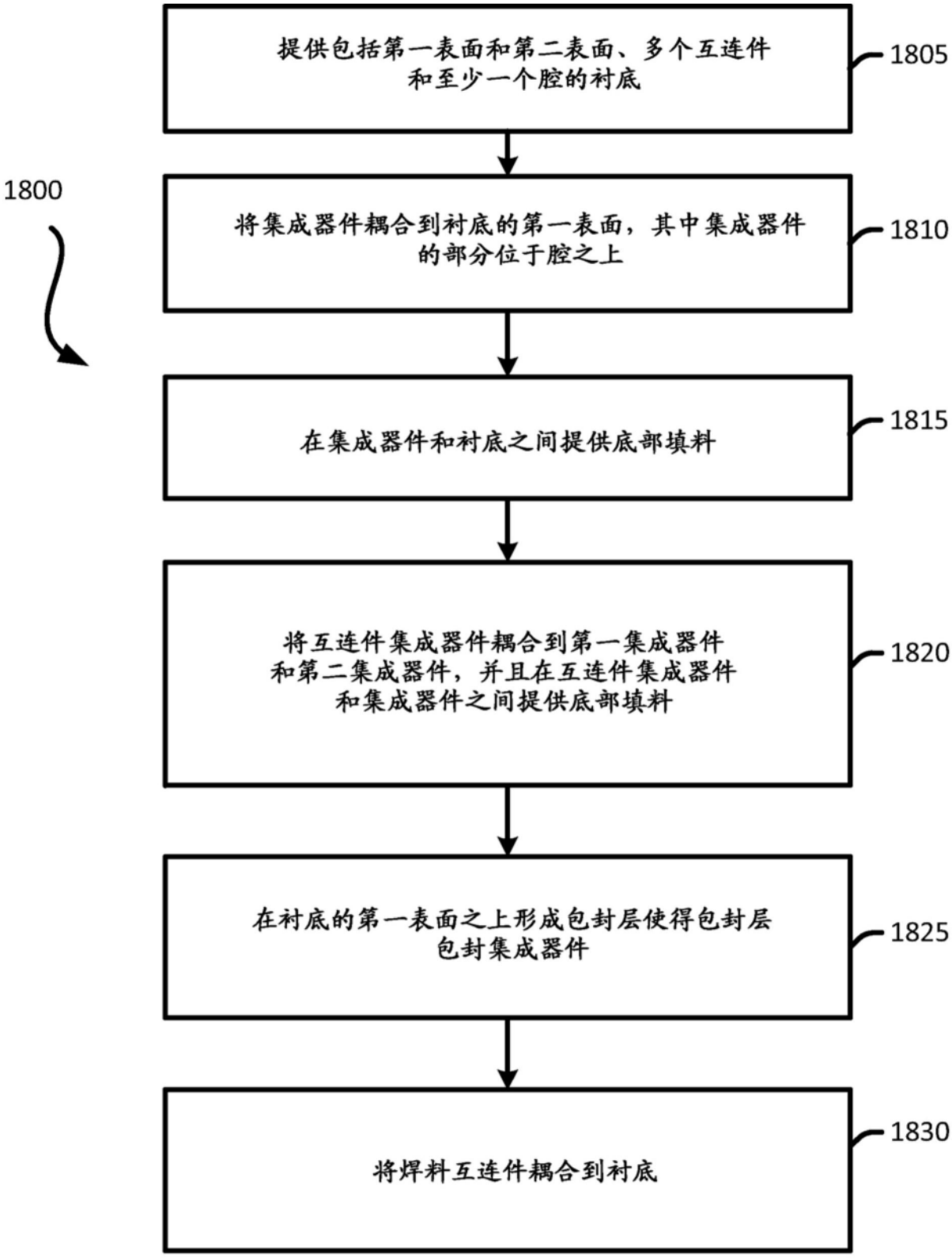

1800
提供包括第一表面和第二表面、多个互连件和至少一个腔的衬底
1805
将集成器件耦合到衬底的第一表面，其中集成器件的部分位于腔之上
1810
在集成器件和衬底之间提供底部填料
1815
将互连件集成器件耦合到第一集成器件和第二集成器件，并且在互连件集成器件和集成器件之间提供底部填料
1820
在衬底的第一表面之上形成包封层使得包封层包封集成器件
1825
将焊料互连件耦合到衬底
1830

图18

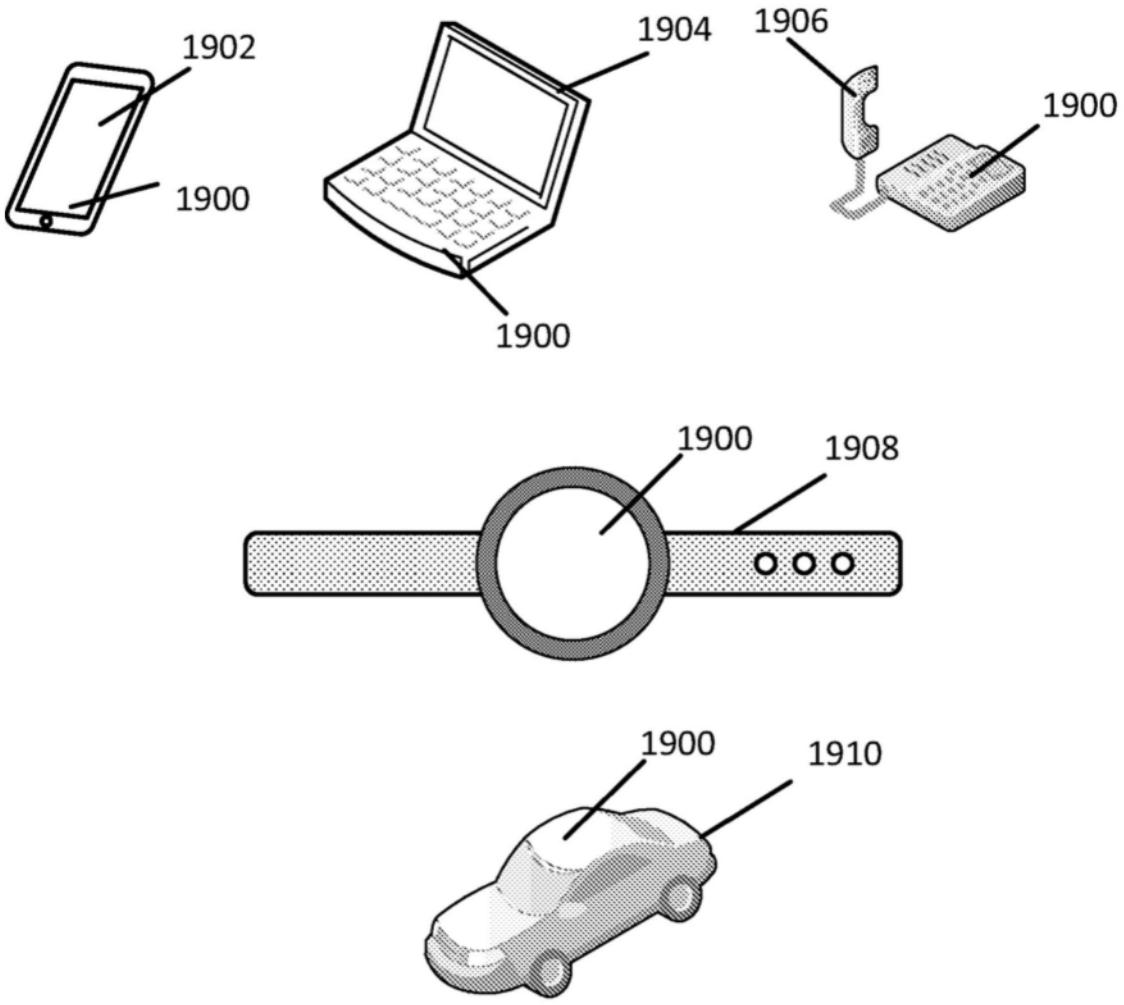


图19