



(12) 发明专利申请

(10) 申请公布号 CN 102376778 A

(43) 申请公布日 2012. 03. 14

(21) 申请号 201110350832. 2

(22) 申请日 2007. 04. 03

(30) 优先权数据

11/396, 615 2006. 04. 04 US

(62) 分案原申请数据

200780020722. 1 2007. 04. 03

(71) 申请人 SS SC IP 有限公司

地址 美国密西西比州

(72) 发明人 迈克尔·S·马佐拉 成林

(74) 专利代理机构 北京英赛嘉华知识产权代理
有限责任公司 11204

代理人 余朦 王艳春

(51) Int. Cl.

H01L 29/872 (2006. 01)

H01L 29/06 (2006. 01)

H01L 21/04 (2006. 01)

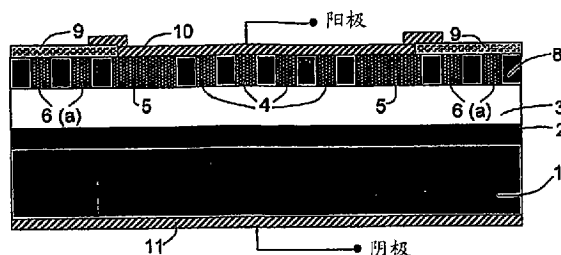
权利要求书 2 页 说明书 10 页 附图 7 页

(54) 发明名称

结势垒肖特基整流器及其制造方法

(57) 摘要

本发明涉及结势垒肖特基 (JBS) 整流器器件及其制造方法。该器件包括外延生长的第一 n 型漂移层和 p 型区, 以形成 p 型区之间或顶部上的 p^+-n 结和自平坦化的外延过生长第二 n 型漂移区。该器件可包括边缘终止结构, 例如露出或埋入的 p^+-n 保护环、再生长或注入的结终止延伸 (JTE) 区、或向下蚀刻至衬底的“深”台面。第二 n 型漂移区的肖特基触点和 p 型区的欧姆触点共同构成阳极。阴极可由晶片背侧的 n 型区的欧姆触点形成。该器件可用于单片的数字、模拟和微波集成电路。



1. 一种半导体器件,包括:

衬底层,其包括第一传导类型的半导体材料;

漂移层,其包括所述第一传导类型的半导体材料,其中所述漂移层位于所述衬底层上,或者所述漂移层位于缓冲层上,所述缓冲层包括所述第一传导类型的半导体材料,并且所述缓冲层位于所述衬底层上;

中央区,其包括在所述漂移层的中央部分上的、不同于所述第一传导类型的第二传导类型的半导体材料的多个区域,所述第二传导类型的半导体材料的所述区域具有上表面和侧壁;

所述第一传导类型的外延半导体材料的漂移区,其位于与所述第二传导类型的半导体材料的所述多个区域相邻的漂移层上;

位于所述衬底一侧上的欧姆接触,所述一侧为与漂移层所在侧相反的一侧;

位于所述中央区上的欧姆接触;

金属层,位于所述中央区上的欧姆接触上;以及

肖特基金属层,与所述漂移区的至少一部分相接触,

其中,所述肖特基金属层与所述中央区上的欧姆接触上的金属层电连接。

2. 如权利要求 1 所述的器件,其中所述第二传导类型的半导体材料的所述区域包括间隔开的、伸长的多个段,所述多个段具有相对的第一端部和第二端部。

3. 如权利要求 1 所述的器件,其中所述第一传导类型的外延半导体材料的漂移区位于所述第二传导类型的半导体材料的所述多个区域的所述上表面上。

4. 如权利要求 1 所述的器件,其中所述器件包括所述缓冲层。

5. 如权利要求 4 所述的器件,其中所述缓冲层的掺杂浓度大于 $1 \times 10^{18}/\text{cm}^3$, 并且 / 或者所述缓冲层的厚度为 $0.5 \mu\text{m}$ 。

6. 如权利要求 1 所述的器件,其中所述衬底层、所述漂移层、所述中央区和所述漂移区的半导体材料均为碳化硅。

7. 如权利要求 1 所述的器件,其中所述第一传导类型的半导体材料是 n 型半导体材料,并且所述第二传导类型的半导体材料是 p 型半导体材料。

8. 如权利要求 1 所述的器件,其中所述漂移层的厚度大于 $1 \mu\text{m}$ 。

9. 如权利要求 1 所述的器件,其中所述中央区的厚度大于 $0.5 \mu\text{m}$ 。

10. 如权利要求 1 所述的器件,其中所述中央区的掺杂浓度大于或等于 $1 \times 10^{19}/\text{cm}^3$ 。

11. 如权利要求 1 所述的器件,其中所述衬底层的掺杂浓度大于 $1 \times 10^{18}/\text{cm}^3$ 。

12. 如权利要求 1 所述的器件,其中所述漂移层和所述漂移区的掺杂浓度均处于 $1 \times 10^{14}/\text{cm}^3$ 至 $1 \times 10^{17}/\text{cm}^3$ 之间。

13. 如权利要求 1 所述的器件,其中所述漂移区的掺杂浓度与所述漂移层不同。

14. 如权利要求 1 所述的器件,其中所述第二传导类型的半导体材料的所述区域进一步包括第一汇流条和第二汇流条,所述第一汇流条将所述伸长的多个段中每一个的所述第一端部相连,所述第二汇流条将所述伸长的多个段中每一个的所述第二端部相连。

15. 如权利要求 14 所述的器件,其中所述第一汇流条和所述第二汇流条均具有第一宽度,并且其中凸起的所述伸长的多个段具有第二宽度,所述第二宽度小于所述第一宽度。

16. 如权利要求 14 所述的器件,其中所述第一汇流条和所述第二汇流条具有相对的第

一端部和第二端部,并且其中所述第一汇流条的所述第一端部与所述第二汇流条的所述第一端部通过第三汇流条相连。

17. 如权利要求 16 所述的器件,其中所述第一汇流条的所述第二端部与所述第二汇流条的所述第二端部通过第四汇流条相连。

18. 如权利要求 1 所述的器件,其中所述中央区上的所述欧姆接触上的所述金属层具有与所述肖特基金属层不同的成分。

19. 如权利要求 1 所述的器件,进一步包括在所述器件的外围部分的边缘终止结构。

20. 如权利要求 19 所述的器件,进一步包括在所述边缘终止结构上的介电层。

21. 如权利要求 19 所述的器件,其中所述边缘终止结构包括注入所述漂移层内的、所述第二传导类型的半导体材料的区域。

22. 如权利要求 19 所述的器件,其中所述边缘终止结构包括台面边缘终止。

23. 如权利要求 19 所述的器件,其中所述边缘终止结构包括位于限定了所述中央区的所述漂移层上的、所述第二传导类型的半导体材料的一个或多个连续区域。

24. 如权利要求 23 所述的器件,进一步包括所述第一传导类型的外延生长的半导体材料,所述第一传导类型的外延生长的半导体材料与所述第二传导类型的半导体材料的、限定了所述中央区的所述一个或多个连续区域相邻。

25. 如权利要求 24 所述的器件,其中所述第一传导类型的外延生长的半导体材料位于所述第二传导类型的半导体材料的、限定了所述中央区的一个或多个连续区域上。

26. 一种集成电路,包括:

如权利要求 1 所述的半导体器件;以及

形成于所述衬底层上的至少一个附加电子功率部件。

27. 如权利要求 26 所述的集成电路,其中所述至少一个附加电子功率元件选自由以下元件组成的组:双极结型晶体管 (BJT),结型场效应晶体管 (JFET),金属氧化物半导体场效应晶体管 (MOSFET),门电路断开晶闸管 (GTO) 及其组合。

结势垒肖特基整流器及其制造方法

[0001] 关于联邦政府资助研究

[0002] 本发明由美国政府根据第 F33615-01-D-2103 号空军研究实验室协议进行的。美国政府对本发明具有一定权利。

技术领域

[0003] 本发明通常涉及具有竖直 p^+-n 结的结势垒肖特基整流器或二极管,特别地,涉及具有形成 p^+-n 结的外延生长的漂移层和外延过生长的漂移区的器件,该 p^+-n 结可以或不可以为埋入的且自平坦化的肖特基接触区。该器件可形成于宽带隙半导体材料中,例如碳化硅。

背景技术

[0004] 碳化硅 (SiC) 是一种宽带隙半导体材料,常用于大功率、高温和 / 或抗辐射电子领域。由于与传统硅材料相比其具有卓越的材料物理特性,例如宽能带隙、高击穿场强、高饱和电子漂移速率和高热导率,因此 SiC 功率开关对上述应用来说是理想的选择。除了上述优点之外,与传统硅功率器件相比, SiC 功率器件可在更低的特定开态电阻条件下操作 [1]。SiC 单极器件在不远的将来有望在 600-3000V 范围内取代 Si 单极开关和整流器。

[0005] 通常,有三种整流器 [2]: (1) 肖特基二极管,提供较低的有效接通电压,从而具有较低的接通状态损失,由于主要由多数载流子进行传导,因而具有极高的开关速度,从而没有扩散电容,因此不会在开关关闭时出现真正的反向恢复,也不会开关打开时出现正向电压过冲,但是高的泄漏电流会造成不利影响 [3]; (2) P-i-N 二极管,提供较低的泄漏电流,但在开关过程中会出现反向恢复电荷;和 (3) 结势垒肖特基 (JBS) 二极管,通过为肖特基表面屏蔽高电场,从而提供类似肖特基的接通状态和开关性能,以及类似 PiN 的关闭状态性能。在采用了 Si PiN 二极管的传统高电压 ($> 600V$) 电路中,功率损失的主要来源是整流器关闭过程中反向恢复电荷的扩散。SiC JBS 二极管的快速恢复使得对于整流器和开关的很低热需求的封装设计成为可能,并可期望 3 倍以上地增加电路的功率密度。

[0006] 由于在材料特性和处理技术方面的本质区别,功率整流器 (或二极管) 方面的传统 Si 或 GaAs 微电子技术难以转换为 SiC。过去几十年中有大量关于 SiC 整流器的报道 (如, [2-6])。

[0007] 美国专利 US4982260 公开了通过蚀刻穿过扩散生成的重度掺杂 p 型阱而限定 p 型发射极区域。然而,由于将掺杂物扩散入 SiC 在很高的温度下速度很慢,这是一个实际问题,所以 p 型阱仅可在 n 型 SiC 中通过离子注入形成,这种离子注入会由于注入所产生的损伤而导致少数载流子寿命受损。

[0008] 美国专利 US6524900B2 公开了 SiC 结势垒肖特基 (JBS) / 结合的 P-I-N 肖特基 (MPS) 栅格的一个实施例。该器件具有沉积在注入的 p 型岛上的肖特基金属,该 p 型岛由等离子蚀刻穿过外延生长层而形成。然而,一旦缺乏 p 型区上的 p 型欧姆触点和由 p 型区的低掺杂引起的传导率调制不足,则该结构无法有效地保护其自身免受冲击电流的影响。

[0009] 美国专利 US6104043 公开了一种采用注入的 P^+ 区以形成 $p-n$ 结的结势垒整流器的实施例。其中, 尽管欧姆触点形成于重掺杂的注入 p 型区, 但该结构的漂移区中传导率调制受到少数载流子寿命较低的影响, 而少数载流子寿命低是由即使在高温热退火之后也会产生的残留注入缺陷引起的。

[0010] 目前, 大部分低成本批量生产的障碍都可追溯到 p^+-n 结水平的工艺步骤中。而且, 用于欧姆触点的重度掺杂 p 型区难以在 SiC 中制备, 原因在于 SiC 的宽带隙。为了获得用于 SiC 结势垒肖特基二极管中的传导率调制和欧姆接触的突变 p^+-n 结, 经常采用离子注入的方法形成 P^+ 区。在离子注入和极高温 (例如温度 $\geq 1500^\circ\text{C}$) 的后注入退火过程中导致的损害可导致 $p-n$ 结的反向泄露电流增大, 并且使其上具有肖特基触点的 SiC 表面退化。由上述工序产生的危害在很大程度上影响了器件性能, 包括正向传导和阻止的能力。同时还难于通过离子注入精确地控制 p^+-n 结的深度, 原因在于以下因素的组合作用: 注入后部的实际深度剖面的不确定性、缺陷的密度、退火后注入离子的再分配、掺杂物原子的电离比例和不同偏置和 / 或温度压力下的点缺陷。

[0011] 为了消除这些不足, 可采用形成 p^+-n 结的方法。一种方法是美国专利 US6767783 所公开的选择性地外延生长 P^+ 栅极区。另一种形成 p^+-n 结的方法是在蚀刻槽的 N^- 漂移层的顶部上外延再生长 P^+ 层, 而后采用等离子内蚀刻或化学 - 机械抛光或其他平坦化方法露出 N^- 漂移区, 以用于肖特基金属接触。美国专利 US6897133B2 也公开了类似的方法。然而, 在该文件的器件中, 用轻度掺杂的 P 区形成 $p-n$ 结。在此器件中, 外延生长的 p 型区不会形成在常规电流和冲击电流作用条件下严重限制电流传导的 JFET 区。

[0012] 因此, 需要改进半导体器件的制造方法。

发明内容

[0013] 根据第一实施方案, 提供了一种半导体器件, 包括:

[0014] 衬底层, 其包括第一传导类型的半导体材料;

[0015] 可选的缓冲层, 其包括在所述衬底层上的、所述第一传导类型的半导体材料;

[0016] 漂移层, 处于所述衬底层或所述缓冲层上, 所述漂移层包括所述第一传导类型的半导体材料;

[0017] 中央区, 其包括在所述漂移层的中央部分上的、不同于所述第一传导类型的第二传导类型的半导体材料的多个区域, 所述第二传导类型的半导体材料的所述区域具有上表面和侧壁; 以及

[0018] 所述第一传导类型的半导体材料的外延过生长漂移区, 其位于与所述第二传导类型的半导体材料的所述多个区域相邻的漂移层上, 并且可选地, 位于所述第二传导类型的半导体材料的所述多个区域的上表面上。

[0019] 根据第二实施方案, 提供了一种集成电路, 包括:

[0020] 如前所述的半导体器件; 以及

[0021] 形成于衬底层上的至少一个附加电子功率部件。

[0022] 根据第三实施方案, 提供了一种制造半导体器件的方法, 包括:

[0023] 在第一传导类型的半导体材料的漂移层上, 选择性地蚀刻穿过第二传导类型的半导体材料层, 以露出所述漂移层的材料, 从而在所述漂移层上形成中央区, 所述第一传导类

型不同于所述第二传导类型,所述中央区包括所述第二传导类型的半导体材料的多个区域,所述第二传导类型的半导体材料的所述多个区域具有上表面和侧壁;

[0024] 在所述漂移层邻近于所述第二传导类型的半导体材料的所述区域的暴露表面上、并且在所述第二传导类型的半导体材料的所述区域的上表面上,外延过生长所述第一传导类型的半导体材料的漂移区;以及

[0025] 对所述漂移区进行蚀刻,以露出所述第二传导类型的半导体材料的所述区域的所述上表面的至少一部分;

[0026] 其中所述漂移层位于半导体衬底上,或者所述漂移层位于缓冲层上,所述缓冲层包括所述第一传导类型的半导体材料,并且其中所述缓冲层位于所述半导体衬底上。

[0027] 还提供了一种由上述方法制成的器件。

附图说明

[0028] 图 1A 为根据一个实施方案的 JBS 整流器的二维示意图,具有露出的 P^+ 指状物、汇流条和保护环区;

[0029] 图 1B 为根据一个实施方案的 JBS 整流器的二维示意图,仅有 P^+ 汇流条区暴露出来,并且具有埋入的 p^+-n 结和保护环;

[0030] 图 1C 为根据一个实施方案的 JBS 整流器的二维示意图,具有露出的 P^+ 指状物和汇流条区,并示出了结终止延伸 (JTE) 和台面边缘终止;

[0031] 图 1D 为根据一个实施方案的 JBS 整流器的二维示意图,仅有 P^+ 汇流条区暴露出来,并且具有埋入的 p^+-n 结,并示出了 JTE 和台面边缘终止;

[0032] 图 2 为具有外延生长的 N^+ 缓冲层、 N 型漂移层和漂移层上的 P^+ 层的起始 N^+ 衬底层的示意图;

[0033] 图 3A 为具有开槽的 P^+ 指状物、汇流条和保护环 (作为边缘终止结构) 的器件的示意图,保护环形成于 N 型漂移层的顶部之上;

[0034] 图 3B 和 3C 为器件的两个实施方案的示意性俯视图,示出了两种不同的 p 型汇流条排列;

[0035] 图 4 为 P^+ 指状物、汇流条和作为示例性边缘终止的保护环的示意图,利用第二 N 型漂移层对示例性边缘终止进行槽填充和平坦化;

[0036] 图 5A 为第二 N 型漂移层的示意图,该第二 N 型漂移层被内蚀刻或者构图之后内蚀刻,从而暴露出所有 P^+ 指状物、汇流条和保护环 (作为边缘终止方法的一例);

[0037] 图 5B 为第二 N 型漂移层的示意图,该第二 N 型漂移层被内蚀刻或者构图之后内蚀刻,从而只暴露出 P^+ 汇流条区;

[0038] 图 5C 为第二 N 型漂移层的示意图,该第二 N 型漂移层被内蚀刻或者构图之后内蚀刻,从而暴露出具有 JTE 或台面边缘终止的所有 P^+ 指状物和汇流条;

[0039] 图 5D 为第二 N 型漂移层的示意图,该第二 N 型漂移层被内蚀刻或者构图之后内蚀刻,从而只暴露出具有 JTE 或台面边缘终止的 P^+ 汇流条区;

[0040] 图 6A 为介电层的示意图,对该介电层进行沉积和构图,从而在具有露出的 P^+ 指状物、汇流条和保护环区的 JBS 二极管上形成电隔离或钝化;

[0041] 图 6B 为介电层的示意图,对该介电层进行沉积和构图,从而在具有仅暴露出的 P^+

汇流条区和埋入的 p^+-n 结和保护环的 JBS 二极管上形成电隔离或钝化；

[0042] 图 6C 为介电层的示意图,对该介电层进行沉积和构图,从而在具有露出的 P^+ 指状物和带有 JTE 或台面边缘终止的汇流条区的 JBS 二极管上形成电隔离或钝化；

[0043] 图 6D 为介电层的示意图,对该介电层进行沉积和构图,从而在具有仅暴露出的 P^+ 汇流条区和带有 JTE 或台面边缘终止的、埋入的 p^+-n 结的 JBS 二极管上形成电隔离或钝化,并且打开用于肖特基和欧姆金属接触的窗口；

[0044] 图 7A 的示意图示出了沉积金属以形成 JBS 二极管的第二 N^- 漂移区、所有露出的 P^+ 区和衬底背侧的导电接触,该 JBS 二极管具有露出的 P^+ 指状物、汇流条和保护环区；

[0045] 图 7B 的示意图示出了沉积金属以形成 JBS 二极管的第二 N^- 漂移区、所有露出的 P^+ 区和衬底背侧的导电接触,该 JBS 二极管具有只暴露出的 P^+ 汇流条区、埋入的 p^+-n 结、和保护环；

[0046] 图 7C 的示意图示出了沉积金属以形成 JBS 二极管的第二 N^- 漂移区、所有露出的 P^+ 区和衬底背侧的导电接触,该 JBS 二极管具有露出的 p^+ 指状物和具有 JTE 或台面边缘终止的汇流条区；以及

[0047] 图 7D 的示意图示出了沉积金属以形成 JBS 二极管的第二 N^- 漂移区、所有露出的 P^+ 区和衬底背侧的导电接触,该 JBS 二极管具有只暴露出的 P^+ 汇流条区以及具有 JTE 或台面边缘终止的、埋入的 p^+-n 结。附图标记：

[0048] 1. 衬底

[0049] 2. N^+ 缓冲层

[0050] 3. N 型漂移层

[0051] 4. P 型区（例如,指状物）

[0052] 5. 用于金属接触的 P 型汇流条

[0053] 6. (a) P 型钝化保护环；(b) P 型埋入保护环；(c) P 型外延再生长或注入的 JTE 区；(d) 穿过所有外延层向下蚀刻至衬底的台面边缘终止

[0054] 7. P 型槽

[0055] 8. N 型自平坦化漂移区

[0056] 9. 隔离电介质和钝化电介质

[0057] 10. 露出的 P^+ 区和 N 型漂移区上的阳极金属触点

[0058] 11. 背侧阴极金属触点

具体实施方式

[0059] 本发明旨在提供一种结势垒肖特基 (JBS) 整流器,其具有全外延生长的单漂移区或双漂移区,双漂移区包括自平坦化的第二漂移区和埋入或露出的 p^+-n 结, p^+-n 结具有 P^+ 保护环或 JTE, JTE 具有或不具有 N^+ 场光阑区或 SiC 中的“深”台面边缘终止,其可由在同一管芯上制备的其他器件电绝缘地制成,其可由如下方法实现:在同一管芯上制备的器件可与其他电子功率部件（例如结型场效应晶体管 (JFET) 或双结晶体管 (BJT)）单片地集成。

[0060] 本发明还旨在提出开槽的 P^+ 区的平坦化的概念和实施例,通过在构图的碳化硅衬底上同质外延地过生长轻掺杂的第二 N^- 漂移区。

[0061] 本发明还旨在提出开槽的 P^+ 区的平坦化的概念和实施例,通过在构图的碳化硅衬

底上仅同质外延地过生长轻掺杂的第二 N^- 漂移区。

[0062] 本发明还旨在提供一种制备上述器件的方法。

[0063] 下面描述形成 p^+-n 结的方法以及由该方法制成的器件。根据一个实施方案,该方法包括在平坦的第一 N^- 漂移层的顶部上外延生长 P^+ 层,然后对 P^+ 层向下内蚀刻至漂移区,以形成构图的 P^+ 层,该 P^+ 层包括伸长的 P^+ 区(例如指状物),还可选地包括一个或多个汇流条。根据一个实施方案,汇流条可在器件周围将所有 P^+ 指状物连接到一起,以允许外部的金属与肖特基触点金属相接触,从而允许埋入的 p^+-n 结型结构具有正向偏压,这将为过载保护提供传导率调制的电流。

[0064] 该器件可包括边缘终止结构。边缘终止方法包括但不限于: P^+ 保护环、通过外延生长或离子注入形成的 P 型结终止延伸(JTE)、或“深”台面边缘终止(即,向下蚀刻穿过所有外延 N^- 漂移和 P^+ 层进入 N^+ 衬底的台面)。

[0065] 然后,在构图的 P^+ 区和露出的第一 N^- 漂移层上过生长第二 n 型漂移区。再生长的第二 N^- 漂移区的掺杂浓度可以与第一 N^- 漂移层不同。例如,在低泄露电流、高开态电阻(R_{on})或者由低的 N^- 漂移掺杂浓度的高开态电压降(V_F)之间寻找平衡。上述设计的平衡可被具有比第一 N^- 漂移层掺杂浓度更高的、再生长的第二 N^- 漂移区部分消除。可选地,第二 N^- 漂移区可具有比第一 N^- 漂移层更轻的掺杂。

[0066] 通过利用外延生长的 P 型区而不用注入的 P 型区可实现以下优点:

[0067] • 精确并容易地受控的竖直 p^+-n 结尺寸,包括 p 区与利用注入物理上可能的深度而言更大的深度(通常为用于较高 KeV 注入的 $< 0.5 \mu m$ 对比于用于外延工艺 $> 1 \mu m$),这在很大程度上更好地优化了 JBS 整流器的反向阻断性能和正向传导性能(开态电阻)之间的设计平衡。

[0068] • 当生成 P^+ 槽时,灵活且方便地增加可选的 p 型外部“汇流条”。 p 型外部“汇流条”可与所有 p 型指状物相连,其既可被埋入过生长的 N^- 漂移区也可暴露至金属触点,以降低栅电阻,从而提高 JBS 整流器的开关性能。

[0069] • 用于有效的传导率调制的重掺杂 p 型材料可在不利用高温后退火的情况下得到,这将通过高温退火($> 1500^\circ C$)消除 SiC 肖特基接触区域的表面退化,从而提高肖特基二极管的理想性质和性能,同时改善 p^+-n 二极管的传导率调制。

[0070] • 自由地形成用于使 $p-n$ 结附近电场可靠地渐变的突变和/或缓变 $p-n$ 结,并且不使传导率调制的性能退化。

[0071] • $p-n$ 结区免受注入损坏和注入散蔓。这导致:(1)易于制备突变和/或缓变的 $p-n$ 结,以用于易损耗和改善的少数载流子的寿命,从而改善了传导率调制,(2)避免由于注入引起的 $p-n$ 结的结构(即掺杂和几何形状)的不期望变化所带来的问题,和(3)使 $p-n$ 结附近的电场可靠地渐变。

[0072] • 更为牢固和可靠的 p^+-n 结减小了反向泄露电流,并且减小了由温度引起的阈值电压的改变。

[0073] • 消除了注入的 P 型掺杂物的不完全激活的顾虑以及产生无意的、注入引起的顾虑,从而显著提高产量并因此而降低生产成本。

[0074] 正如在此所描述的,可实现在结构化的 P^+ 区顶部上再生长 N^- 漂移层以形成 p^+-n 结,相对于在结构化的 N^- 漂移区的顶部上再生长 P^+ 层而后进行内蚀刻以露出 N^- 漂移区的

如下优点：

[0075] • 自由地对与第一漂移层不同的第二漂移层进行掺杂，从而优化开态电阻（或 V_F ）和泄漏电流（或阻断能力），从而提高器件性能。

[0076] • 对第二再生长 N^- 层的后续工艺的灵活性，从而为了增强的“冲击电流保护”的 JBS 二极管通过将第二 N^- 层内蚀刻至 P^+ 区从而露出 P^+ 区，或者埋入 P^+ 半导体，但采用外部 P^+ 汇流条，以形成欧姆接触，从而降低制备的成本而仍保持在高额定电压的 JBS 二极管中接受冲击电流能力的程度。

[0077] • 由于与 P^+ 区相对的肖特基接触 N^- 区的相关区域是确定 R_{on} 或 V_F 的因素之一，所以更窄的 P^+ 结构会导致更大的肖特基区域，从而导致更小的 R_{on} 和 V_F 。另外，在两个相邻 P^+ 区之间更宽的间隔或更大的肖特基区域有助于降低峰值电流密度，以提供更好的冲击电流保护。当用 P^+ 区填充结构化的 N^- 漂移层以形成 p-n 结时，穿过 N^- 区域的槽的宽度需要足够大，以允许再生长的 P^+ 具有合理的长宽比，以进行平坦化，并且避免出现关键孔（即，再生长过程中，由于长宽比超出了范围而在半导体中形成的空隙）。相比而言，这揭示了在结构化 P^+ 区上再生长 N^- 漂移层，从而采用传统光刻法或任何其他可用的技术可将后者相对于通过在结构化的 N^- 漂移区上再生长 P^+ 而制备所得更小或更窄。

[0078] • 在结构化 P^+ 区上自平坦化地再生长第二 N^- 漂移区可通过优化 P^+ 槽晶格方向而容易地进行，正如 2005 年 8 月 8 日提交的申请号为 No. 11/198298 的美国专利申请中所述，其内容通过引用结合于此。在该实施方案中，对第二再生长 N^- 层进行内蚀刻，以露出用于形成欧姆接触的 P^+ 区，这是因为由在 '298 号申请中指出的外延再生长工艺提供的自平坦化效应使得通过具有减小的剩余起伏的第二 N^- 漂移区，在要被填充的 P^+ 层内形成槽，它们可比用 P^+ 层填充的、 N^- 漂移层中的槽更宽（即它们的长宽比更小）。在这种情况下，为了实现后续金属化工艺的连续覆盖所需的后外延平坦化及构图可被简化。

[0079] 一旦第二 N^- 漂移区填充在 P^+ 槽中，并在结构化外延 P^+ 区的顶部上过生长，则其可被构图并内蚀刻，以露出所有 P^+ 区或仅露出与所有埋入的 P^+ 指状物相连以用于外部金属接触的汇流条。那么，可形成边缘终止结构。可通过选择性地再生长或注入具有或不具有 N^- 场光阑区的 p 型 JTE 区、穿过所有外延层向下蚀刻至 N^+ 衬底的“深”台面、或 P^+ 保护环来形成边缘终止结构。而后在第二 N^- 漂移区的顶部上施加金属层，以形成肖特基触点，并在露出的 P^+ 区的顶部上覆盖金属层，以形成欧姆触点，并且在衬底背侧覆盖金属层，以形成欧姆触点。最后，可在肖特基触点和欧姆触点的顶部上覆盖厚金属层，以形成二极管的阳极，并在背侧欧姆触点上覆盖厚金属层，以形成二极管的阴极。欧姆触点按顺序形成的过程已进行过描述，其可要求高温退火，该形成过程使得肖特基触点的电性能不受影响。

[0080] P^+ 槽的深度或指状物的高度、 P^+ 指状物的宽度、用于填充第二 N^- 区的两个相邻 P^+ 指状物的间距、以及第一漂移层和第二漂移区的掺杂浓度可根据本领域技术人员公知的公式确定，以获得较低的 R_{on} 和 V_F ，同时仍然使漂移层的损耗在所有处于关闭状态的 P^+ 区之间连续，从而屏蔽损耗区的较高电场不受存在于肖特基金属和第二 N^- 漂移区的表面 - 界面的肖特基势垒的影响。

[0081] 考虑到光刻法的表面布局的影响和第二 N^- 漂移区的过生长之后还剩的金属接触步骤，优选地，使第二漂移区在结构化的 P^+ 区的顶部上适当平坦化。然而，交互槽和 P^+ 指状物的正常工作阻碍再生长的外延层的平坦生长。在申请号为 No. 11/198298 的美国专利申

请中描述了可用于形成第二 N^- 漂移区的自平坦化外延再生长方法,其内容通过引用结合于此。而且,通过优化 P^+ 槽的深度或指状物高度、 P^+ 指状物宽度、为第二 N^- 漂移区填充的两个相邻 P^+ 指状物的间距,自平坦化第二 n 型漂移区可被同质外延地过生长在开槽的 P^+ 区上而不产生关键孔(即,单晶外延材料中不具有空隙或内含物)。

[0082] 根据另一个实施方案,所公开的 JBS 整流器可与其他电功率元件(如, JFET 或 BJT(双极结晶体管)或 MOSFET 或 SiC 中的门电路断开晶闸管(GTO))单片地集成。这些单片器件可通过选择性地或无差别地再生长一个或多个 n 型和/或 p 型层而制成,例如生长在第二漂移区的顶部上的第三 N^+ 层,从而在与 JBS 整流器相同的管芯上形成结型场效应晶体管,其中源区和通道区可以通过对 N^+ 和第二 N^- 漂移区进行选择性等离子内蚀刻而限定。

[0083] 该器件可建立在碳化硅衬底上,其可为具有或不具有相同传导类型的、外延生长的缓冲层的 p 型或 n 型。对于 n 型衬底,该器件包括外延生长的第一 n 型漂移和 p 型开槽区域,还包括外延再生长的 n 型平坦化的第二漂移区,其可与第一漂移层具有相同或不同的掺杂浓度。该器件的结构以传统的光刻法和等离子干刻法限定。在晶片的顶部上形成 n 型漂移区的肖特基触点和 p 型区的欧姆触点,而重掺杂衬底的欧姆触点形成于晶片的背侧。依赖于两个相邻 p 型区之间的横向距离,所提出的 JBS 二极管可具有不同的打开状态特征和关闭状态特征,并且所提出的 JBS 二极管可以对第二漂移区的相同 n 型掺杂的关闭状态操作的穿孔模式或无穿孔模式实现。另外,上述器件可用于单片微波集成电路(MMIC)。而且,可在相同晶片上、或者用于功率开关的管芯上、或用于转换器的管芯上、或用于放大器电路的管芯上,使上述器件与其他功率电子部件单片地制备。

[0084] 碳化硅结晶为多于 200 种不同的多型。最重要的是:3C-SiC(立方晶胞,闪锌矿);2H-SiC;4H-SiC;6H-SiC(六方晶系晶胞,纤锌矿)和 15R-SiC(菱形晶胞)。然而,由于具有更宽的带隙和更大的电子迁移率,所以 4H 多型对于功率器件是更具吸引力的。尽管优选为 4H-SiC,但是可以理解的是,本发明适用于在此描述的、由其他碳化硅的多型制成的器件和集成电路。

[0085] 以下将对该半导体器件和方法结合附图进行更为详细的描述,其中本发明的实施方案采用碳化硅(SiC)作为半导体材料进行描述。

[0086] 图 1A-1D 为被描述为结势垒肖特基(JBS)整流器的半导体器件的二维示意图,所示为不同的边缘终止结构。如图 1A-1D 所示,该器件建立在碳化硅衬底 1 上,其可为 p 型或 n 型,具有或不具有传导类型相同的外延生长的缓冲层 2。当采用 n 型衬底时,该器件包括外延生长的第一 n 型漂移层 3 和 p 型开槽区 4,还包括外延再生长的 n 型自平坦化的第二漂移区 8,其可与第一漂移层具有相同或不同的掺杂浓度。如图所示, p 型区包括汇流条 5。该器件结构可利用传统的光刻法和等离子干刻法限定。形成第二漂移区上的肖特基触点的金属与露出的 p 型区上的欧姆触点相连,从而在晶片的顶部上形成连续的阳极 10,而由与衬底背侧上的 n 型区相接触的欧姆触点形成阴极 11。如图 1A 和 1B 所示, P^+ 保护环区 6(a) 和 6(b) 可如图 1A 所示暴露于钝化介电层 9,也可如图 1B 所示埋入轻 n 型漂移区 8 内。

[0087] 图 1C 为具有露出的 P^+ 指状物和汇流条区域的 JBS 整流器的二维示意图。图 1C 还示出了结终止延伸(JTE)6c 和台面边缘终止 6d 结构。

[0088] 图 1D 为根据另一实施方案的 JBS 整流器的二维示意图,其具有埋入的 p^+-n 结和露出的 P^+ 汇流条区。图 1D 还示出了结终止延伸(JTE)6c 的结构和台面边缘终止 6d 的结构。

[0089] 图 2 示出了具有外延生长的 N^+ 缓冲层、第一 N 型漂移层和 P^+ 层的起始 N^+ 衬底的示意图。具有最小缺陷密度的高质量、重度掺杂的较薄 N^+ 缓冲层用于在 N 型漂移层和 N^+ 缓冲层的界面处良好地终止电场。图 2 所示的缓冲层是可选的。轻度掺杂的 N 型漂移区具有阻挡能力,而重度掺杂 P^+ 外延层形成了提供结势垒的 p^+-n 结。结势垒使得通过注入空穴以传导冲击电流的传导率调制成为可能。 P^+ 外延层还可用于提供边缘终止,例如以保护环的形式提供。图 2 还示出了每一层的代表性的掺杂浓度。

[0090] 如图 3A 所示,可利用掩模材料对 P^+ 外延层进行构图。示例性的掩模材料包括但不限于:光致抗蚀剂、剥离的金属、氧化物或任何其他已知的材料。如图 3 所示, P^+ 层可向下蚀刻至第一 n 型漂移层 3,从而同时形成: P^+ 指状物 4 和用于传导率调制的槽 7;一个或多个 P 型外部汇流条 5,其可与用于欧姆金属触点的 P^+ 指状物 4 连接;以及用于边缘终止的 P^+ 保护环 6(a, b)。

[0091] 图 3B 和 3C 为器件的示意性俯视图,示出了两种可选的汇流条排列。图 3B 所示的实施方案中,汇流条 5 限定了 p 型区 4。图 3C 所示的另一实施方案中,汇流条 5 在三面围绕 p 型区 4。 p 型区 4 和汇流条 5 的其他排列也是可能的。

[0092] 如图 4 所示,利用同质外延的 N 型半导体材料对开槽的 P^+ 区进行填充并平坦化,从而形成第二 n 型漂移区。这些第二 n 型漂移区的掺杂浓度可与第一 n 型漂移层不同和/或可被分级,以用于确定漂移层的损耗的程度,从而控制结势垒区域中电场的强弱。通常,通过优化碳硅比和槽相对于切面的方向进行平坦化。对于朝着 $\langle 112-0 \rangle$ 方向、沿着与基面 ($[0001]$) 成 8° 或 4° 角的切面的 $4H-SiC$ 来说同样如此。同样对于朝着 $\langle 112-0 \rangle$ 方向、沿着与 $[0001]$ 成 3.5° 角的切面的 $6H-SiC$ 来说亦如此。主面的正交方向(即朝着 $\langle 11-00 \rangle$ 方向的切面)同样如此。

[0093] 如图 2-4 所示,可通过利用现有技术对具有施主或受主材料的层进行掺杂而形成 SiC 层。示例性的施主材料包括氮和磷。氮是优选的施主材料。用于掺杂 SiC 的示例性的受主材料包括硼和铝。铝是优选的受主材料。然而,以上材料仅仅是示例性的,可被掺杂到碳化硅内的任何受主和施主材料都可以使用。可以改变此处所描述的 JBS 整流器的各个层的掺杂水平和厚度,从而制造具有所需特征的器件,以用于特定应用。类似地,该器件各种特征的尺度均可变化,从而制造具有所需特征的器件,以用于特定应用。

[0094] 图 5A-5D 所示为具有埋入的 P^+ 指状物的器件(图 5B 和 5D)或具有露出的 P^+ 指状物的器件(图 5A 和 5C),示出了不同的边缘终止结构。如图 5A 和 5C 所示,可对第二 N 型漂移区进行构图,并将其向下蚀刻至露出 P^+ 指状物 4 和汇流条区 5,以用于金属接触。如图 5B 和 5D 所示,可对第二 N 型漂移区进行构图,并将其向下蚀刻至仅露出 P^+ 汇流条区,从而在第二 n 型漂移区之下形成埋入的 p^+-n 结。如图 5A 所示,该器件可具有露出的 P^+ 保护环区作为边缘终止结构。可选地,如图 5B 所示,该器件可具有埋入的 P^+ 保护环区。图 5C 和 5D 也示出了结终止延伸(JET)6c 的结构和台面边缘终止 6d 的结构。

[0095] 如图 6A-6D 所示,用于电隔离的介电层或介电堆 9 可生长和/或沉积在该器件上表面的任意位置,随后穿过介电层或堆进行构图和蚀刻,从而使器件顶部上的肖特基触点和欧姆金属触点开放。介电层或堆 9 可用于在同一晶片上制备的不同器件之间。介电层或堆 9 可在阳极金属触点外侧和边缘终止结构的顶部上产生电场钝化。边缘终止结构可以是如图 6A 所示的露出的保护环、也可以是如图 6B 所示的埋入的保护环区、也可以是如图 6C

和 6D 所示的 JET 区、或者还可以是如图 6C 和 6D 所示的台面边缘终止区。

[0096] 如图 7A-7D 所示,单金属层或多金属层可被沉积在第二漂移区和汇流条区 10 的顶面上,也可沉积在晶片 11 背侧上。如图 7A 和 7C 所示,金属层 10 还可沉积在露出的 P^+ 指状物 4 上。金属层 10 和 11 可包括一种或两种不同的金属或金属合金或金属混合物。例如,一种金属或合金或混合物可用于与第二 n 型漂移区的肖特基接触,另一种金属或合金或混合物可用于形成与 P^+ 指状物和 P^+ 汇流条区的良好欧姆接触,如图 7A 和 7C 所示。可选地,阳极可仅与 P^+ 汇流条区接触,如图 7B 和 7D 所示。当使用两种不同的金属时,欧姆金属或金属合金或金属混合物可在沉积肖特基金属 / 合金 / 混合物之前沉积并选择性地蚀刻,随后进行高温退火 (例如 $> 900^\circ\text{C}$),从而形成与 P^+ 区的欧姆接触。如果仔细选择一种金属或金属合金或金属混合物,以用于同时形成肖特基触点和欧姆触点,那么低温 (例如 $> 500^\circ\text{C}$) 退火将形成与 P^+ 区的欧姆接触,而不损坏肖特基接触。

[0097] 可通过选择 P^+ 指状物和槽的适当宽度,在同样的管芯上制备此处所述的多个 JBS 器件,以用于不同的电压和电流额定值。另外,可通过选择性地再生长或无差别地再生长一个或多个 n 型和 / 或 p 型层 (例如,第二漂移区顶部上的 N^+ 层),在同样的管芯上,将此处所述的 JBS 器件与其他功率电子部件 (例如 JFET 或 BJT) 进行单片地集成,从而形成与 JBS 整流器在同一管芯上的结型场效应晶体管 (JFET),其中可通过 SiC 中的 N^+ 层和第二 N^- 漂移区的选择性等离子内蚀刻而对源区和通道区进行限定。

[0098] 通过转变衬底和外延层的电极性,可利用此处所描述的方法制备具有 n^+-p 结的 JBS 整流器。

[0099] 可通过在适当的衬底上外延生长而形成 SiC 层。在外延生长的过程中可对层进行掺杂。

[0100] 前述说明书给出了本发明的原则,并结合附图进行举例说明,对于本领域的技术人员来说,在阅读了本发明公开的内容的基础上,可以想到在形式和细节方面的各种不脱离本发明中央的变化。

[0101] 参考文献

[0102] [1]K. Shenai, R. S. Scott, and B. J. Baliga, " Optimum Semiconductors for High Power Electronics(用于高功率电子学的最优化半导体)", IEEE Transactions on Electron Devices, vol. 36, No. 9, pp. 1811-1823, 1989.

[0103] [2]R. Singh, S-H Ryu, J. W. Palmour, A. R. Hefer, J. Lai, " 1500V, 4Amp 4H-SiC JBS Diodes(1500V、4Amp 的 4H-SiC JBS 二极管)", Proceedings of The 12th International Symposium on Power Semiconductor Devices and ICs (第 12 届功率半导体器件和集成电路国际研讨会) (ISPSD' 2000), May 22-25, 2000, Toulouse, France.

[0104] [3]D. A. Neamen, " Semiconductor Physics and Devices-Basic Principles(半导体物理和器件的基本原理)", Published by Richard D. Irwin, Inc., ISBN 0-256-08405-X, pp. 342-345, 1992.

[0105] [4]P. Alexandrov, W. Wright, M. Pan, M. Weiner, L. Jiao, and J. H. Zhao, " Demonstration of High Voltage(600-1300V), High Current (10-140A), Fast Recovery 4H-SiC p-i-n/Schottky(MPS)Barrier Diodes(高压 (600-1300V)、大电流 (10-140A)、快速恢复 4H-SiC p-i-n/ 肖特基 (MPS) 势垒二极管的证实)", Sol. State

Electron. , Vol. 47, pp. 263-269, 2003.

[0106] [5] K. Rottner, M. Frischholz, T. Myrtveit, D. Mou, K. Nordgren, A. Henry, C. Hallin, U. Gustafsson, and A. Schöner, " SiC Power Devices for High Voltage Applications(用于高压应用的 SiC 功率器件) " , Mat. Sci. Eng. B, 61-62, pp. 330-338, 1999.

[0107] [6] F. Dahlqvist, Lendenmann, and M. Ostling, " A JBS Diode with Controlled Forward Temperature Coefficient and Surge Current Capability(具有受控正向温度系数和冲击电流能力的 JBS 二极管) " , Mater. Sci. Forum 389-393, pp. 1129-1132, 1998.

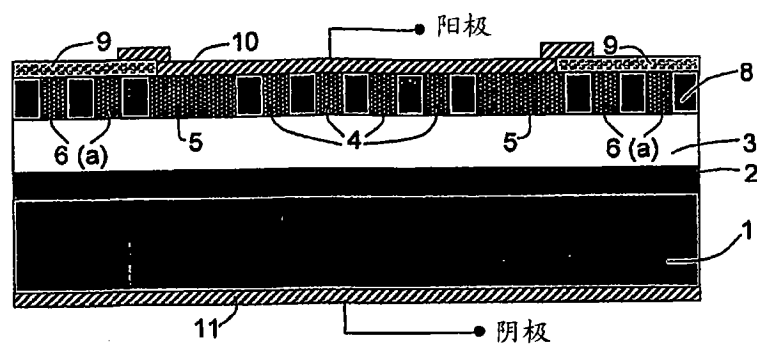


图 1A

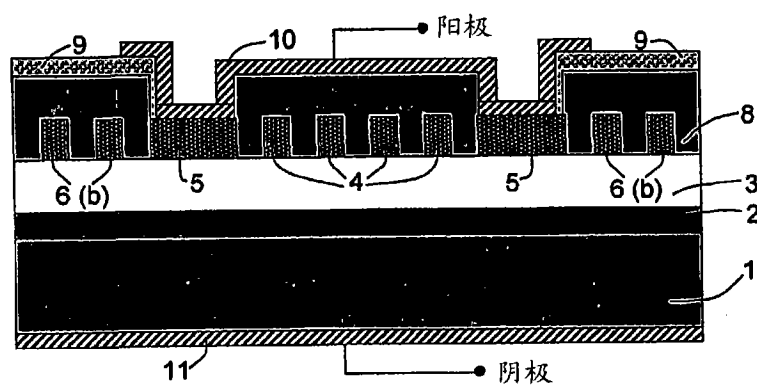


图 1B

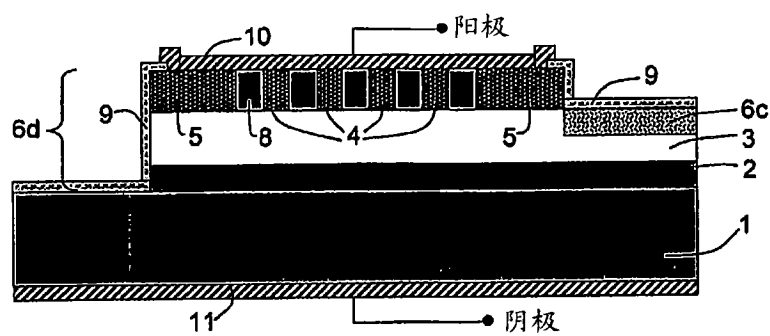


图 1C

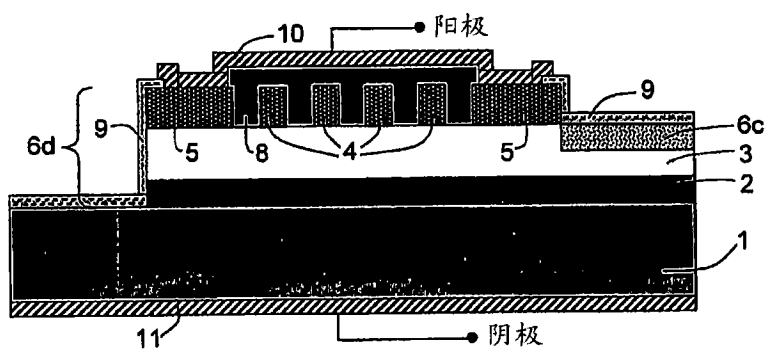


图 1D

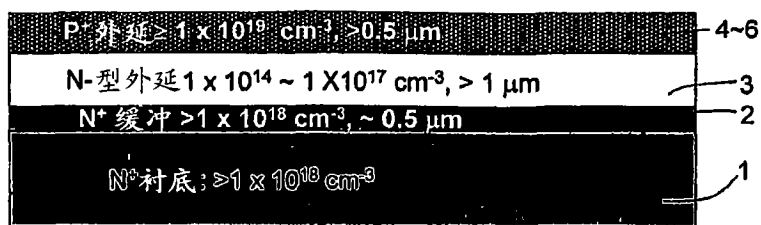


图 2

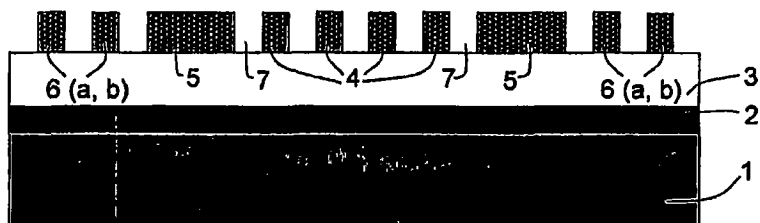


图 3A

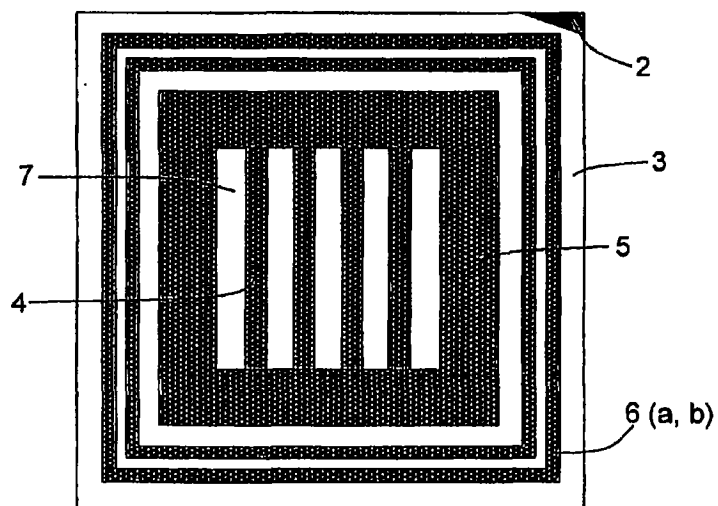


图 3B

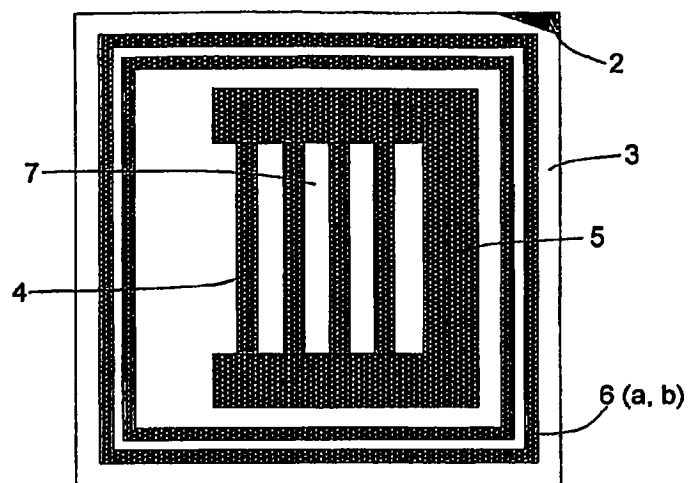


图 3C

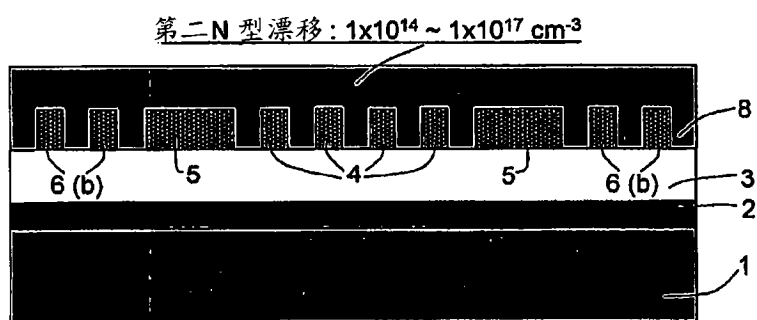


图 4

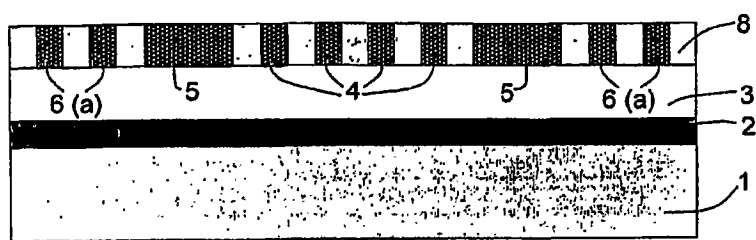


图 5A

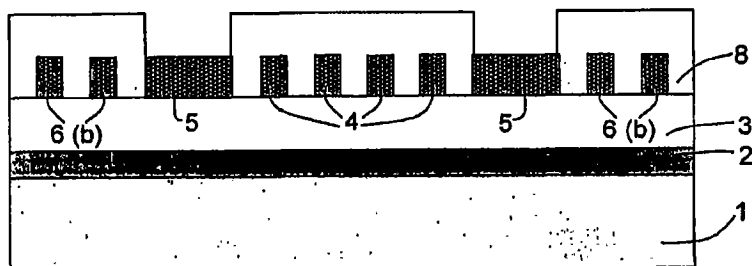


图 5B

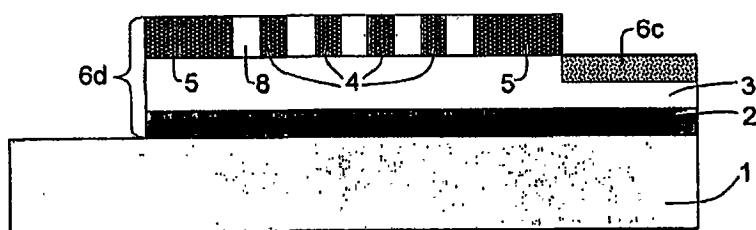


图 5C

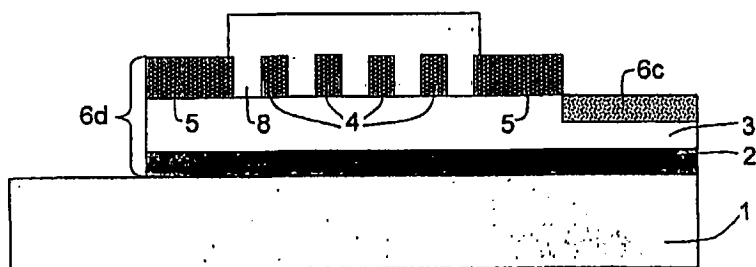


图 5D

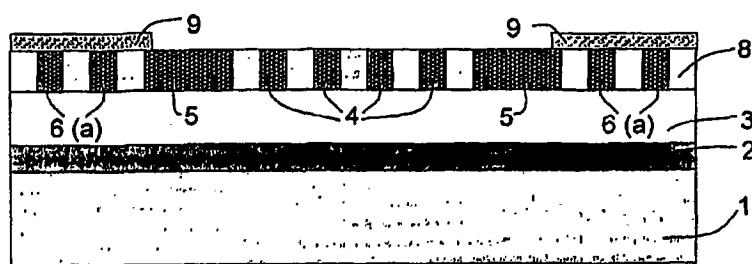


图 6A

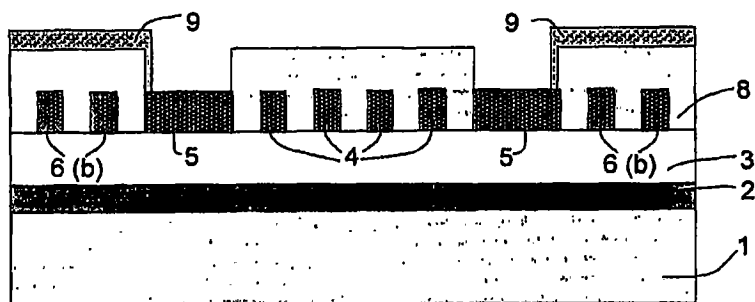


图 6B

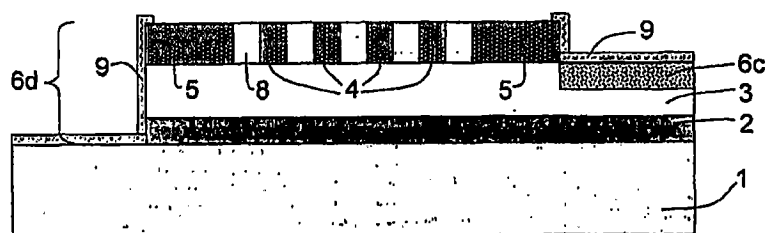


图 6C

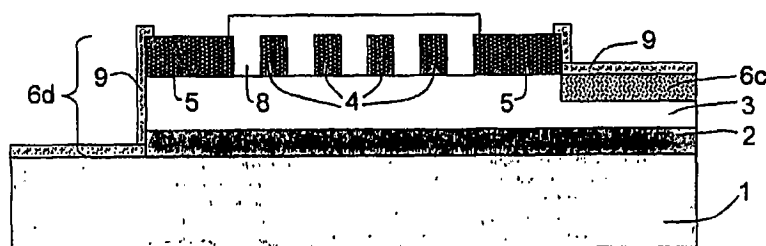


图 6D

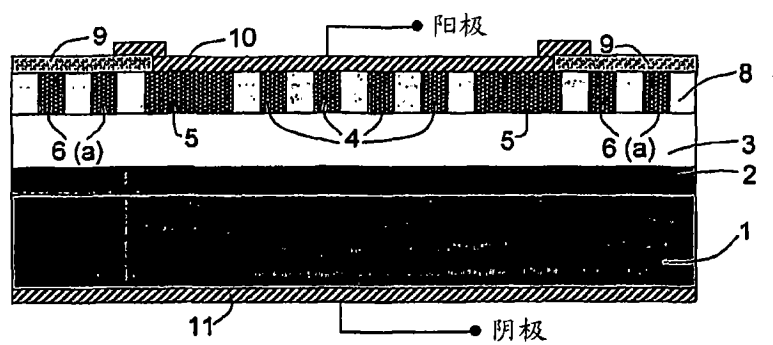


图 7A

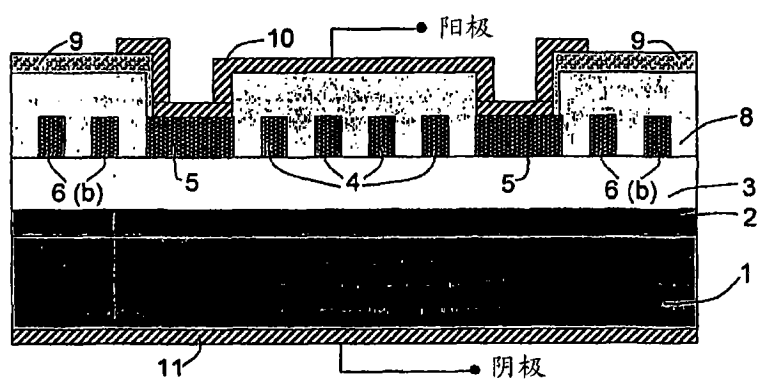


图 7B

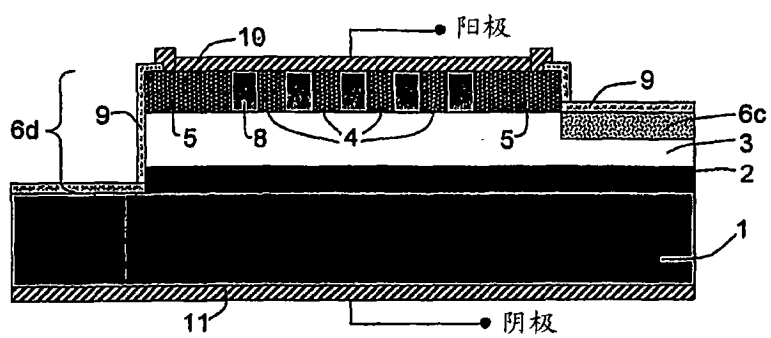


图 7C

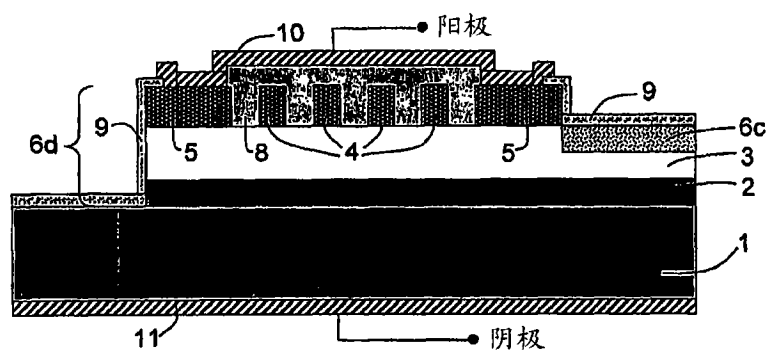


图 7D