

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年7月4日(04.07.2024)



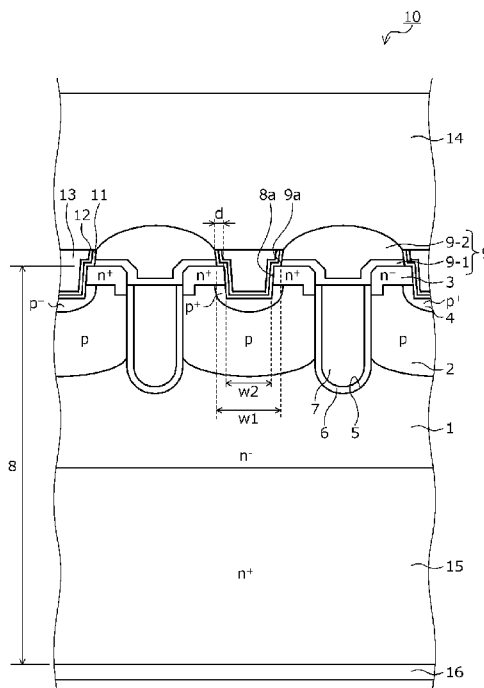
(10) 国際公開番号

WO 2024/142638 A1

- (51) 国際特許分類:  
H01L 29/78 (2006.01) H01L 21/336 (2006.01)  
H01L 21/28 (2006.01) H01L 21/768 (2006.01)  
H01L 21/263 (2006.01) H01L 23/522 (2006.01)  
H01L 21/322 (2006.01) H01L 29/417 (2006.01)
- (21) 国際出願番号: PCT/JP2023/041006
- (22) 国際出願日: 2023年11月14日(14.11.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-210419 2022年12月27日(27.12.2022) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 西村 武義 (NISHIMURA, Takeyoshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020083 東京都千代田区麹町4-7-5 麹町ロイヤルビル 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: According to the present invention, a front surface electrode (14) forms an ohmic contact with a semiconductor substrate (8) by the intermediary of a contact structure which is composed of a TiSix film (11), a TiN film (12) and a metal plug (13). The TiSix film (11) is directly deposited by sputtering so as to extend from a lateral wall of a contact hole (9a) (a lateral surface of an interlayer insulating film (9)) along the inner wall of a source contact trench (8a). An end part of the TiSix film (11) ends on the lateral surface of the interlayer insulating film (9). The TiSix film (11)



WO 2024/142638 A1

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 補正された請求の範囲及び説明書(条約第19条(1))

has a uniform thickness from the lateral wall of the contact hole (9a) to the lateral wall of the source contact trench (8a). The TiN film (12) is provided along the surface of the TiSix film (11). The metal plug (13) is buried in the contact hole (9a) and the source contact trench (8a) so as to be positioned above the TiN film (12). Consequently, the reliability of a semiconductor device (10) is improved.

(57) 要約: おもて面電極(14)は、TiSix膜(11)およびTiN膜(12)および金属プラグ(13)からなるコンタクト構造を介して半導体基板(8)にオーミック接触する。TiSix膜(11)は、スパッタリングによって直接堆積され、コンタクトホール(9a)の側壁(層間絶縁膜(9)の側面)からソースコンタクトトレンチ(8a)の内壁に沿って設けられている。TiSix膜(11)の端部は、層間絶縁膜(9)の側面上で終端する。TiSix膜(11)の厚さは、コンタクトホール(9a)の側壁からソースコンタクトトレンチ(8a)の側壁にわたって一様である。TiN膜(12)は、TiSix膜(11)の表面に沿って設けられている。金属プラグ(13)は、コンタクトホール(9a)およびソースコンタクトトレンチ(8a)の内部においてTiN膜(12)上に埋め込まれている。これによって、半導体装置(10)の信頼性が向上する。

## 明 細 書

**発明の名称**：半導体装置および半導体装置の製造方法

### 技術分野

[0001] この開示は、半導体装置および半導体装置の製造方法に関する。

### 背景技術

[0002] 従来、おもて面電極と半導体基板との間に、チタン (Ti) からなる密着層やチタンシリコンナイトライド (Ti-Si-N) からなるバリア層を設けたり、Ti膜をシリサイド化してなるチタンシリサイド (TiSi) 膜か、またはプラズマ化学気相成長 (PECVD: Plasma Enhanced Chemical Vapor Deposition) によって形成したTiSi膜を含むコンタクト構造を設けた半導体装置が提案されている (例えば、下記特許文献1~5参照。)。また、スパッタリングによって堆積されたTiSi膜を含むゲート電極を備えた半導体装置が提案されている (例えば、下記特許文献6参照。)。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開平10-321812号公報

特許文献2：特開平10-79431号公報

特許文献3：特開平10-79481号公報

特許文献4：特開平7-297136号公報

特許文献5：特開2015-124397号公報

特許文献6：特許第3988342号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] しかしながら、上記特許文献1~4では、おもて面電極の積層構造に含まれるTi膜によって半導体基板の結晶ダメージを回復させるための水素アニールの効果が阻害される。また、上記特許文献4では、シリサイド化によるTiSi

i 膜の体積膨張によって半導体基板に局所的に生じる応力が大きくなる。上記特許文献5では、TiSi膜を形成するためのPECVDの導入ガス組成に含まれる塩素(Cl)が半導体基板の腐食の原因となる。

[0005] この開示は、上述した従来技術による課題を解消するため、信頼性の高い半導体装置および半導体装置の製造方法を提供することを目的とする。

### 課題を解決するための手段

[0006] この開示の一態様にかかる半導体装置は、以下の通りである。半導体基板の内部に、第1導電型の第1半導体領域が設けられている。前記半導体基板のおもて面と前記第1半導体領域との間に、第2導電型の第2半導体領域が設けられている。前記半導体基板のおもて面側に、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造が設けられている。前記半導体基板のおもて面に、層間絶縁膜が設けられている。層間絶縁膜は、前記素子構造を覆う。コンタクトホールは、深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達する。コンタクト構造は、前記コンタクトホールにおいて前記半導体基板に接する。

[0007] 第1電極は、前記コンタクト構造を介して前記第2半導体領域に電氣的に接続されている。第2電極は、前記半導体基板の裏面に設けられている。前記コンタクト構造は、チタンシリサイド膜と、窒化チタン膜と、金属プラグと、で構成されている。前記チタンシリサイド膜は、前記コンタクトホールにおいて前記半導体基板に接し、前記コンタクトホールの側壁に沿って前記層間絶縁膜の表面に延在する。前記窒化チタン膜は、前記チタンシリサイド膜の表面に沿って設けられている。前記金属プラグは、前記コンタクトホールの内部において前記窒化チタン膜の上に埋め込まれている。

[0008] また、この開示の一態様にかかる半導体装置の製造方法は、以下の通りである。半導体基板のおもて面の表面領域に、前記半導体基板の内部の第1導電型の第1半導体領域に接する第2導電型の第2半導体領域を形成し、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造を形成する第1工程を行う。前記半導体基板のおもて面に、前記素子構造を覆う層間絶縁膜を形

成する第2工程を行う。深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達するコンタクトホールを形成する第3工程を行う。前記コンタクトホールにおいて前記半導体基板に接するコンタクト構造を形成する第4工程を行う。前記コンタクト構造を介して前記第2半導体領域に電氣的に接続された第1電極を形成する第5工程を行う。

[0009] 前記第5工程の後、水素雰囲気での熱処理により、前記半導体基板の結晶ダメージを回復させる第1アニール工程を行う。前記第4工程は、第1～3堆積工程を含む。前記第1堆積工程では、スパッタリングにより、前記層間絶縁膜の表面の全面を覆い、前記コンタクトホールにおいて前記半導体基板に接するチタンシリサイド膜を堆積する。前記第2堆積工程では、スパッタリングにより、前記チタンシリサイド膜の表面に窒化チタン膜を堆積する。前記第3堆積工程では、前記コンタクトホールの内部において前記窒化チタン膜の上に金属プラグを埋め込む。前記チタンシリサイド膜、前記窒化チタン膜および前記金属プラグからなる前記コンタクト構造を形成する。

### 発明の効果

[0010] 本開示にかかる半導体装置および半導体装置の製造方法によれば、信頼性を向上させることができるという効果を奏する。

### 図面の簡単な説明

[0011] [図1]図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。

[図2]図2は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図3]図3は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図4]図4は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図5]図5は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図6]図6は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図7]図7は、実施の形態2にかかる半導体装置の構造を示す断面図である。

[図8]図8は、実施の形態2にかかる半導体装置の製造途中の状態を示す断面図である。

[図9]図9は、水素アニールによる半導体基板の結晶ダメージ回復度とバリアメタルとの関係を示す図である。

[図10]図10は、比較例1の構造を示す断面図である。

[図11]図11は、比較例2の構造を示す断面図である。

[図12]図12は、比較例2の製造途中の状態を示す断面図である。

[図13]図13は、比較例2の製造途中の状態を示す断面図である。

[図14]図14は、比較例2の製造途中の状態を示す断面図である。

[図15]図15は、比較例2の製造途中の状態を示す断面図である。

[図16]図16は、比較例2の製造途中の状態を示す断面図である。

[図17]図17は、比較例2の製造途中の状態を示す断面図である。

[図18]図18は、比較例2の製造途中の状態を示す断面図である。

## 発明を実施するための形態

### [0012] <本開示の実施形態の概要>

(1) この開示の一態様にかかる半導体装置は、以下の通りである。半導体基板の内部に、第1導電型の第1半導体領域が設けられている。前記半導体基板のおもて面と前記第1半導体領域との間に、第2導電型の第2半導体領域が設けられている。前記半導体基板のおもて面側に、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造が設けられている。前記半導体基板のおもて面に、層間絶縁膜が設けられている。層間絶縁膜は、前記素子構造を覆う。コンタクトホールは、深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達する。コンタクト構造は、前記コンタクトホールにおいて前記半導体基板に接する。

- [0013] 第1電極は、前記コンタクト構造を介して前記第2半導体領域に電氣的に接続されている。第2電極は、前記半導体基板の裏面に設けられている。前記コンタクト構造は、チタンシリサイド膜と、窒化チタン膜と、金属プラグと、で構成されている。前記チタンシリサイド膜は、前記コンタクトホールにおいて前記半導体基板に接し、前記コンタクトホールの側壁に沿って前記層間絶縁膜の表面に延在する。前記窒化チタン膜は、前記チタンシリサイド膜の表面に沿って設けられている。前記金属プラグは、前記コンタクトホールの内部において前記窒化チタン膜の上に埋め込まれている。
- [0014] 上述した開示によれば、TiSi<sub>x</sub>膜（チタンシリサイド膜）を介して第1電極と半導体基板とが電氣的に接続されることで、第1電極と半導体基板とのコンタクト抵抗が低減される。また、上述した開示によれば、TiSi<sub>x</sub>膜を形成するにあたってシリサイド化等の特別な高温度の熱処理を必要としない。このため、半導体基板に局部的に生じる応力を抑制することができる。また、層間絶縁膜の表面に水素を吸着するTi膜が形成されないため、水素アニールによる半導体基板の結晶ダメージの回復が容易となる。また、層間絶縁膜の表面にTi膜が形成されないことで、金属プラグの形成時に材料ガスとTi膜との反応によって層間絶縁膜との密着性低下を防止することができる。
- [0015] (2) また、この開示にかかる半導体装置は、上述した(1)において、前記コンタクトホールに連続して前記半導体基板のおもて面に設けられた所定深さのコンタクトトレンチを備える。前記チタンシリサイド膜は、前記コンタクトホールの側壁および前記コンタクトトレンチの内壁に沿って設けられてもよい。
- [0016] 上述した開示によれば、コンタクトホールの側壁およびコンタクトトレンチの側壁において層間絶縁膜および半導体基板にかかる応力が一様となる。
- [0017] (3) また、この開示にかかる半導体装置は、上述した(2)において、前記チタンシリサイド膜の厚さは、前記コンタクトホールの側壁から前記コンタクトトレンチの側壁にわたって一様であってもよい。

- [0018] 上述した開示によれば、コンタクトホール側の側壁およびコンタクトトレンチの側壁において層間絶縁膜および半導体基板にかかる応力が一様となる。
- [0019] (4) また、この開示にかかる半導体装置は、上述した(2)において、前記層間絶縁膜は、前記半導体基板のおもて面に平行な方向に前記コンタクトトレンチから10nm以下の距離だけ離れて位置してもよい。
- [0020] 上述した開示によれば、金属プラグのステップカバレッジが向上する。
- [0021] (5) また、この開示にかかる半導体装置は、上述した(1)から(4)のいずれか一つにおいて、前記チタンシリサイド膜は、前記層間絶縁膜の側面で終端する。前記第1電極は、前記層間絶縁膜の上面に、前記層間絶縁膜に接して設けられてもよい。
- [0022] 上述した開示によれば、第1電極の密着性が向上し、層間絶縁膜から第1電極が剥離することを抑制することができる。
- [0023] (6) また、この開示にかかる半導体装置は、上述した(1)から(4)のいずれか一つにおいて、前記チタンシリサイド膜は、前記層間絶縁膜の表面の全面を覆う。前記第1電極は、前記チタンシリサイド膜および前記窒化チタン膜を介して前記層間絶縁膜の上面に設けられていることを特徴とする。
- [0024] 上述した開示によれば、第1電極へのワイヤボンディング時の超音波振動による層間絶縁膜へのダメージを抑制することができる。
- [0025] (7) この開示の一態様にかかる半導体装置の製造方法は、以下の通りである。半導体基板のおもて面の表面領域に、前記半導体基板の内部の第1導電型の第1半導体領域に接する第2導電型の第2半導体領域を形成し、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造を形成する第1工程を行う。前記半導体基板のおもて面に、前記素子構造を覆う層間絶縁膜を形成する第2工程を行う。深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達するコンタクトホールを形成する第3工程を行う。前記コンタクトホールにおいて前記半導体基板に接するコンタクト構造を形成する第4工程を行う。

- [0026] 前記コンタクト構造を介して前記第2半導体領域に電氣的に接続された第1電極を形成する第5工程を行う。前記第5工程の後、水素雰囲気での熱処理により、前記半導体基板の結晶ダメージを回復させる第1アニール工程を行う。前記第4工程は、第1～3堆積工程を含む。前記第1堆積工程では、スパッタリングにより、前記層間絶縁膜の表面の全面を覆い、前記コンタクトホールにおいて前記半導体基板に接するチタンシリサイド膜を堆積する。前記第2堆積工程では、スパッタリングにより、前記チタンシリサイド膜の表面に窒化チタン膜を堆積する。前記第3堆積工程では、前記コンタクトホールの内部において前記窒化チタン膜の上に金属プラグを埋め込む。前記チタンシリサイド膜、前記窒化チタン膜および前記金属プラグからなる前記コンタクト構造を形成する。
- [0027] 上述した開示によれば、TiSi<sub>x</sub>膜（チタンシリサイド膜）を介して第1電極と半導体基板とが電氣的に接続されることで、第1電極と半導体基板とのコンタクト抵抗が低減される。また、上述した開示によれば、TiSi<sub>x</sub>膜を形成するにあたってシリサイド化等の特別な高温度の熱処理を必要としない。このため、半導体基板に局所的に生じる応力を抑制することができる。また、層間絶縁膜の表面に水素を吸着するTi膜が形成されないため、水素アニールによる半導体基板の結晶ダメージの回復が容易となる。また、層間絶縁膜の表面にTi膜が形成されないことで、金属プラグの形成時に材料ガスとTi膜との反応によって層間絶縁膜との密着性低下を防止することができる。
- [0028] (8) また、この開示にかかる半導体装置の製造方法は、上述した(7)において、前記第3工程の後、前記第4工程の前に、前記半導体基板のおもて面に、前記コンタクトホールに連続する所定深さのコンタクトトレンチを形成する第6工程を含む。前記第1堆積工程では、前記層間絶縁膜の表面および前記コンタクトトレンチの内壁に沿って前記チタンシリサイド膜を形成してもよい。

- [0029] 上述した開示によれば、TiSi<sub>x</sub>膜と半導体基板との接触面積が大きくなるため、第1電極と半導体基板とのコンタクト抵抗の増加を抑制可能である。
- [0030] (9) また、この開示にかかる半導体装置の製造方法は、上述した(8)において、前記第6工程の後、前記第4工程の前に、前記層間絶縁膜を平坦化する第7工程を含んでもよい。
- [0031] 上述した開示によれば、コンタクトトレンチへの金属プラグの埋め込み性を向上させることができる。
- [0032] (10) また、この開示にかかる半導体装置の製造方法は、上述した(7)から(9)のいずれか一つにおいて、前記第1堆積工程および前記第2堆積工程は、同一のスパッタリング装置を用いて連続して行ってもよい。
- [0033] 上述した開示によれば、工程を簡略化することができ、コストを低減することができる。
- [0034] (11) また、この開示にかかる半導体装置の製造方法は、上述した(7)から(10)のいずれか一つにおいて、前記第4工程は、前記金属プラグをマスクとして前記窒化チタン膜および前記チタンシリサイド膜をエッチバックして、前記層間絶縁膜の上面を露出させる除去工程をさらに含む。前記第5工程では、前記層間絶縁膜の上面に、前記層間絶縁膜に接して前記第1電極を形成してもよい。
- [0035] 上述した開示によれば、第1電極の密着性が向上し、層間絶縁膜から第1電極が剥離することを抑制することができる。
- [0036] (12) また、この開示にかかる半導体装置の製造方法は、上述した(7)から(11)のいずれか一つにおいて、300℃以下の温度雰囲気で行ってもよい。
- [0037] 上述した開示によれば、半導体基板に局所的に生じる応力を抑制することができる。
- [0038] (13) また、この開示にかかる半導体装置の製造方法は、上述した(7)から(12)のいずれか一つにおいて、前記第1アニール工程の後、前記半導

体基板に放射線を照射する照射工程を行う。前記照射工程の後、水素雰囲気での熱処理により、前記pn接合で形成される寄生ダイオードを所定の逆回復特性に調整する第2アニール工程を行ってもよい。

[0039] 上述した開示によれば、ゲート閾値電圧が低くなる原因である結晶ダメージを回復させることができる。

[0040] <本開示の基礎となる知見>

本実施の形態の課題としては、おもて面電極と半導体基板とのコンタクト（電氣的接触）抵抗を低減させることや、電子線等の放射線照射や不純物イオン注入等によって半導体基板に生じた結晶ダメージを水素アニール（水素雰囲気での熱処理）によって回復させること、が挙げられる。従来、チタン（Ti）がn型のシリコン（Si）とのコンタクト抵抗が低いことから、おもて面電極と半導体基板との間に、Ti膜を半導体基板（Si基板）とシリサイド反応させてなるチタンシリサイド（TiSi<sub>x</sub>）膜を形成する方法が公知であるが、シリサイド化によるTiSi<sub>x</sub>膜の体積膨張によって半導体基板に局所的に生じる応力が大きくなる。

[0041] シリサイド化のための熱処理温度が高くなるほど、TiSi<sub>x</sub>膜と半導体基板とのコンタクト抵抗が低減されるが、シリサイド化によるTiSi<sub>x</sub>膜の体積膨張によって半導体基板に局所的に生じる応力がさらに大きくなる。例えば、おもて面電極のコンタクト構造を半導体基板のおもて面に設けたコンタクトトレンチに埋め込むことで半導体基板との接触面積を大きくしておもて面電極と半導体基板とのコンタクト抵抗を低減する場合、コンタクトトレンチの内壁に沿ってTiSi<sub>x</sub>膜が形成される。コンタクトトレンチは、幅が狭く、かつ深さが浅いため、シリサイド化によるTiSi<sub>x</sub>膜の体積膨張によって半導体基板に局所的に生じる応力の更なる増加が懸念される。

[0042] また、半導体基板とのシリサイド反応によってTiSi<sub>x</sub>膜を形成する場合、TiSi<sub>x</sub>膜の材料膜であるTi膜が層間絶縁膜の表面の全面を覆うように形成されるが、このTi膜は、水素を吸収しやすく、半導体基板の結晶ダメージを回復させるための水素アニールの効果を阻害する。このため、水素ア

ニールを行っても例えばゲート閾値電圧等の特性を回復させづらい。特に、p型ベース領域とn<sup>-</sup>型ドリフト領域とのpn接合（主接合）で形成される寄生ダイオード（ボディダイオード）の逆回復時間 $t_{rr}$ などのスイッチング特性を向上させるために電子線等の放射線照射を行った製品（半導体装置）では、放射線照射で半導体基板に生じた結晶ダメージが十分に回復されない。

[0043] 半導体基板の結晶ダメージが十分に回復されないことを想定して、半導体基板内の所定の拡散領域の不純物ドーズ量を過剰に高くする等によって、半導体基板の結晶ダメージによる低下分を見込んで所定特性を予め高めに設定することで製品としての所定特性を所定値に合わせ込むことも可能である。しかしながら、この場合、水素アニールによって半導体基板の結晶ダメージを回復させたことで所定特性が所定値よりも高くなることもあり、高温印加試験等の信頼性試験において特性変動を起こしやすい。このため、半導体基板の結晶ダメージに起因する特性変動をある程度見込んだ製品仕様となることを許容せざるをえず、製品の信頼性（高温印加試験等の信頼性試験で評価される諸特性の信頼性）に劣る。本実施の形態は、このような課題を解消するものである。

[0044] 以下に添付図面を参照して、この開示にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0045] （実施の形態1の詳細）

以下に上述の課題を解決する実施の形態1にかかる半導体装置を、MOSFET (Metal Oxide Semiconductor Field Effect Transistor: 金属-酸化膜-半導体の3層構造からなる絶縁ゲートを備えたMOS型電界効果トランジスタ) を例に説明する。図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。図1に

示す実施の形態1にかかる半導体装置10は、おもて面電極（第1電極）14と半導体基板（半導体チップ）8との間に、チタンシリサイド（ $TiSi_x$ ）膜11（ただし $x$ は正数）および窒化チタン（ $TiN$ ）膜12および金属プラグ（引出電極部）13からなるコンタクト構造を備えたトレンチゲート構造（素子構造）の縦型MOSFETである。

[0046] 半導体基板8は、例えば、 $n^-$ 型ドリフト領域（第1半導体領域）1となる $n^-$ 型Siバルク基板、もしくは $n^+$ 型ドレイン領域15となる $n^+$ 型出発基板（Siバルク基板）上に $n^-$ 型ドリフト領域1となる $n^-$ 型エピタキシャル層を積層したSi基板である。半導体基板8が $n^-$ 型ドリフト領域1となる $n^-$ 型Siバルク基板である場合、 $n^+$ 型ドレイン領域15は、半導体基板8の裏面の表面領域にイオン注入により形成された拡散領域である。 $n^+$ 型ドレイン領域15は、半導体基板8の裏面と $n^-$ 型ドリフト領域1との間に、 $n^-$ 型ドリフト領域1に接して設けられている。半導体基板8の裏面の全面に、 $n^+$ 型ドレイン領域15に接してドレイン電極となる裏面電極（第2電極）16が設けられている。

[0047] トレンチゲート構造は、 $p$ 型ベース領域（第2半導体領域）2、 $n^+$ 型ソース領域3、 $p^+$ 型コンタクト領域4、トレンチ5、ゲート絶縁膜6およびゲート電極7で構成され、半導体基板8のおもて面側に設けられている。 $p$ 型ベース領域2、 $n^+$ 型ソース領域3および $p^+$ 型コンタクト領域4は、半導体基板8のおもて面の表面領域にイオン注入により形成された拡散領域である。 $p$ 型ベース領域2は、半導体基板8のおもて面と $n^-$ 型ドリフト領域1との間に、 $n^-$ 型ドリフト領域1に接して設けられている。 $n^+$ 型ソース領域3および $p^+$ 型コンタクト領域4は、半導体基板8のおもて面と $p$ 型ベース領域2との間に、 $p$ 型ベース領域2に接してそれぞれ選択的に設けられている。

[0048]  $n^+$ 型ソース領域3および $p^+$ 型コンタクト領域4は、 $TiSi_x$ 膜11にオーミック接触する。 $p^+$ 型コンタクト領域4は、トレンチ5から離れて設けられている。 $p^+$ 型コンタクト領域4は、半導体基板8のおもて面から $n^+$ 型

ソース領域3よりも $n^+$ 型ドレイン領域15側（半導体基板8の裏面側）の深い位置に達する。 $p^+$ 型コンタクト領域4は設けられていなくてもよい。この場合、 $p^+$ 型コンタクト領域4に代えて、 $p$ 型ベース領域2が $TiSi_x$ 膜11に接する。半導体基板8の、 $p$ 型ベース領域2、 $n^+$ 型ソース領域3、 $p^+$ 型コンタクト領域4および $n^+$ 型ドレイン領域15を除く部分が $n^-$ 型ドリフト領域1である。

[0049] トレンチ5は、深さ方向に半導体基板8のおもて面から $n^+$ 型ソース領域3および $p$ 型ベース領域2を貫通して $n^-$ 型ドリフト領域1の内部で終端している。トレンチ5の内壁（側壁および底面）に沿ってゲート絶縁膜6が設けられている。トレンチ5の内部においてゲート絶縁膜6上にゲート電極7が埋め込まれている。 $n^+$ 型ソース領域3、 $p$ 型ベース領域2および $n^-$ 型ドリフト領域1がトレンチ5の側壁のゲート絶縁膜6を介してゲート電極7に対向していればよく、ゲート電極7およびゲート絶縁膜6の上端（トレンチ5の開口側の端部）は半導体基板8のおもて面よりも $n^+$ 型ドレイン領域15側に深い位置（すなわちトレンチ5の内部）で終端していてもよい。

[0050] 層間絶縁膜9は、半導体基板8のおもて面に設けられ、ゲート電極7を覆う。深さ方向に層間絶縁膜9を貫通して半導体基板8に達するコンタクトホール9aが設けられている。コンタクトホール9aの断面形状は、略矩形状であってもよいし、半導体基板8側へ向かうにしたがって幅を狭くした略テーパ（台形）状であってもよい。後述するソースコンタクトトレンチ8aを有する場合、層間絶縁膜9の厚さを比較的薄くしてコンタクトホール9aのアスペクト比（＝深さ／幅）を小さくしたり、層間絶縁膜9のリフロー（平坦化）により層間絶縁膜9の上面コーナー部（上面と側面との境界）を丸めたりすることで、ソースコンタクトトレンチ8aへの金属プラグ13の埋め込み性を向上させることがよい。

[0051] 層間絶縁膜9は、例えばBPSG（Boro Phospho Silicate Glass）膜9-2などによる酸化シリコン（ $SiO_2$ ）膜で構

成される。例えば、BPSG膜9-2のボロン(B)濃度とリン(P)濃度の総和を例えば6mol%以下として当該BPSG膜9-2をリフローすることで、コンタクトホール9aの幅w1が半導体基板8側(すなわちソースコンタクトトレンチ8aに連続する部分)に対して反対側で相対的に広がる。これによって、W膜13a(図5参照)の埋め込み時にコンタクトホール9aが塞がりにくくなるため、ソースコンタクトトレンチ8aへの金属プラグ13の埋め込み性を向上させることができる。

[0052] 層間絶縁膜9は、一般的な高温酸化(HTO:High Temperature Oxide)によって堆積された堆積SiO<sub>2</sub>膜(以下、HTO膜とする)9-1を含んでいてもよい。この場合、層間絶縁膜9は、例えば、HTO膜9-1およびBPSG膜9-2をこの順に積層した2層構造となる。HTO膜9-1は、例えば、熱酸化膜と同程度に膜密度および絶縁性能が高く、PECVDやスパッタリングで形成した堆積SiO<sub>2</sub>膜と比べて良好な絶縁特性を有する。層間絶縁膜9がHTO膜9-1を含むことで、層間絶縁膜9によって電氣的に絶縁された電極間(ゲート電極7とおもて面電極14との間)の短絡耐量が向上して、半導体装置10の信頼性が向上する。HTO膜9-1の代わりにTEOS(Tetra Ethoxy Silane)を使用した堆積SiO<sub>2</sub>膜を使用してもよい。

[0053] 半導体基板8のおもて面に、層間絶縁膜9のコンタクトホール9aに連続してソースコンタクトトレンチ8aが設けられている。ソースコンタクトトレンチ8aは、深さ方向に半導体基板8のおもて面からn<sup>+</sup>型ソース領域3を貫通してp<sup>+</sup>型コンタクト領域4の内部で終端している。ソースコンタクトトレンチ8aは、半導体基板8のおもて面からn<sup>+</sup>型ソース領域3よりもn<sup>+</sup>型ドレイン領域15側の深い位置に達する。ソースコンタクトトレンチ8aの底面はp<sup>+</sup>型コンタクト領域4に囲まれ、ソースコンタクトトレンチ8aの底面の全面にp<sup>+</sup>型コンタクト領域4が露出されている。ソースコンタクトトレンチ8aの側壁には、n<sup>+</sup>型ソース領域3およびp<sup>+</sup>型コンタクト領域4が露出されてい

る。ソースコンタクトトレンチ 8 a の断面形状は、略矩形状であってもよいし、半導体基板 8 の裏面側へ向かうにしたがって幅  $w_2$  を狭くした略テーパ形状であってもよい。

[0054] ソースコンタクトトレンチ 8 a の幅  $w_2$  は、コンタクトホール 9 a の幅  $w_1$  よりも狭い。その理由は、コンタクトホール 9 a の形成に用いたエッチングマスクを用いてコンタクトホール 9 a に連続するソースコンタクトトレンチ 8 a を自己整合に形成した後に、層間絶縁膜 9 (BPSG 膜 9-2) がリフローされることで、層間絶縁膜 9 の側面 (コンタクトホール 9 a の側壁) がソースコンタクトトレンチ 8 a から離れる方向に所定距離  $d$  だけ移動 (後退) して、コンタクトホール 9 a の幅  $w_1$  が広がるからである。層間絶縁膜 9 の側面とソースコンタクトトレンチ 8 a の側壁との間には、半導体基板 8 のおもて面が  $10\text{ nm}$  以下程度の距離  $d$  で露出され、当該距離  $d$  の高低差の段差が生じている。

[0055] ソースコンタクトトレンチ 8 a を設けることで、TiSix 膜 11 と半導体基板 8 との接触面積が大きくなる。このため、互いに隣り合うトレンチ 5 間の幅を狭くして微細化を図ることでコンタクトホール 9 a の幅  $w_1$  が狭くなっても、おもて面電極 14 と半導体基板 8 とのコンタクト抵抗の増加を抑制可能である。また、ソースコンタクトトレンチ 8 a を設けることで、半導体基板 8 のオフ時に  $n^-$  型ドリフト領域 1 内の正孔がおもて面電極 14 へ引き抜かれやすく、アバランシェ耐量が向上する。半導体装置 10 を  $250\text{ V}$  以下程度の低耐压クラスとする場合や微細化する場合、寄生バイポーラ動作によってアバランシェ降伏しやすくなるため、ソースコンタクトトレンチ 8 a を設けることがよい。低耐压クラスとした場合だけでなく、ソースコンタクトトレンチ 8 a を設けることで全ての耐压クラスにおいてアバランシェ耐量の向上が図れる。

[0056] ソースコンタクトトレンチ 8 a は設けられていなくてもよい。この場合、コンタクトホール 9 a に露出する半導体基板 8 のおもて面において、 $n^+$  型ソース領域 3 および  $p^+$  型コンタクト領域 4 が TiSix 膜 11 にオーミック接触する。TiSix 膜 11 および TiN 膜 12 はコンタクトホール 9 a の側壁

(層間絶縁膜9の側面)から底面(コンタクトホール9aに露出する半導体基板8のおもて面)にわたって設けられ、コンタクトホール9aの内部においてTiN膜12上に金属プラグ13が埋め込まれる。TiSix膜11およびTiN膜12において、コンタクトホール9aの側壁の部分および底面の部分の条件はソースコンタクトトレンチ8aの側壁の部分および底面の部分と同じである。

[0057] コンタクトホール9aの側壁(層間絶縁膜9の側面)、コンタクトホール9aの側壁とソースコンタクトトレンチ8aの側壁とを連結する面(以下、段差面とする)、およびソースコンタクトトレンチ8aの内壁に沿って、これらの面の上に、TiSix膜11およびTiN膜12がこの順に積層されている。TiSix膜11およびTiN膜12は、層間絶縁膜9の上面には設けられていない。層間絶縁膜9の上面とは、層間絶縁膜9の表面のうち、コンタクトホール9aの側壁を形成する以外の部分である。層間絶縁膜9の上面におもて面電極14が直接接触することで、おもて面電極14の密着性が向上し、層間絶縁膜9からおもて面電極14が剥離することを抑制することができる。

[0058] また、層間絶縁膜9の上面にTiSix膜11およびTiN膜12を設けないことで、おもて面電極14へのワイヤボンディング時の超音波振動による比較的高硬度なTiSix膜11およびTiN膜12へのダメージ抑制することができる。また、層間絶縁膜9の上面にTiSix膜11およびTiN膜12を設けないことで、例えば半導体基板8の結晶ダメージを回復させるための水素アニールの効果が阻害されない。このため、例えば電子線等の放射線照射によりn<sup>-</sup>型ドリフト領域1のキャリアライフタイム制御を行うことで半導体基板8に生じた結晶ダメージを水素アニールによって回復させて、例えばゲート閾値電圧等の特性を回復させることができる。

[0059] TiSix膜11およびTiN膜12は、スパッタリングにより形成(堆積)され、コンタクトホール9aの側壁、段差面(半導体基板8のおもて面)およびソースコンタクトトレンチ8aの部分と比べてソースコンタクトトレンチ8aの底面の部分で厚さが厚くなる傾向にある。TiSix膜11およびTi

i N膜12の厚さは、コンタクトホール9aの側壁からソースコンタクトトレンチ8aの側壁にわたって略一様である。このため、コンタクトホール9aの側壁およびソースコンタクトトレンチ8aの側壁において層間絶縁膜9および半導体基板8にかかる応力が一様となる。厚さが略一様とは、製造プロセスばらつきによる許容誤差を含む範囲で略同じ厚さであることを意味する。

[0060] TiSix膜11は、ソースコンタクトトレンチ8aの内壁でn<sup>+</sup>型ソース領域3およびp<sup>+</sup>型コンタクト領域4にオーミック接触する。ソースコンタクトトレンチ8aを設けることによって、TiSix膜11と半導体基板8との接触面積を大きくすることができ、TiSix膜11と半導体基板8とのコンタクト抵抗が低減される。このため、微細化によってコンタクトホール9aの幅w1が狭くなっても、おもて面電極14と半導体基板8とのコンタクト抵抗の増加を抑制することができる。TiN膜12は、おもて面電極14から半導体基板8側への金属原子の拡散防止機能や、TiN膜12を挟んで対向する各部間での相互反応防止機能を有するバリアメタルである。

[0061] TiSix膜11の端部は、層間絶縁膜9の表面上（例えば層間絶縁膜9の側面上）で終端している。TiN膜12の端部は、TiSix膜11の表面上で終端している。TiSix膜11は、TiN膜12と比べて層間絶縁膜9との密着性が高い。このため、TiN膜12と層間絶縁膜9との間にTiSix膜11を設けることで、おもて面電極14の密着性が高くなる。コンタクトホール9aおよびソースコンタクトトレンチ8aを埋め込むように、TiN膜12上に金属プラグ13が設けられている。金属プラグ13の上面の高さ位置は、TiN膜12の端部と同じ高さ位置か、またはTiN膜12の端部の高さ位置よりも半導体基板8側に低い位置にある。金属プラグ13の材料は、埋め込み性の高い例えばタングステン（W）であり、半導体基板8との密着性に劣る。半導体基板8と金属プラグ13との間にTiSix膜11およびTiN膜12を設けることで金属プラグ13の密着性が向上する。

[0062] これらTiSix膜11、TiN膜12および金属プラグ13でおもて面電極14のコンタクト構造が構成される。金属プラグ13を設けずに、コンタク

トホール9 aおよびソースコンタクトトレンチ8 aに、金属プラグ13に代えて、おもて面電極14を埋め込んでもよい。この場合、TiN膜12を設けなくてもよい。すなわち、おもて面電極14のコンタクト構造は半導体基板8とオーミック接触するTiSix膜11のみで構成されてもよい。層間絶縁膜9の上面から金属プラグ13の上面にわたって、これらに接しておもて面電極14が設けられている。おもて面電極14は、例えばアルミニウム(Al)膜またはAl合金膜である。おもて面電極14は、金属プラグ13、TiN膜12およびTiSix膜11を介してp型ベース領域2、n<sup>+</sup>型ソース領域3およびp<sup>+</sup>型コンタクト領域4に電氣的に接続され、ソース電極として機能する。

[0063] 実施の形態1にかかる半導体装置10の製造方法について説明する。図2～6は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。まず、図2に示すように、一般的な方法により、n<sup>-</sup>型ドリフト領域1となる半導体基板8のおもて面側に、トレンチゲート構造、層間絶縁膜9(HTO膜9-1およびBPSG膜9-2)およびコンタクトホール9 aを形成する(第1～3工程)。次に、コンタクトホール9 aの形成に用いた同一のレジストマスクを用いて半導体基板8のおもて面をエッチングして、コンタクトホール9 aに連続するソースコンタクトトレンチ8 aを形成する(第6工程)。そして、ソースコンタクトトレンチ8 aの形成に用いたレジストマスクを除去する。この場合、コンタクトホール9 aの形成後にレジストマスクを除去し、層間絶縁膜9をマスクとしてソースコンタクトトレンチ8 aを形成することも可能である。

[0064] 次に、熱処理により、半導体基板8の露出面(ここではソースコンタクトトレンチ8 aの内壁)を酸化しながらBPSG膜9-2をリフローする(第7工程)。これによって、BPSG膜9-2の上面コーナー部が丸まるとともに、BPSG膜9-2の側面がソースコンタクトトレンチ8 aから離れる方向に所定距離dだけ後退する。次に、コンタクトホール9 a内において半導体基板8を覆う酸化膜を除去する。このとき、当該酸化膜とともに、HTO膜9-1の端部(BPSG膜9-2の側面が所定距離dだけ後退したことで露出された部

分)も除去され、HTO膜9-1の側面もソースコンタクトトレンチ8aから離れる方向に所定距離dだけ後退する。

[0065] このように層間絶縁膜9 (HTO膜9-1およびBPSG膜9-2)の側面がソースコンタクトトレンチ8aから離れる方向に所定距離dだけ後退することで、コンタクトホール9aの幅w1が広がる。これによって、後の工程で半導体基板8のおもて面に堆積されるW膜13a (図5参照)のソースコンタクトトレンチ8aへの埋め込み性が向上する。また、半導体基板8の露出面を酸化しながらBPSG膜9-2をリフローすることで、層間絶縁膜9の側面がソースコンタクトトレンチ8aから離れる方向に後退する距離dを10nm以下程度に小さくすることができる。このため、後の工程で半導体基板8のおもて面に堆積されるW膜13aの段差被覆性(ステップカバレッジ)が向上する。

[0066] 次に、図3に示すように、300℃以下程度(例えば200℃程度)の温度雰囲気において、スパッタリングにより、層間絶縁膜9の表面(上面および側面)およびソースコンタクトトレンチ8aの内壁(底面および側壁)に沿ってTiSix膜11を堆積(形成)する(第1堆積工程)。TiSix膜11の厚さは、例えば40nm程度である。Ti膜のシリサイド化等の特別な熱処理を行わないため、TiSix膜11はスパッタリング時の厚さを維持しており体積膨張しない。次に、図4に示すように、300℃以下程度(例えば200℃程度)の温度雰囲気において、スパッタリングによりTiSix膜11の表面に沿ってTiN膜12を堆積(形成)する(第2堆積工程)。

[0067] TiSix膜11とTiN膜12とは、異なるスパッタリング装置を用いて形成してもよい。または、例えば複数のスパッタリングターゲットを搭載可能な同一のスパッタリング装置を用いて、スパッタリングターゲットや導入ガス等を適宜切り替えることで、TiSix膜11およびTiN膜12を連続して形成してもよい。同一のスパッタリング装置を用いてTiSix膜11およびTiN膜12を連続形成することで、工程を簡略化することができ、コストを低減することができる。TiSix膜11およびTiN膜12をそれぞれ形成

するために用いるスパッタリングターゲットや導入ガス等の諸条件は、それぞれ一般的な条件を用いることができる。

[0068] 次に、図5に示すように、 $WF_6$ ガスを材料ガスとし、モノシラン ( $SiH_4$ ) ガスまたは水素 ( $H_2$ ) ガスをソースガスとして、CVDにより、コンタクトホール9aおよびソースコンタクトトレンチ8aを埋め込むように半導体基板8の最表面にW膜13aを堆積(形成)する。このとき、層間絶縁膜9の表面の全面を覆うTiSix膜11およびTiN膜12がバリアメタルとして機能する。このため、W膜13aの材料ガスがTiN膜12のバリアメタルとしての機能が低下した箇所からTiN膜12を透過したとしても、バリアメタルとしてチタン(Ti)膜を設けた場合に生じる、層間絶縁膜9との密着性を低下させるフッ素(F)や $H_2$ を発生させる化学反応は起きない。

[0069] 次に、図6に示すように、W膜13aをエッチバックして、コンタクトホール9aおよびソースコンタクトトレンチ8aの内部にのみW膜13aを残す(第3堆積工程)。コンタクトホール9aおよびソースコンタクトトレンチ8aの内部に残したW膜13aが金属プラグ13となる。次に、金属プラグ13をエッチングマスクとしてTiN膜12およびTiSix膜11をエッチバックして、層間絶縁膜9の上面を露出させる(除去工程)。W膜13aのエッチバックするためのドライエッチングと、TiN膜12およびTiSix膜11をエッチバックするためのドライエッチングと、はエッチングガスを切り替えて連続して行ってもよいし、異なるエッチング装置で行ってもよい。

[0070] 次に、スパッタリングおよびフォトリソエッチング工程により、半導体基板8のおもて面の最表面におもて面電極14を形成する(第5工程)。そして、おもて面電極14の形成に用いたレジストマスクを除去(アッシング)する。その後、例えば380℃程度の温度雰囲気での水素アニールによって半導体基板8の結晶ダメージを回復させる(第1アニール工程)。この水素アニールは、おもて面電極14の形成後のいずれのタイミングで行ってもよいが、エッチングやアッシングなどによって半導体基板8がダメージを受けた後のタイミングで

行うことが有効である。その後、半導体基板 8 の裏面側に  $n^+$  型ドレイン領域 15 および裏面電極 16 を形成する。

[0071] 上述した水素アニール後のいずれかのタイミングで、半導体基板 8 のおもて面または裏面からの電子線等の放射線照射（照射工程）により  $n^-$  型ドリフト領域 1 のキャリアライフタイム制御を行ってもよい。また、放射線照射の後、放射線照射による結晶ダメージを全て回復させるのではなく寄生ダイオードの逆回復特性が所定のライフタイム（逆回復時間）になるように、例えば 350°C 程度の温度雰囲気での水素アニールを行って半導体基板 8 の結晶ダメージ量を調整してもよい（第 2 アニール工程）。この放射線照射後の水素アニールによって、ゲート閾値電圧が低くなる原因である結晶ダメージを回復させてもよい。これによって、図 1 に示す半導体装置 10 が完成する。

[0072] 実施の形態 1 にかかる半導体装置 10 の動作について説明する。ソース電極（おもて面電極 14）に対して正の電圧がドレイン電極（裏面電極 16）に印加され、 $p^+$  型コンタクト領域 4 および  $p$  型ベース領域 2 と  $n^-$  型ドリフト領域 1 および  $n^+$  型ドレイン領域 15 との  $p-n$  接合（主接合）が逆バイアスされる。この状態でゲート電極 7 への印加電圧がゲート閾値電圧未満であると、半導体装置 10（MOSFET）はオフ状態を維持する。

[0073] 半導体装置 10 の層間絶縁膜 9 の上にはおもて面電極 14 のみが配置され、水素アニールの効果が阻害されない。このため、半導体装置 10 に寄生ダイオードのスイッチング特性を向上させるための電子線等の放射線照射を行ったとしても、その後の水素アニールによって半導体基板 8 の結晶ダメージがほぼ回復され、ゲート閾値電圧特性が回復されている（図 9 参照）。したがって、半導体装置 10 はノーマリオフを維持する。

[0074] 一方、ソース電極に対して正の電圧がドレイン電極に印加された状態でゲート電極 7 にゲート閾値電圧以上の電圧が印加されると、 $p$  型ベース領域 2 の、トレンチ 5 の側壁に沿った部分にチャネル（ $n$  型の反転層）が形成される。それによって、 $n^+$  型ドレイン領域 15 から  $n^-$  型ドリフト領域 1 およびチャネル

を通過して $n^+$ 型ソース領域3へ向かうドリフト電流（主電流）が流れ、半導体装置10がオンする。

[0075] 以上、説明したように、実施の形態1によれば、スパッタリングによって半導体基板上に堆積されたTiSi<sub>x</sub>膜を介しておもて面電極と半導体基板とが電氣的に接続されている。TiSi<sub>x</sub>膜を介しておもて面電極と半導体基板とが電氣的に接続されることで、おもて面電極と半導体基板とのコンタクト抵抗を低減させることができる。また、実施の形態1によれば、半導体基板上にTiSi<sub>x</sub>膜を形成するにあたってシリサイド化等の特別な例えば600℃以上の高温の熱処理を必要とせず、300℃以下の低温雰囲気においてスパッタリングによりTiSi<sub>x</sub>膜を直接堆積するため、半導体基板に局所的に生じる応力を抑制することができる。

[0076] また、例えば、半導体基板とのシリサイド反応によってTiSi<sub>x</sub>膜を形成する場合、TiSi<sub>x</sub>膜の材料膜であるTi膜が層間絶縁膜の表面全面を覆う。このため、半導体基板の結晶ダメージを回復させるための水素アニールの効果が阻害されるか、水素アニールの効果を得るために、Ti膜の層間絶縁膜の上面を覆う部分を除去する必要がある。一方、実施の形態1によれば、スパッタリングによってTiSi<sub>x</sub>膜を直接堆積することで、層間絶縁膜の表面にTi膜が形成されないため、水素アニールによる半導体基板の結晶ダメージの回復が容易となる。例えば、ボディダイオードの逆回復時間などのスイッチング特性を向上させるために電子線等の放射線照射を行った製品（半導体装置）であっても、水素アニールによって半導体基板の結晶ダメージを十分に回復させることができる。

[0077] すなわち、実施の形態1によれば、半導体基板の結晶ダメージによってゲート閾値電圧が低くなることを想定して、半導体基板内の所定の拡散領域の不純物ドーザ量を過剰に高くする等によって半導体基板の結晶ダメージによる低下分を見込んでゲート閾値電圧を予め高く設定する必要がない。したがって、高温印加試験等の信頼性試験において特性変動が起きにくく、製品の信頼性（高温印加試験等の信頼性試験で評価される諸特性の信頼性）が向上する。また、

実施の形態1によれば、バリアメタルとしてTi膜を用いていないため、金属プラグの形成時に材料ガスとTi膜との反応によって生じる課題（後述する比較例参照）が生じない。このため、層間絶縁膜との密着性が低下することを防止することができる。

[0078] また、例えばTiSix膜およびTiN膜の堆積にCVD法を用いる場合、TiSix膜およびTiN膜の形成にそれぞれ用いるガス種等の条件が異なるため、TiSix膜およびTiN膜を同一のCVD装置で連続形成できない。一方、実施の形態1によれば、スパッタリングによってTiSix膜を堆積することで、TiSix膜およびTiN膜を同一のスパッタリング装置を用いて連続形成可能となる。これによって、工程を簡略化することができるため、コストを低減することができる。また、TiSix膜の形成とTiN膜の形成との間に半導体ウエハを搬送する工程を省略することができるため、ウエハ搬送中のコンタミネーションが抑制され、良品率が向上し、製品の信頼性が向上する。

[0079] （実施の形態2の詳細）

以下に上述の課題を解決する実施の形態2にかかる半導体装置を説明する。図7は、実施の形態2にかかる半導体装置の構造を示す断面図である。図8は、実施の形態2にかかる半導体装置の製造途中の状態を示す断面図である。実施の形態2にかかる半導体装置20が実施の形態1にかかる半導体装置10（図1参照）と異なる点は、おもて面電極14のコンタクト構造を構成するTiSix膜21およびTiN膜22がおもて面電極14と層間絶縁膜9との間に延在して層間絶縁膜9の表面の全面を覆っている点である。

[0080] コンタクトホール9aおよびソースコンタクトトレンチ8aの内部におけるTiSix膜21およびTiN膜22の構成は、それぞれ実施の形態1のTiSix膜11およびTiN膜12と同様である。TiSix膜21およびTiN膜22は、おもて面電極14から層間絶縁膜9への金属原子の拡散を抑制するバリアメタルとして機能する。TiSix膜21およびTiN膜22は、お

もて面電極14へのワイヤボンディング時の超音波振動による層間絶縁膜9へのダメージを抑制する機能を有する。

[0081] 実施の形態2にかかる半導体装置20の製造方法は、実施の形態1にかかる半導体装置10の製造方法において、TiSix膜11およびTiN膜12のエッチバック（図6参照）を省略すればよい。すなわち、実施の形態1と同様に、トレンチゲート構造の形成から金属プラグ13の形成までの工程を順に行う（図2～5, 8）。その後、層間絶縁膜9の上面にTiSix膜11およびTiN膜12を残したまま（図8）、おもて面電極14の形成以降の工程を順に行うことで、図7に示す半導体装置20が完成する。

[0082] 層間絶縁膜9の上面にTiSix膜11およびTiN膜12を残したままであっても、半導体基板8の結晶ダメージを回復するための水素アニールの効果は阻害されない。また、TiSix膜21は、TiN膜22やおもて面電極14と比べて層間絶縁膜9との密着性が高い。このため、TiSix膜21によっておもて面電極14の密着性が向上する。また、TiSix膜11およびTiN膜12の一部を除去するための工程を省略でき、工程数の削減やパーティクルの低減が可能である。

[0083] 以上、説明したように、実施の形態2によれば、層間絶縁膜の上面がTiSix膜およびTiN膜で覆われていても、実施の形態1と同様の効果を得ることができる。実施の形態2によれば、工程数の削減やパーティクルの低減によって、良品率が向上し、コスト低減を図ることができる。

[0084] （実験例）

水素アニールによる半導体基板の結晶ダメージ回復度とバリアメタルとの関係について検証した。図9は、水素アニールによる半導体基板の結晶ダメージ回復度とバリアメタルとの関係を示す図である。一般的なトレンチゲート構造のMOSFET（以下、実験例とする）について条件（バリアメタルの有無、半導体基板の結晶ダメージの有無）の異なる4つの試料（以下、試料1～4とする）を用いて水素アニールによる半導体基板の結晶ダメージ回復度を検証した結果を図9に示す。

[0085] 試料1は、バリアメタルとして層間絶縁膜上にTi膜を有し、半導体基板に放射線照射による結晶ダメージを有していない（Ti有、ダメージ無）。試料2は、バリアメタルとして層間絶縁膜上にTi膜を有し、半導体基板に放射線照射による結晶ダメージを有する（Ti有、ダメージ有）。試料3は、バリアメタルを設けず、半導体基板に放射線照射による結晶ダメージを有する（Ti無、ダメージ有）。試料4は、バリアメタルを設けず、半導体基板に放射線照射による結晶ダメージを有していない（Ti無、ダメージ無）。

[0086] 図9の「ダメージ回復度」は、水素アニールによる半導体基板の結晶ダメージ回復後のゲート閾値電圧がゲート閾値電圧の設計値まで回復しているか否かを示すものであり、試料4における水素アニールによる半導体基板の結晶ダメージ回復度を基準（＝100%）としている。図9において「ダメージ有・ダメージ無」とは放射線照射による結晶ダメージの有無を示すものであり、試料1～4ともに他の製造工程（例えばイオン注入等）で半導体基板に同様に結晶ダメージが生じた状態で水素アニールを行っている。

[0087] 図9に示すように、試料2の結果から、バリアメタルとしてTi膜を有することで、放射線照射による半導体基板の結晶ダメージを十分に回復できないことが確認された。また、試料3の結果から、バリアメタルとしてTi膜を有していないことで、放射線照射による半導体基板の結晶ダメージを、放射線照射による結晶ダメージの無い試料1、4と同程度まで回復できることが確認された。また、試料3のダメージ回復度が試料1のダメージ回復度よりも高いことから、バリアメタルとしてTi膜を有していないことで、放射線照射以外の工程で半導体基板に生じた結晶ダメージの回復度も高くなることがわかる。

[0088] （比較例）

比較例として、おもて面電極と半導体基板との間に、Tiまたはニッケル（Ni）のような高硬度かつ高融点な金属膜や、Ti膜をシリサイド化してなるチタンシリサイド（TiSi）膜を設けることで、おもて面電極と半導体基板とのコンタクト抵抗を低減したMOSFETについて説明する。図10、11は、それぞれ比較例1、2の構造を示す断面図である。図10、11に示す

半導体装置 110, 120 (以下、比較例 1, 2 とする) は、一般的なトレンチゲート構造の縦型 MOSFET であり、それぞれおもて面電極 114 と半導体基板 108 との間のコンタクト構造が異なる。

[0089] 比較例 1, 2 において、トレンチゲート構造は、p 型ベース領域 102、n<sup>+</sup>型ソース領域 103、p<sup>+</sup>型コンタクト領域 104、トレンチ 105、ゲート絶縁膜 106 およびゲート電極 107 で構成され、半導体基板 108 のおもて面と n<sup>-</sup>型ドリフト領域 101 との間に設けられている。層間絶縁膜 109 は、半導体基板 108 のおもて面に設けられ、ゲート電極 107 を覆う。半導体基板 108 の裏面と n<sup>-</sup>型ドリフト領域 101 との間に、n<sup>+</sup>型ドレイン領域 115 が設けられている。半導体基板 108 の裏面に、n<sup>+</sup>型ドレイン領域 115 に接してドレイン電極となる裏面電極 116 が設けられている。

[0090] 比較例 1 (図 10 に示す半導体装置 110) は、半導体基板 108 のおもて面に、層間絶縁膜 109 のコンタクトホール 109a に連続してソースコンタクトトレンチ 108a を有する。ソースコンタクトトレンチ 108a の内壁には、n<sup>+</sup>型ソース領域 103 および p<sup>+</sup>型コンタクト領域 104 が露出される。コンタクトホール 109a の側壁 (層間絶縁膜 109 の側面) およびソースコンタクトトレンチ 108a の内壁に沿って、スパッタリングにより Ti または Ni のような高硬度かつ高融点な金属膜 111 と、TiN 膜 112 と、が順に形成されている。

[0091] 金属膜 111 および TiN 膜 112 は、層間絶縁膜 109 の上面へ延在して、層間絶縁膜 109 の上面の全面を覆う。コンタクトホール 109a およびソースコンタクトトレンチ 108a を埋め込むように TiN 膜 112 上に W プラグ 113 が設けられている。TiN 膜 112 および W プラグ 113 の上に、おもて面電極 114 が設けられている。おもて面電極 114 は、W プラグ 113、TiN 膜 112 および金属膜 111 を介して n<sup>+</sup>型ソース領域 103 および p<sup>+</sup>型コンタクト領域 104 に電氣的に接続されてソース電極として機能する。

[0092] 比較例2（図11に示す半導体装置120）が比較例1と異なる点は、金属膜111に代えて、Si部上のみTiSi膜121が設けられている点である。比較例2は、ソースコンタクトトレンチ108aを設けていないことで、比較例1と比べて層間絶縁膜109の厚さを厚く残した構造となっている。TiSi膜121は、Ti膜（後述するTi膜121a：図13、14参照）中のTi原子と半導体基板108中のSi原子とのシリサイド反応によって形成され、層間絶縁膜109のコンタクトホール109a内においてSi部（すなわち半導体基板108のおもて面）上のみ設けられている。

[0093] TiSi膜121は、層間絶縁膜109の表面には設けられていない。TiSi膜121の厚さは、例えば60nm程度であり、半導体基板108のおもて面からn<sup>+</sup>型ソース領域103よりも浅い位置で終端する。図示省略するが、比較例2がソースコンタクトトレンチ108aを有する場合においても、TiSi膜121はSi部（すなわちソースコンタクトトレンチ108aの内壁）上のみ設けられる。TiN膜122は、TiSi膜121の表面および層間絶縁膜109の表面に沿って設けられている。Wプラグ123は、コンタクトホール109aの内部においてTiN膜122上に埋め込まれている。

[0094] 比較例2（図11に示す半導体装置120）の製造方法について説明する。図12～18は、比較例2の製造途中の状態を示す断面図である。まず、図12に示すように、一般的な方法により、半導体基板108のおもて面側に、p型ベース領域102、n<sup>+</sup>型ソース領域103、p<sup>+</sup>型コンタクト領域104、トレンチ105、ゲート絶縁膜106およびゲート電極107からなるトレンチゲート構造を形成する。次に、半導体基板108のおもて面の全面に層間絶縁膜109を形成する。次に、深さ方向に層間絶縁膜109を貫通して半導体基板108に達するコンタクトホール109aを形成する。

[0095] 次に、図13に示すように、300℃程度の温度雰囲気において、スパッタリングにより、層間絶縁膜109の表面および半導体基板108のコンタクトホール109aに露出する部分の表面に沿って、例えば40nm程度の厚さのTi膜121aを形成する。次に、図14に示すように、例えば600℃程度

の高速熱処理（RTA：Rapid Thermal Annealing）により、Ti膜121aと半導体基板108とシリサイド反応させて、コンタクトホール109a内において半導体基板108のおもて面上にTiSi膜121を形成する。シリサイド化による体積膨張によりTiSi膜121の厚さは60nm程度に厚くなる。

[0096] 次に、図15に示すように、層間絶縁膜109の表面上の反応せずにそのまま残ったTi膜121aの残部を除去する。次に、図16に示すように、スパッタリングにより、TiSi膜121の表面および層間絶縁膜109の表面に沿ってTiN膜122を形成する。次に、図17に示すように、CVDにより、コンタクトホール109aを埋め込むように半導体基板108のおもて面の最表面にW膜123aを形成する。次に、図18に示すように、W膜123aをエッチバックすることで、Wプラグ123となる部分のみをコンタクトホール109a内に残す。

[0097] 次に、半導体基板108の最表面におもて面電極114を形成する。半導体基板108の裏面側にn<sup>+</sup>型ドレイン領域115および裏面電極116を形成する。次に、電子線等の放射線照射により、n<sup>-</sup>型ドリフト領域101のキャリアライフタイムを制御する。ここまでの工程に至る間（特にn<sup>-</sup>型ドリフト領域101のキャリアライフタイム制御のための放射線照射）に半導体基板108に結晶ダメージが生じてゲート閾値電圧等の諸特性が変動する。このため、次に、水素アニールによって半導体基板8の結晶ダメージを回復させることで、比較例2が完成する。

[0098] 上述した比較例1において、Ti膜（金属膜111）だけでなく、Ti膜およびTiN膜の2層またはTi膜、TiN膜およびTi膜の3層としたコンタクト構造が公知である。Ti膜は、n型Si（半導体基板108）とのコンタクト抵抗が低い。このため、比較例1では、微細化によってコンタクトホール109aの幅が狭くなっても、おもて面電極114と半導体基板108とのコンタクト抵抗の増加抑制が可能である。しかしながら、比較例1では、おもて

面電極 114 と層間絶縁膜 109 との間の金属膜 111 が Ti 膜である場合、この Ti 膜によって水素アニールの効果が阻害される。

[0099] また、比較例 1 では、W プラグ 113 の材料ガスである  $WF_6$  ガスが Ti N 膜 112 を透過して Ti 膜と接触する虞がある。 $WF_6$  ガスと Ti 膜と接触すると、層間絶縁膜 109 との密着性を低下させるフッ素や  $H_2$  が発生する。また、Ti 膜の一部が消失して上層の Ti N 膜 112 に浮き上がりや亀裂が生じる。これによって、おもて面電極 114 の密着性が低下する。例えば、金属膜 111 を Ti 膜に代えて Ni 膜にしたり、Ti 膜の層間絶縁膜 109 の表面を覆う部分を除去したりすることで上記課題が解消されるが、これによって金属膜 111 のバリアメタルとしての機能が低下する。

[0100] また、Ti 膜（金属膜 111）の層間絶縁膜 109 の表面を覆う部分を除去した場合、おもて面電極 114 へのワイヤボンディング時の超音波振動によって層間絶縁膜 109 にダメージが生じる。また、Ti 膜の層間絶縁膜 109 の表面を覆う部分を除去することで、工程数増加やパーティクル発生に伴う良品率低下によってコストが増大する。また、Ti 膜の層間絶縁膜 109 の表面を覆う部分を除去した場合、Ti 膜よりも層間絶縁膜 109 との密着性の低い Ti N 膜 112 が層間絶縁膜 109 と接触するため、層間絶縁膜 109 とおもて面電極 114 との密着性を低下させる。

[0101] 比較例 2 では、Ti Si 膜 121 の材料である Ti 膜 121 a の残部を除去することで（図 15 参照）、比較例 1 と同様に工程数増加やパーティクル発生によって良品率が低下する。Ti 膜 121 a の残部を除去せずに層間絶縁膜 109 の上に残すと、W プラグ 123 の形成時および水素アニール時に比較例 1 と同様の問題が生じる。また、比較例 2 では、Ti Si 膜 121 と半導体基板 108 とのコンタクト抵抗が低減されるが、シリサイド化による体積膨張によって Ti 膜 121 a の堆積時の厚さよりも Ti Si 膜 121 の厚さが厚くなり、その厚さが増すほど半導体基板 108 に局所的に生じる応力が大きくなる。

- [0102] また、比較例 1, 2 では、水素アニールによって半導体基板 108 の結晶ダメージが十分に回復されないことを想定して、半導体基板 108 内の所定の拡散領域の不純物ドーズ量を過剰に高くする等によって半導体基板 108 の結晶ダメージによる低下分を見込んで所定特性を予め高めに設定することで製品としての所定特性を所定値に合わせ込む場合、水素アニールによって半導体基板 108 の結晶ダメージを回復させたことで所定特性が所定値よりも高くなる虞がある。このため、高温印加試験等の信頼性試験において特性変動を起こしやすく、製品（半導体装置 110, 120）の信頼性に劣る。
- [0103] 例えば、上記特許文献 4 では、半導体基板上に堆積した多結晶シリコン（poly-Si）膜を、500℃程度に加熱した状態で発生させたチタンラジカルと反応させてシリサイド化することでTiSi膜に形成している。このため、比較例 2 と同様に、シリサイド化によるTiSi膜の体積膨張によって半導体基板に局所的に生じる応力が大きくなる。また、多結晶シリコン膜のシリサイド化が深さ方向に多結晶シリコン膜の上面から半導体基板まで達しない場合、半導体基板とのコンタクト抵抗が高くなる。また、金属配線中にTi膜を含むため、比較例 1 と同様に水素アニールの効果が阻害される。
- [0104] 例えば、上記特許文献 5 には、PECVDによって半導体基板上にTiSi膜を直接形成しているが、PECVDの導入ガス組成に含まれる塩素（Cl）が半導体基板中に拡散したり、TiSi膜中や半導体基板中に残留物として混入されたりすると、TiSi膜や半導体基板の腐食の原因となる。また、プラズマ化された材料ガスを用いて形成された堆積膜は、応力が高く、抵抗値が高くなる。堆積膜の抵抗値を低減するには、例えば熱処理により堆積膜の厚さを面内で均一にしてシート抵抗を低減させる必要があることが想定されるため、工程数が増加する。
- [0105] また、上記特許文献 5 には、CVDにより半導体基板上にSi膜を成膜した後、PECVDによりTi膜を成膜する際にSi膜とTi膜とを反応させてTiSi膜を形成しているが、導入ガスと半導体基板（Si基板）との化学反応による結晶成長以外の方法でSi膜を形成することは難しい。仮にCVDに

よりSi膜を成膜できたとしても、その後、Si膜の表面を含む半導体基板の最表面の全面に成膜したTi膜とSi膜とを反応させると、体積膨張によりTiSi膜の応力が増大する。また、反応せずにそのまま残ったTi膜の残部によって、比較例1と同様に水素アニールの効果が阻害される。

[0106] 一方、実施の形態1, 2 (図1, 7参照) によれば、層間絶縁膜9の表面の少なくとも一部に設けられバリアメタルとして機能する金属膜はTiSi<sub>x</sub>膜11, 21およびTiN膜12, 22であり、Ti膜は設けられていない。このため、水素アニールの効果が阻害されないとともに、金属プラグ13, 23の材料ガスとバリアメタルとして機能する金属膜との接触による層間絶縁膜9との密着性の低下は生じない。また、スパッタリングによって300℃以下程度の低温雰囲気においてTiSi<sub>x</sub>膜11, 21が形成され、半導体基板8に局所的に生じる応力を抑制可能である。したがって、製品の信頼性が向上する。

[0107] また、実施の形態2 (図7参照) によれば、層間絶縁膜9の表面の全面がTiSi<sub>x</sub>膜21およびTiN膜22で覆われていることで、バリアメタルとしての効果が向上する。また、TiSi<sub>x</sub>膜21およびTiN膜22によって、おもて面電極14へのワイヤボンディング時の超音波振動による層間絶縁膜9へのダメージを抑制することができる。また、実施の形態2によれば、TiSi<sub>x</sub>膜21およびTiN膜22を選択除去しないため、工程数の削減やパーティクルの低減によって良品率が向上し、コストを低減することができる。

[0108] また、上記特許文献1~4では、おもて面電極の積層構造に含まれるTiSiN膜は本実施の形態1, 2のTiSi<sub>x</sub>膜11, 21と異なり、半導体基板の結晶ダメージを回復させるための水素アニールの効果を阻害する。また、上記特許文献1は、Ti膜の形成後にスパッタリングによりTiSiN層を形成した後、酸化や熱処理を行ってTiSiN層の上部表面を酸化することによりTiSiN層の酸化層であるチタンシリコンナイトライドオキシド層を形成し、これらを積層してなるキャパシタを形成するものであり、本実施の形態1, 2のように半導体基板とのコンタクトを形成するものと異なる。また、上

記特許文献1では、600℃を超える高温熱処理が行われるため、合金化による体積膨張によって半導体基板に局所的に生じる応力が大きくなる。

[0109] 上記特許文献2では、TiSiN層が半導体基板と層間絶縁膜との間に形成されており、本実施の形態1, 2のTiSi<sub>x</sub>膜11, 21の構造と異なる。また、高温熱処理が行われるため、合金化による体積膨張によって半導体基板に局所的に生じる応力が大きくなる。上記特許文献3は、半導体基板表面に、Siを含む第1導電層と、その上に形成されたTiSiN層などの高融点金属とSiと窒素とを含む第2導電層と、その上に形成された白金族元素を含む第3導電層と、を備え、これら導電層を接続した構造であり、高温熱処理してもSiと白金族元素との相互拡散防止するものであるため、本実施の形態1, 2のように半導体基板とのコンタクトを形成するものと異なる。また、上記特許文献3では、高温熱処理が行われるため、合金化による体積膨張によって半導体基板に局所的に生じる応力が大きくなる。

[0110] 上記特許文献4では、層間絶縁膜に半導体基板に達する高アスペクト比のコンタクトホールを形成し、コンタクトホールを埋めない厚さの多結晶または非結晶のSi膜を層間絶縁膜表面、コンタクトホール側面、コンタクトホール底面（半導体基板表面）に積層し、PECVDでTi膜を堆積しながらSi膜をTiSi膜に変換、さらにTi膜表面にTiN膜を形成するものであり、本実施の形態1, 2のTiSi<sub>x</sub>膜11, 21の形成方法と異なる。また、多結晶または非結晶のSi膜を積層している点で本実施の形態1, 2と異なる。また、上記特許文献4では、高温プラズマでのシリサイド化によるTiSi膜の体積膨張によって半導体基板に局所的に生じる応力が大きくなり、プラズマダメージも残る虞がある。

[0111] 上記特許文献5のコンタクト層の形成方法の第1の例は、層間絶縁膜に半導体基板に達する高アスペクト比のコンタクトホールを形成し、コンタクトホールを埋めない厚さのTiSi膜をPECVDで積層するものであり、本実施の形態1, 2のTiSi<sub>x</sub>膜11, 21の形成方法と異なる。また、上記特許文献5では、TiSi膜を形成するためのPECVDの導入ガス組成に含まれ

る塩素（Cl）が半導体基板の特性変動、信頼性低下や腐食の原因となる。また、プラズマダメージが残る虞がある。また、上記特許文献5のコンタクト層の形成方法の第1の例では、TiSi膜の形成以降にTiSi膜の形成温度よりも高温熱処理を行うと、半導体基板に局所的に生じる応力が大きくなる。

[0112] 上記特許文献5のコンタクト層の形成方法の第2の例は、層間絶縁膜に半導体基板に達する高アスペクト比のコンタクトホールを形成し、コンタクトホールを埋めない厚さのSi膜を減圧CVD（LPCVD：Low Pressure CVD）で形成し、PECVDでTi膜を形成しながらSi膜と反応させてTiSi膜に変換させるものであり、本実施の形態1, 2のTiSi<sub>x</sub>膜11, 21の形成方法と異なる。また、上記特許文献5のコンタクト層の形成方法の第2の例では、使用するTiCl<sub>4</sub>ガスのClが残存すると特性変動や信頼性低下が起こり、プラズマダメージが残る虞がある。また、プラズマ中でのシリサイド化のため、TiSi膜の体積膨張によって半導体基板に局所的に生じる応力が大きくなる。

[0113] 上記特許文献6は、ゲート抵抗低減のため、ゲート電極として、ポリシリコン膜を形成し、当該ポリシリコン膜上にPVD法でTiSi膜を形成するもので、TiSi膜のサイドエッチングが大きいことからゲート幅が狭くなることを防ぐためにゲート電極側面に酸化膜を形成するものであり、おもて面電極のコンタクト構造について開示されておらず、本実施の形態1, 2のように半導体基板とのコンタクトを形成するものと異なる。また、上記特許文献6では、高温熱処理が行われるため、合金化による体積膨張によって半導体基板に局所的に生じる応力が大きくなる。

[0114] それに対して、本実施の形態1, 2においては、上述したようにスパッタリングによって半導体基板上にTiSi<sub>x</sub>膜を堆積していることで、上記引用文献1～6で生じる問題が生じない。

[0115] 以上において本開示は、上述した各実施の形態に限らず、本開示の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態は、トレンチゲート構造のMOSFETに限らず、おもて面電極のコンタクト構造が層

間絶縁膜のコンタクトホールにおいて半導体基板にオーミック接触する構成の様々な半導体装置に適用可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本開示は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

### 産業上の利用可能性

[0116] 以上のように、本開示にかかる半導体装置および半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用であり、特にコンタクトトレンチによって微細化を図った半導体装置に適している。

### 符号の説明

- [0117]
- 1 n<sup>-</sup>型ドリフト領域
  - 2 p型ベース領域
  - 3 n<sup>+</sup>型ソース領域
  - 4 p<sup>+</sup>型コンタクト領域
  - 5 トレンチ
  - 6 ゲート絶縁膜
  - 7 ゲート電極
  - 8 半導体基板
  - 8 a ソースコンタクトトレンチ
  - 9 層間絶縁膜
  - 9-1 HTO膜
  - 9-2 BPSG膜
  - 9 a コンタクトホール
  - 10, 20 半導体装置
  - 11, 21 TiSix膜
  - 12, 22 TiN膜
  - 13, 23 金属プラグ
  - 13 a W膜

1 4 おもて面電極

1 5  $n^+$ 型ドレイン領域

1 6 裏面電極

d 層間絶縁膜の側面がソースコンタクトトレンチから離れる方向に後退する距離

w 1 コンタクトホールの幅

w 2 ソースコンタクトトレンチの幅

## 請求の範囲

### [請求項1]

半導体基板の内部に設けられた第1導電型の第1半導体領域と、  
前記半導体基板のおもて面と前記第1半導体領域との間に設けられた第2導電型の第2半導体領域と、

前記半導体基板のおもて面側に設けられた、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造と、

前記半導体基板のおもて面に設けられ、前記素子構造を覆う層間絶縁膜と、

深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達するコンタクトホールと、

前記コンタクトホールにおいて前記半導体基板に接するコンタクト構造と、

前記コンタクト構造を介して前記第2半導体領域に電氣的に接続された第1電極と、

前記半導体基板の裏面に設けられた第2電極と、

を備え、

前記コンタクト構造は、

前記コンタクトホールにおいて前記半導体基板に接し、前記コンタクトホールの側壁に沿って前記層間絶縁膜の表面に延在するチタンシリサイド膜と、

前記チタンシリサイド膜の表面に沿って設けられた窒化チタン膜と、

前記コンタクトホールの内部において前記窒化チタン膜の上に埋め込まれた金属プラグと、で構成されたことを特徴とする半導体装置。

### [請求項2]

前記コンタクトホールに連続して前記半導体基板のおもて面に設けられた所定深さのコンタクトトレンチを備え、

前記チタンシリサイド膜は、前記コンタクトホールの側壁および前記コンタクトトレンチの内壁に沿って設けられていることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記チタンシリサイド膜の厚さは、前記コンタクトホールの側壁から前記コンタクトトレンチの側壁にわたって一様であることを特徴とする請求項2に記載の半導体装置。

[請求項4] 前記層間絶縁膜は、前記半導体基板のおもて面に平行な方向に前記コンタクトトレンチから10nm以下の距離だけ離れて位置することを特徴とする請求項2に記載の半導体装置。

[請求項5] 前記チタンシリサイド膜は、前記層間絶縁膜の側面で終端し、前記第1電極は、前記層間絶縁膜の上面に、前記層間絶縁膜に接して設けられていることを特徴とする請求項1に記載の半導体装置。

[請求項6] 前記チタンシリサイド膜は、前記層間絶縁膜の表面の全面を覆い、  
前記第1電極は、前記チタンシリサイド膜および前記窒化チタン膜を介して前記層間絶縁膜の上面に設けられていることを特徴とする請求項1に記載の半導体装置。

[請求項7] 半導体基板のおもて面の表面領域に、前記半導体基板の内部の第1導電型の第1半導体領域に接する第2導電型の第2半導体領域を形成し、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造を形成する第1工程と、

前記半導体基板のおもて面に、前記素子構造を覆う層間絶縁膜を形成する第2工程と、

深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達するコンタクトホールを形成する第3工程と、

前記コンタクトホールにおいて前記半導体基板に接するコンタクト構造を形成する第4工程と、

前記コンタクト構造を介して前記第2半導体領域に電氣的に接続された第1電極を形成する第5工程と、

前記第5工程の後、水素雰囲気での熱処理により、前記半導体基板の結晶ダメージを回復させる第1アニール工程と、

を含み、

前記第4工程は、

スパッタリングにより、前記層間絶縁膜の表面の全面を覆い、前記コンタクトホールにおいて前記半導体基板に接するチタンシリサイド膜を堆積する第1堆積工程と、

スパッタリングにより、前記チタンシリサイド膜の表面に窒化チタン膜を堆積する第2堆積工程と、

前記コンタクトホールの内部において前記窒化チタン膜の上に金属プラグを埋め込む第3堆積工程と、を含み、

前記チタンシリサイド膜、前記窒化チタン膜および前記金属プラグからなる前記コンタクト構造を形成することを特徴とする半導体装置の製造方法。

[請求項8] 前記第3工程の後、前記第4工程の前に、前記半導体基板のおもて面に、前記コンタクトホールに連続する所定深さのコンタクトトレンチを形成する第6工程を含み、

前記第1堆積工程では、前記層間絶縁膜の表面および前記コンタクトトレンチの内壁に沿って前記チタンシリサイド膜を形成することを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項9] 前記第6工程の後、前記第4工程の前に、前記層間絶縁膜を平坦化する第7工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

[請求項10] 前記第1堆積工程および前記第2堆積工程は、同一のスパッタリング装置を用いて連続して行うことを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項11] 前記第4工程は、前記金属プラグをマスクとして前記窒化チタン膜および前記チタンシリサイド膜をエッチバックして、前記層間絶縁膜の上面を露出させる除去工程をさらに含み、

前記第5工程では、前記層間絶縁膜の上面に、前記層間絶縁膜に接して前記第1電極を形成することを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項12] 300℃以下の温度雰囲気中で前記第1堆積工程を行うことを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項13] 前記第1アニール工程の後、前記半導体基板に放射線を照射する照射工程と、

前記照射工程の後、水素雰囲気での熱処理により、前記pn接合で形成される寄生ダイオードを所定の逆回復特性に調整する第2アニール工程と、をさらに含むことを特徴とする請求項7に記載の半導体装置の製造方法。

**補正された請求の範囲（条約第19条）****2024年4月26日（ 26.04.2024 ） 国際事務局受理**

[請求項1]

半導体基板の内部に設けられた第1導電型の第1半導体領域と、  
前記半導体基板のおもて面と前記第1半導体領域との間に設けられた第2導電型の第2半導体領域と、

前記半導体基板のおもて面側に設けられた、前記第2半導体領域と前記第1半導体領域とのp n接合を含む素子構造と、

前記半導体基板のおもて面に設けられ、前記素子構造を覆う層間絶縁膜と、

深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達するコンタクトホールと、

前記コンタクトホールにおいて前記半導体基板に接するコンタクト構造と、

前記コンタクト構造を介して前記第2半導体領域に電氣的に接続された第1電極と、

前記半導体基板の裏面に設けられた第2電極と、  
を備え、

前記コンタクト構造は、

前記コンタクトホールにおいて前記半導体基板に接し、前記コンタクトホールの側壁に沿って前記層間絶縁膜の表面に延在するチタンシリサイド膜と、

前記チタンシリサイド膜の表面に沿って設けられた窒化チタン膜と、

前記コンタクトホールの内部において前記窒化チタン膜の上に埋め込まれた金属プラグと、で構成されたことを特徴とする半導体装置。

[請求項2]

前記コンタクトホールに連続して前記半導体基板のおもて面に設けられた所定深さのコンタクトトレンチを備え、

前記チタンシリサイド膜は、前記コンタクトホール側の側壁および前記コンタクトトレンチの内壁に沿って設けられていることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記チタンシリサイド膜の厚さは、前記コンタクトホール側の側壁から前記コンタクトトレンチの側壁にわたって一様であることを特徴とする請求項2に記載の半導体装置。

[請求項4] 前記層間絶縁膜は、前記半導体基板のおもて面に平行な方向に前記コンタクトトレンチから10nm以下の距離だけ離れて位置することを特徴とする請求項2に記載の半導体装置。

[請求項5] 前記チタンシリサイド膜は、前記層間絶縁膜の側面で終端し、前記第1電極は、前記層間絶縁膜の上面に、前記層間絶縁膜に接して設けられていることを特徴とする請求項1に記載の半導体装置。

[請求項6] 前記チタンシリサイド膜は、前記層間絶縁膜の表面の全面を覆い、前記第1電極は、前記チタンシリサイド膜および前記窒化チタン膜を介して前記層間絶縁膜の上面に設けられていることを特徴とする請求項1に記載の半導体装置。

[請求項7] 半導体基板のおもて面の表面領域に、前記半導体基板の内部の第1導電型の第1半導体領域に接する第2導電型の第2半導体領域を形成し、前記第2半導体領域と前記第1半導体領域とのpn接合を含む素子構造を形成する第1工程と、

前記半導体基板のおもて面に、前記素子構造を覆う層間絶縁膜を形成する第2工程と、

深さ方向に前記層間絶縁膜を貫通して前記半導体基板に達するコンタクトホールを形成する第3工程と、

前記コンタクトホールにおいて前記半導体基板に接するコンタクト構造を形成する第4工程と、

前記コンタクト構造を介して前記第2半導体領域に電氣的に接続された第1電極を形成する第5工程と、

前記第5工程の後、水素雰囲気での熱処理により、前記半導体基板の結晶ダメージを回復させる第1アニール工程と、

を含み、

前記第4工程は、

スパッタリングにより、前記層間絶縁膜の表面の全面を覆い、前記コンタクトホールにおいて前記半導体基板に接するチタンシリサイド膜を堆積する第1堆積工程と、

スパッタリングにより、前記チタンシリサイド膜の表面に窒化チタン膜を堆積する第2堆積工程と、

前記コンタクトホールの内部において前記窒化チタン膜の上に金属プラグを埋め込む第3堆積工程と、を含み、

前記チタンシリサイド膜、前記窒化チタン膜および前記金属プラグからなる前記コンタクト構造を形成することを特徴とする半導体装置の製造方法。

[請求項8] 前記第3工程の後、前記第4工程の前に、前記半導体基板のおもて面に、前記コンタクトホールに連続する所定深さのコンタクトトレンチを形成する第6工程を含み、

前記第1堆積工程では、前記層間絶縁膜の表面および前記コンタクトトレンチの内壁に沿って前記チタンシリサイド膜を形成することを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項9] 前記第6工程の後、前記第4工程の前に、前記層間絶縁膜を平坦化する第7工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

[請求項10] 前記第1堆積工程および前記第2堆積工程は、同一のスパッタリング装置を用いて連続して行うことを特徴とする請求項7に記載の半導体装置の製造方法。

- [請求項11] 前記第4工程は、前記金属プラグをマスクとして前記窒化チタン膜および前記チタンシリサイド膜をエッチバックして、前記層間絶縁膜の上面を露出させる除去工程をさらに含み、
- 前記第5工程では、前記層間絶縁膜の上面に、前記層間絶縁膜に接して前記第1電極を形成することを特徴とする請求項7に記載の半導体装置の製造方法。
- [請求項12] 300℃以下の温度雰囲気で行うことを特徴とする請求項7に記載の半導体装置の製造方法。
- [請求項13] 前記第1アニール工程の後、前記半導体基板に放射線を照射する照射工程と、
- 前記照射工程の後、水素雰囲気での熱処理により、前記pn接合で形成される寄生ダイオードを所定の逆回復特性に調整する第2アニール工程と、をさらに含むことを特徴とする請求項7に記載の半導体装置の製造方法。
- [請求項14] [追加] 前記チタンシリサイド膜は、堆積膜であることを特徴とする請求項1に記載の半導体装置。
- [請求項15] [追加] 300℃以下の温度雰囲気で行うことを特徴とする請求項7に記載の半導体装置の製造方法。

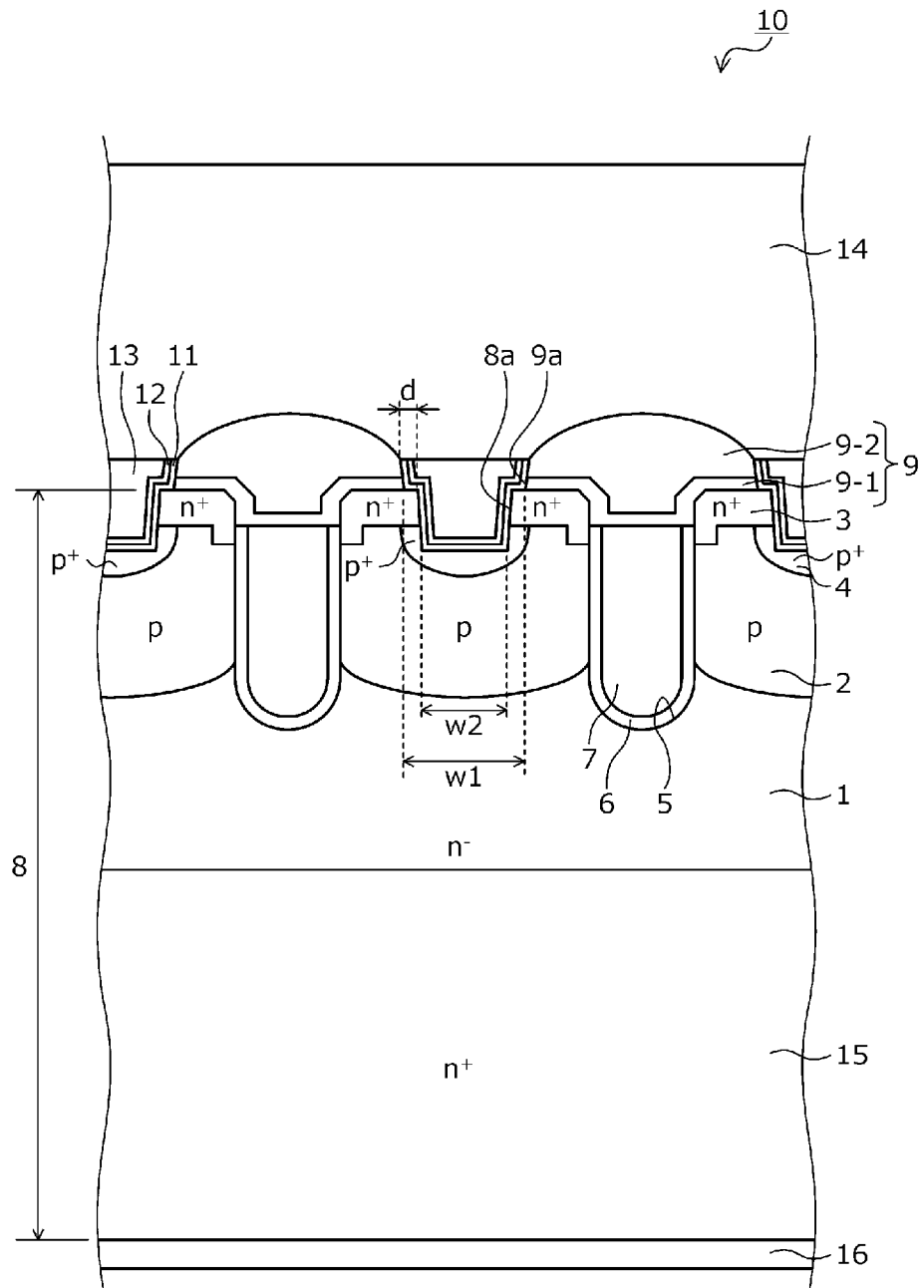
### 条約第19条(1)に基づく説明書

請求の範囲第1～13項は、出願時の請求の範囲第1～13項です。

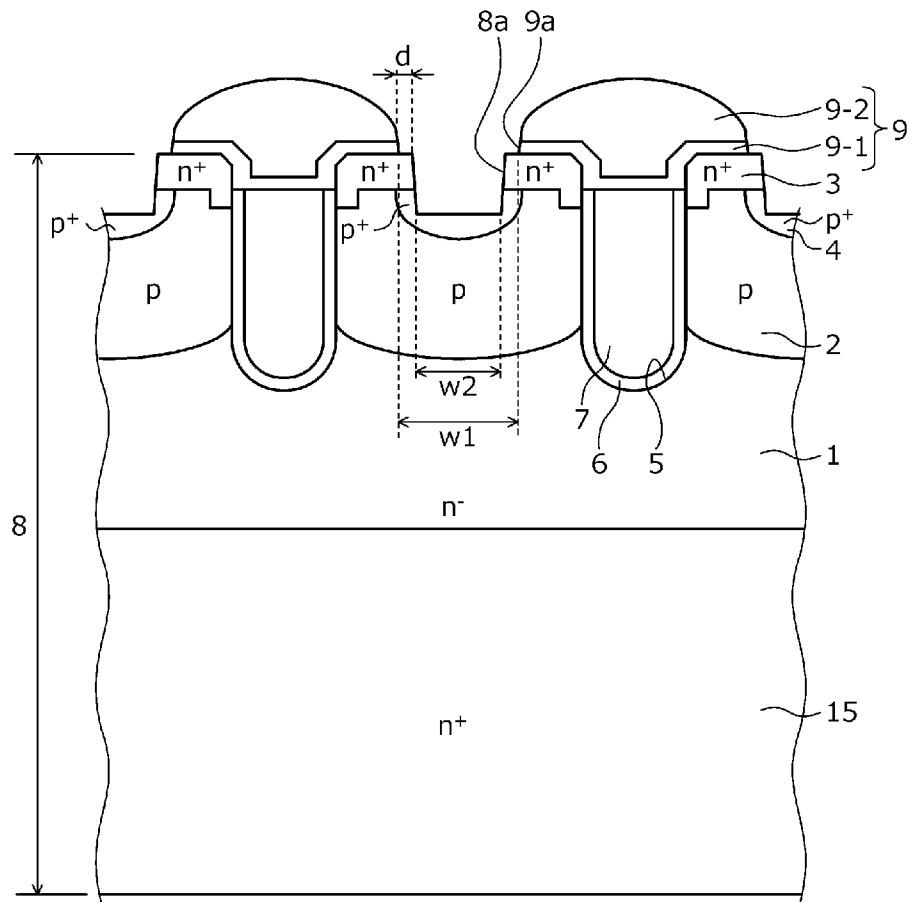
請求の範囲第14項は、出願時の明細書の段落[0059]，[0066]を根拠として追加しました。

請求の範囲第15項は、出願時の明細書の段落[0066]を根拠として追加しました。

[ 1 ]



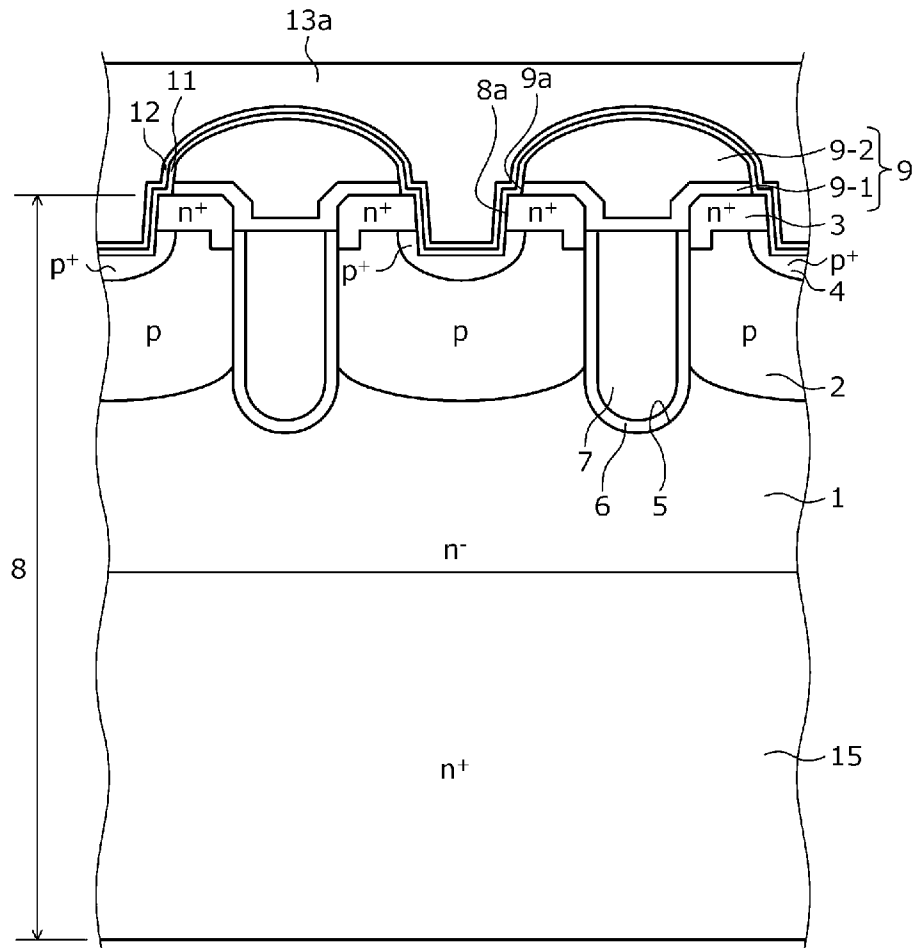
[ 2 ]



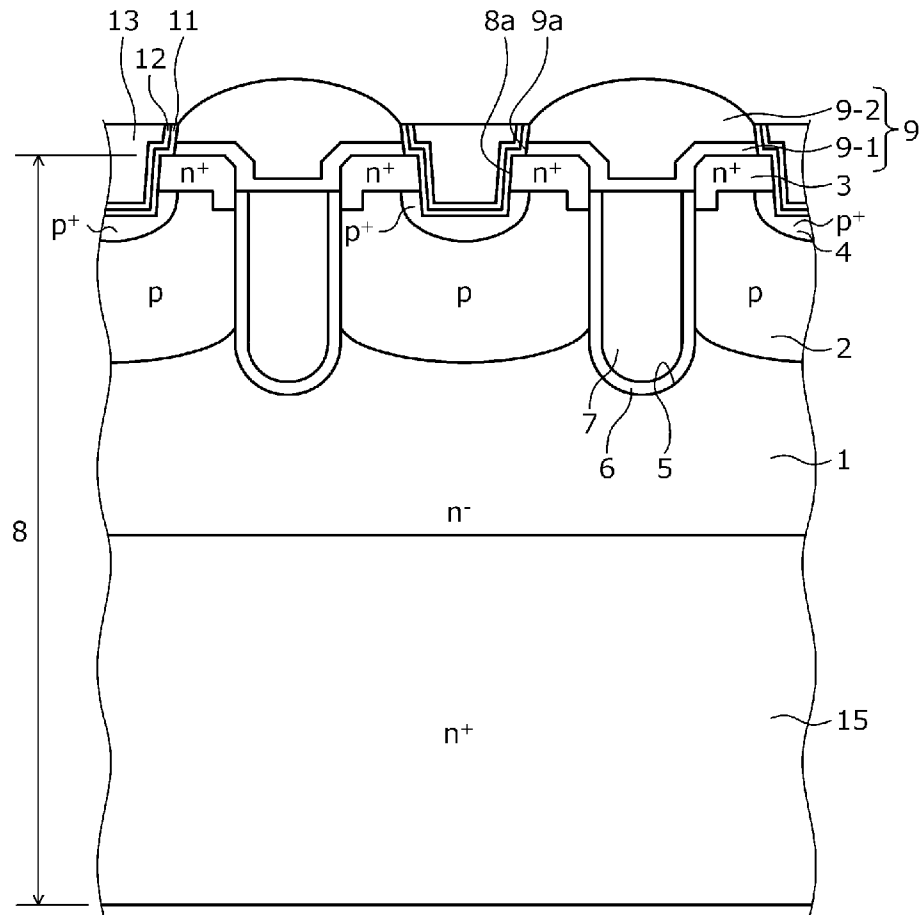




[ 5 ]

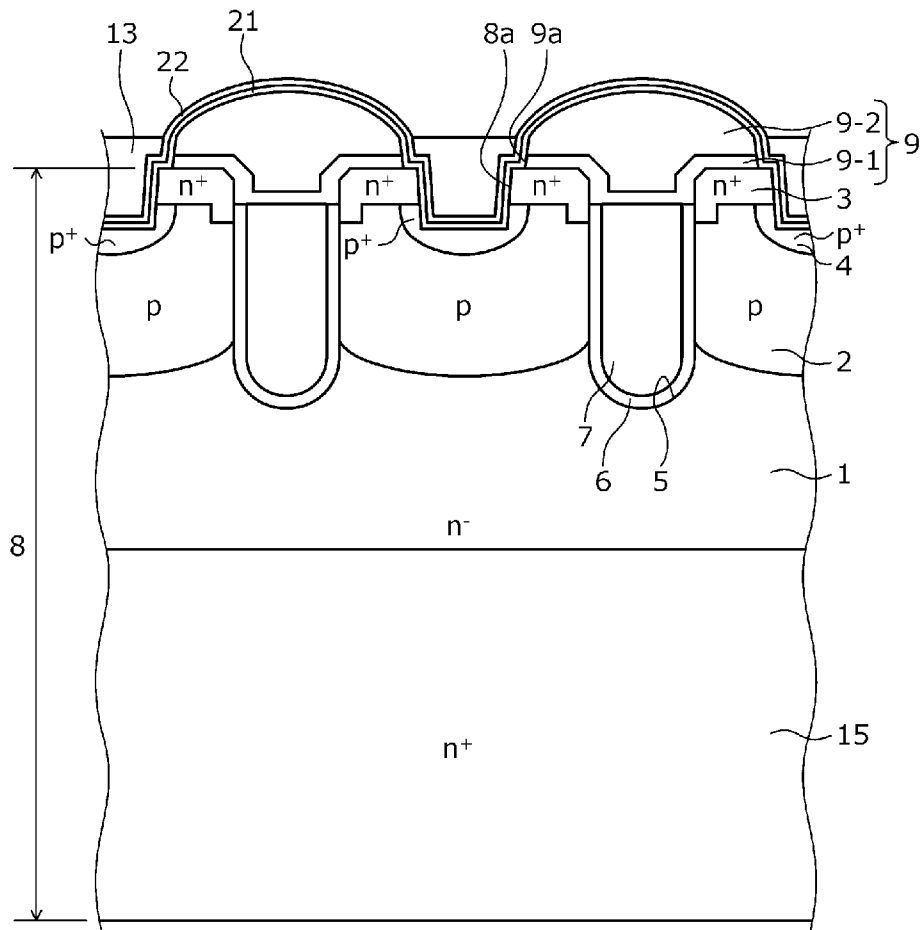


[ 6 ]

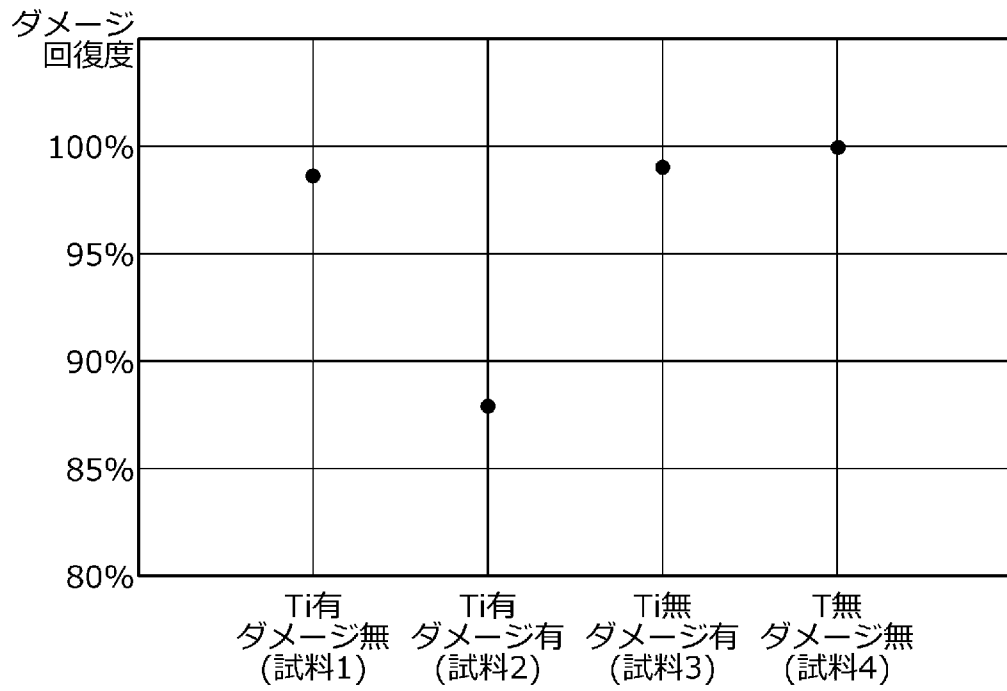




[ 8 ]

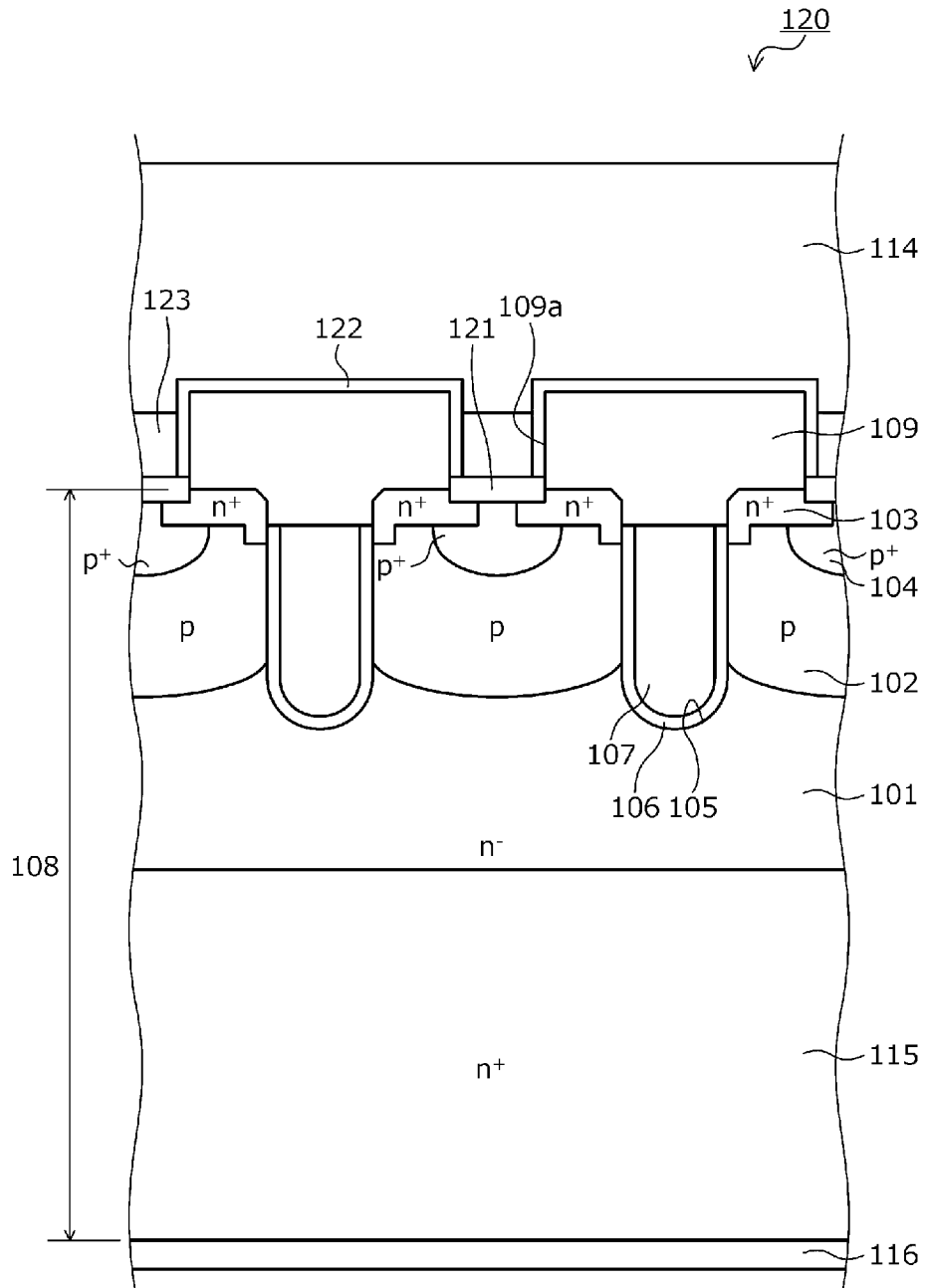


[ 図 9 ]

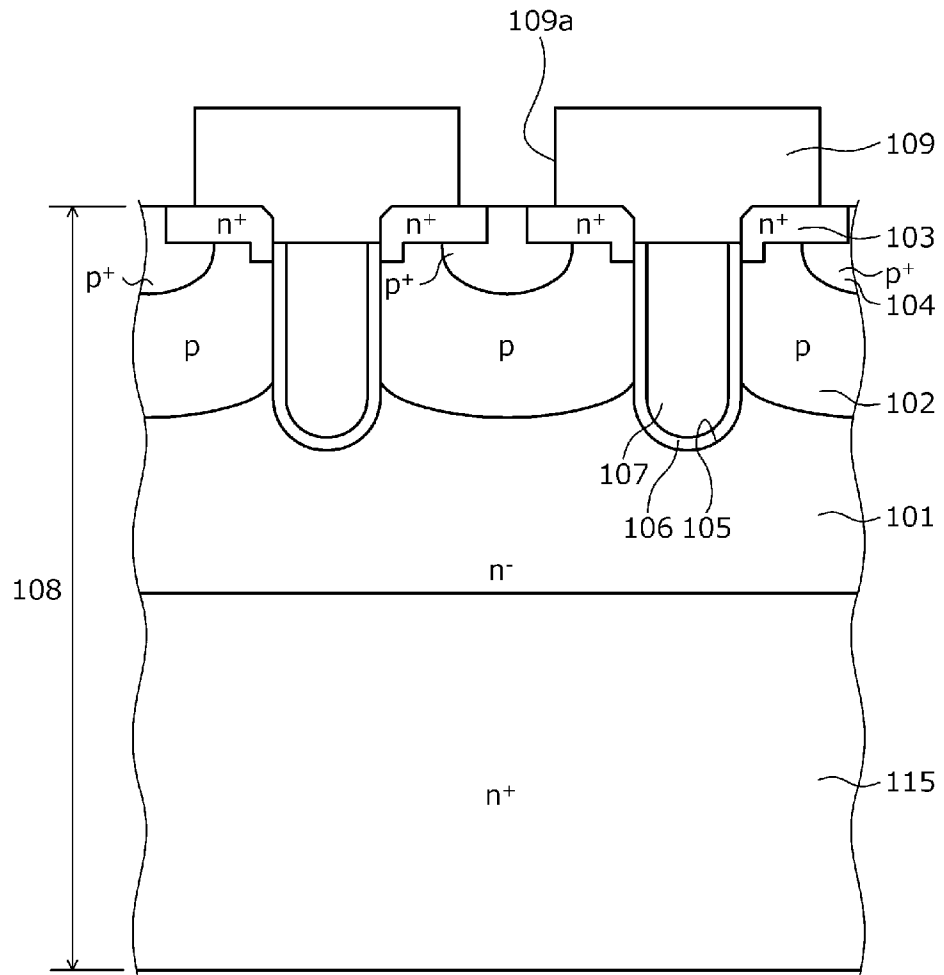




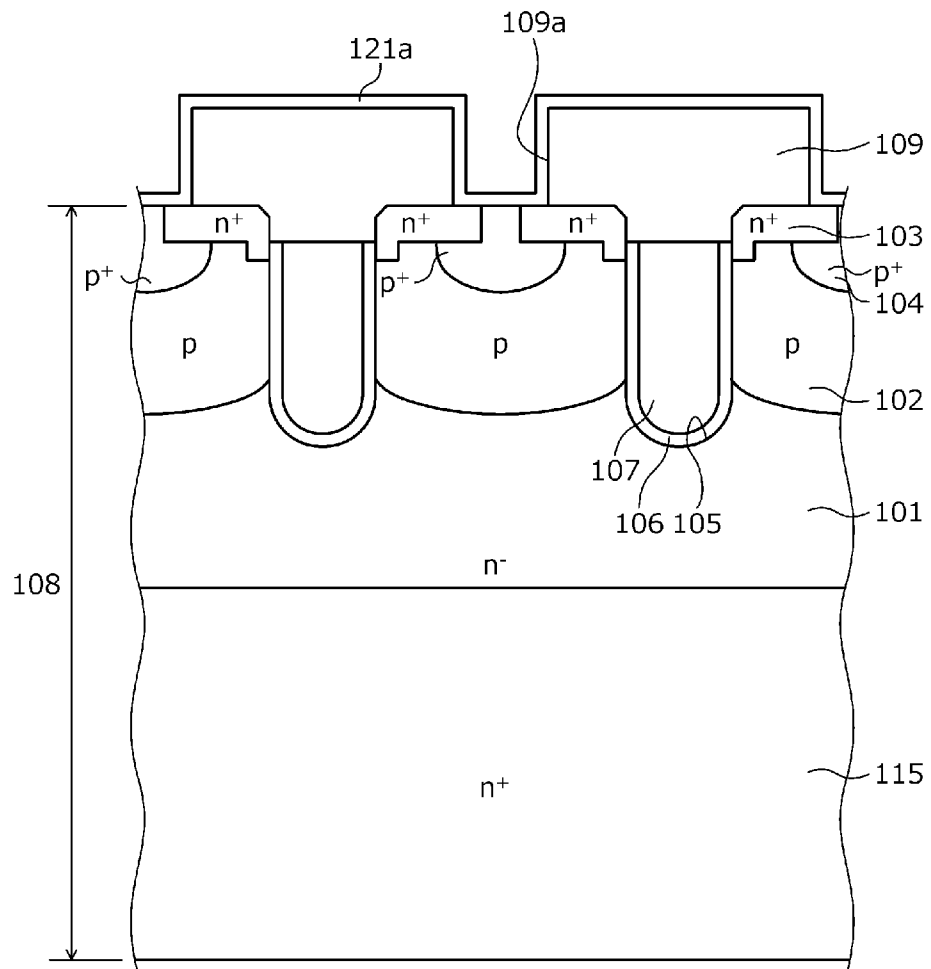
[ 11 ]



[ 12 ]



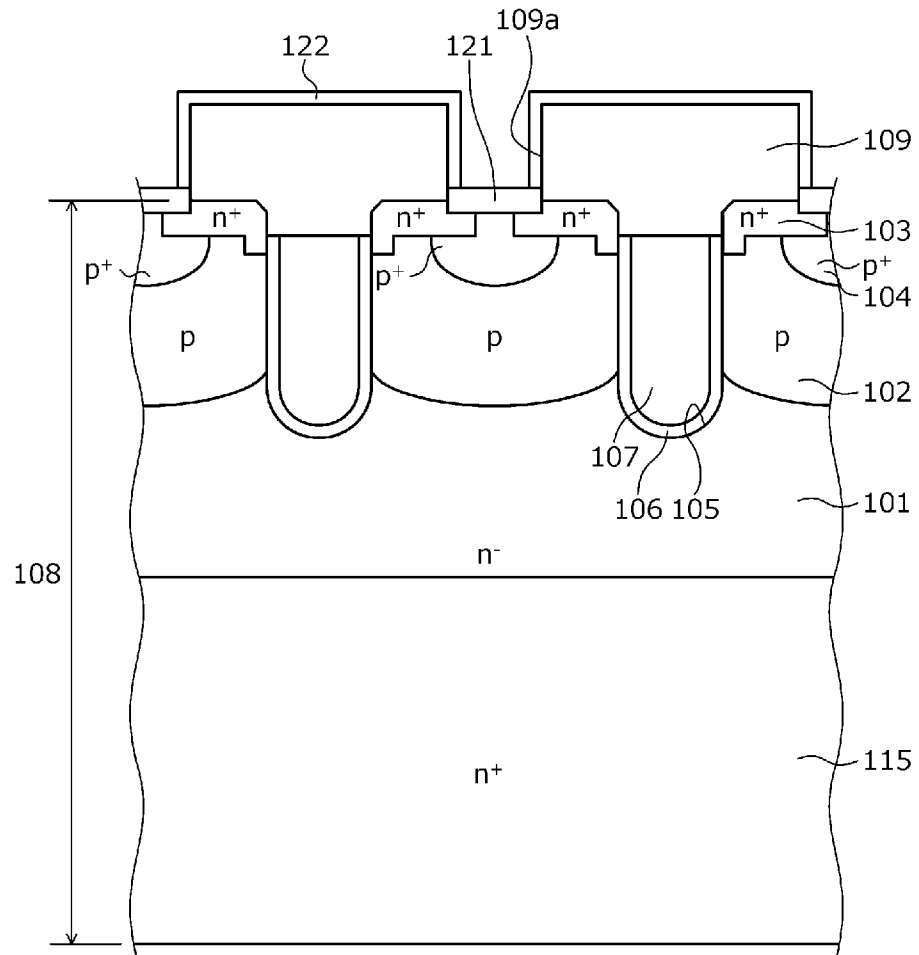
[ 13 ]





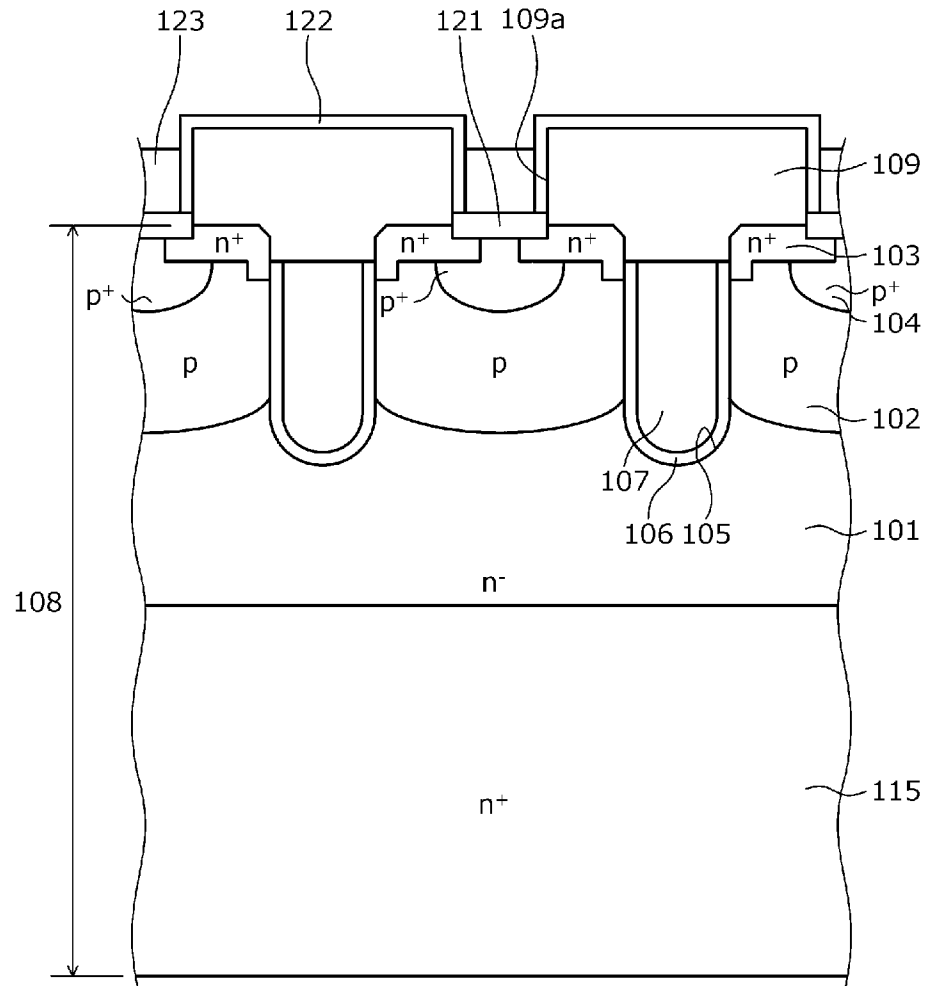


[ 16 ]





[ 18 ]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/041006

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>   |   |   |
|--|---|---|
| <i>H01L 29/78</i> (2006.01)i; <i>H01L 21/28</i> (2006.01)i; <i>H01L 21/263</i> (2006.01)i; <i>H01L 21/322</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 21/768</i> (2006.01)i; <i>H01L 23/522</i> (2006.01)i; <i>H01L 29/417</i> (2006.01)i   |   |   |
| FI: H01L29/78 652M; H01L21/90 D; H01L21/28 301S; H01L29/50 M; H01L29/78 653A; H01L29/78 658F; H01L29/78 658H; H01L21/322 L; H01L21/263 E   |   |   |
| According to International Patent Classification (IPC) or to both national classification and IPC  |   |   |
| <b>B. FIELDS SEARCHED</b>  |   |   |
| Minimum documentation searched (classification system followed by classification symbols)<br>H01L29/78; H01L21/28; H01L21/263; H01L21/322; H01L21/336; H01L21/768; H01L23/522; H01L29/417  |   |   |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2024<br>Registered utility model specifications of Japan 1996-2024<br>Published registered utility model applications of Japan 1994-2024  |   |   |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)   |   |   |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>  |   |   |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.   |
| X  | JP 2007-273931 A (TOSHIBA CORPORATION, TOSHIBA DISCRETE TECHNOLOGY CORPORATION) 18 October 2007 (2007-10-18)<br>paragraphs [0012]-[0018], [0083]-[0101], fig. 27-32 | 1-5   |
| Y  |   | 1-9   |
| A  |   | 10-13   |
| X  | WO 2022/244802 A1 (FUJI ELECTRIC CO., LTD.) 24 November 2022 (2022-11-24)<br>paragraphs [0121]-[0124], fig. 1-4, 11   | 1-5   |
| Y  |   | 1-9   |
| A  |   | 10-13   |
| Y  | JP 2003-318395 A (HITACHI, LTD.) 07 November 2003 (2003-11-07)<br>paragraphs [0011]-[0020], fig. 1-14   | 1-4, 6-9  |
| A  |   | 5, 10-13  |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.  |   |   |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"D" document cited by the applicant in the international application<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |   |   |
| Date of the actual completion of the international search<br><b>26 January 2024</b>  |   | Date of mailing of the international search report<br><b>06 February 2024</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)<br/>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915<br/>Japan</b>   |   | Authorized officer<br><br>Telephone No.                                       |

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/041006

| C. DOCUMENTS CONSIDERED TO BE RELEVANT |  |                       |
|--|--|-----------------------|
| Category*                              | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
| Y<br>A                                 | JP 2022-049608 A (TOSHIBA CORP, TOSHIBA ELECTRONIC DEVICES & STORAGE CORP.) 29 March 2022 (2022-03-29)<br>paragraphs [0049]-[0076], fig. 4-9 | 1-4, 6-9<br>5, 10-13  |
| Y<br>A                                 | JP 2007-324218 A (KABUSHIKI KAISHA TOSHIBA) 13 December 2007 (2007-12-13)<br>paragraph [0045], fig. 12                                       | 7-9<br>1-6, 10-13     |
| Y<br>A                                 | JP 2016-032016 A (NEC CORPORATION) 07 March 2016 (2016-03-07)<br>paragraph [0049], fig. 2  | 7-9<br>1-6, 10-13     |
| Y<br>A                                 | JP 2021-150407 A (FUJI ELECTRIC CO., LTD.) 27 September 2021 (2021-09-27)<br>paragraph [0069], fig. 1  | 9<br>1-8, 10-13       |
| Y<br>A                                 | JP 2021-185593 A (HITACHI POWER SEMICONDUCTOR DEVICE, LTD.) 09 December 2021 (2021-12-09)<br>paragraph [0050], fig. 7                        | 9<br>1-8, 10-13       |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/041006**

| Patent document cited in search report |             |    | Publication date (day/month/year) | Patent family member(s)   | Publication date (day/month/year) |
|--|-------------|----|-----------------------------------|---|-----------------------------------|
| JP                                     | 2007-273931 | A  | 18 October 2007                   | US 2007/0210350 A1<br>paragraphs [0064]-[0073],<br>[0163]-[0184], fig. 27-32                            |                                   |
| WO                                     | 2022/244802 | A1 | 24 November 2022                  | US 2023/0261097 A1<br>paragraphs [0126]-[0129], fig.<br>1-4, 11<br>DE 112022000141 T5<br>CN 116348995 A |                                   |
| JP                                     | 2003-318395 | A  | 07 November 2003                  | US 2003/0199156 A1<br>paragraphs [0035]-[0044], fig.<br>1-14<br>US 2005/0145899 A1                      |                                   |
| JP                                     | 2022-049608 | A  | 29 March 2022                     | US 2022/0085209 A1<br>paragraphs [0059]-[0086], fig.<br>4-9   |                                   |
| JP                                     | 2007-324218 | A  | 13 December 2007                  | (Family: none)  |                                   |
| JP                                     | 2016-032016 | A  | 07 March 2016                     | (Family: none)  |                                   |
| JP                                     | 2021-150407 | A  | 27 September 2021                 | US 2021/0296492 A1<br>paragraph [0077], fig. 1  |                                   |
| JP                                     | 2021-185593 | A  | 09 December 2021                  | US 2021/0367028 A1<br>paragraph [0058], fig. 7<br>EP 3916803 A1<br>CN 113725279 A                       |                                   |

| <p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/78(2006.01)i; H01L 21/28(2006.01)i; H01L 21/263(2006.01)i; H01L 21/322(2006.01)i;<br/>                 H01L 21/336(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 29/417(2006.01)i<br/>                 FI: H01L29/78 652M; H01L21/90 D; H01L21/28 301S; H01L29/50 M; H01L29/78 653A; H01L29/78 658F;<br/>                 H01L29/78 658H; H01L21/322 L; H01L21/263 E</p>  |   |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
|---|---|----------------|-----------------|-----------------------------------|----------------|--------------|---|--------------|-------------|--------------|-----|---|--|-------|---|---|-----|---|--|-----|---|--|-------|---|--|----------|---|--|----------|
| <p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/78; H01L21/28; H01L21/263; H01L21/322; H01L21/336; H01L21/768; H01L23/522; H01L29/417</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>  |   |                | 日本国実用新案公報       | 1922 - 1996年                      | 日本国公開実用新案公報    | 1971 - 2024年 | 日本国実用新案登録公報   | 1996 - 2024年 | 日本国登録実用新案公報 | 1994 - 2024年 |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| 日本国実用新案公報   | 1922 - 1996年  |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| 日本国公開実用新案公報   | 1971 - 2024年  |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| 日本国実用新案登録公報   | 1996 - 2024年  |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| 日本国登録実用新案公報   | 1994 - 2024年  |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| <p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の<br/>カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する<br/>請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2007-273931 A (株式会社東芝, 東芝ディスクリットテクノロジー株式会社)<br/>18.10.2007 (2007 - 10 - 18)<br/>段落0012-0018, 0083-0101, 図27-32</td> <td>1-5</td> </tr> <tr> <td>Y</td> <td></td> <td>1-9</td> </tr> <tr> <td>A</td> <td></td> <td>10-13</td> </tr> <tr> <td>X</td> <td>WO 2022/244802 A1 (富士電機株式会社) 24.11.2022 (2022 - 11 - 24)<br/>段落0121-0124, 図1-4, 11</td> <td>1-5</td> </tr> <tr> <td>Y</td> <td></td> <td>1-9</td> </tr> <tr> <td>A</td> <td></td> <td>10-13</td> </tr> <tr> <td>Y</td> <td>JP 2003-318395 A (株式会社日立製作所) 07.11.2003 (2003 - 11 - 07)<br/>段落0011-0020, 図1-14</td> <td>1-4, 6-9</td> </tr> <tr> <td>A</td> <td></td> <td>5, 10-13</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー<br/>                 “A” 特に関連のある文献ではなく、一般的技術水準を示すもの<br/>                 “D” 国際出願で出願人が先行技術文献として記載した文献<br/>                 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br/>                 “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br/>                 “O” 口頭による開示、使用、展示等に言及する文献<br/>                 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献<br/>                 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br/>                 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br/>                 “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br/>                 “&amp;” 同一パテントファミリー文献</p> |   |                | 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求項の番号 | X            | JP 2007-273931 A (株式会社東芝, 東芝ディスクリットテクノロジー株式会社)<br>18.10.2007 (2007 - 10 - 18)<br>段落0012-0018, 0083-0101, 図27-32 | 1-5          | Y           |              | 1-9 | A |  | 10-13 | X | WO 2022/244802 A1 (富士電機株式会社) 24.11.2022 (2022 - 11 - 24)<br>段落0121-0124, 図1-4, 11 | 1-5 | Y |  | 1-9 | A |  | 10-13 | Y | JP 2003-318395 A (株式会社日立製作所) 07.11.2003 (2003 - 11 - 07)<br>段落0011-0020, 図1-14 | 1-4, 6-9 | A |  | 5, 10-13 |
| 引用文献の<br>カテゴリー*   | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号 |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| X   | JP 2007-273931 A (株式会社東芝, 東芝ディスクリットテクノロジー株式会社)<br>18.10.2007 (2007 - 10 - 18)<br>段落0012-0018, 0083-0101, 図27-32 | 1-5            |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| Y   |   | 1-9            |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| A   |   | 10-13          |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| X   | WO 2022/244802 A1 (富士電機株式会社) 24.11.2022 (2022 - 11 - 24)<br>段落0121-0124, 図1-4, 11                               | 1-5            |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| Y   |   | 1-9            |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| A   |   | 10-13          |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| Y   | JP 2003-318395 A (株式会社日立製作所) 07.11.2003 (2003 - 11 - 07)<br>段落0011-0020, 図1-14                                  | 1-4, 6-9       |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| A   |   | 5, 10-13       |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| <p>国際調査を完了した日</p> <p>26.01.2024</p>   | <p>国際調査報告の発送日</p> <p>06.02.2024</p>   |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |
| <p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)<br/>〒100-8915<br/>日本国<br/>東京都千代田区霞が関三丁目4番3号</p>  | <p>権限のある職員（特許庁審査官）</p> <p>恩田 和彦 5F 5896</p> <p>電話番号 03-3581-1101 内線 3516</p>                                    |                |                 |                                   |                |              |   |              |             |              |     |   |  |       |   |   |     |   |  |     |   |  |       |   |  |          |   |  |          |

| C. 関連すると認められる文献 |   |                          |
|-----------------|---|--------------------------|
| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号           |
| Y<br>A          | JP 2022-049608 A (株式会社東芝, 東芝デバイス&ストレージ株式会社) 29.03.2022<br>(2022 - 03 - 29)<br>段落0049-0076, 図4-9 | 1-4, 6-9<br><br>5, 10-13 |
| Y<br>A          | JP 2007-324218 A (株式会社東芝) 13.12.2007 (2007 - 12 - 13)<br>段落0045, 図12                            | 7-9<br><br>1-6, 10-13    |
| Y<br>A          | JP 2016-032016 A (日本電気株式会社) 07.03.2016 (2016 - 03 - 07)<br>段落0049, 図2                           | 7-9<br><br>1-6, 10-13    |
| Y<br>A          | JP 2021-150407 A (富士電機株式会社) 27.09.2021 (2021 - 09 - 27)<br>段落0069, 図1                           | 9<br><br>1-8, 10-13      |
| Y<br>A          | JP 2021-185593 A (株式会社 日立パワーデバイス) 09.12.2021 (2021 - 12 - 09)<br>段落0050, 図7                     | 9<br><br>1-8, 10-13      |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/041006

| 引用文献              | 公表日        | パテントファミリー文献   | 公表日 |
|-------------------|------------|---|-----|
| JP 2007-273931 A  | 18.10.2007 | US 2007/0210350 A1<br>段落0064-0073, 0163-0184,<br>図27-32                             |     |
| WO 2022/244802 A1 | 24.11.2022 | US 2023/0261097 A1<br>段落0126-0129, 図1-4, 11<br>DE 112022000141 T5<br>CN 116348995 A |     |
| JP 2003-318395 A  | 07.11.2003 | US 2003/0199156 A1<br>段落0035-0044, 図1-14<br>US 2005/0145899 A1                      |     |
| JP 2022-049608 A  | 29.03.2022 | US 2022/0085209 A1<br>段落0059-0086, 図4-9   |     |
| JP 2007-324218 A  | 13.12.2007 | (ファミリーなし)   |     |
| JP 2016-032016 A  | 07.03.2016 | (ファミリーなし)   |     |
| JP 2021-150407 A  | 27.09.2021 | US 2021/0296492 A1<br>段落0077, 図1  |     |
| JP 2021-185593 A  | 09.12.2021 | US 2021/0367028 A1<br>段落0058, 図7<br>EP 3916803 A1<br>CN 113725279 A                 |     |