

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ G11C 8/00		(45) 공고일자 1996년07월 16일	
		(11) 공고번호 특1996-0009248	
		(24) 등록일자 1996년07월 16일	
(21) 출원번호	특1993-0004252	(65) 공개번호	특1999-1000001
(22) 출원일자	1993년03월 19일	(43) 공개일자	1999년01월01일
(30) 우선권주장	92-063844 1992년03월 19일	일본(JP)	
(73) 특허권자	가부시기가이샤 도시바 사또오 후미오		
(72) 발명자	일본국 가나가와켄 가와사키시 사이와이쿠 호리가오 초오 72 토다 하루키		
(74) 대리인	일본국 가나가와켄 가와사키시 사이와이쿠 호리가오 초오 580-1 가부시기가이샤 도시바 반도체 시스템 기술센타내 쿠야마 히토시 일본국 가나가와켄 가와사키시 사이와이쿠 호리가오 초오 580-1 가부시기가이샤 도시바 반도체 시스템 기술센타내 나영환		

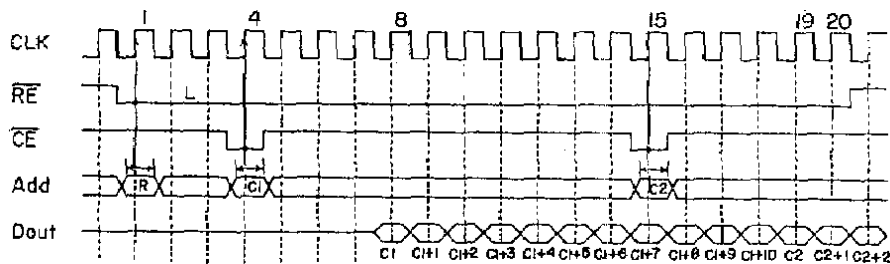
심사관 : 이해평 (책자공보 제4546호)

(54) 클럭 동기형 반도체 기억장치 및 그 액세스 방법

요약

내용없음

대표도



명세서

[발명의 명칭]

클럭 동기형 반도체 기억장치 및 그 액세스 방법

[도면의 간단한 설명]

제1도는 종래의 클럭 동기형 반도체 장치의 클럭 동기 동작을 도시하는 외부 신호 파형도.

제2도는 본 발명의 실시예인 액세스 방법에 관한 클럭 동기형 반도체 장치의 어드레스 취입 비동기형의 클럭 동기 방식의 외부 신호 파형도.

제3도는 정상 DRAM 모드와 본 제안의 클럭 동기 모드를 전환하기 위한 외부 신호 파형의 예시도.

제4도는 정상 DRAM 모드와 종래의 클럭 동기 모드를 전환하기 위한 외부신호 파형의 예시도.

제5도는 동일 메모리내에서 내부 동작에 사용하는 클럭 사이클수의 변경의 경우의 외부 파형의 비교도.

제6도는 제1도~제4도의 액세스를 실행하는 반도체 기억장치의 구성도.

제7도는 내부 회로 구동 신호의 클럭 동기 지연 회로도.

제8도는 지연 신호 선택 스위치 회로도.

제9도는 퓨즈용단 상태 신호 발생 회로도.

제10도는 지연 신호 선택 스위치 회로 구동 신호의 발생 회로도.

제11도는 제8도의 각 지연 신호의 기본 클럭과의 관계를 도시하는 파형도

* 도면의 주요부분에 대한 부호의 설명

CLK : 기본 클럭 신호	\overline{RE} : 행(行) 인에이블 신호
\overline{CE} : 열(列) 인에이블 신호	Add : 어드레스 신호
\overline{SYNC} : 제2의 제어신호	D _{out} : 출력신호
4 : 데이터 입출력부	5 : 계수부
10 : 클럭 동기형 반도체 기억장치	11 : 기억셀
12 : 선택부	13 : 지정부
14 : 제어부	

[발명의 상세한 설명]

본 발명은 기본 클럭 신호에 동기하여 동작하는 클럭 동기형 반도체 기억장치 및 그 액세스 방법에 관한 것으로, 특히 기본 클럭 신호에 동기한 어드레스의 설정 및 기본 클럭 신호의 주파수가 높은 경우에도 확실히 데이터 액세스를 위한 어드레스의 설정이 가능한 클럭 동기형 반도체 기억장치 및 그 액세스 방법에 관한 것이다.

종래에 기본 클럭 신호에 동기하여 메모리 액세스의 동작을 제어하는 기본적인 방식에 관해서 필자는 이전에 제안한 특원평 3-255354에 있어서 외부 제어신호에 의한 메모리 액세스의 제어 방식에 대한 몇개의 방법을 제시했으나, 기본 클럭 신호(CLK)와 외부 제어신호의 동기를 취하는 방법 및 이들의 제어신호에 대한 어드레스 신호등의 구체적인 설정 타이밍에 대해서는 아무런 기재도 없었다. 또 종래의 클럭 동기형 반도체 기억장치에서는 기본 클럭 신호의 주기가 짧은 경우 등에 있어서는 특히 안정된 데이터 액세스를 실행하기가 어렵다는 문제가 있었다.

본 발명은 데이터 출력등에 있어서 어드레스 설정의 타이밍을 기본 클럭 신호와 외부로부터 공급되는 제어신호를 동기시켜서 실행하는 클럭 동기형 반도체 장치 및 그 액세스 방법을 제공한다.

또, 시스템의 기본 사이클이 짧은 경우, 긴 경우에 대하여 액세스의 대상인 어드레스의 설정이 용이한 클럭 동기형 반도체 기억(메모리)장치 및 그 액세스 방법을 제공한다. 또 메모리가 장치되는 시스템의 기본 사이클의 장단에 따라서 내부 동작을 전환 설정할 수 있는 기능을 가지는 클럭 동기형 반도체 기억장치를 제공하는 것을 목적으로 한다.

상기한 종래의 과제를 해결하기 위하여 본 발명의 특허청구의 범위 제1항에 기재된 클럭 동기형 반도체 기억장치의 액세스 방법은, 외부로부터 연속적으로 공급되는 클럭 신호에 동기하여 데이터 액세스를 실시하는 클럭 동기형 반도체 기억장치에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭 신호 이외의 적어도 1종류 이상으로 구성되는 제어신호의 레벨이 소정 레벨로 유지되는 상기 클럭 신호의 사이클에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 개시 어드레스가 설정된후부터 카운트해서 상기 클럭 신호의 특정번째의 사이클로부터 개시되는 것을 특징으로 한다.

또, 특허청구의 범위 제2항에 기재된 클럭 동기형 반도체 기억장치의 액세스 방법은 외부로부터 연속해서 공급되는 클럭 신호에 동기하여 데이터 액세스를 행하는 클럭 동기형 반도체 기억장치에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭 신호 이외의 최소한 1종류 이상으로 구성되는 제1제어신호의 레벨이 소정 레벨로 유지되는 상태에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터의 출력은 상기 반도체 기억장치에 공급되는 제 2 제어신호가 소정 레벨로 유지된 후부터 카운트해서 상기 클럭 신호의 특정번째의 사이클로부터 개시되는 것을 특징으로 한다.

또, 특허청구의 범위 제3항에 기재된 클럭 동기형 반도체 기억장치의 액세스 방법은 외부로부터 연속해서 공급되는 클럭 신호에 동기하여 데이터 액세스가 가능한 클럭 동기형 반도체 기억장치에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭 신호 이외의 적어도 1종류 이상으로 구성되는 제1제어신호의 레벨이 소정 레벨로 유지되는 상태에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 제1제어신호에 의하여 상기 데이터 액세스를 위한 개시 어드레스가 설정되기 이전에 상기 반도체 기억장치에 공급되는 외부로부터의 제어에 의하여 이하에 설명하는 2종류 방법(A, B)중 어느 한쪽의 액세스 방법이 선택되고, 개시되는 클럭 동기형 반도체 기억장치의 액세스 방법인 것을 특징으로 한다.

(A) 상기 설정된 개시 어드레스로부터의 데이터의 출력이 상기 개시 어드레스가 설정된 직후부터 개시되는 액세스 방법.

(B) 상기 설정된 개시 어드레스로부터의 데이터 출력이 클럭 신호 동기의 데이터 출력이고, 상기 반도체 기억장치에 공급되는 제2제어신호가 소정 레벨로 유지된후부터 카운트해서 상기 클럭 신호의 소정번째의 사이클로부터 개시되는 액세스 방법.

또, 특허청구의 범위 제4항에 기재된 클럭 동기형 반도체 기억장치의 액세스 방법은 외부로부터 연속적으로 공급되는 클럭 신호에 동기하여 데이터 액세스가 가능한 클럭 동기형 반도체 기억장치에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭 신호 이외의 적어도 1종류 이상으로 구성되는 제1제어신호의 레벨이 소정 레벨로 유지되는 상태에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 제1제어신호에 의하여 상기 데이터 액세스를 위한 개시 어드레스가 설정되기 이전에 상기 반도체 기억장치에 공급되는 외부로부터의 제어에 의하여 이하에 제시하는 2종류의 방법(A, B)중 어느 한쪽의 액세스 방법이 선택되고 개시되는

클럭 동기형 반도체 기억장치의 액세스 방법인 것을 특징으로 한다.

(A) 상기 설정된 개시 어드레스로부터의 데이터 출력이 상기 개시 어드레스가 설정된 직후부터 개시되는 액세스 방법.

(B) 상기 설정된 개시 어드레스로부터의 데이터 출력이 클럭 신호 동기의 데이터 출력이고, 상기 개시 어드레스가 설정된 후부터 카운터해서 상기 클럭 신호의 소정번째의 사이클로부터 개시되는 액세스 방법.

또, 특허청구의 범위 제5항에 기재된 클럭 동기형 반도체 기억장치는, 복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭 신호의 사이클 수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭 신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하고, 상기 제어신호의 레벨이 소정의 레벨 상태로 되고, 또 상기 기본 클럭 신호에 동기하여 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 행하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단을 구비하고, 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력의 개시는 상기 제어수단에 의하여 개시 어드레스가 설정된 후부터 상기 계수 수단에 의하여 상기 기본 클럭 신호를 소정수 카운트한 후에 개시되는 것을 특징으로 한다.

또, 특허청구의 범위 제6항에 기재된 클럭 동기형 반도체 기억장치는, 복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭 신호의 사이클수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭 신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하고, 제1제어신호의 레벨이 소정 레벨의 상태로 되면 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 실시하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단을 구비하고, 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력의 개시는 외부로부터 공급되는 상기 제어신호중의 제2제어신호가 소정 레벨로 된 후부터 상기 계수 수단에 의하여 상기 기본 클럭 신호를 소정수 카운트한 후에 개시되는 것을 특징으로 한다.

또, 특허청구의 범위 제7항에 기재된 클럭 동기형 반도체 기억장치는 복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭 신호의 사이클 수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭 신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하여 상기 제어신호중의 제1제어신호의 레벨이 소정 레벨의 상태로 되면 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 실행하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단과, 상기 제어신호중 제2제어신호의 레벨에 의하여 이하의 2개의 동작(A, B)중 어느 한쪽을 선택하는 선택수단을 가지는 클럭 동기형 반도체 기억장치인 것을 특징으로 한다.

(A) 상기 데이터의 입출력수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 직후부터 개시되는 동작.

(B) 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 후, 상기 계수 수단에 의하여 상기 기본 클럭 신호를 소정수 카운트한 후에 개시되는 동작.

또, 특허청구의 범위 제8항에 기재된 클럭 동기형 반도체 기억장치는 복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭 신호의 사이클 수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭 신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하여 상기 제어신호중 제1제어신호의 레벨이 소정 레벨의 상태로 되면 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 행하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단과, 상기 제어신호중 제2제어신호의 레벨에 의하여 이하의 2개 동작(A, B)중 어느 한쪽을 선택하는 선택수단을 가지는 클럭 동기형 반도체 기억장치인 것을 특징으로 한다.

(A) 상기 데이터의 입출력수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 후부터 개시되는 동작.

(B) 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 입출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 후에 상기 제2제어신호의 레벨이 소정 레벨로 된 후부터 상기 계수 수단에 의하여 상기 기본 클럭 신호를 소정수 카운트한 후에 개시되는 동작.

상기한 본 발명의 클럭 동기형 반도체 기억장치 및 그 액세스 방법에서는 액세스 대상의 어드레스 설정의 타이밍에 관해서 행어드레스 제어신호, 열어드레스 제어신호에 대하여 기본 클럭 신호에 동기하여 어드레스를 설정하고 그후 상기 클럭 신호의 특정번째의 사이클로부터 데이터 출력을 개시한다.

또, 액세스 대상의 어드레스 설정의 타이밍에 관해서 행어드레스 제어신호, 열어드레스 제어신호에 대하여 어드레스를 설정하고, 액세스의 개시를 제어하는 제2제어신호를 입력하고, 이 제2제어신호의 레벨변화에 의하여 기본 클럭 신호에 동기한 데이터 출력을 개시한다.

또, 새로운 행액세스의 개시마다 그 행사이클의 액세스 방식을 선택한다.

또한, 내부동작에 필요한 사이클수를 고정하지 않고 필요에 따라서 변경한다.

(실시예)

이하 본 발명의 실시예를 도면을 참조하여 설명한다. 제1도는 본 발명의 제1실시예로서의 액세스 방법을 도시한 타이밍도이다.

기본 클럭 신호(CLK)의 천이(遷移)에 대하여 외부 제어신호를 동기시켜 어드레스를 설정하는 방식은 기본 클럭 신호(CLK)에 동기해서 회로동작을 하는 기본적인 시스템 구성상으로 보아도 데이터 액세스 동작을

안정적으로 실행시키기 위해서는 효과적인 방법으로 생각된다. 이 하나의 제1도의 타이밍도를 사용하여 설명한다.

제1도의 타이밍도에 있어서는 기본 클럭 신호(CLK)의 상승 천이에 대하여 모든신호가 설정된다. 예를들어 외부로부터 공급되는 제어신호인 행인에이블신호 \overline{RE} 가 L로 된 최초의 CLK 사이클(CLK1)이며, 메모리 셀 어레이의 행을 지정하는 이른바 행어드레스가 취입된다. 따라서 이 어드레스 상태의 설정은 제1도에 도시된 바와같이 기본 클럭 신호(CLK)의 상승을 기준으로 규정된다. 동일하게 메모리 셀 어레이의 열을 지정하는 열 어드레스는 외부로부터 공급되는 제어신호 \overline{CE} 가 L인 CLK 사이클(CLK4)의 CLK 상승 천이를 기준으로 하여 도시된 바와같이 규정된다. 데이터 출력의 동작은 예를 들어 3사이클에서 일련의 액세스 동작을 행하고 4사이클째(CLK8)에서 데이터(D1)가 칩밖으로 출력된다. 연속 출력의 도중에서 열어드레스를 변경하기 위해서는 제어신호 \overline{CE} 가 L인 사이클을 만들어 그 상태에서 기본 클럭 신호(CLK)의 상승(CLK15)의 천이시에 대하여 열어드레스를 동일하게 설정한다. 그 설정의 4사이클후 (CLK19)로부터 새로운 열어드레스의 데이터를 선두로 하여 미리 결정된 순서의 어드레스의 데이터(C2, C2+1, C2+2, ...)가 연속 출력된다.

그런데 기본 클럭 신호(CLK)의 주기가 짧은 경우 예를 들어, 10ns 정도가 될 경우를 생각한다. 이 경우 이 기본 클럭 신호에 동기해서 어떤 1개의 사이클로 어드레스의 설정을 하기 위하여 어드레스 신호의 상태를 유지하는 세트업이나 홀드의 시간을 기본 클럭 신호(CLK)의 1사이클의 상승천이 등을 기준으로 하여 확실히 설정하는 것이 곤란해진다. 즉 다음의 사이클에서 카운트하여 특정의 사이클을 선택하고, 또한 그 사이클내에 어드레스의 설정을 행하기가 곤란해진다. 또 회로동작적으로도 어떤 사이클을 특정하여 그 사이클내에 어드레스 등의 신호를 확실히 취입하는 것은 기본 클럭 신호(CLK)의 주기가 짧아지게 되면 안정되고 확실히 우수한 신뢰성으로 회로를 동작시키기가 어려워진다. 이것은 시스템측, 칩측의 쌍방에 대하여 엄한 타이밍의 제어를 할 필요가 있고 이것을 실현하기 위해서도 복잡한 회로설계를 실행해야 한다.

또, 기본 클럭 신호(CLK)의 주기가 긴 시스템의 경우 메모리 칩이 항상 열어드레스의 설정 사이클에서 특정번째의 사이클, 예를 들어 4사이클째에서 내부의 동작을 실행한다고 하면 새로 설정된 열어드레스로부터의 액세스하는 경우에 있어서 선두의 액세스까지는 많은 액세스시간이 필요하다. 이와같이 기본 클럭 신호에 의한 동작 방식이 일정 즉 불변이면 시스템의 사이클시간이 어느정도 고정되기 때문에 액세스를 효율적으로 이용하는 그러한 범위의 시스템에 응용하기가 곤란하다. 이 문제를 해결하기 위한 액세스 방법을 제2실시예로서 이하에 설명한다.

제1실시예의 마지막에 설명한 바와같이 사이클 시간이 짧고 이 기본 클럭 신호(CLK)에 동기해서 1사이클로 어드레스를 설정하기가 곤란한 경우가 발생했을 경우 이것을 회피하는 하나의 방법이 제2도에 도시한 본 발명의 제2실시예이다. 상기 제2도에 있어서 우선 \overline{RE} 가 L가 되면(CLK1의 직전) 어드레스 취입의 동작이 액티브가 된다. 그러나 이때는 기본 클럭 신호(CLK)에 동기한 반도체 기억장치(메모리) 내부에서의 액세스 동작은 아직 기동이 안된다. 이 어드레스의 취입은 종래의 DRAM에 의한 설정과 동일하고, 어드레스의 설정에는 특별히 곤란한 점은 없다. 즉 기본 클럭 신호(CLK)의 타이밍에 동기하지 않고 어드레스의 취입을 할 수 있다. 이와같이 제1의 제어신호 \overline{RE} 와 \overline{CE} 에 의하여 어드레스를 설정하고, 기본 클럭신호(CLK)에 동기하여 메모리에 취입된 어드레스의 대한 실제의 데이터 액세스는 외부로부터의 제2제어신호로서의 신호 \overline{SYNC} 에 의하여 개시한다. CLK의 상승 천이시 \overline{SYNC} 가 L이면 (CLK4) 그 사이클로부터 동기 모드가 되고 기본 클럭에 동기하여 내부의 액세스 동작이 진행된다. 이것에 의하여 동기 동작을 개시(CLK4)하고 나서 이 실시예에서는 4사이클째(CLK8)에서 데이터(C1)가 처음으로 외부에 출력된다. 액세스의 도중에서 열어드레스를 변경하기 위해서는 \overline{SYNC} 를 H로 하여 (CLK12), 새로 열어드레스(C2)를 기본 클럭에 비동기로 취입하도록 하여 \overline{CE} 의 하강(CLK12)에 대하여 어드레스를 설정하고 취입한 다음 \overline{SYNC} 를 재차 L로 하여 (CLK15)이 새로운 어드레스에서의 동기 액세스를 개시한다. (제2도에서는 CLK15로부터 새로운 열어드레스의 액세스가 시작되고 4사이클 후의 CLK19로부터 어드레스 C1에서 C2로 전환된다.)

이와같은 생각을 확장하면 행어드레스를 설정하는 사이클마다 동작 모드를 설정할 수 있는 메모리를 만들 수 있다. 이 경우의 동작 모드는 데이터의 출력 타이밍을 말하고 종래의 DRAM과 같이 어드레스의 설정후 데이터의 출력이 개시되는 모드(이후 정상 모드로 기재)와 본 발명과 같이 어드레스 설정후 클럭 신호에 따라서 데이터 출력이 행해지는 동기 액세스 모드(이후 동기 모드로 기재)를 말한다.

이들 2종류의 모드전환의 방식을 도시한 것이 제3도와 제4도이다. 제3도에서는 종래의 정상 모드와 제2도에 도시한 제2실시예에서 설명한 본 발명의 동기 모드를 전환하는 방식을 도시한다. 전환을 위한 제어 신호는 \overline{SYNC} 를 사용하고 이 제어신호 \overline{SYNC} 가 예를 들어 제어신호 \overline{RE} 가 하강될때(CLK1)에 L이면 정상 모EM, H이면 어드레스 취입에 관해서는 정상과 동일하나, \overline{SYNC} 가 하강함으로써 (CLK31) 동기 모드가 되는 방식의 예이다.

제4도는 종래의 정상 모드와 제1도에 도시된 제1실시예의 동기 모드의 전환의 경우를 도시한 것이다. 이 경우 예를 들어 제어신호 \overline{SYNC} 를 이용한다고 \overline{RE} 가 하강될때 (CLK1)의 \overline{SYNC} 의 상태에서 종래의 정상 모드가 되느냐 동기 모드가 되느냐를 결정하도록 한다. 상기 도면에서는 \overline{SYNC} 가 H일때 정상모드, \overline{SYNC} 가 L일때 (CLK22) 동기 모드가 되고, 제어신호 \overline{RE} 가 L가 되어 최초의 CLK로부터 (CLK23)동기 동작을 시작한다. 이 모드의 전환은 \overline{SYNC} 를 사용하지 않아도 모드 설정의 사이클을 별도로 설치하여 행해도 되는 것은 명백하다.

이상 어느 경우에 있어서도 종래의 정상 모드와 본 발명의 동기 모드를 동일 메모리내에서 시분할로 실현

할 수 있으므로 예를 들어 랜덤 액세스와 고속의 연속 액세스를 동일 시스템으로 필요로 하는 경우에 유효하다.

다음에 시스템의 기본 클럭 신호 CLK가 반드시 최고속으로 발생되지 않는 경우에 대하여 설명한다. 사이클 타임 10ns에서 효율적인 메모리의 동기적인 제어도 사이클 타임이 20ns이고 메모리내의 동작이 불변이면, 열어드레스 설정후의 최초의 액세스는 배의 시간이 필요하고 메모리내의 동작도 시간여유가 커져서 동작이 쉬고 있는 시간이 많아진다. 이것을 회피하고 메모리의 효율적 동작을 달성하기 위해서는 사용되는 기본 클럭 신호 CLK의 장단에 따라서 내부 동작의 사이클을 변경할 수 있도록 하는 것이 좋다.

제5도는 그와 같은 기능을 가지는 액세스 타이밍 방법의 일례를 도시한 타이밍도이다. 상기 도면에서는 내부 동작에 필요한 사이클수를 변경한 2개의 경우에 대하여 도시하고 있다. 또 설명을 알기 쉽게 하기 위하여 여기에서는 동기 모드에서의 예를 든다. 제5도의 (2)는 제1도의 실시예에 상당하는 기본 클럭 신호의 동기 동작의 사이클 수의 경우를 도시하고, (1)은 내부동작에 있어서의 사이클수를 감소했을 경우에 상당한다. 이 경우 (2)와 동일한 기본 클럭의 짧은 주기에서는 (1)의 내부 동작은 뒤따르는 동작을 행할 수 없으나, 도면에서는 제어의 사이클 수의 차이를 보기 위하여 동일 CLK에 대하여 2개의 경우를 도시했다. (1)은 (2)의 절반의 사이클 수로 내부 동작을 실시한다. 따라서 실제로는 (2)가 기본 클럭 신호의 주기가 10ns의 사이클의 시스템에서의 제어이고, (1)은 20ns의 사이클의 시스템 제어법이고, 각각 그 사이클의 시스템에서 최적의 동작을 실행한다.

상기한 본 발명의 액세스 방법을 실행하는 클럭 동기형 반도체 기억장치의 구성을 제6도를 사용하여 이하에 설명한다.

제6도는 본 발명의 액세스 방법을 실행하는 반도체 기억장치의 구성도이다. 이 기억장치(10)의 기본 동작은 외부로부터 연속적으로 주어지는 외부 기본 클럭 신호 CLK 및 적어도 1개 이상의 제어신호에 따라서 메모리 액세스 동작을 실행한다.

제6도에 있어서 기억장치(10)는 통상의 기억장치가 구비하고 있는 기억셀군(11), 지정부(13), 데이터 입력부(4) 이외에 본 발명의 특징으로 되는 동작을 실시하는 주요한 구성요소인 계수부(5) 및 제어부(14)로 구성되어 있다.

기억셀부(11) 내에서는 동적이거나 정적 또는 비휘발성의 메모리셀이 매트릭스상으로 배치되고, 독출되는 데이터 및 기입되는 데이터가 여기에 기억된다. 데이터 입력부(4)를 개재하여 기억셀군(11)과 외부와의 데이터 액세스가 이루어진다.

지정부(13)는 제어부(14)의 제어하에서 외부로부터 부여되는 일련의 어드레스 신호에 따라서 기억셀군(11)에 있어서의 연속된 어드레스를 설정하고, 액세스하려는 메모리셀을 차례로 지정한다. 그 지정부(13)는 예를 들어 제어부(14)에 입력되는 제어신호 \overline{SYNC} , \overline{RE} , \overline{CE} 의 제어하에서 행어드레스 신호를 취입하여 이 행어드레스 신호로 지정되는 워드선에 접속된 기억셀군(11)내의 일련의 메모리셀에 대하여 연속된 열어드레스 신호를 외부로부터 취입한다. 이 취입된 열어드레스 신호에 의하여, 지정부(13)는 연속된 메모리셀을 차례로 지정한다.

데이터 입출력부(4)는 외부로부터 부여되는 독출/기입 신호에 따라서 지정부(13)에 의하여 지정되는 메모리셀에 대하여 데이터 독출동작 또는 기입동작을 실시한다. 독출된 데이터는 데이터 입출력부(4)를 통하여 외부로 출력된다. 기입되는 데이터는 외부로부터 데이터 입출력부(4)를 개재하여 지정부(13)에 의하여 지정되는 메모리셀군(11)에 주어진다.

계수부(5)는 외부로부터 끊임없이 거의 일정주기로 입력되는 기본 클럭신호 CLK의 사이클수를 카운트하기 위한 카운터이다. 이 카운터는 특정번째의 클럭사이클을 다른 클럭사이클과 구별하는 기능을 구비하면 된다. 따라서 이 기능을 갖는 회로는 실질적으로 카운터로 볼 수 있다. 따라서 카운터라는 특별한 별개의 회로를 준비할 필요는 없다. 본 실시예에서 사용하는 기본 클럭신호 CLK는 기억 장치의 액세스시간, 예를 들어 30ns 이하의 사이클 타임을 갖는 클럭신호이다. 계수부(5)는 카운트한 CLK 신호의 사이클 수를 제어부(14)에 부여한다.

제어부(14)는 외부로부터 주어진 제어신호 \overline{SYNC} 의 레벨에 따라서 선택부(12)에 지시신호를 보낸다. 이 지시에 따라서 선택부(12)는 기억셀군(11)에 대한 액세스 실행의 타이밍을 선택하여 어드레스 활성화 신호 $\Phi A \sim \Phi D$ 를 기억셀(11)에 보낸다.

선택부(12)가 실행하는 선택동작은 이미 설명한 제3도, 제 4도에 도시한 실시예에 있어서 정상 동작 모드나 동기 모드나 어느 한쪽을 제어부(14)의 제어하에서 선택한다.

선택부(12)가 없는 경우는 이미 설명한 제1, 제 2, 제3, 제4도에 도시한 실시예의 액세스 동작을 실시하는 구성을 가지는 반도체 기억장치가 된다.

또, 계수부 및 제어부(14)의 구성을 제7도 내지 제10도를 사용하여 이하에 설명한다.

일반적으로 내부의 동작은 기본적으로는 기본 클럭신호 CLK를 동작시간의 최소 단위로 한 제어로 되어 있다. 따라서 어느 동작 개시의 신호를 몇 사이클 사용하여 그 동작을 실행하는 회로부분에 전하느냐를 제어함으로써 기본 클럭의 및 사이클분으로 일련의 동작을 하느냐를 선택할 수 있다. 이 선택을 칩내부의 퓨즈를 외부로부터 레이저로 용단함으로써 설정할 수 있는 회로의 구성예를 제7도 내지 제 10도에 도시한다.

제7도는 어느 회로에 대한 트리거신호인 RINT가 기본 클럭의 몇 사이클분에 상당하는 시간만 지연되는 예를 도시한다. 이 회로는 이른바 시프트 레지스터 회로로서 RINT가 예를 들어 H가 된 상태를 차례로 기본 클럭신호에 동기한 칩 내부의 신호 INTCLK의 변화에 따라 전해간다. INTCLK, \overline{INTCLK} 는 서로 역상의 신호이다. 제 7도에서는 \overline{INTCLK} 가 H일때에 전단의 래치회로에 신호가 전송되고, INTCLK가 H일때에

후단의 래치회로에 신호가 전송된다. 따라서 제7도의 지연회로는 기본 클럭 1사이클분의 신호 지연이 발생되고, RINT가 1사이클 지연되어 CINT1로서 출력된다. 또한 동일한 회로를 통과시킴으로써 CINT1에서 1사이클 지연의 CINT2, CINT2로부터 1사이클 지연의 CINT3을 만들고 있다. 제7, 제8도에 도시된 바와같은 클럭된 인버터에서는 출력부에 기재된 신호가 H일때 인버터로서 작용하고 L일때는 출력은 고임피던스가 되어 출력보다 앞의 노드부분으로부터 차단된다. 이때의 신호와 기본 클럭의 관계를 제11도에 도시한다. 상기 도면에서는 CLK1에서 상승되는 RINT에 대하여 1사이클씩 지연되어 각각 CLK2, CLK3, CLK4에서 상승되는 신호 CINT3이 도시되어 있다. 이들 신호의 어느것을 사용하느냐에 따라서 어떤 동작을, 예를들어 입출력 동작을 기본 클럭신호의 소정의 사이클에서 및 사이클째에서 실행하느냐를 결정할 수 있다. 동기형 메모리의 기본 구성 부분에서 말하면 이들의 지연회로가 기본 클럭의 계수부분을 구성하게 된다.

제8도는 지연된 어느 한쪽의 신호를 선택하여 실제로 제어에 이용되는 신호 CINT로서 피구동회로에 공급하는 부분을 도시한 도면이다. 클럭된 인버터의 조작에서 V_L 이 H이면 CINT1, V_M 이 H이면 CINT2, V_H 가 H이면 CINT3이 출력신호 CINT로서 출력된다. 이 전환 스위치로서의 회로를 메모리가 사용되는 시스템의 기본 클럭신호 CLK의 주기에 따라서 전환하면 그 시스템에 가장 적합한 동작을 실시하도록 할 수 있다. 이 전환의 신호를 만드는 방법이 몇가지 있다.

퓨즈용단, 배선층을 메모리 IC에 만들어 넣는 공정의 마스크패턴의 변경, 플로팅 패드에의 전원선 핀으로부터의 본딩을 사용하여 내부노드를 플로팅으로 하느냐 일정전위로 하느냐로 퓨즈용단과 동일한 효과를 얻는 방법, 노코넥션의 핀 등을 이용하여 그 핀을 전원에 연결하는가 플로팅으로 하는가 등으로 구별하는

방법, 제어신호 \overline{RE} 가 하강할때 등의 타이밍에서의 다른 외부 신호의 상태를 구별하는 것에 의한 프로그램 방식 등이 있다. 이하에서는 퓨즈용단을 사용한 경우의 구체적 예를 설명한다.

제9도는 2개의 퓨즈의 절단방법에 따라서 4개의 조합 신호 상태를 만드는 회로이다. 퓨즈(1) 또는 (2)를 절단하지 않는 경우는 신호(F1)와 (F2)는 RINT가 상승하기까지는 L에 세트되어 있고, RINT가 상승되면 (F1), (F2)도 상승하여 H가 된다. 한편 퓨즈가 절단되면 트랜지스터(T1) 또는 (T2)는 접지 레벨과 연결되는 패스로는 안되기 때문에 RINT가 상승해도 신호(F1) 또는 (F2)는 래치레벨을 유지하고 L상태 그대로 유지한다. 퓨즈(1, 2)의 절단 방법에 따라서 (F1)과 (F2)의 상태의 조합은 4종류이다. 이것들중 3종류의 경우를 사용하여 제8도의 전환 스위치 회로로의 입력 신호를 만드는 것이 제10도에 도시한 회로이다.

제10도에 도시한 회로는 퓨즈의 절단의 조합에 의하여 발생하는 신호 F1, F2의 RINT가 H일때의 상태에서 신호 V_H , V_M , V_L 를 만드는 논리회로이다.

상기에 설명한 회로에 의하면 퓨즈(1, 2)가 모두 절단되면 V_H 가 H가 되어 RINT가 상승한 후 4사이클째에서 CINT가 상승한다. 퓨즈(1)만이 절단되면 V_M 가 H가 되어 RINT가 상승한 후 3사이클째에서 CINT가 상승된다. 퓨즈가 모두 절단되면 V_L 가 H가 되어 RINT가 상승하여 2사이클째에서 CINT가 상승한다. 퓨즈(2)만이 절단되었을 경우는 모든 신호가 상승하지 않으므로 CINT가 상승되는 일은 없다.

다른 배선층을 메모리(IC)에 만들어 넣는 공정의 마스크패턴의 변경, 퓨즈대신 내부노드의 패드에 전원선 핀으로부터의 본딩을 사용하는 방법, 노코넥션의 핀 등을 이용해서 그 핀을 전원에 연결하는가 플로팅하는가 등으로 구별하는 방법의 어느것이나 퓨즈(1, 2) 대신 트랜지스터(T1, T2)의 대응하는 노드를 어떠한 방법으로 접지레벨에 연결할 것인가 하는 것으로 그 구성은 당업자에게 있어서 용이하게 유추할 수 있다. 이들은 명백한 사항이므로 이곳에서는 설명을 생략한다.

한편 \overline{RE} 가 하강할때 등의 타이밍에서의 다른 외부신호의 상태를 구별하는 것에 의한 프로그램 방식은 신호(F1, F2)에 상응하는 신호를 내부 로직으로 직접 작성하는 것이고, 외부 신호의 상태와의 대응관계만 결정되면 그 상태일때 (F1)이나 (F2) 또는 V_H 나 V_L 에 상응하는 신호를 발생하도록 용이하게 로직회로를 제작할 수 있다.

이상 설명한 바와같이 본 발명의 클럭 동기형 반도체 장치에서는 예를들어 어드레스 설정에 있어서 제어 신호 \overline{RE} , \overline{CE} 를 입력한 후 기본 클럭신호에 동기시켜서 어드레스 설정을 실행함으로 정확한 데이터 액세스 동작이 실행된다.

또, 예를들어 기본 클럭신호의 주기가 짧을 경우 기본 클럭신호의 장단과는 관계가 없는 방법으로 어드레스의 값을 설정할 수 있으므로 시스템의 타이밍 설계나 메모리 내부 동작에 대한 조건이 클럭의 주기가 짧은 경우라도 완만해진다. 또한 데이터의 액세스에 대해서는 클럭 동기의 특징을 살릴 수 있는 특징이 있다.

또, 종래의 DRAM의 페이지 모드와 같은 랜덤 액세스가 필요하고, 또한 클럭에 동기한 것같은 고속의 연속 액세스가 시스템의 기본인 것 같은 회로구성의 경우에는 시분할로 DRAM 모드와 동기모드를 동일점으로 전환하여 실시할 수 있으므로 본 발명의 다른 방법을 사용하면 시스템을 효율적으로 구축할 수 있다.

특히 화상용의 메모리에 응용이 가능하다.

또, 실시예에서 설명한 바와같은 여러가지 주기의 시스템에 메모리의 최적 동작을 대응시키기 위하여 메모리의 데이터 액세스 동작을 사용하는 사이클 수를 변경할 수 있으므로 1개의 메모리를 설계함으로써 많은 시스템에 응용할 수 있고, 이로인해 시스템의 성능을 최대한으로 발휘할 수 있는 메모리를 선택할 수 있다.

(57) 청구의 범위

청구항 1

외부로부터 연속적으로 공급되는 클럭신호에 동기하여 데이터 액세스를 실시하는 클럭 동기형 반도체 기억장치의 액세스 방법에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭신호 이외의 적어도 1종류 이상으로 구성되는 제어신호의 레벨이 소정 레벨로 유지되는 상기 클럭신호의 사이클에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 개시 어드레스가 설정된 후부터 카운트해서 상기 클럭신호의 특정번째의 사이클로부터 개시되는 것을 특징으로 하는 클럭 동기형 반도체 기억장치의 액세스 방법.

청구항 2

외부로부터 연속적으로 공급되는 클럭신호에 동기하여 데이터 액세스를 실행하는 클럭 동기형 반도체 기억장치의 액세스 방법에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭신호 이외의 적어도 1종류 이상으로 구성되는 제1제어신호의 레벨이 소정 레벨로 유지되는 상태에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 반도체 기억장치에 공급되는 제2제어신호가 소정 레벨로 유지된 후부터 카운트해서 상기 클럭신호의 특정번째와 사이클로부터 개시되는 것을 특징으로 하는 클럭 동기형 반도체 기억장치의 액세스 방법.

청구항 3

외부로부터 연속적으로 공급되는 클럭신호에 동기하여 데이터 액세스가 가능한 클럭동기형 반도체 기억장치의 액세스 방법에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭신호 이외의 적어도 1종류 이상으로 구성되는 제1제어신호의 레벨이 소정 레벨로 유지되는 상태에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 제1제어신호에 의하여 상기 데이터 액세스를 위한 개시 어드레스가 설정되기 이전에 상기 반도체 기억장치에 공급되는 외부로부터의 제어에 의하여 (A) 상기 설정된 개시 어드레스로부터의 데이터의 출력이 상기 개시 어드레스가 설정된 직후부터 개시되는 액세스 방법 (B) 상기 설정된 개시 어드레스로부터의 출력이 클럭신호 동기의 데이터 출력이고, 상기 반도체 기억장치에 공급되는 제2제어신호가 소정 레벨로 유지된 후부터 카운트하여 그 클럭신호의 소정번째의 사이클로부터 개시되는 액세스 방법중 어느 하나의 방법이 선택되고 개시되는 것을 특징으로 하는 클럭 동기형 반도체 기억장치의 액세스 방법.

청구항 4

외부로부터 연속적으로 공급되는 클럭신호에 동기하여 데이터 액세스가 가능한 클럭 동기 반도체 기억장치의 액세스 방법에 있어서, 상기 반도체 기억장치에 대한 데이터 액세스를 위한 개시 어드레스의 설정은 상기 반도체 기억장치에 공급되는 상기 클럭신호 이외의 적어도 1종류 이상으로 구성되는 제1의 제어신호의 레벨이 소정 레벨로 유지되는 상태에 의하여 설정되고, 상기 설정된 개시 어드레스로부터의 데이터 출력은 상기 제1제어신호에 의하여 상기 데이터 액세스를 위한 개시 어드레스가 설정되기 이전에 상기 반도체 기억장치에 공급되는 외부로부터의 제어에 의하여 (A) 상기 설정된 개시 어드레스로부터의 데이터의 출력이 상기 개시 어드레스가 설정된 직후부터 개시되는 액세스 방법 (B) 상기 설정된 개시 어드레스로부터의 데이터 출력이 클럭신호 동기의 데이터 출력으로서, 상기 개시 어드레스가 설정된 후부터 카운트해서 상기 클럭신호의 소정번째의 사이클로부터 개시되는 액세스 방법중 어느 하나의 방법이 선택되고 개시되는 것을 특징으로 하는 클럭 동기형 반도체 기억장치의 액세스 방법.

청구항 5

복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭신호의 사이클 수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하고, 그 제어신호의 레벨이 소정 레벨의 상태가 되고, 또 상기 기본 클럭신호에 동기하여 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 행하는 제어 수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단을 구비하고, 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력은 상기 제어수단에 의하여 개시 어드레스가 설정된 후부터 상기 계수 수단에 의하여 상기 기본 클럭신호를 소정수 카운트한 후에 개시되는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 6

복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭신호의 사이클수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하고, 제1제어신호의 레벨이 소정 레벨의 상태로 되면 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 실시하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단을 구비하고, 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력은 외부로부터 공급되는 상기 제어신호중의 제2제어신호가 소정 레벨로 된 후부터 상기 계수 수단에 의하여 상기 기본 클럭신호를 소정수 카운트한 후에 개시되는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 7

복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭신호의 사이클 수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하여 상기 제어신호중의 제1제어신호의 레벨이 소정 레벨의 상태로 되면 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 실행하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단과, 상기 제어신호중 제2제어신호의 레벨에 의하여 (A) 상기 데이터의 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 직후부터 개시되는 동작 (B) 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가

설정된 후, 상기 계수 수단에 의하여 상기 기본 클럭신호를 소정수 카운트한 후에 개시되는 동작중 어느 하나의 동작을 선택하는 선택수단을 가지는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 8

복수의 메모리셀이 행렬상으로 배열되어 구성되는 기억수단과, 외부로부터 연속적으로 공급되는 기본 클럭신호의 사이클수를 실질적으로 카운트하는 계수 수단과, 상기 기본 클럭신호 이외의 외부로부터 공급되는 적어도 1종류 이상의 제어신호를 입력하여 상기 제어신호중 제1제어신호의 레벨이 소정 레벨의 상태로 되면 상기 기억수단에 대한 데이터 액세스를 위한 개시 어드레스 설정을 행하는 제어수단과, 상기 제어수단에 의하여 설정되는 어드레스에 대한 데이터 액세스 동작을 실행하는 데이터 입출력 수단과, 상기 제어신호중 제2제어신호의 레벨에 의하여 (A) 상기 데이터의 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 후부터 개시되는 동작 (B) 상기 데이터 입출력 수단에 의한 상기 기억수단에 대한 데이터 출력이 상기 제어수단에 의하여 개시 어드레스가 설정된 후에 상기 제2제어신호의 레벨이 소정 레벨로 된 후부터 상기 계수 수단에 의하여 상기 기본 클럭신호를 소정수 카운트한 후에 개시되는 동작중 어느 하나의 동작을 선택하는 선택수단을 구비하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 9

제5항에 있어서, 상기 계수 수단은 복수로 접속된 클럭된 인버터로 구성되고, 상기 클럭된 인버터에 공급되는 상기 제어신호의 조합으로 상기 소정의 클럭수를 카운트하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 10

제5항에 있어서, 상기 계수 수단은 퓨즈를 구비하고, 상기 퓨즈를 용단함으로써 상기 소정의 카운트수를 결정하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 11

제5항에 있어서, 상기 계수 수단은 복수개의 논리회로의 조합으로 구성되고, 각 논리회로는 반도체 장치의 외부로부터 공급되는 전원선을 구비하고, 상기 전원선은 반도체 장치의 본딩 패드에 접속되고, 이 본딩 패드에 소정의 전위를 공급하느냐 않느냐의 여부에 따라서 상기 소정의 카운트 수를 결정하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 12

제5항에 있어서, 상기 계수 수단은 상기 기본 클럭신호를 구동 사이클로서, 상기 제어신호를 1클럭마다 지연시킴으로써 클럭 사이클 주기를 액세스 동작 제어의 최소시간 단위로한 시간에서 지연함으로써 생성되는 내부신호를 발생하는 회로를 구비하는 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 13

제5항에 있어서, 상기 제어수단은 복수단의 지연회로로 구성되고, 상기 제어신호는 상기 각 지연회로에 입력되어, 각 지연단계에서 출력된 지연신호에 따라서 상기 기억수단의 데이터 액세스를 제어하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 14

제6항에 있어서, 상기 계수 수단은 복수로 접속된 클럭된 인버터로 구성되고, 상기 클럭된 인버터에 공급되는 상기 제어신호의 조합으로부터 상기 소정의 클럭수를 카운트하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 15

제6항에 있어서, 상기 계수 수단은 퓨즈를 구비하고, 이 퓨즈를 용단함으로써 상기 소정의 카운트 수를 결정하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 16

제6항에 있어서, 상기 계수 수단은 복수개의 논리회로의 조합으로 구성되고, 각 논리회로는 반도체 장치의 외부로부터 공급되는 전원선을 구비하고, 상기 전원선은 반도체 장치의 본딩 패드에 접속되고, 이 본딩 패드에 소정의 전위를 공급하느냐 않느냐의 여부에 따라서 상기 소정의 카운트 수를 결정하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 17

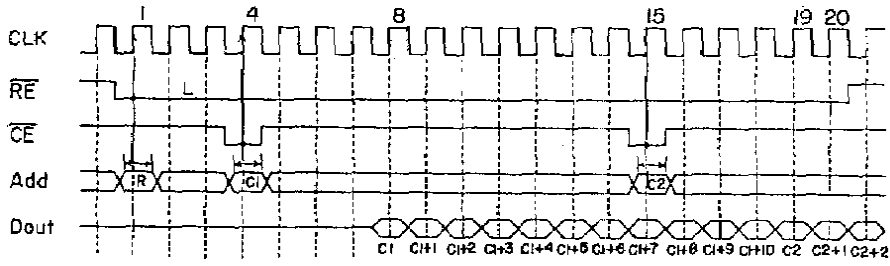
제6항에 있어서, 상기 계수 수단은 상기 기본 클럭신호를 구동 사이클로 하여 상기 제어신호를 1클럭마다 지연시킴으로써 클럭 사이클 주기를 액세스 동작제어의 최소 시간 단위로 한 시간에서 지연시킴으로써 생성되는 내부신호를 발생하는 회로를 구비하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

청구항 18

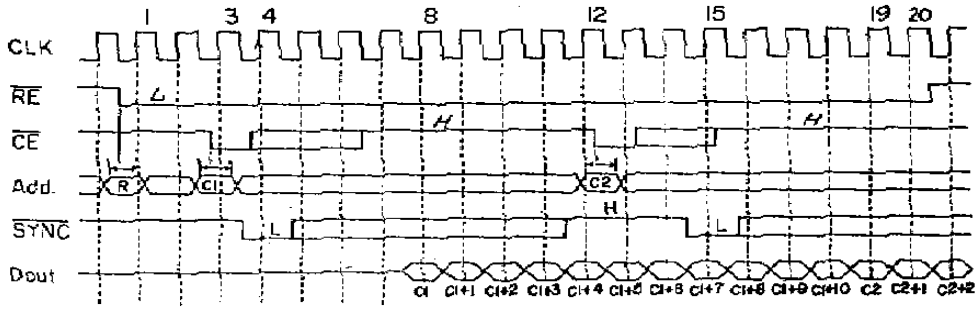
제6항에 있어서, 상기 제어수단은 복수단의 지연회로로 구성되고, 상기 제어신호는 상기 각 지연회로에 입력되어 각 지연단계에서 출력된 지연신호에 따라서 상기 기억수단의 데이터 액세스를 제어하는 것을 특징으로 하는 클럭 동기형 반도체 기억장치.

도면

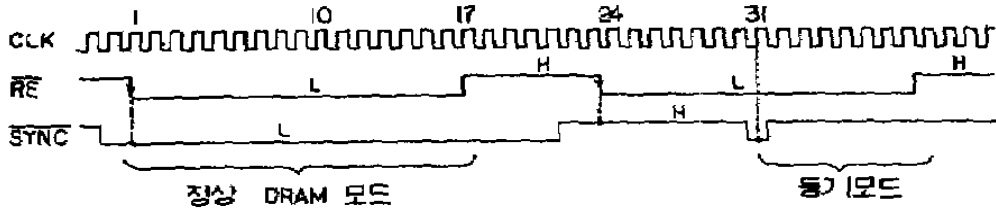
도면1



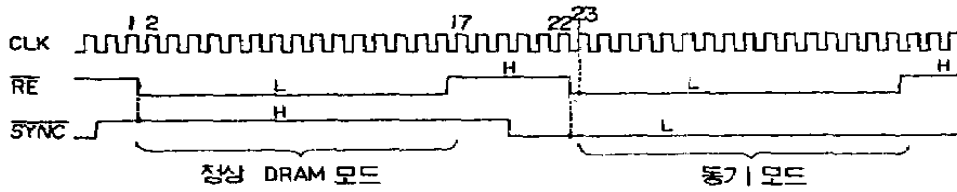
도면2



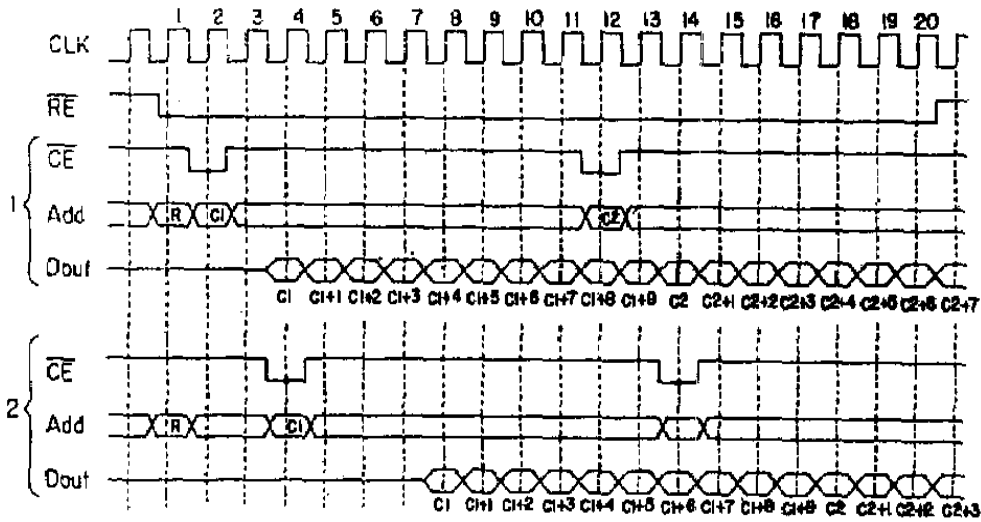
도면3



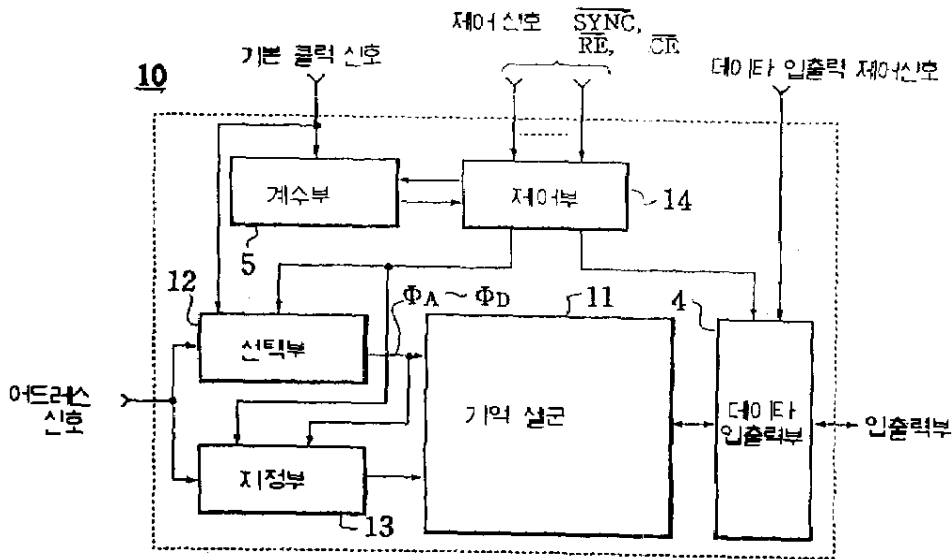
도면4



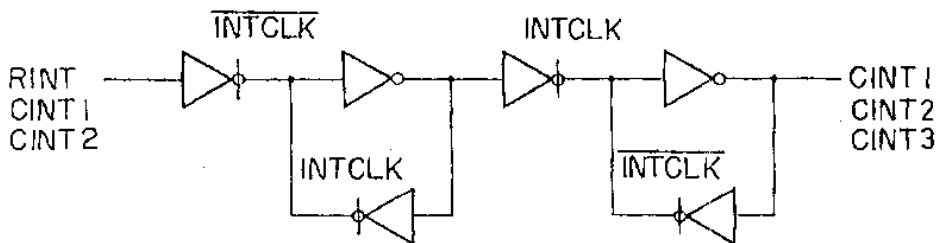
도면5



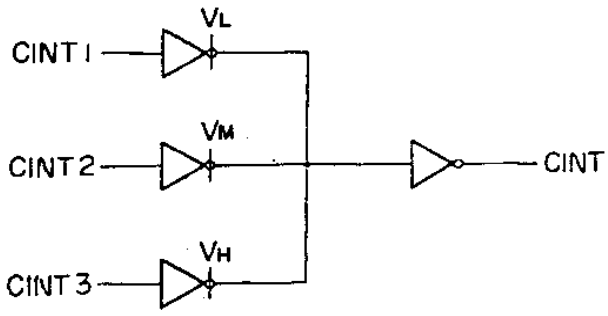
도면6



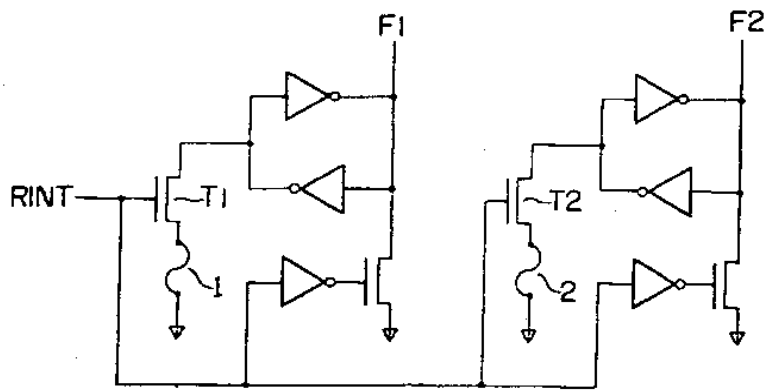
도면7



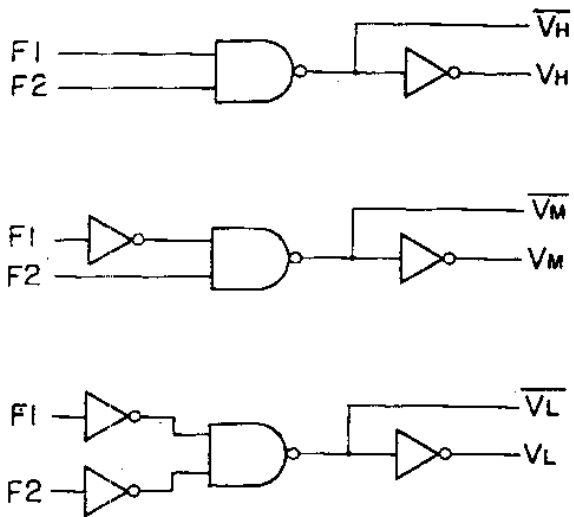
도면8



도면9



도면10



도면11

