

公告本

申請日期	89 2 11
案 號	89 102308
類 別	H03K 3/00

A4
C4

454382

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用降低電壓準位之同步化資料擷取電路及其方法
	英 文	Synchronized data capturing circuits using reduced voltage levels and methods therefor
二、發明 創作人	姓 名	1. 大衛羅素韓森 (David Russell Hanson) 2. 吉哈德慕勒 (Gerhard Mueller)
	國 籍	1. 美國 2. 德國
	住、居所	1. 美國紐約州 10509 布魯斯特收獲道 30 號 2. 美國紐約州 12590 瓦平格斯瀑布城景道 168 號
三、申請人	姓 名 (名稱)	1. 印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
	國 籍	1. 美國 2. 美國
	住、居所 (事務所)	1. 美國加州 95112-6000 聖荷西北一街 1730 號 2. 美國紐約州 10504 艾蒙克新橡樹路
	代 表 人 姓 名	1. 沙布林納 A. 史坦利 (Sabrina A. Stanley) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

454382

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美國 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

1999 年 02 月 12 日申請案號第 60/119,905 號(主張優先權)

1999 年 08 月 19 日申請案號第 09/377,588 號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明背景

本發明係關於在一種用於一積體電路中將資料擷取同步化之電路。更特別地,本發明係有關於能夠使用降低電壓之信號以減少功率消耗及/或改善特性之用於將資料擷取同步化的電路。

在一積體電路(IC)中,資料信號通常需要由積體電路上之一位置之一電路傳送資料信號至積體電路上之一接收電路。熟知此項技藝之人士可清楚了解到,資料信號中包括之資料係出現於已定義之資料週期中,因此可在每一段有限時間內擷取有效之資料。由於資料週期僅在一有限時間內有效,因此確保接收電路可在此極短時間內擷取資料十分重要,且這點在現代資料有效週期,即必須實行資料擷取之時間週期已大幅降低的高速積體電路中特別明顯。

爲了在資料週期有效的有限時間內於接收電路適當地擷取資料,可將定時信號或時脈信號提供至接收電路。在接收電路上使用同步化資料擷取電路以將資料擷取同步化之技術係屬已知。一般而言,若定時信號適當地追蹤資料信號,則接收電路可依據定時信號所提供之定時資訊決定何時擷取資料信號中之資料。

爲方便說明,第 1 圖顯示一用於積體電路之接收電路將資料擷取同步化的先前技藝電路 100。圖示之電路 100 包括一定時延遲/驅動器 102、一資料延遲/驅動器 104、及一時脈化資料驅動器 106。一控制信號 110 將輸入資料延遲/驅動器 104 之資料時脈化以產生時脈化資料信號 112。

五、發明說明(>)

相同之控制信號亦將定時延遲/驅動器 102 時脈化以產生一定時信號 114。定時延遲/驅動器 102 及資料延遲/驅動器 104 可確保定時信號 114 適當地追蹤將提供予具有電路 100 之特定積體電路的時脈化資料信號 112 以允許時脈化資料驅動器 106 依據定時信號 114 所提供之定時資訊來適當地擷取時脈化資料信號 112 中之資料。擷取之資料由時脈化資料驅動器 106 輸出而作為第 1A 圖之輸出資料 116。第 1A 圖之資料同步化電路係屬已知,為簡化說明在此將不再贅述。

儘管第 1 圖之電路 100 可達成同步化資料擷取之功能,但其具有諸多明顯缺點。第 1A 圖所示之結構之一主要缺點係先前技藝電路 100 需要操作於全幅信號(即信號具有積體電路之全峰-峰值電壓振幅)以實行同步化資料擷取。在此使用的降低電壓信號一辭係指信號之振幅在一降低電壓之範圍中,即電壓範圍低於週邊電路所操作之電源供應全 V_{DD} 。在某些情況下,降低電壓準位可低至(譬如 1V)接近電晶體之臨界電壓(通常在 0.7V 左右)。由於低電壓信號在減少功率消耗及/或改善特性方面十分有用。因此先前技藝之電路 100 無法使用降低電壓信號來實行同步化資料擷取實為一嚴重缺點。

先前技藝之電路 100 無法使用降低電壓信號來實行同步化資料擷取之一根本原因係有關於其基本組成部件中之 CMOS 反相器。CMOS 反相器係一種作為譬如定時/延遲驅動器 102 及資料延遲/驅動器 104 之延遲電路的基本組

五、發明說明()

成部件。為方便說明,第 1B 圖顯示一簡單之 CMOS 反相器 150,其包括一在 V_{DD} 與接地之間與 n 型 FET 電晶體 154 串聯之 p 型 FET 電晶體 152。

首先考慮在 CMOS 反相器 150 輸入點使用一全幅信號之情形。CMOS 反相器 150 輸入點之信號 A 為 V_{DD} 之高準位時,p 型 FET152 關閉且 n 型 FET154 導通,因此將輸出信號 B 接地。相反地,CMOS 反相器 150 輸入點之信號 A 為接地之低準位時,p 型 FET152 導通且 n 型 FET154 關閉,因此將輸出信號 B 提升至 V_{DD} 。在此情況下,CMOS 反相器 150 可正確地操作。

現在考慮使用降低電壓信號作為 CMOS 反相器 150 之輸入信號 A 時的情形。當降低電壓信號為譬如 1 伏特時,一高準位輸入信號 A 不僅如預期地導通 n 型 FET154,亦造成 p 型 FET152 軟導通(即並非將 p 型 FET151 完全關閉)。在此情況下,流經 p 型 FET152 之漏電流將使 CMOS 反相器輸出之信號衰減而可能造成其他電路誤判 CMOS 反相器之輸出信號 B 所表示之邏輯準位。又,通過 p 型 fet152 而流至接地之漏電流亦造成 CMOS 反相器 150 消耗過量之功率。由於這些及其他之問題而使降低電壓信號至今仍未在同步化資料擷取電路中實行同步化資料擷取之工作。

有鑑於斯,亟需同步化資料擷取之電路及方法以期使用降低電壓信號來減少功率消耗及/或加強性能。

發明之概述

本發明之一具體實施例係有關於一種在積體電路中藉一

五、發明說明(4)

定時信號將擷取資料信號中之信號同步化的同步化資料擷取電路。同步化資料電路使用之信號具有一降低電壓之電壓準位,資料信號與定時信號具有一高於降低電壓準位的第一電壓準位。同步化資料擷取電路包括一用於接收定時信號之定時驅動電路。定時驅動電路輸出一具有降低電壓準位之降低電壓定時信號。本發明之一具體實施例包括一用於接收資料信號及定時信號之資料驅動電路且該資料驅動電路輸出一具有降低電壓準位之降低電壓時脈化資料信號,且又包括一用於接收降低電壓定時信號及降低電壓時脈化資料信號的資料時脈化電路。資料時脈化電路輸出一具有一高於降低電壓準位之第一電壓準位的同步化擷取資料信號。

本發明之另一具體實施例係有關於一種在積體電路中藉一定時信號將擷取資料信號中之信號同步化的方法。該方法係使用一具有降低電壓準位之電壓信號來完成同步化資料擷取。資料信號與定時信號具有一高於降低之電壓準位的第一電壓準位。該方法包括使用一定時驅動電路來接收定時信號並且定時驅動電路輸出一反應該定時信號之具有降低電壓準位的降低電壓定時信號。該法又包括使用一資料驅動電路來接收資料信號與定時信號並且資料驅動電路輸出一反應資料信號與定時信號之具有降低電壓準位的降低電壓時脈化資料信號。且又包括使用降低電壓之定時信號中的資訊與降低電壓之時脈化資料信號來實行同步化資料擷取。此外,又包括輸出一同步化擷取資料信號,其具

五、發明說明(5)

有高於實行同步化資料擷取之降低電壓的第一電壓準位。

本發明之這些及其他特徵將在下述之本發明詳細說明中配合以下圖式作更詳盡的描述。

附圖之簡單說明

藉由以下配合隨附圖式之詳細說明即可輕易了解本發明，其中相同之代碼指示相同之結構元件，且其中：

第 1A 圖係為便於說明先前技藝之一積體電路之接收電路的同步化資料擷取電路。

第 1B 圖係描述一標準 CMOS 反相器以便於說明當一標準 CMOS 反相器使用一降低電壓資料信號時通常遭遇到的問題。

第 2 圖係顯示依據本發明之一具體實施例之一同步化資料擷取電路的高階方塊圖。該電路能夠在產生且使用降低電壓來同步化資料時接收並輸出全幅信號以降低功率消耗及/或改善特性。

第 3 圖係顯示依據本發明之一具體實施例中，一實施第 2 圖之定時驅動電路的高階方塊圖。

第 4 圖係顯示依據本發明之一具體實施例中，第 3 圖中之定時驅動電路的細部實施。

第 5 圖係顯示依據本發明之一具體實施例中，一實施第 2 圖之資料驅動電路的高階方塊圖。

第 6 圖係顯示依據本發明之一具體實施例中，第 5 圖之資料驅動電路的細部實施。

第 7 圖係顯示依據本發明之一具體實施例中，一實施第

五、發明說明(b)

2 圖之資料時脈化電路的高階方塊圖。

第 8 圖及第 9 圖係顯示依據本發明之一具體實施例中，第 7 圖之資料驅動電路的細部實施以及其時序圖。

第 10A 圖及第 10B 圖係顯示依據本發明之一具體實施例中，第 8 圖之預充電產生電路的細部實施以及其時序圖。

第 11 圖係顯示依據本發明之一具體實施例中，一配合第 10A 圖之預充電產生電路所使用的非反向準位移器。

發明之詳細說明

本發明將藉由參考隨附圖式中顯示之數個較佳具體實施例而詳述於後。以下敘述中將提出許多具體之敘述以便徹底了解本發明。然而，熟知此項技藝之人士並不需要某些或全部之具體描述即可實施本發明。在其他範例中，爲了避免不必要的混淆，在此將不贅述熟知的結構及/或處理步驟。

依據本發明之一構想係提供一種用於將資料擷取同步化之同步化資料擷取電路，其中該資料係存在於一傳輸至積體電路之接收電路的資料信號中。本發明之同步化資料擷取電路較佳地接收全幅定時/控制信號與資料信號作爲輸入，因此可與積體電路之傳輸電路匹配使用。又，本發明之同步化資料擷取電路較優地係輸出全幅同步化資料信號以提供積體電路之接收電路使用。然後，本發明之同步化資料擷取電路較佳地係使用降低電壓信號與定時信號同步而因此減少功率消耗及/或改善特性。

五、發明說明(7)

在一具體實施例中之本發明之同步化資料擷取電路包括一定時驅動電路、一資料驅動電路、及一資料時脈化電路。一定時驅動電路係用於接收一全幅信號並輸出一降低電壓定時信號以提供同步化資料擷取電路內部使用。資料驅動電路係用於接收全幅資料信號與全幅控制/定時信號並輸出一降低電壓之時脈資料信號以便在資料時脈化電路中與定時信號同步。該資料時脈化電路接收降低電壓定時信號及降低電壓之時脈化資料信號以藉此兩種降低電壓之信號將資料擷取同步化,並且輸出一全幅同步化擷取資料信號。

藉由參考以下圖式與說明即可較清楚的了解本發明之特徵與優點。第2圖係顯示依據本發明之一具體實施例之一同步化資料擷取電路200的高階方塊圖。該電路能夠在產生及使用降低電壓來同步化資料時接收並輸出全幅信號以降低功率消耗及/或改善特性。同步化資料擷取電路200包括一定時驅動電路202、一資料驅動電路204、及一資料時脈化電路206。

一定時驅動電路202係用於在一輸入節點208接收全幅定時信號。由於一定時驅動電路202係用於在輸入點處理全幅電壓準位,因此同步化資料擷取電路200將與使用全幅電壓準位之積體電路中的傳輸電路匹配。除了增加必須之延遲於全幅定時信號以便在接收電路中作適當之資料擷取外,一定時驅動電路202亦移動定時信號之電壓準位以輸出一降低電壓定時信號。降低電壓定時信號具有一低於全幅信號之電壓準位的降低之電壓準位以較佳地減少功率消耗及/或改善特性。降低電壓定時信號係經由第2圖所示

五、發明說明 (1)

之導體 212 輸入資料時脈化電路 206 中。由於導體 212 之負載大且具有一高電容值,使得在此導體上使用降低電壓信號來實行資料擷取工作時可大幅減少功率消耗及/或改善特性。

資料驅動電路 204 係用於接收來自輸入節點 208 之全幅定時信號及來自輸入節點 214 之全幅資料信號。除了在傳輸信號至資料時脈化電路 206 之前先行以定時信號將資料信號時脈化外,資料驅動電路 204 亦將移動時脈化資料信號之電壓準位以產生一降低電壓準位之資料信號。已降低電壓之時脈化資料信號具有一低於全幅信號之電壓準位的降低電壓準位,以較佳地減少功率消耗及/或改善特性。降低電壓時脈化資料信號係經由一第 2 圖所示之導體 216 輸入至資料時脈化電路 206 中。相似於導體 212 之導體 216 通常處於大負載且具有一高電容值,使得在此導體上使用降低電壓之信號實行資料擷取工作時可大幅減少功率消耗及/或改善特性。

資料時脈化電路 206 係利用降低電壓定時信號所提供之定時資訊而使擷取降低電壓之時脈化資料信號同步化,並且在一輸出節點 202 上輸出一全幅之同步化擷取資料信號。全幅同步化擷取資料信號包括在接收電路端擷取到,及定時信號所提供之具有定時資訊的同步化信號。由於輸出節點 220 上之同步化擷取資料信號具有一全幅電壓準位,使操作於全幅電壓準位之積體電路的接收電路可輕易使用此信號。因此,同步化資料擷取電路 200 在輸入及輸出位

五、發明說明(9)

置上皆可匹配於操作在全幅電壓準位之積體電路。

第 3 圖係顯示依據本發明之一具體實施例中，一實施第 2 圖之同時驅動電路 202 的高階方塊圖。定時驅動電路 202 如上所述的在輸入節點 208 接收全幅定時信號以作為輸入。倘若需要藉修飾輸入全幅定時信號之脈波寬度以產生一配合時序所需的脈波寬度時，全幅定時信號將輸入至一選配之脈波整形級 302。脈波整形電路在技藝上係屬已知為簡化說明在此將不贅述。

全幅定時信號(若需整形脈波則在脈波整形完成後)接著再輸入一降低電壓之定時驅動級 304，此時係將定時信號由一全幅電壓準位(譬如 V_{DD})移動至一降低之電壓準位(譬如 V_{DD}/N ，其中 N 為一整數)，並且如圖所示的輸出降低電壓定時信號至導體 212 上。

第 4 圖係顯示依據本發明之一具體實施例中，第 3 圖之定時驅動電路的細部實施 400。儘管第 4 圖之電路係一較佳實施例，但其僅作為說明且並非用以限制本發明。如上所述，圖中之輸入節點 208 與脈波整形級 302 係屬已知。一用於表示第 3 圖中一完成降低電壓之定時驅動級 304 的降低電壓之定時驅動電路 412 係由兩個 CMOS 反相器 402 與 404 以及兩 n 型 FET(n 型場效電晶體)406 與 408 完成之。如第 4 圖中所示之 n 型 FET406 係以串聯方式將 n 型 FET 耦合於一降低電壓之電壓源 V_{DD}/N 與接地之間。

當一降低電壓之定時驅動電路 412 的輸入節點 410 係高準位(V_{DD}/N)時，n 型 FET408 之閘極將出現一低準位(接

五、發明說明(一)

地)(由於反相器 402 之作用)而關閉 n 型 FET408。輸入節點 410 之高準位(V_{DD})造成 n 型 FET406 之閘極出現一高準位(由於反相器 402 及 404 之作用)而將其導通,如此可使導體 212 與接地去耦合並拉至降低電源之電壓準位或(V_{DD}/N)。

當一降低電壓之驅動電路 412 之輸入節點 410 為低準位(接地),則 n 型 FET406 之閘極將出現一低準位(關閉)(由於反相器 402 及 404 之作用)而將其關閉,如此即可使導體 212 與降低電壓源去耦合。輸入節點 410 之低準位(接地)造成 n 型 FET408 之閘極出現一高準位(由於反相器 402 之作用)而導通 n 型 FET408 並將輸出導體 212 之電位接地。是以,降低電壓之定時驅動電路 412 作為一準位移位器電路以將定時信號之電壓準位由全幅電壓準位移至一降低之電壓準位。

第 5 圖係顯示依據本發明之一具體實施例中,一實施第 2 圖之資料驅動電路 204 的高階方塊圖。定時驅動電路 204 如上所述的在輸入節點 214 接收全幅定時信號以作為輸入。全幅信號可輸入至一用來在控制級 504 提出需求前保持住資料之選配的門鎖級 502。

控制級 504 係接收來自門鎖級 502 之門鎖資料及在一輸入節點 508 上之全幅定時/控制信號(來自第 2 圖之輸入節點 208 之全幅定時/控制信號)作為輸入。儘管為簡化說明而無法在第 5 圖中明顯表示,但實際上可在輸入節點 208 前面選配一傳統的延遲電路以在輸入節點 508 產生全幅定

五、發明說明()

時/控制信號時提供所需之延遲。控制級 504 係藉反應輸入節點 508 上定時/控制信號之第一狀態而將輸入資料線與一降低電壓之資料驅動級 506 以三態式隔離。控制級 504 亦藉反應輸入節點 508 上定時/控制信號之第一狀態而將降低電壓之資料驅動級 506 與門鎖級 502 及/或輸入資料線以三態式隔離。

一旦輸入節點 508 之控制/定時信號改變狀態(由低至高或相反),門鎖資料信號及控制/定時信號即可傳送至降低電壓之驅動級 506,再輸出降低電壓時脈化信號至導體 216 上(由第 2 圖之資料時脈化電路 206 接收)。如此,資料驅動電路 204 接收全幅資料及控制/定時信號並輸入一具有降低電壓準位之降低電壓時脈化資料信號。

第 6 圖係顯示依據本發明之一具體實施例,其中係以資料驅動電路 600 表示第 5 圖之資料驅動電路 204 的細部實施。儘管第 6 圖之電路係一較佳實施例,但其僅作為說明且並非用以限制本發明。如上所述,第 2 圖與第 5 圖中承載全幅資料信號之輸入節點 214 係示於第 6 圖中。儘管可使用任一種傳統之門鎖技術,但門鎖電路 602 係通常用於實現第 5 圖之門鎖級 502。降低電極之資料驅動電路 606 係一種用來實現第 5 圖之降低電壓之資料驅動級 506 且用來將時脈化資料信號之電壓準位由全幅電壓準位移至一降低電壓準位的方法。

控制電路 604 係一種實現第 5 圖之控制級 504 的方法,在第 6 圖中之範例中,當定時/控制信號為低準位時,控制

五、發明說明 (12)

電路 604 將全幅資料信號輸入線(輸入節點 214 上)與降低電壓之資料驅動電路 606 以三態以隔離並且將降低電壓時脈化資料信號之輸出線(導體 216 上)與資料驅動電路 600 之其餘部份以三態式隔離。範例中一降低準位控制信號使反相三態緩衝器 620 與 622 失能係實質上將全幅資料信號線(輸入節點 214 上)與降低電壓之資料驅動電路 606 去耦合。一低準位控制信號亦導通 n 型 FET608 及 610 以將降低電壓資料驅動電路 606 中之 n 型 FET612 及 614 之閘極接地。因此, n 型 FET612 及 614 皆關閉以將輸出導體 216 與驅動電路 600 之其餘部份隔離。

當控制信號至高準位時, n 型 FET608 及 610 之閘極降至低準位而關閉 n 型 FET608 及 610 以使 n 型 FET612 及 614 與接地去耦合。控制信號之高準位狀態亦致能反相三態緩衝器 620 及 622。倘若門鎖電路 602 門鎖住之資料位於高準位, 反相三態緩衝器 622 之輸出將為低準位, 以關閉 n 型 FET614 造成輸出導體 216 與接地去耦合。另一方面, 反相器 630 將使資料在反相三態緩衝器 620 之輸入上出現低準位而造成反相三態緩衝器 620 將 n 型 FET612 之閘極拉至高準位, 以導通 n 型 FET612 並且耦合輸出導體 216 至降低電壓源 V_{DD}/N 。在一相似情形下, 倘若控制信號為高準位且門鎖住之資料係低準位, 則 n 型 FET612 將關閉且 n 型 FET614 將導通而造成輸出導體 216 接地。由此可知, 第 6 圖之資料驅動電路 600 係由全幅資料信號之輸入及反應全幅控制信號之輸入而以時脈輸出一具有一降低電壓準

五、發明說明(一)

位之降低電壓時脈化資料信號。

第 7 圖係顯示依據本發明之一具體實施例中,一實施第 2 圖之資料時脈化電路 206 的高階方塊圖。如上所述,資料時脈化電路 206 接收一降低電壓定時信號(來自定時驅動電路 202 之導體 212 上)及一降低電壓時脈化資料信號(來自資料驅動器 204 之導體 216)作為輸入並且輸出至一同步化擷取資料信號至輸出節點 220 上。同步化資料擷取信號表示一將全幅資料信號中(輸入資料驅動電路 204)之擷取資料在藉由降低之電壓準位傳送至接收資料時脈化電路 206 後與全幅定時信號(輸入定時驅動電路 202)中所提供之定時資訊同步化而得到的信號。

如圖所示,導體 212 上之降低電壓時信號與導體 214 上之降低電壓時脈化資料信號可分別藉由選配之脈波整形器/延遲電路 702 與 704 而延遲及/或適當地整形脈波。之後,可傳送這些信號至一全幅資料驅動器 706,使該資料驅動器可在此兩降低電壓準位之信號上實行資料同步化且在輸出節點 220 上產生一全幅同步化擷取資料信號。

在一具體實施例中,同步化資料擷取電路之資料時脈化電路 206 係門鎖式且為三態化。是以,同步化資料擷取電路(譬如第 2 圖所示)之各輸出可使用一適當之時脈化信號而在接收端形成一時脈化輸出。此一實施在需要使用定時信號來將數個資料線中之資料同步且以一特定之順序擷取該資料時十分有利。

第 8 圖係顯示依據本發明之一具體實施例的資料時脈化

五、發明說明(14)

電路 800,其係表示第 7 圖之資料時脈化電路 206 之一細部實施。藉由參考第 9 圖之時序圖將更容易了解第 8 圖之電路。儘管第 8 圖之電路係一較佳地實施,但其僅作為說明而非用以限制本發明。又,在此省略了選配之脈波整形/延遲電路(已結合第 7 圖說明之)以簡化說明。

第 8 圖顯示一用於在節點 804 上產生一低準位預充電脈波之預充電產生器 802。低準位預充電脈波係用於在資料同步化之前將節點 806 推至一已知狀態。

較佳地,預充電脈波於資料擷取前降低至低準位。當預充電脈波在節點 804 降至低準位時,一 p 型 FET808 導通而使得節點 806 拉至 V_{DD} 。節點 806 將如第 8 圖所示藉由一閘鎖電路 810 而閘鎖至高準位(V_{DD})。注意在電源開啓或電源重置時將於 POR 信號上產生一低準位脈波使一 p 型 FET814 亦可將節點 806 拉至高準位,這係爲了在電源開啓或電源重置時將節點 806 推至一已知狀態。

由於預充電脈波係在降低電壓資料及定時資料抵達前降至低準位。因此 n 型 FET822 仍保持在關閉狀態。低準位預充電脈波在第 9 圖中之時間 t_0 終止,亦即預充電信號在一低準位脈波後將於時間 t_0 升至高準升而關閉 p 型 FET808 以準備利用資料時脈化電路 800 將資料與定時信號同步化。預充電產生電路 802 之操作將在稍後藉參考本文中後續圖式作進一步說明。

降低電壓之時脈化資料信號中的資料在時間 t_1 至 t_3 中係有效且可由降低電壓定時信號加以同步化。倘若擷取之

五、發明說明 (15)

資料具有一 V_{DD}/N 之高準位,則降低電壓時脈化資料信號的高準位將導通一 n 型 FET820。然而,由於時間 $t1$ 時降低電壓定時信號尚未抵達,因此一 n 型 FET822 仍然關閉。一降低電壓定時信號將於時間 $t2$ (參見第 9 圖)出現亦導通 n 型 FET822。是以在時間 $t2$ 至 $t3$ 中將於節點 806 至接地之間建立一電流路徑使得接點 806 之電位接地並且將輸出節點 220 之同步化擷取資料信號推至高準位(因閃鎖電路 810 中之反相器作用造成)。

另一方面,倘若擷取之資料具有一低準位,則即使降低電壓定時脈波(時間 $t2$ 起始)已抵達後, n 型 FET820 仍保持關閉。節點 806 因此保持於高準位而造成輸出節點 220 停留在低準位。是以,一全幅同步化擷取資料將產生於輸出節點 220 上,其係使用導體 212 上之降低電壓定時信號中的定時資料來將導體 214 上之降低電壓之時脈化資料信號中的資料同步化。

實行資料擷取後,一低準位預充電脈波將回復資料時脈化電路 800 至準備狀態以等待下次之資料同步化循環。參考第 9 圖中之預充電信號係於時間 $t4$ 降至低準位而將節點 806 拉至高準位並閃鎖於高準位(且輸出節點 202 係處於低準位)以待下次之資料及定時循環到來。

第 10A 圖係顯示依據本發明之一具體實施例中之第 8 圖之預充電產生電路 802 的細部實施。藉由參考第 10B 圖之時序圖可更輕易地了解第 10A 圖之電路。儘管第 10A 圖係一較佳地實施。但僅作為範例而非用以限制本發明。

五、發明說明(七)

參考第 10A 圖,導體 212 上之降低電壓定時信號係輸入至一非反相準位移器 1002 以將信號之電壓準位由一降低電壓之準位移至一全幅電壓準位。一準位移器 1002 之實施將於稍後配合第 11 圖說明之。全幅電壓準位再經由一反相延遲電路 1004 而延遲,其中該反相延遲電路係譬如第 10A 圖中以三個 CMOS 反相器實施(延遲鏈中之反相器個數僅作為說明之用且可視需要改變)。反相延遲電路 1004 之輸出係藉一 OR 電路 1006 與非反相準位移器 1002 輸出之全幅定時信號取聯集。範例 10A 中係使用一 NOR 閘 1008 串聯一反相閘 1010 作為實施 OR 動作之範例。由以下說明可明顯發現,反相延遲電路 1004 與 OR 電路 1006 結合可產生一脈波整形電路,其中預充電脈波之寬度即由延遲電路 1004 之延遲時間決定。

在操作期間,倘若導體 212 之降低電壓定時信號在起始時係低準位,則非反相準位移器 1002 之全幅輸出節點 1012 亦維持在低準位。節點 1012 上之全幅定時信號經過反相及延遲後將在節點 1014 成為高準位而使節點 1016(亦即預充電信號)保持在高準位。

降低電壓之定時信號脈波將在經過一段時間後抵達導體 212。第 10B 圖中降低電壓定時信號由低準位轉成高準位之變化係在時間 t_0 以參考代碼 1050 標示,即使在全幅電壓準位(第 10B 圖中所示之 1052)時,非反相準位移器 1002 仍可複製此低準位至高準位的變化(1050)。於一預定之延遲時間後(由反相延遲電路 1004 所決定之延遲),節

五、發明說明(17)

點 1014 將在 t_1 由高準位變化至低準位(參考代碼 1054)。
由於節點 1012 在節點 1014 降低為低準位時仍為高準位，
因此節點 1016 繼續保持於高準位。

降低電壓定時信號將在時間 t_2 時離開，亦即由高準位變
回低準位，此係第 10B 圖中之參考代碼 1060 所標示。這種
降低電壓定時信號由高準位轉為低準位的變化係由非反相
準位移位器 1002(第 10B 圖之參考代碼 1062)在全幅電壓
準位上複製。是以，節點 1012 由高準位變化至低準位係稍晚
於時間 t_2 (該短暫之延遲起因於非反相準位移位器電路
1002 之動作)。此係因為節點 1014 在節點 1012 由高準位
轉為低準位時已經為低準位，使節點 1012 處之高準位至低
準位的變化將造成節點 1016(預充電)降至低準位(參考代
碼 1056)。

在一預定之延遲時間(由反相延遲電路 1004 造成之延遲
決定)後，節點 1014 在時間 t_3 時將由於節點 1012 之高準
位至低準位的變化而由低準位轉為高準位(參考代碼 1064)，
此節點 1014 之低準位至高準位的變化係由第 10B 圖之參
考代碼 1064 標示且使得節點 1016 變回高準位(參考代碼
1066)。於是由可由資料時脈化電路在節點處產生一低準
位預定電脈波(譬如第 8 圖中所示者)以供使用。

第 11 圖係顯示依據本發明之一具體實施例之一非反相
準位移位器 1100，其係代表第 10 圖之非反相準位移位器
1002 之一細部實施。儘管第 11 圖之電路係一較佳實施，
但其僅作為說明且並非用以限制本發明。如上所述，非反

五、發明說明 (18)

相準位移器 1100 接收資料降低電壓定時信號作為輸入 (導體 212) 並且輸出一全幅電壓定時信號 (節點 1012)。只要在供應電壓 V_{DD} 時即可使導體 212 上之降低電壓定時信號通過 n 型 FET1102 而至節點 1114。當導體 212 位於低準位 (譬如接地) 時, 節點 1114 亦為低準位而導通 p 型 FET1116 並將一節點 1118 推至 V_{DD} 。低準位接點 1114 亦關閉一 n 型 FET1120 而使節點 1118 與接地耦合。高準位節點 1118 造成一 p 型 FET1124 保持關閉狀態以將節點 1114 與 V_{DD} 去耦合並且經由反相器 1122 之反相操作而使輸出節點 1012 降至低準位。是以, 導體 212 上之一低準位的降低電壓定時信號將造成輸出節點 1012 上之全幅定時信號降為低準位。

當導體 212 上之降低電壓定時信號為高準位 (譬如 V_{DD}/N) 時, 節點 1114 亦為 V_{DD}/N 而導通 n 型 FET1120 並將節點 1118 接地。低準位節點 1118 導通 p 型 FET1124 亦將節點 1114 之準位拉至接近 V_{DD} , 如此可完全地關閉 p 型 FET1116 以將節點 1118 與 V_{DD} 去耦合。此時節點 1118 係接地而經由反相器 1122 之反相操作使輸出節點 1012 接至高準位 (V_{DD})。是以, 導體 212 上一降低電壓定時信號之 V_{DD}/N 的電壓準位將造成輸出節點 1012 上之全幅定時信號拉至 V_{DD} 。

由前述可認識到本發明之同步化資料擷取電路較優地係接收全幅資料與定時信號作為輸入、將該資料信號轉換成降低電壓準位信號、於降低電壓準位信號上實行資料與定

五、發明說明(19)

時信號之同步化、在輸出端上輸出一全幅信號之同步化資料。由於運用了降低電壓信號而較佳地在仍可使電路匹配 IC 中其他需操作於全幅信號之電路的條件下減少功率消耗及/或加強性能。

儘管本發明已藉由數個較佳具體實施例說明於上,但仍具有各種不脫離本發明範圍之更動、改變及等義者。在此應注意,本發明具有許多可實現本方法及裝置之替代方案,因此以下之附加申請專利範圍可認定為包括屬於本發明之真實精神與範圍內之全部此類更動、改變及等義者。

符號之說明

- 100.....先前技藝電路
- 102.....定時延遲/驅動器
- 104.....資料延遲/驅動器
- 106.....時脈化資料驅動器
- 110.....控制信號
- 112.....時脈化資料信號
- 114.....定時信號
- 116.....輸出資料
- 150.....CMOS反相器
- 152.....p型FET電晶體
- 154.....n型FET電晶體
- 200.....同步化資料擷取電路
- 202.....定時驅動電路
- 204.....資料驅動電路

五、發明說明(一)

- 206.....資料時脈化電路
- 208.....輸入節點
- 220.....輸節點
- 212、216.....導體
- 302.....脈波整形級
- 304.....降低電壓之定時驅動級
- 402、404.....反相器
- 406、408.....n型FET
- 410.....輸入節點
- 412.....降低電壓之定時驅動器路
- 502.....門鎖級
- 504.....控制級
- 506.....降低電壓之資料驅動級
- 508、214.....輸入節點
- 602.....門鎖電路
- 604.....控制電路
- 606.....降低電壓之資料驅動電路
- 608、610.....n型FET
- 612、614.....n型FET
- 620、630.....反相三態緩衝器
- 702、704.....選配之脈波整形器／延遲電路
- 706.....全幅資料驅動器
- 802.....預充電產生電路
- 804、806.....節點
- 808、814.....p型FET

五、發明說明(ㄨ)

- 810..... 門鎖電路
- 820、822..... n 型 FET
- 1002..... 非反相準位移器
- 1004..... 反相延遲電路
- 1006..... OR 電路
- 1008..... NOR 閘
- 1010..... 反相閘
- 1012..... 輸出節點
- 1014、1016..... 節點
- 1102、1120..... n 型 FET
- 1114、1118..... 節點
- 1116、1124..... p 型 FET
- 1122..... 反相器

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

四、中文發明摘要(發明之名稱：使用降低電壓準位之同步化資料擷取電路)及其方法

一種在積體電路中藉一定時信號將擷取資料信號中之信號同步化的同步化資料擷取電路。同步化資料電路使用之信號具有一降低電壓之電壓準位，資料信號與定時信號具有一高於降低之電壓準位的第一電壓準位。同步化資料擷取電路包括一用於接收定時信號之定時驅動電路。定時驅動電路輸出一具有降低電壓準位之降低電壓定時信號。本發明之一具體實施例包括一用於接收資料信號及定時信號之資料驅動電路且該資料驅動電路輸出一具有降低電壓準位之降低電壓時脈化資料信號，且又包括一用於接收降低電壓定時信號及降低電壓之時脈化資料信號的資料時脈化電路。資料時脈化電路輸出一具有一高於降低電壓準位之第一電壓準位的同步化擷取資料信號。

英文發明摘要(發明之名稱：Synchronized data capturing circuits using reduced voltage levels and methods therefor)

A synchronized data capture circuit configured to synchronize capturing of data in a data signal with a timing signal in an integrated circuit. The synchronized data circuit employs voltage signals having a reduced voltage level, the data signal and the timing signal having a first voltage level higher than the reduced voltage level. The synchronized data capture circuit includes a timing driver circuit arranged to receive the timing signal. The timing driver circuit outputs a reduced voltage timing signal having the reduced voltage level. There is included a data driver circuit arranged to receive the data signal and the timing signal, the data driver outputting a reduced voltage clocked data signal having the reduced voltage level. There is further included a data clocking circuit coupled to the timing driver circuit and the data driver circuit. The data clocking circuit is arranged to receive the reduced voltage timing signal and the reduced voltage clocked data signal. The data clocking circuit outputs a synchronized capture data signal having the first voltage level higher than the reduced voltage level.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

紙

六、申請專利範圍

1. 一種積體電路中之同步化資料擷取電路,其藉一定時信號將擷取資料信號中之信號同步化,該同步化資料電路使用之信號具有一降低電壓之電壓準位,該資料信號與該定時信號具有一高於該降低之電壓準位的第一電壓準位,包括:

一定時驅動電路,用於接收該定時信號,該定時驅動電路輸出一具有該降低電壓準位之降低電壓定時信號;

一資料驅動電路,用於接收該資料信號及該定時信號,該資料驅動電路輸出一具有該降低電壓準位之降低電壓時脈化資料信號;及

一資料時脈化電路,係耦合至該定時驅動電路與該資料驅動電路,該資料時脈化電路係用於接收該降低電壓定時信號及該降低電壓之時脈化資料信號,該資料時脈化電路輸出一具有高於降低電壓準位之該第一電壓準位的同步化擷取資料信號。

2. 如申請專利範圍第 1 項之同步化資料擷取電路,其中該第一電準位表示該積體電路中該同步化資料擷取電路之週邊電路的操作電壓準位。
3. 如申請專利範圍第 1 項之同步化資料擷取電路,其中該定時驅動電路包括一降低電壓之定時驅動電路,該降低電壓之定時驅動電路包括一用於接收一具有該第一電壓準位之第一信號的降低電壓定時驅動電路輸入及一用於輸出一具有該降低電壓準位之第二信號的降低電壓定時驅動電路輸出。

六、申請專利範圍

4. 如申請專利範圍第 3 項之同步化資料擷取電路,其中該定時驅動電路又包括一耦合於該降低電壓之定時驅動電路之脈波整形電路,該脈波整形電路係用於接收該定時信號且輸出一條飾脈波之定時信號至該降低電壓之定時驅動電路以作為該第一信號,該修飾脈波之定時信號具有該第一電壓準位及一不同於該定時信號脈波寬度之修飾的脈波寬度。

5. 如申請專利範圍第 4 項之同步化資料擷取電路,其中該降低電壓之定時驅動電路包括:

一第一反相器,係具有一第一反相器輸入及一第一反相器輸出,該第一反相器係表示用於接收該第一信號之該降低電壓之定時驅動電路的輸入,

一第二反相器,係具有一第二反相器輸入及一第二反相器輸出,該第二反相器輸入係耦合該第一反相器之輸出,

一第一 n 型 FET,係具有一第一 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第一 n 型 FET 閘極係耦合該第二反相器輸出,該第一 n 型 FET 汲極與該第一 n 型 FET 源極其中之一係耦合於一降低電壓源,

一第二 n 型 FET,係具有一第二 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第二 n 型 FET 閘極係耦合該第一反相器輸出,該第二 n 型 FET 汲極與該第二 n 型 FET 源極其中之一係耦合於接地,該第二 n 型 FET 汲極與該第二 n 型 FET 源極中之另一個係耦合於該降低

六、申請專利範圍

電壓之定時驅動電路輸出,該第一 n 型 FET 汲極與該第一 n 型 FET 源極中之另一個係耦合於該降低電壓之定時驅動電路輸出。

6. 如申請專利範圍第 3 項之同步化資料擷取電路,其中該降低電壓之定時驅動電路包括:

一第一反相器,具有一第一反相器輸入及一第一反相器輸出,該第一反相器係表示用於接收該第一信號之該降低電壓之定時驅動電路的輸入,

一第二反相器,係具有一第二反相器輸入及一第二反相器輸出,該第二反相器輸入係耦合該第一反相器之輸出,

一第一 n 型 FET,係具有一第一 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第一 n 型 FET 閘極係耦合該第二反相器輸出,該第一 n 型 FET 汲極與該第一 n 型 FET 源極其中之一係耦合於一降低電壓源,

一第二 n 型 FET,係具有一第二 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第二 n 型 FET 閘極係耦合該第一反相器輸出,該第二 n 型 FET 汲極與該第二 n 型 FET 源極其中之一係耦合於接地,該第二 n 型 FET 汲極與該第二 n 型 FET 源極中之另一個係耦合於該降低電壓之定時驅動電路輸出,該第一 n 型 FET 汲極與該第一 n 型 FET 源極中之另一個係耦合於該降低電壓之定時驅動電路輸出。

7. 如申請專利範圍第 1 項之同步化資料擷取電路,其中該

六、申請專利範圍

資料驅動電路包括：

一 門鎖級，係具有一門鎖級輸入及一門鎖級輸出，該門鎖級輸入係接收資料信號且用於門鎖該資料信號以在該門鎖級輸出上提供一門鎖之資料信號；

一 控制級，係具有一耦合該門鎖級輸出之控制級資料輸入，該控制級又包括一用於接收一具有該第一電壓準位之該控制信號的控制級控制輸入，該資料信號係作為該定時信號之延遲型態與該定時信號兩者其中之一；及

一 降低電壓之資料驅動電路係耦合該控制級，該降低電壓之資料驅動電路具有一降低電壓之時脈化資料信號之輸出，該降低電壓之資料驅動電路係用於在該降低電壓資料信號之輸出上由該資料信號及反應正位於兩邏輯狀態之第一邏輯狀態的該控制信號而產生具有該降低電壓準位之該降低電壓時脈化資料信號，其中該控制級係用於當該控制信號位於兩邏輯狀態中之第二邏輯狀態時將該降低電壓之資料驅動電路與該門鎖級輸出去耦合並且將該門鎖級輸出與該降低電壓之時脈化資料信號輸出去耦合。

8. 如申請專利範圍第 7 項之同步化資料擷取電路，其中該控制信號係該定時信號之一延遲型態。

9. 如申請專利範圍第 7 項之同步化資料擷取電路，其中該降低電壓之資料驅動電路尚包括：

一 第一 n 型 FET，係具有一第一 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極，該 n 型 FET 汲極與該

六、申請專利範圍

n 型 FET 源極之其中之一耦合於一降低電壓源，

第二 n 型 FET, 係具有一第二 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極, 該第二 n 型 FET 汲極與該第二 n 型 FET 源極其中之一係耦合於接地, 該第二 n 型 FET 汲極與該第二 n 型 FET 源極中之另一個係耦合於該降低電壓之時脈化資料信號輸出, 該第一 n 型 FET 汲極與該第一 n 型 FET 源極中之另一個係耦合於該降低電壓之時脈化資料信號輸出。

10. 如申請專利範圍第 9 項之同步化資料擷取電路, 其中該控制級尚包括:

一第一反相器, 係具有一第一反相器輸出及一耦合該控制級資料輸入之第一反相器輸入;

一第一反相三態緩衝器, 係具有一耦合該第一反相器輸出之第一反相三態緩衝器輸入, 該第一反相三態緩衝器包括耦合該第一 n 型 FET 閘極之第一反相三態緩衝器輸出, 該第一反相三態緩衝器係由該控制信號之兩邏輯狀態中之該第一邏輯狀態致能, 該第一反相三態緩衝器由控制信號之兩邏輯狀態中之該第二邏輯狀態使之失能;

一第三 n 型 FET, 係具有一第三 n 型 FET 閘極、一第三 n 型 FET 汲極、一第三 n 型 FET 源極, 該第三 n 型 FET 汲極與該第三 n 型 FET 源極其中之一係耦合接地, 該第三 n 型 FET 汲極與該第三 n 型 FET 源極之另一個係耦合該第一 n 型 FET 之閘極與該第一反相三態緩衝器

六、申請專利範圍

之輸出,該第三 n 型 FET 之閘極係用於接收該控制信號之反相信號;

一第二反相三態緩衝器,係具有一與該控制級資料輸入耦合之第二反相三態緩衝器輸入,該第二反相三態緩衝器包括與該第二 n 型 FET 閘極耦合之第二反相三態緩衝器輸出,該第二反相三態緩衝器係由該控制信號之兩邏輯狀態中之該第一邏輯狀態致能,該第二反相三態緩衝器係由控制信號之兩邏輯狀態中之該第二邏輯狀態使之失能;

一第四 n 型 FET,係具有一第四 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第四 n 型 FET 汲極與該第四 n 型 FET 源極其中之一係耦合於接地,該第四 n 型 FET 汲極與該第四 n 型 FET 源極中之另一個係耦合於該第二 n 型 FET 閘極與該第二反相三態緩衝器電路,該第四 n 型 FET 閘極係用於接收該控制信號之一反相信號。

11. 如申請專利範圍第 1 項之同步化資料擷取電路,其中該資料時脈化電路包括:

一全幅資料驅動電路,係具有一第一資料驅動器輸入及一第二資料驅動器輸入,該第一資料驅動器輸入係用於接收來自該資料驅動電路之具有該降低電壓準位的該降低電壓時脈化資料信號及具有該降低電壓準位之該降低電壓時脈化資料信號的脈波型態兩者之一,該第二資料驅動器輸入係用於接收來自該定時驅動電路之具有該

六、申請專利範圍

降低電壓準位的該降低電壓定時信號及具有該降低電壓準位之該降低電壓信號的脈波型態兩者之一，該全幅資料驅動器尚包一全幅資料驅動器輸出係用於輸出具有高於該降低電壓準位之第一電壓準位之該同步化擷取資料信號。

12. 如申請專利範圍第 11 項之同步化資料擷取電路，其中該第一資料驅動電路輸入係用於接收該降低電壓時脈化資料信號之脈波型態，該資料時脈化電路尚包括一耦合該第一資料驅動電路輸入之脈波整形電路。

13. 如申請專利範圍第 11 項之同步化資料擷取電路，其中該第二資料驅動電路輸入係用於接收該降低電壓定時信號之脈波型態，該資料時脈化電路尚包括一耦合該第二資料驅動電路輸入之脈波整形電路。

14. 如申請專利範圍第 11 項之同步化資料擷取電路，其中該全幅資料驅動電路包括：

一預充電節點；

一預充電產生電路，係具有一預充電輸入及一預充電輸出，該預充電產生電路係用於在資料同步化之前將該預充電節點推至一已知狀態，該預充電之輸入係耦合該降低電壓準位之該降低電壓定時信號與具有該降低電壓準位之該整形脈波態之該降低電壓定時信號；

一第一 p 型 FET，具有一第一 p 型 FET 閘極、一 p 型 FET 汲極、及一 p 型 FET 源極，該第一 p 型 FET 閘極係耦合該預充電之輸出，該第一 p 型 FET 汲極與該第一 p

六、申請專利範圍

型 FET 源極其中之一係耦合於一具有該第一電壓準位之電壓源,該第一 p 型 FET 汲極與該第一 p 型 FET 源極其中之一之另一個係耦合於該預充電節點;

一第一 n 型 FET,係具有一第一 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第一 n 型 FET 閘極係耦合接收該降低電壓準位之該降低電壓定時信號與具有該降低電壓準位之該整形脈波型態之該降低電壓定時信號其中之一,該第一 n 型 FET 之汲極與該第一 n 型 FET 之源極其中之一係耦合於該預充電節點;

一第二 n 型 FET,係具有一第二 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第二 n 型 FET 閘極係耦合接收該降低電壓準位之該降低電壓時脈化資料信號與具有該降低電壓準位之該整形脈波型態之該降低電壓時脈化資料信號其中之一,該第二 n 型 FET 之汲極與該第二 n 型 FET 之源極其中之一係耦合於該第一 n 型 FET 之汲極與該第一 n 型 FET 之源極中之另一個,該第二 n 型 FET 之汲極與該第二 n 型 FET 之源極中之另一個係耦合接地;

一第三 n 型 FET,係具有一第三 n 型 FET 閘極、一 n 型 FET 汲極、及一 n 型 FET 源極,該第三 n 型 FET 閘極係耦合接收一電源開啓-重置信號,該第三 n 型 FET 之汲極該第三 n 型 FET 之源極其中之一係耦合於該預充電節點,該第三 n 型 FET 之汲極與該第三 n 型 FET 之源極中之另一個係耦合於具有該第一電壓準位之該電壓源,其

六、申請專利範圍

中該預充電節點係用於輸出具具有該第一電壓準位之該同步化擷取資料信號。

15. 如申請專利範圍第 14 項之同步化資料擷取電路,其中該全幅資料驅動電路尚包括一耦合該預充電之門鎖電路。

16. 如申請專利範圍第 14 項之同步化資料擷取電路,其中該預充電產生電路尚包括:

一非反相準位移位器,係具有一非反相準位移位器輸入及一非反相準位移位器輸出,以將該非反相準位移位器輸入之一信號之電壓準位自該降低電壓之電壓準位移至該第一準位,該非反相準位移位器之輸入係用於接收該降低電壓定時信號,該非反相準位移位器之輸出係用於輸出該降低電壓定時信號之一改變準位的型態,該降低電壓定時信號之該改變準位型態具有該第一電壓準位;

一反相延遲電路具有一反相延遲電路輸入及一反相延遲電路輸出,該反相延遲電路之輸入係耦合該非反相準位移位器之輸出;

一 OR 電路,係具有一第一 OR 輸入及一第二 OR 輸出,該第一 OR 輸入係耦合該反相延遲電路之輸出,該第二 OR 輸入係耦合該非反相準位移位器之輸出。

17. 一種在積體電路中藉定時信號將擷取資料信號中之信號同步化的方法,該方法係使用一具有降低電壓準位之電壓信號來完成同步化資料擷取,該資料信號與該定時

六、申請專利範圍

信號具有一高於該降低之電壓準位的第一電壓準位,包括:

使用一定時驅動電路來接收該定時信號並且由該定時驅動電路輸出一反應該定時信號之具有降低電壓準位的該降低電壓定時信號;

使用一資料驅動電路來接收該資料信號與該定時信號並且該資料驅動電路輸出一反應該資料信號與該定時信號之具有該降低電壓準位的降低電壓時脈化資料信號;

使用該降低電壓定時信號中的資訊及該降低電壓時脈化資料信號來實行同步化資料擷取;及

輸出一同步化擷取資料信號,其具有高於反應該實行同步化資料擷取之該降低電壓準位的該第一電壓準位。

18. 如申請專利範圍第 17 項之方法,尚包括:

於輸出該降低電壓定時信號之前對該定時信號實施脈波整形。

19. 如申請專利範圍第 17 項之方法,其中使用一資料驅動電路來接收該資料信號及該定時信號並且自該資料驅動電路輸出該反應該資料信號與該定時信號之具有該降低電壓準位的該降低時脈化資料信號,包括:

於該資料驅動電路之一門鎖級上門鎖該資料信號;

接收來自該門鎖級輸出上之該資料信號及該資料驅動電路之一控制級上的該定時信號;及

使用該控制級輸出上之控制信號來控制一該資料驅動電路之一降低電壓資料驅動電路之一輸出信號,該控制

六、申請專利範圍

信號具有該第一電壓準位，該輸出信號具有該降低電壓準位且表示該降低電壓時脈化資料信號。

20. 如申請專利範圍第 17 項之方法，又包括於該實行同步化資料擷取之前在該降低電壓定時信號上實施脈波整形。

21. 如申請專利範圍第 17 項之方法，又包括於該實行同步化資料擷取之前在該降低電壓時脈化資料信號上實施脈波整形。

22. 一種記憶體積體電路，具有一同步化資料擷取電路，係藉一定時信號將擷取資料信號中之信號同步化，該同步化資料電路使用之信號具有一降低電壓之電壓準位，該資料信號與該定時信號具有一高於該降低之電壓準位的第一電壓準位，包括：

一定時驅動電路用於接收該定時信號，該定時驅動電路輸出一具有該降低電壓準位之降低電壓定時信號；

一資料驅動電路用於接收該資料信號及該定時信號，該資料驅動電路輸出一具有該降低電壓準位之降低電壓時脈化資料信號；及

一資料時脈化電路係耦合於該定時驅動電路與該資料驅動電路，該資料時脈化電路係用於接收該降低電壓定時信號及該降低電壓之時脈化資料信號，該資料時脈化電路輸出一具有高於降低電壓準位之該第一電壓準位的同步化擷取資料信號。

23. 如申請專利範圍第 22 項之記憶體積體電路，其中該第

六、申請專利範圍

一電壓準位代表該記憶體積體電路中該同步化資料擷取電路之週邊電路的操作電壓準位。

24. 如申請專利範圍第 22 項之記憶體積體電路,其中該定時驅動電路包括一降低電壓之定時驅動電路,該降低電壓之定時驅動電路包括一用於接收一具有該第一電壓準位之第一信號的降低電壓定時驅動電路輸入及一用於輸出一具有該降低電壓準位之第二信號的降低電壓定時驅動電路輸出。

25. 如申請專利範圍第 22 項之記憶體積體電路,其中該定時驅動電路又包括一耦合於該降低電壓之定時驅動電路之脈波整形電路,該脈波整形電路係用於接收該定時信號且輸出一修飾脈波之定時信號至該降低電壓之定時驅動電路以作為該第一信號,該修飾脈波之定時信號具有該第一電壓準位及一不同於該定時信號脈波寬度之修飾的脈波寬度。

26. 如申請專利範圍第 22 項之記憶體積體電路,其中該資料驅動電路包括:

一門鎖級,係具有一門鎖級輸入及一門鎖級輸出,該門鎖級輸入係接收資料信號且用於門鎖該資料信號以在該門鎖級輸出上提供一門鎖之資料信號;

一控制級,係具有一耦合該門鎖級輸出之控制級資料輸入,該控制級又包括一用於接收一具有該第一電壓準位之該控制信號的控制級控制輸入,該資料信號係作為該定時信號之延遲型態與該定時信號兩者其中之一;及

六、申請專利範圍

一降低電壓之資料驅動電路係耦合該控制級，該降低電壓之資料驅動電路具有一降低電壓之時脈化資料信號之輸出，該降低電壓之資料驅動電路係用於在該降低電壓資料信號之輸出上由該資料信號及反應正位於兩邏輯狀態之第一邏輯狀態的該控制信號而產生具有該降低電壓準位之該降低電壓時脈化資料信號，其中該控制級係用於當該控制信號位於兩邏輯狀態中之第二邏輯狀態時將該降低電壓之資料驅動電路與該門鎖級輸出去耦合並且將該門鎖級輸出與該降低電壓之時脈資料信號輸出去耦合。

27. 如申請專利範圍第 26 項之記憶體積體電路，其中該控制信號係該定時信號之一延遲型態。

28. 如申請專利範圍第 22 項之記憶體積體電路，其中該資料時脈化電路包括：

一全幅資料驅動電路，係具有一第一資料驅動器輸入及一第二資料驅動器輸入，該第一資料驅動器輸入係用於接收來自該資料驅動電路之具有該降低電壓準位的該降低電壓時脈化資料信號及具有該降低電壓準位之該降低電壓時脈化資料信號的脈波型態兩者之一，該第二資料驅動器輸入係用於接收來自該定時驅動電路之具有該降低電壓準位的該降低電壓定時信號及具有該降低電壓準位之該降低電壓定時信號的脈波型態兩者之一，該全幅資料驅動器又包括一全幅資料驅動器輸出係用於輸出具有高於該降低電壓準位之第一電壓準位之該同步化擷

六、申請專利範圍

取資料信號。

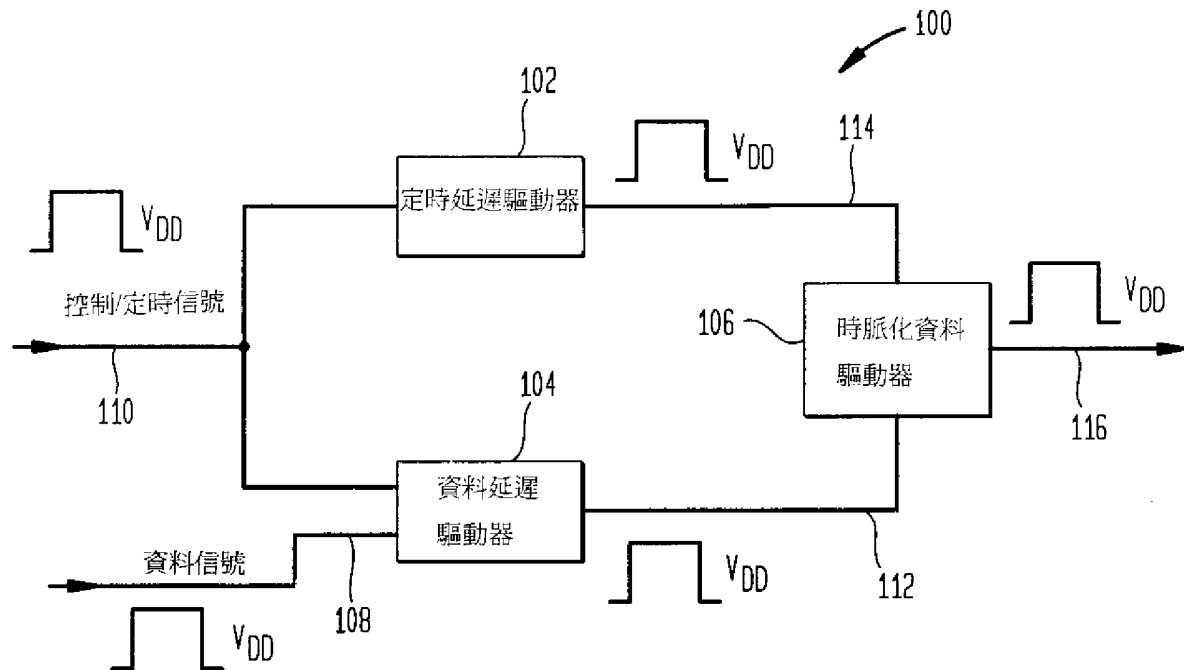
29. 如申請專利範圍第 28 項之記憶體積體電路,其中該第一資料驅動電路輸入係用於接收該降低電壓時脈化資料信號之脈波型態,該資料時脈化電路又包括一耦合該第一資料驅動電路輸入之脈波整形電路。

30. 如申請專利範圍第 28 項之記憶體積體電路,其中該第二資料驅動電路輸入係用於接收該降低電壓定時信號之脈波型態,該資料時脈化電路又包括一耦合該第二資料驅動電路輸入之脈波整形電路。

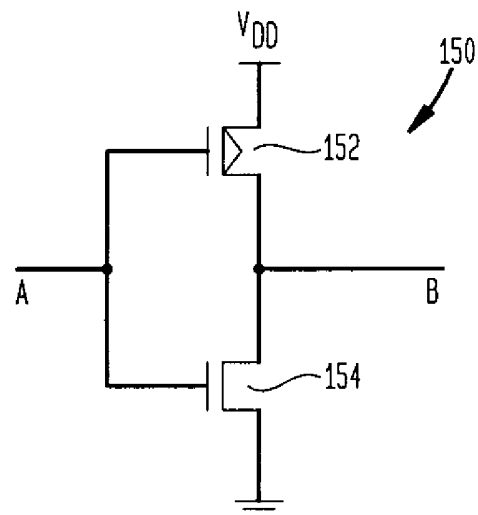
(請先閱讀背面之注意事項再填寫本頁)

訂線

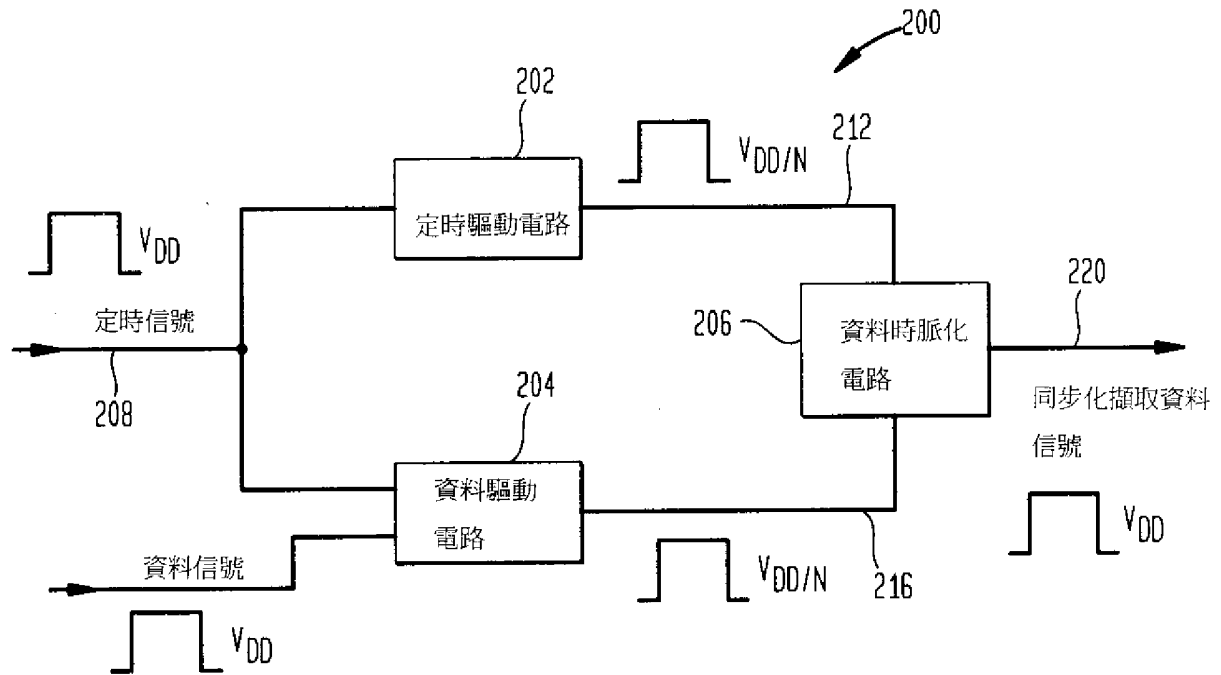
第 1A 圖(先前技藝)



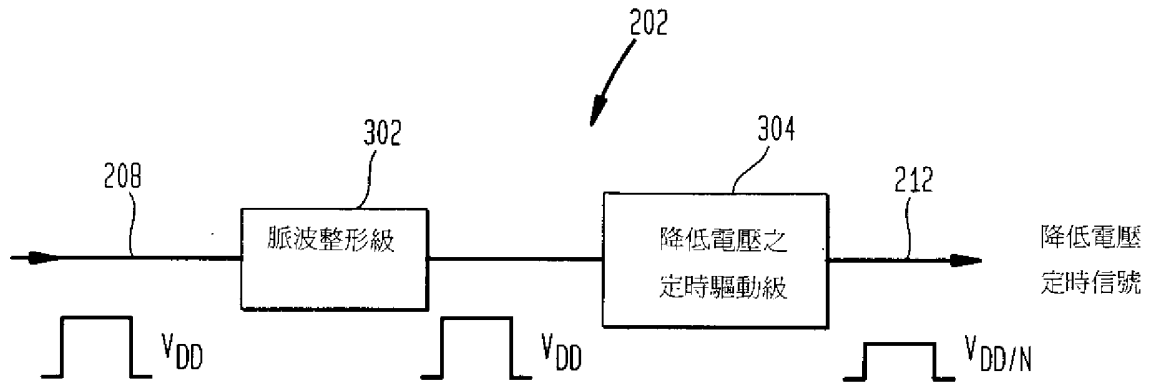
第 1B 圖



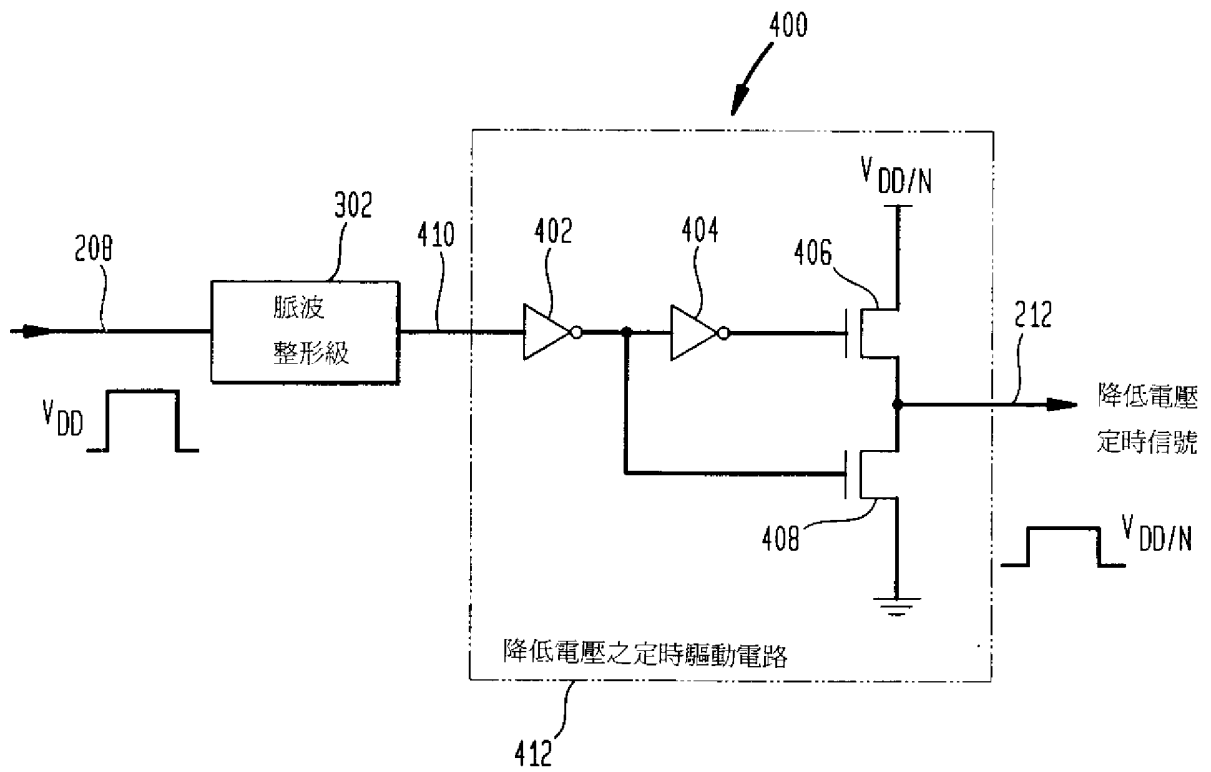
第 2 圖



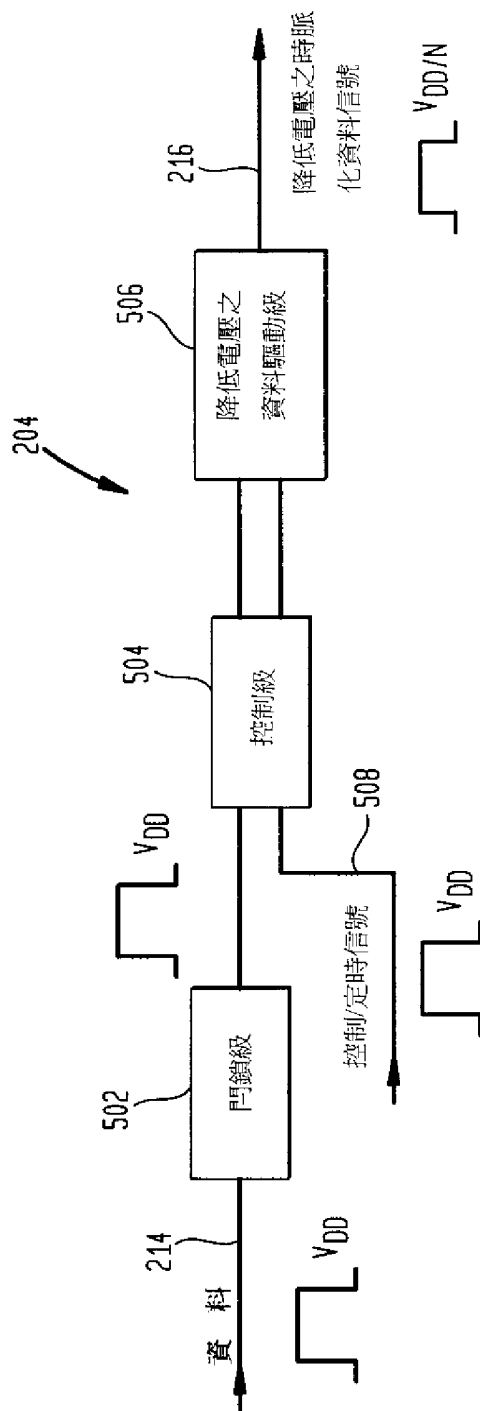
第 3 圖



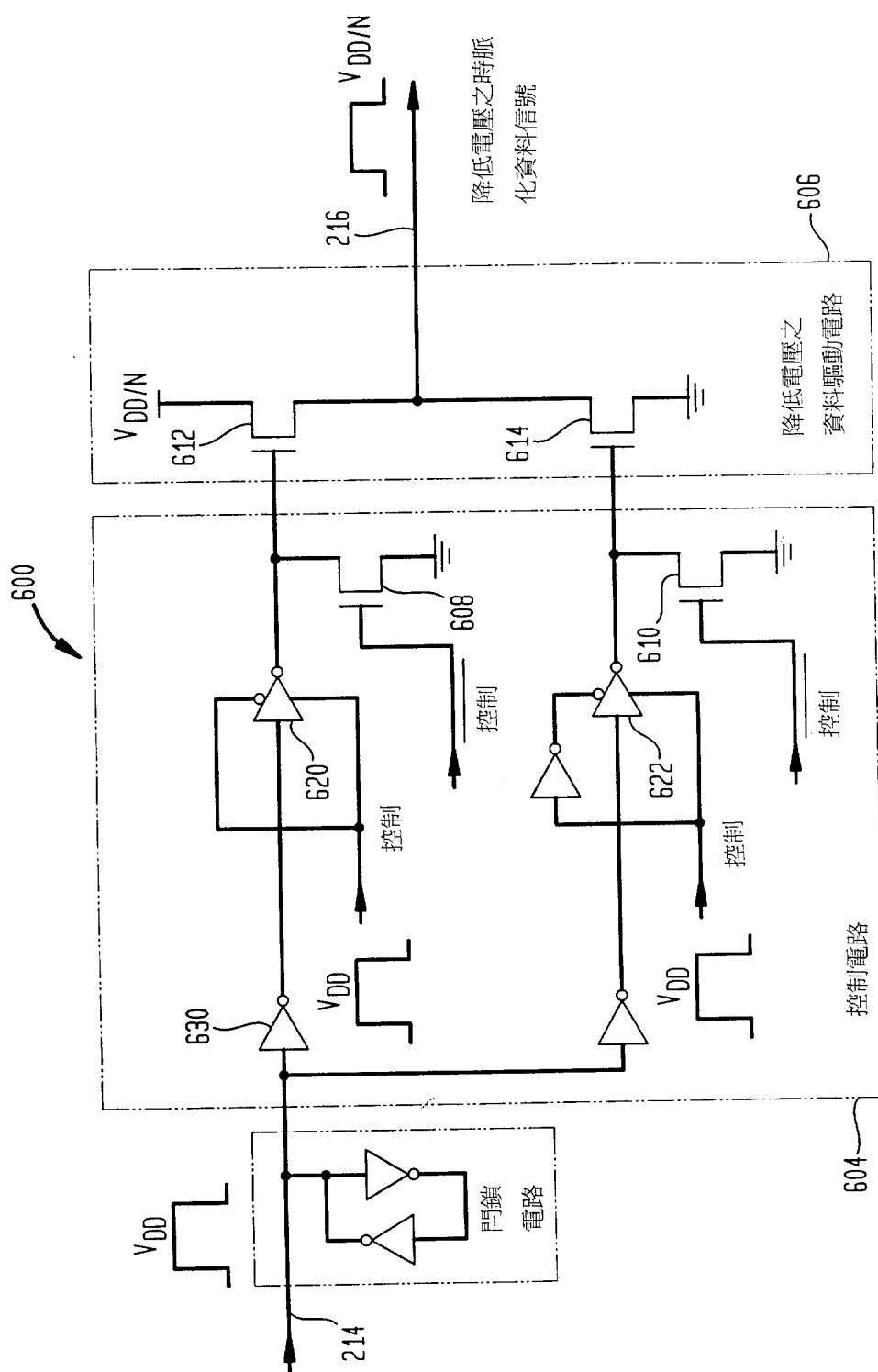
第 4 圖



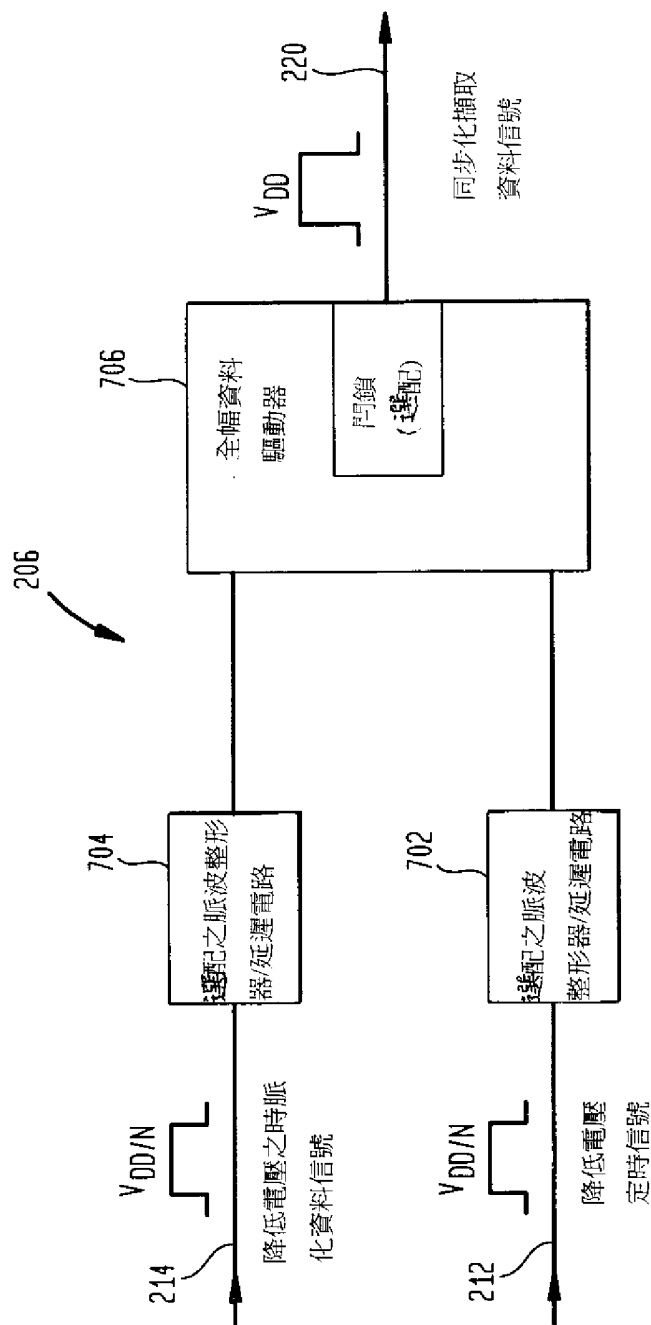
第 5 圖



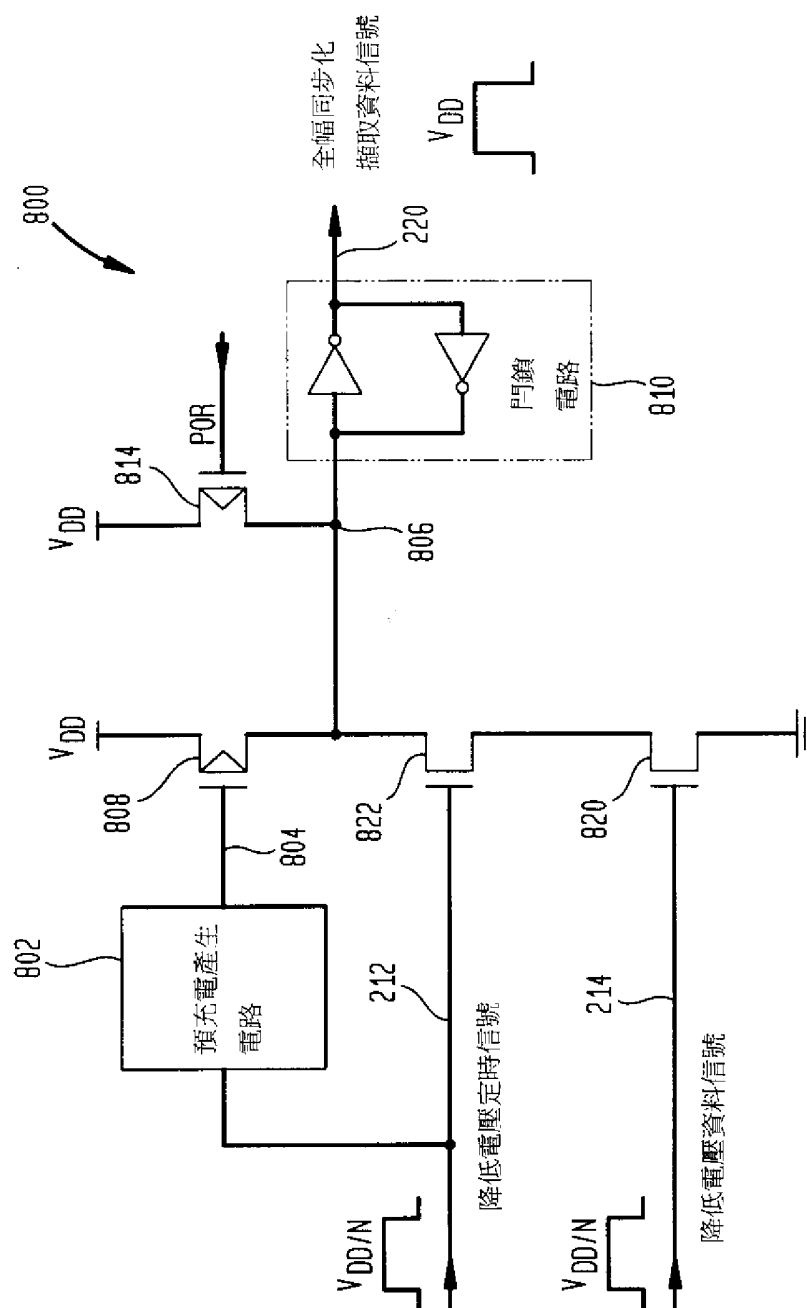
第6圖



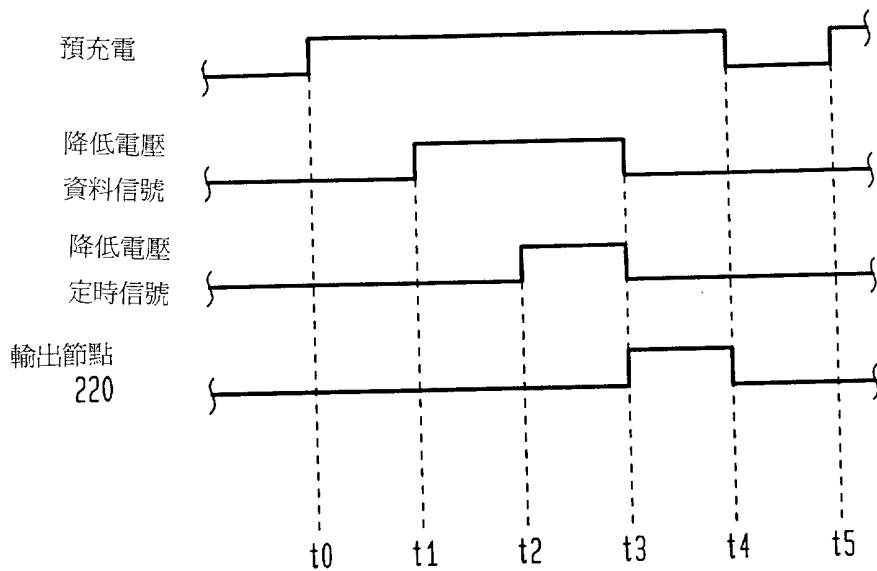
第7圖



回
8
集



第 9 圖



第 10B 圖

