

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3581447号
(P3581447)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年7月30日(2004.7.30)

(51) Int.Cl.⁷
H01L 29/78

F I
H01L 29/78 301X

請求項の数 7 (全 26 頁)

(21) 出願番号	特願平7-213523	(73) 特許権者	000006013
(22) 出願日	平成7年8月22日(1995.8.22)		三菱電機株式会社
(65) 公開番号	特開平9-64342		東京都千代田区丸の内二丁目2番3号
(43) 公開日	平成9年3月7日(1997.3.7)	(74) 代理人	100064746
審査請求日	平成12年10月23日(2000.10.23)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100091395
			弁理士 吉田 博由
		(74) 代理人	100091409
			弁理士 伊藤 英彦
		(72) 発明者	秋山 肇
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 高耐圧半導体装置

(57) 【特許請求の範囲】

【請求項1】

主表面を有する基板と、
前記基板の主表面上に形成された第1導電型の半導体層と、
前記半導体層の表面に間隔をあけて形成された第2導電型の第1と第2の不純物拡散領域と、
前記第1と第2の不純物拡散領域間に位置する前記半導体層の表面上に絶縁層を介在して形成された制御電極と、
前記第1の不純物拡散領域と電気的に接続される第1の主電極と、
前記第2の不純物拡散領域と電気的に接続される第2の主電極とを備え、
前記第2の不純物拡散領域は、相対的に低濃度の第2導電型の不純物を含む低濃度領域と、前記低濃度領域と接続され相対的に高濃度の第2導電型の不純物を含む複数の高濃度領域とを有し、
前記高濃度領域は、前記制御電極から前記第2の主電極に向かう方向に間隔をあけて配置され、前記低濃度領域内から前記半導体層に達し、
前記制御電極から離れた側の前記第2の不純物拡散領域の端部と連なるように第2導電型の第3の不純物拡散領域が形成され、
前記第1の主電極は、前記第1の不純物拡散領域の表面と前記第1の不純物拡散領域の近傍に位置する前記半導体層の表面との双方に接触して形成され、
前記第2の主電極は、前記第3の不純物拡散領域の表面と接触して形成される、高耐圧半

10

20

導体装置。

【請求項 2】

主表面を有する基板と、
前記基板の主表面上に形成された第 1 導電型の半導体層と、
前記半導体層の表面に間隔をあけて形成された第 2 導電型の第 1 と第 2 の不純物拡散領域と、
前記第 1 と第 2 の不純物拡散領域間に位置する前記半導体層の表面上に絶縁層を介在して形成された制御電極と、
前記第 1 の不純物拡散領域と電氣的に接続される第 1 の主電極と、
前記第 2 の不純物拡散領域と電氣的に接続される第 2 の主電極とを備え、
前記第 2 の不純物拡散領域は、相対的に低濃度の第 2 導電型の不純物を含む低濃度領域と、前記低濃度領域と接続され相対的に高濃度の第 2 導電型の不純物を含む複数の高濃度領域とを有し、
前記制御電極から離れた側の前記第 2 の不純物拡散領域の端部と連なるように第 2 導電型の第 3 の不純物拡散領域が形成され、
前記第 1 の主電極は、前記第 1 の不純物拡散領域の表面と前記第 1 の不純物拡散領域の近傍に位置する前記半導体層の表面との双方に接触して形成され、
前記第 2 の主電極は、前記第 3 の不純物拡散領域の表面と接触して形成され、
前記低濃度領域は、前記半導体層の表面内に間隔をあけて形成された第 2 導電型の第 1 と第 2 の低濃度不純物拡散領域を含み、
前記高濃度領域は、前記第 1 の低濃度不純物拡散領域の表面上から前記第 2 の低濃度不純物拡散領域の表面上に延在するように形成され高濃度の第 2 導電型の不純物を含む導電層により構成される、高耐压半導体装置。

10

20

【請求項 3】

前記導電層と前記半導体層との間には絶縁層が介在され、
前記導電層の一方の端部が前記第 1 の低濃度不純物拡散領域の表面と接触し、
前記導電層の他方の端部が前記第 2 の低濃度不純物拡散領域の表面と接触する、請求項 2 に記載の高耐压半導体装置。

【請求項 4】

前記第 1 と第 2 の低濃度不純物拡散領域内には、前記導電層と、前記第 1 および第 2 の低濃度不純物拡散領域との接触部を取り囲むように前記第 1 と第 2 の低濃度不純物拡散領域に含まれる第 2 導電型の不純物濃度よりも高濃度の第 2 導電型の不純物を含む高濃度不純物拡散領域が形成される、請求項 2 または 3 に記載の高耐压半導体装置。

30

【請求項 5】

前記第 1 の主電極は絶縁層を介在して前記制御電極上と前記第 2 の不純物拡散領域上とに延在する、請求項 1 に記載の高耐压半導体装置。

【請求項 6】

前記基板は、半導体基板と、前記半導体基板の表面上に形成された埋込絶縁層とを含み、前記半導体層は前記埋込絶縁層の表面上に形成される、請求項 1 に記載の高耐压半導体装置。

40

【請求項 7】

前記第 1 の不純物拡散領域の直下であって前記基板の主表面と近接する前記半導体層の底部領域には、前記半導体層に含まれる第 1 導電型の不純物濃度よりも高濃度の第 1 導電型の不純物を含む埋込拡散領域が形成される、請求項 1 に記載の高耐压半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高耐压半導体装置に関し、特に、制御電極の電圧によって電流導通状態と電流遮断状態とが実現される高耐压半導体装置に関するものである。

【0002】

50

【従来の技術】

以下、図40～図55を用いて、従来の高耐圧半導体装置の構造および動作について説明する。図40は、従来の高耐圧半導体装置の第1の例を示す部分断面図である。

【0003】

図40を参照して、p型半導体基板1の主表面上には n^- 層2が形成される。この n^- 層2とp型半導体基板1との境界部には、 n^+ 埋込拡散領域8が形成される。また、 n^- 層2を深さ方向に貫通してp型半導体基板1の主表面に達するようにp拡散領域7が形成されている。 n^- 層2の表面には、pチャネルMOSトランジスタ14が形成されている。このpチャネルMOSトランジスタ14は、 p^- 拡散領域5と、 p^+ 拡散領域3と、ゲート電極（制御電極）9とで構成される。

10

【0004】

p^+ 拡散領域3に隣接して n^+ 拡散領域4が形成される。また、 p^+ 拡散領域3と n^+ 拡散領域4とを取囲むように n 拡散領域4aが形成される。 n^+ 拡散領域4と p^+ 拡散領域3との双方に接触するようにソース電極11が形成される。このソース電極11は、酸化膜10を介在してゲート電極9上および p^- 拡散領域5上に延在する。 p^- 拡散領域5の一方の端部と連なるように p^+ 拡散領域6が形成される。この p^+ 拡散領域6表面上にはドレイン電極12が形成される。一方、p型半導体基板1の裏面上には、基板電極（裏面電極）13が形成されている。

【0005】

次に、図41～図43を用いて、図40に示される高耐圧半導体装置の動作について説明する。まず、図41および図42を用いて、オフ動作について説明する。図41と図42は、図40に示される高耐圧半導体装置のオフ動作時の空乏層の状態を段階的に示す図である。

20

【0006】

まず図41および図42を参照して、ドレイン電極12と基板電極13の電位を0Vとし、ゲート電極9とソース電極11とに正電位（+Vcc）を印加する。それにより、主に、 n^- 層2とp型半導体基板1との界面のpn接合部Bと、 n^- 層2とp拡散領域7との界面のpn接合部Aと、 n^- 層2と p^- 拡散領域5との界面のpn接合部Cから空乏層が伸びる。

【0007】

このとき、pn接合部Aから伸びる空乏層は、pn接合部Bから伸びる空乏層の影響で通常より伸びやすくなる。そのため、pn接合部A近傍の電界は比較的小さい値に保たれる。この効果は、p型半導体基板1の濃度や、 n^- 層2に含まれるn型の不純物濃度や、 n^- 層2の厚みなどを最適化することによって実現され、一般にRESURF（Reduced Surface Field）効果と呼ばれている。

30

【0008】

一方、pn接合部Cから伸びる空乏層は、 p^- 拡散領域5が低濃度領域であるため、 n^- 層2側に伸びると同時に p^- 拡散領域5も空乏化する。 p^- 拡散領域5の上にオーバーラップして形成されたゲート電極9とソース電極11は、2段フィールドプレートを形成している。それにより、 p^- 拡散領域5の空乏化が促進され、pn接合部Cのゲート電極9近傍の電界が緩和される。

40

【0009】

各要素の条件を最適化した場合、さらに高い正電位を印加することが可能となる。そして、最終的には、 n^+ 埋込拡散領域8とp型半導体基板1との間の接合によって耐圧が決定される。このとき、 n^- 層2と p^- 拡散領域5とはほとんど空乏化されている。このようにしてオフ状態を保つことが可能となる。

【0010】

次に、図43を用いて、オン動作について説明する。図43は、図40に示される従来の高耐圧半導体装置のオン状態を示す図である。図43を参照して、ゲート電極9の電位をソース電極11の電位に対して低下させる。それにより、ゲート電極9直下の n^- 層2

50

の表面が p 型に反転する。それにより、ホール電流が、図 4 3 において矢印で示されるように、 p^+ 拡散領域 3 から p^- 拡散領域 5 を通って p^+ 拡散領域 6 へと流れる。それにより、オン状態が実現される。このオン状態の際のデバイスの抵抗の大半は p^- 拡散領域 5 の抵抗値である。そのため、オン状態におけるデバイスの抵抗を低減するためには、 p^- 拡散領域 5 の低抵抗化が効果的である。しかしながら、高耐圧を確保するためには p^- 拡散領域 5 がオフ状態でほぼ空乏化する必要がある。したがって、 p^- 拡散領域 5 に含まれる p 型の不純物濃度には、自ずと上限値（最適値）が存在することとなる。

【0011】

次に、図 4 4 ~ 図 4 7 を用いて、従来の高耐圧半導体装置の第 2 の例について説明する。 10

図 4 4 は、この第 2 の例における従来の高耐圧半導体装置を示す部分断面図である。図 4 4 を参照して、図 4 0 に示される第 1 の例における高耐圧半導体装置と異なるのは、 n^+ 拡散領域 1 5 が p^+ 拡散領域 6 内に形成されているか否かである。それ以外の構造に関しては図 4 0 に示される高耐圧半導体装置と同様である。

【0012】

次に、図 4 5 ~ 図 4 7 を用いて、図 4 4 に示される高耐圧半導体装置の動作について説明する。図 4 5 および図 4 6 は、図 4 4 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を段階的に示す図である。なお、オフ動作に関しては、図 4 0 に示される第 1 の例における高耐圧半導体装置の場合と同様であるため、説明は省略する。

【0013】

次に、図 4 7 を用いて、この第 2 の例における高耐圧半導体装置のオン動作について説明する。図 4 7 は、この第 2 の例における高耐圧半導体装置のオン状態を示す図である。 20

【0014】

図 4 7 を参照して、ゲート電極 9 の電位を、ソース電極 1 1 に対して低下させる。それにより、ゲート電極 9 直下の n^- 層 2 の表面が p 型に反転する。それにより、ホール電流 3 7 b が、 p^+ 拡散領域 3 から p^- 拡散領域 5 を通って p^+ 拡散領域 6 へと流れる。これに応じて n^+ 拡散領域 1 5 から電子電流 3 7 a が p^- 拡散領域 5 と n^- 層 2 内に流入する。それにより、電子とホールとの高蓄積状態が実現され、導電率変調が引き起こされる。その結果、オン状態が実現される。つまり、上記の第 2 の例における高耐圧半導体装置は、p チャンネル IGBT として動作することとなる。 30

【0015】

なお、図 4 8 には、上記の第 2 の例における高耐圧半導体装置の全体構造を示す鳥瞰図が示されている。

【0016】

次に、図 4 9 ~ 図 5 2 を用いて、従来の高耐圧半導体装置の第 3 の例について説明する。図 4 9 は、この第 3 の例における高耐圧半導体装置を示す部分断面図である。

【0017】

図 4 9 を参照して、半導体基板 1 6 の表面上には埋込酸化膜 1 7 が形成されている。この埋込酸化膜 1 7 上に n^- 層 2 が形成される。また、 n^- 層 2 の所定位置にトレンチ 2 2 が形成される。このトレンチ 2 2 の内表面上には、酸化膜 1 8 が形成される。酸化膜 1 8 内にはポリシリコン層 1 9 が埋め込まれる。それ以外の構造に関しては図 4 0 に示される第 1 の例における高耐圧半導体装置と同様である。 40

【0018】

次に、図 5 0 ~ 図 5 2 を用いて、この第 3 の例における高耐圧半導体装置の動作について説明する。図 5 0 と図 5 1 は、この第 3 の例における高耐圧半導体装置のオフ動作時の空乏層の状態を段階的に示す図である。これらの図を参照して、上記の第 1 の例における高耐圧半導体装置の場合と同様に、ドレイン電極 1 2 と基板電極 1 3 の電位を 0 V とし、ゲート電極 9 とソース電極 1 1 とに正電位 (+V) を印加する。それにより、 p^- 拡散領域 5 と n^- 層 2 の界面の pn 接合部および p^+ 拡散領域 6 と n^- 層 2 の界面の pn 接合部から主に空乏層が伸びる。 50

【0019】

このとき、同時に、 n^- 層2と埋込酸化膜17との界面からも空乏層が伸び始める。そして、このことが電界緩和に寄与する。その結果、前述のRESURF効果が得られる。なお、このRESURF効果については、たとえば、S. Merchant et al. "Realization of high breakdown voltage (>700V) in thin SOI devices" Proc. of 3rd ISPSD, pp. 31-35, 1991に記載されている。この第3の例における高耐圧半導体装置のオン動作について図52に示されているが、このオン動作に関しては上記の第1の例における高耐圧半導体装置と同様であるため説明は省略する。

【0020】

10

次に、図53～図55を用いて、従来の高耐圧半導体装置の第4の例について説明する。図53は、従来の高耐圧半導体装置の第4の例を示す部分断面図である。

【0021】

図53を参照して、この第4の例にける高耐圧半導体装置では、 n^- 層2内に p^+ 拡散領域3および p 拡散領域3aが形成され、この p^+ 拡散領域3の表面に n^+ 拡散領域4が形成されている。また、 p^+ 拡散領域3と間隔をあけて n^+ 拡散領域15が形成されている。そして、 n^+ 拡散領域4と n^- 層2との間に位置する p 拡散領域3a上に酸化膜10を介在してゲート電極9が形成される。また、 p^+ 拡散領域3と n^+ 拡散領域4の双方の表面に接触してソース電極11が形成される。 n^+ 拡散領域15の表面と接触してドレイン電極12が形成される次に、図54および図55を用いて、この第4の例における高耐圧半導体装置の動作について説明する。図54は、この第4の例における高耐圧半導体装置のオフ動作時の空乏層の状態を示す図である。

20

【0022】

図54を参照して、ソース電極11と、ゲート電極9と基板電極13の電位を0Vとし、ドレイン電極12に正電位(+Vcc)を印加する。それにより、空乏層は、主に、 p 拡散領域3aと n^- 層2の界面の pn 接合部Aから伸びる。そして、同時に、 n^- 層2と埋込酸化膜17の界面Bからも空乏層は伸びることになる。それにより、空乏層の伸びが助長され、空乏層がさらに広がる。つまり、RESURF効果が得られることになる。その結果、デバイスが高耐圧化される。

【0023】

30

次に、オン動作について説明する。図55は、この第4の例における高耐圧半導体装置のオン状態を示す図である。図55を参照して、ソース電極11と基板電極13の電位を0Vとし、ゲート電極9の電位をソース電極11に対して上昇させ、ドレイン電極12に正電位(+Vcc)を印加する。それにより、ゲート電極9直下の p^+ 拡散領域3の表面が n 型に反転し、反転領域38が形成される。それにより、電子が n^+ 拡散領域4から反転領域38を通して n^- 層2および n^+ 拡散領域15に到達する。その結果、オン動作が実現されることとなる。

【0024】

【発明が解決しようとする課題】

上記の第1～第3の例における従来の高耐圧半導体装置では、 p^- 拡散領域5の抵抗値が、オン動作時の高耐圧半導体装置の抵抗値をほぼ決定する要因となる。そのため、 p^- 拡散領域5の低抵抗化が望まれる。そのためには、 p^- 拡散領域5に含まれる p 型の不純物濃度を高める手法が一般的に考えられる。しかしながら、このことは p^- 拡散領域5内における空乏層の伸びを抑制してしまう。その結果、空乏層内が高電界化しやすくなり、高耐圧半導体装置の耐圧を低下させてしまうという問題が生じる。

40

【0025】

また、上記の第4の例における従来の高耐圧半導体装置では、 n^- 層2の抵抗値がオン動作時の高耐圧半導体装置の抵抗値を決定する要因となる。そのため、 n^- 層2の低抵抗化が望まれる。そのための手法としては、上記の場合と同様に、 n^- 層2に含まれる n 型の不純物濃度を高める手法が考えられる。しかしながら、この場合も、上記の第1～

50

第3の例の場合と同様に、 n^+ 層2内での空乏層の伸びが抑制され、高耐圧半導体装置の耐圧を劣化させてしまうという問題が生じる。

【0026】

このように、従来の高耐圧半導体装置では、オン動作時におけるデバイスの抵抗値の低減とオフ動作時のデバイスの高耐圧化との双方を実現することは困難であった。

【0027】

この発明は、上記のような課題を解決するためになされたものである。この発明の目的は、オフ動作時のデバイスの耐圧をほとんど低下させることなくオン動作時デバイスの抵抗値を低減することが可能となる高耐圧半導体装置を提供することにある。

【0028】

【課題を解決するための手段】

この発明に係る高耐圧半導体装置は、1つの局面では、主表面を有する基板と、第1導電型の半導体層と、第2導電型の第1と第2の不純物拡散領域と、制御電極と、第1および第2の主電極とを備える。半導体層は、基板の主表面上に形成される。第1と第2の不純物拡散領域は、互いに間隔をあけて半導体層の表面上に形成される。制御電極は、第1と第2の不純物拡散領域間に位置する半導体層の表面上に絶縁層を介在して形成される。第1の主電極は、第1の不純物拡散領域と電気的に接続される。第2の主電極は、第2の不純物拡散領域と電気的に接続される。そして、第2の不純物拡散領域は、相対的に低濃度の第2導電型の不純物を含む低濃度領域と、この低濃度領域と接続され相対的に高濃度の第2導電型の不純物を含む複数の高濃度領域とを有し、高濃度領域は、制御電極から第2の主電極に向かう方向に間隔をあけて配置され、低濃度領域内から半導体層に達し、制御電極から離れた側の第2の不純物拡散領域の端部と連なるように第2導電型の第3の不純物拡散領域が形成され、第1の主電極は、第1の不純物拡散領域の表面と第1の不純物拡散領域の近傍に位置する半導体層の表面との双方に接触して形成され、第2の主電極は、第3の不純物拡散領域の表面と接触して形成される。

【0029】

上記のように、この発明に係る高耐圧半導体装置は、1つの局面では、第2の不純物拡散領域が低濃度領域と複数の高濃度領域との双方を備える。第2の不純物拡散領域が高濃度領域を備えることにより、第2の不純物拡散領域の抵抗値を低減でき、オン動作時の高耐圧半導体装置の抵抗値を低減することが可能となる。一方、第2の不純物拡散領域が低濃度領域を備えることにより、高耐圧半導体装置のオフ動作時に、この低濃度領域内で空乏層を十分伸ばすことが可能となる。それにより、高耐圧半導体装置のオフ動作時の空乏層の伸びが助長されることとなる。その結果、高耐圧半導体装置のオフ動作時の耐圧は、高く維持され得る。つまり、高耐圧半導体装置のオフ動作時の耐圧をほとんど低下させることなく、オン動作時の高耐圧半導体装置の抵抗値を低減することが可能となる。

【0030】

この発明に係る高耐圧半導体装置は、他の局面では、主表面を有する基板と、基板の主表面上に形成された第1導電型の半導体層と、半導体層の表面に間隔をあけて形成された第2導電型の第1と第2の不純物拡散領域と、第1と第2の不純物拡散領域間に位置する半導体層の表面上に絶縁層を介在して形成された制御電極と、第1の不純物拡散領域と電気的に接続される第1の主電極と、第2の不純物拡散領域と電気的に接続される第2の主電極とを備える。そして、第2の不純物拡散領域は、相対的に低濃度の第2導電型の不純物を含む低濃度領域と、該低濃度領域と接続され相対的に高濃度の第2導電型の不純物を含む複数の高濃度領域とを有し、制御電極から離れた側の第2の不純物拡散領域の端部と連なるように第2導電型の第3の不純物拡散領域が形成され、第1の主電極は、第1の不純物拡散領域の表面と第1の不純物拡散領域の近傍に位置する半導体層の表面との双方に接触して形成され、第2の主電極は、第3の不純物拡散領域の表面と接触して形成され、低濃度領域は、半導体層の表面内に間隔をあけて形成された第2導電型の第1と第2の低濃度不純物拡散領域を含み、高濃度領域は、第1の低濃度不純物拡散領域の表面上から第2の低濃度不純物拡散領域の表面上に延在するように形成され高濃度の第2導電型の不純物

10

20

30

40

50

を含む導電層により構成される。

【0040】

【発明の実施の形態】

以下、図1～図39を用いて、この発明の実施の形態について説明する。

【0041】

(実施の形態1)

図1は、この発明の実施の形態1を示す部分断面図である。より具体的には、本発明をpチャネルMOSデバイスに適用した場合の実施の形態が示されている。図1を参照して、p型半導体基板1の主表面上にはn⁻層2が形成される。このn⁻層2を貫通してp型半導体基板1に到達するようにp拡散領域7が形成される。n⁻層2の表面にはpチャネルMOSトランジスタ14が形成される。このpチャネルMOSトランジスタ14は、p⁻拡散領域5と、p⁺拡散領域3と、ゲート電極9とを備える。ゲート電極9は、p⁻拡散領域5とp⁺拡散領域3との間に位置するn⁻層2の表面上に酸化膜10を介在して形成される。

10

【0042】

p⁺拡散領域3と隣接してn⁺拡散領域4が形成される。また、p⁻拡散領域5の一方の端部と連なるようにp⁺拡散領域6が形成される。p⁺拡散領域6の表面と接触してドレイン電極12が形成され、p⁺拡散領域3の表面とn⁺拡散領域4の表面とに接触してソース電極11が形成される。ソース電極11は、図1に示されるように、ゲート電極9上とp⁻拡散領域5上とに延在する。

20

【0043】

そして、p⁻拡散領域5内からn⁻層2に到達するようにp拡散領域20が形成される。この図1に示される高耐圧半導体装置の全体構成は、図48に示される従来の高耐圧半導体装置とほぼ同様であるため、p拡散領域20は、リング状の平面構造を有することとなる。

【0044】

ここで、p拡散領域20についてより詳しく説明する。p拡散領域20に含まれるp型の不純物濃度(本明細書において、「不純物濃度」とは、不純物のピーク濃度を意味する)は、p⁻拡散領域5に含まれるp型の不純物濃度の10～100倍程度以上であることが好ましい。また、p拡散領域20は、p⁻拡散領域5の長手方向に互いに間隔をあけられて複数個設けられることが好ましい。このように、p拡散領域20がp⁻拡散領域5内に間隔をあけて複数設けられることにより、高耐圧半導体装置のオフ動作時における空乏層の水平方向への伸びが促進される。

30

【0045】

図2には、実施の形態1における高耐圧半導体装置のオフ動作時の空乏層の状態が示されている。この図2において、21が空乏層端を示している。図2を参照して、基板電極13とドレイン電極12の電位を0Vとし、ゲート電極9とソース電極11とに正電位(+V)を印加する。それにより、pn接合部A、BおよびCから空乏層が伸びる。

【0046】

そして、特に、n⁻層2の表面付近では、リング状のp拡散領域20の存在によって、水平方向への空乏層の伸びが促進される。そして、p⁺拡散領域6とp拡散領域20の一部に未空乏化領域30を残すものの空乏層はn⁻層2内で十分に広がる。それにより、空乏層内の電界強度が緩和され、RESURF効果と同様の効果が得られる。なお、リング状のp拡散領域20に相当する構造は、Floating Field Ringsと呼ばれ、空乏層の伸びを促進する効果を有する。このことに関しては、たとえば、B. J. Baliga "Modern Power Devices" 1987, pp. 92 - 99に解説されている。

40

次に、図3を用いて、図1に示される実施の形態1における高耐圧半導体装置のオン動作について説明する。図3(a)は、図1に示される高耐圧半導体装置のオン動作時の状態を示す図である。図3(b)は、従来の高耐圧半導体装置のオン動作時の状態を示す図で

50

ある。

【 0 0 4 7 】

まず図 3 (a) を参照して、高耐圧半導体装置のオン状態は、ドレイン電極 1 2 と基板電極 (図示せず) の電位を 0 V とし、ソース電極 1 1 に正電位 (+ V c c) を印加し、ゲート電極 9 の電位をソース電極 1 1 に対して低下させることによって実現される。そして、ゲート電極 9 直下の n⁻ 層 2 の表面が p 型に反転し、ソース電極 1 1 からドレイン電極 1 2 へと電流が流れることとなる。

【 0 0 4 8 】

ここで、p⁻ 拡散領域 5 の抵抗成分を $R_{A1}, R_{A2} \dots R_{Am}$ とし、p 拡散領域 2 0 の抵抗成分を $R_{B1}, R_{B2} \dots R_{Bn}$ とし、ゲート電極 9 直下におけるチャネル領域の抵抗成分を R_{ch} とする。一方、図 3 (b) に示されるように、従来例における p 拡散領域 2 0 に対応する位置における p⁻ 拡散領域 5 の抵抗成分を $R_{C1}, R_{C2} \dots R_{Cn}$ とする。

10

【 0 0 4 9 】

そして、実施の形態 1 における p⁻ 拡散領域 5 と p 拡散領域 2 0 との総抵抗を $R_{tot}(N)$ とし、従来例における p⁻ 拡散領域 5 の総抵抗を $R_{tot}(O)$ とすると、各々次のように表わされる。

【 0 0 5 0 】

【 数 1 】

20

$$R_{tot}(N) = \sum_{i=1}^m R_{Ai} + \sum_{i=1}^n R_{Bi} + R_{ch}$$

$$R_{tot}(O) = \sum_{i=1}^m R_{Ai} + \sum_{i=1}^n R_{Ci} + R_{ch}$$

【 0 0 5 1 】

そして、 $R_{tot}(O) - R_{tot}(N)$ の値は、次のように表わされる。

【 0 0 5 2 】

30

【 数 2 】

$$R_{tot}(O) - R_{tot}(N) = \sum_{i=1}^n R_{Ci} - \sum_{i=1}^n R_{Bi}$$

【 0 0 5 3 】

ここで、p 拡散領域 2 0 に含まれる p 型の不純物濃度は、前述のように、p⁻ 拡散領域 5 に含まれる p 型の不純物濃度よりも高いので、 $R_{Bi} > R_{Ci}$ の関係が成り立つ。

【 0 0 5 4 】

40

それにより、次のような関係式が得られる。

【 0 0 5 5 】

【 数 3 】

$$R_{tot}(O) - R_{tot}(N) > 0$$

$$R_{tot}(N) < R_{tot}(O)$$

【 0 0 5 6 】

以上のことより、p 拡散領域 20 を設けることにより、オン動作時における高耐圧半導体装置の抵抗値の低減が可能となる。 10

【 0 0 5 7 】

上記の内容に鑑み、p⁺ 拡散領域 5 の全体にわたって一様に高濃度化を図ることにより、オン動作時における高耐圧半導体装置の抵抗値の低減がより一層効果的に行なえるものと考えられる。そこで、本願の発明者は、p⁺ 拡散領域 5 の全体にわたって一様に高濃度化を図る手法について検討を行なった。その結果について以下に説明する。

【 0 0 5 8 】

図 4 は、p⁺ 拡散領域 5 の表面濃度に対する高耐圧半導体装置の耐圧の変化について計算機シミュレーションを行なった結果を示す図である。p 型半導体基板 1 に相当する条件を制御して、p⁺ 拡散領域 5 がない状態で各々 450 V、600 V の耐圧を有する 2 つ 20 のモデルについて検証した。図 4 に示されるように、いずれも表面濃度の増加に伴って耐圧が低下する傾向を示している。そして、 $1 \times 10^{17} \text{ cm}^{-3}$ の濃度に達した状態では、初期の設計条件とは無関係にいずれも約 150 V 前後まで耐圧が低下しているのがわかる。

【 0 0 5 9 】

ここで、上記の内容を考慮し、p⁺ 拡散領域 5 を一様に高濃度化した場合と、この実施の形態 1 のように p 拡散領域 20 を設けた場合とを比較検討してみる。図 5 (a) ~ (c) は、一様に高濃度化された p 拡散領域 24 を有する高耐圧半導体装置に、正電位 (+V₁ < +V₂ < +V₃) を順次印加した際の空乏層の状態を示す断面図である。図 6 は、実施の形態 1 における高耐圧半導体装置に上記の正電位 +V₁、+V₂、+V₃ を順次印加した場合の空乏層の状態を示す図である。 30

【 0 0 6 0 】

まず図 5 (a) を参照して、正電位 +V₁ を印加することにより、pn 接合部 A、B、C から空乏層が伸び始める。そして、さらに高電位を印加することにより、図 5 (b) や図 5 (c) に示されるように空乏層はソース電極 11 に向かって伸びる。しかしながら、p 拡散領域 24 は一様に高濃度であるので、ソース電極 11 に近づくに従って徐々に空乏層の伸びの程度は低下する。そして、図 5 (c) に示されるように、電解集中点 32 が発生し、アバランシェ破壊が引き起こされる。

【 0 0 6 1 】

一方、本発明の実施の形態 1 における高耐圧半導体装置では、図 6 (a) ~ (c) に順次示されるように、高電圧を順次印加するに従って空乏層はソース電極 11 に向かって滑らかに広がっていく。それは、p⁺ 拡散領域 5 が p 拡散領域 20 間に存在するからである。図 6 (b) および (c) に示されるように、空乏層が伸びる際には p 拡散領域 20 内に未空乏化領域 30 が残余するが、p 拡散領域 20 に隣接する位置に p⁺ 拡散領域 5 が存在するため、空乏層の伸びは促進される。つまり、p⁺ 拡散領域 5 が p 拡散領域 20 の間に存在することにより、p⁺ 拡散領域 5 が完全に空乏化しながら空乏層の伸びが継続することとなる。それにより、空乏層を十分に拡張させることができ、オフ動作時における高耐圧半導体装置の耐圧を向上させることが可能となる。 40

【 0 0 6 2 】

以上のことより、この実施の形態 1 における高耐圧半導体装置では、オフ動作時における高耐圧半導体装置の耐圧を低下させることなく、オン動作時における高耐圧半導体装置の 50

抵抗値を低減させることが可能となる。

【0063】

(実施の形態2)

次に、図7および図8を用いて、この発明の実施の形態2について説明する。図7は、この発明の実施の形態2における高耐圧半導体装置を示す部分断面図である。

【0064】

図7を参照して、図1に示される高耐圧半導体装置と異なるのは、 n^+ 埋込拡散領域8が形成されているか否かである。それ以外の構成に関しては、図1に示される高耐圧半導体装置と同様である。

【0065】

上記のように、 n^+ 埋込拡散領域8を設けることにより、次のような効果が得られる。図8は、図7に示される高耐圧半導体装置のオフ動作時の空乏層の状態を示す図である。上記のように n^+ 埋込拡散領域8を設けることにより、図8に示されるように、 n^+ 埋込拡散領域8と p^+ 拡散領域3との間に位置する n^- 層2内に空乏層が広がるのを阻止することが可能となる。それにより、空乏層は、 n^+ 埋込拡散領域8下に位置するp型半導体基板1内に広がることとなる。このとき、p型半導体基板1は低濃度でかつ厚みが大きいため、空乏層を十分に伸ばすことが可能となる。それにより、オフ動作時における高耐圧半導体装置の耐圧をさらに向上させることが可能となる。

【0066】

(実施の形態3)

次に、図9および図10を用いて、この発明の実施の形態3について説明する。図9は、この発明の実施の形態3における高耐圧半導体装置を示す部分断面図である。

【0067】

図9を参照して、この実施の形態3における高耐圧半導体装置では、半導体基板16の表面上に埋込酸化膜17が形成され、この埋込酸化膜17表面上に n^- 層2が形成される。つまり、SOI (Semiconductor On Insulator) 構造を有する高耐圧半導体装置が示されることになる。そして、 n^- 層2を貫通するようにトレンチ22が設けられ、このトレンチ22内に酸化膜18とポリシリコン層19とが埋込まれる。それ以外の構成に関しては図1に示される実施の形態1における高耐圧半導体装置と同様である。

【0068】

図10には、この実施の形態3における高耐圧半導体装置のオフ動作時における空乏層の状態が示されている。図10に示されるように、空乏層は、未空乏化領域30を残しながら十分に n^- 層2内で広がっている。この場合も、 p 拡散領域20と p^- 拡散領域5の存在により、空乏層の水平方向の伸びが促進される。それにより、RESURF効果が有効に発現し、オフ動作時における耐圧が向上される。なお、オン動作に関しても実施の形態1の場合と同等の効果が得られる。

【0069】

(実施の形態4)

次に、図11～図13を用いて、実施の形態4について説明する。図11は、この発明の実施の形態4における高耐圧半導体装置を示す部分断面斜視図である。

【0070】

図11を参照して、 p^- 拡散領域5に含まれるp型の不純物濃度以上の濃度のp型の不純物を含む p 拡散領域23が形成され、この p 拡散領域23の表面に n^- 拡散領域2aが設けられる。また、 p^+ 拡散領域6の表面には n^+ 拡散領域15が形成される。それ以外の構成に関しては図1に示される高耐圧半導体装置とほぼ同様である。

【0071】

上記のように、 p 拡散領域23の表面に n^- 拡散領域2aが設けられることにより、オン動作時に、電子の注入によってモジュレーションが引起こされる領域が p 拡散領域23の上下に形成される。それにより、モジュレーション効率を向上させることが可能となり

10

20

30

40

50

、スイッチング動作速度を速めることが可能となる。

【0072】

図12は、図11におけるXII-XII線に沿う断面の一部を示している。図12を参照して、p拡散領域23は、その側部に間隙31を有している。この間隙31を有することにより、p拡散領域23の上下のみならず左右にもモジュレーションが引き起こされる領域を形成することが可能となる。それにより、さらにモジュレーション効率を向上させることが可能となる。なお、上記の間隙31により、 n^- 拡散領域2aと n^- 層2とが接続される。

【0073】

次に、図13を用いて、この実施の形態4における高耐圧半導体装置のオフ動作について説明する。図13は、実施の形態4における高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

10

【0074】

図13を参照して、前述の実施の形態1の場合と同様の電圧印加条件により所定の電圧を印加する。それにより、pn接合部A、B、C、Dから空乏層が伸び始める。そして、特に、pn接合部C、Dから伸びる空乏層は、図13において矢印25で示されるように、p拡散領域23の上下からこのp拡散領域23を挟み込むように成長する。それにより、p拡散領域23の空乏化を促進することができ、RESURF効果を有効に発現させることが可能となる。それにより、オフ動作時における高耐圧半導体装置の耐圧を向上させることが可能となる。

20

【0075】

また、上記のようにp拡散領域23の空乏化がより一段と促進されるので、p拡散領域23のp型の不純物濃度は、 p^- 拡散領域5のp型の不純物濃度よりも高めることが可能となる。それにより、オン動作時における高耐圧半導体装置の抵抗値を低減することが可能となる。

【0076】

(実施の形態5)

次に、図14および図15を用いて、この発明の実施の形態5について説明する。図14は、この発明の実施の形態5における高耐圧半導体装置を示す部分断面図である。より具体的には、本発明をIGBTに適用した場合の実施の形態が示されている。図14を参照して、この実施の形態5における高耐圧半導体装置と、図11に示される高耐圧半導体装置との相違は、 n^+ 埋込拡散領域8が形成されているか否かである。

30

【0077】

この n^+ 埋込拡散領域8を設けることにより、図15に示されるように、オフ動作時に空乏層を n^+ 埋込拡散領域8下に位置するp型半導体基板1内に広げることが可能となる。それにより、前述の実施の形態2の場合と同様に、高耐圧半導体装置の耐圧をさらに向上させることが可能となる。

【0078】

(実施の形態6)

次に、図16および図17を用いて、この発明の実施の形態6について説明する。図16は、この発明の実施の形態6における高耐圧半導体装置を示す部分断面図である。

40

【0079】

図16を参照して、p型半導体基板16の表面上に埋込酸化膜17を介在して n^- 層2が形成されている。この n^- 層2を貫通するようにトレンチ22が設けられ、このトレンチ22内に酸化膜18とポリシリコン層19とが埋込まれている。それ以外の構造に関しては図11に示される高耐圧半導体装置と同様である。

【0080】

この実施の形態6における高耐圧半導体装置の場合も、オフ動作時に、図17に示されるように、空乏層を十分に n^- 層2内で広げることが可能となる。それにより、前述の実施の形態4の場合と同様の効果が得られる。

50

【0081】

(実施の形態7)

次に、図18～図21を用いて、この発明の実施の形態7について説明する。図18は、この発明の実施の形態7における高耐圧半導体装置を示す断面図である。より具体的には、本発明をnチャネルMOSデバイスに適用した場合の実施の形態が示されている。

【0082】

図18を参照して、半導体基板16の表面上には埋込酸化膜17が形成される。この埋込酸化膜17上に n^- 層2が形成される。この n^- 層2の表面にはnチャネルMOSトランジスタ14aが形成される。このnチャネルMOSトランジスタ14aは、 n^+ 拡散領域4と、ゲート電極9と、 n^- 層2とで構成される。また、 n^- 層2にはp拡散領域3aが形成される。

10

【0083】

このp拡散領域3aと間隔をあけて n^+ 拡散領域15aが形成される。この n^+ 拡散領域15aの表面と接触してドレイン電極12が形成され、p拡散領域3aの表面と n^+ 拡散領域4の表面とに接触してソース電極11が形成される。

【0084】

n^- 層2を貫通して埋込酸化膜17に到達するようにトレンチ22が形成され、このトレンチ22内に酸化膜18とポリシリコン層19とが埋込まれる。そして、p拡散領域3aと n^+ 拡散領域15aとの間に位置する n^- 層2の底部領域に、埋込酸化膜17に近接してp拡散領域26が形成される。

20

【0085】

このp拡散領域26は、図18に示されるように、互いに間隔をあけて複数個設けられてもよいが、隣合うp拡散領域26同士がたとえばp型の低濃度領域などによって連結されるものであってもよい。また、p拡散領域26に含まれるp型不純物濃度は、p拡散領域3aに含まれるp型の不純物濃度と同じかそれ以上のものであってもよい。好ましくは、p拡散領域26に含まれるp型の不純物濃度は、p拡散領域3aに含まれるp型の不純物濃度の10から100倍程度である。

【0086】

上記のようなp拡散領域26を形成することにより、オフ動作時における高耐圧半導体装置の耐圧を向上させることが可能となる理由について以下に説明する。図19は、この実施の形態7における高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。図19に示されるように、この実施の形態7における高耐圧半導体装置をオフ状態とするには、ソース電極11、ゲート電極9および基板電極13の電位を0Vとし、ドレイン電極12に正電位(+V)を印加する。それにより、pn接合部Aと界面Eから空乏層が伸び始める。

30

【0087】

ここで、図19に示されるように、p拡散領域26がp拡散領域3aと n^+ 拡散領域15aの間に位置する n^- 層2の底部に設けられることにより、このp拡散領域26は空乏層の水平方向の広がりを助長する機能を有することとなる。そして、このp拡散領域26がドレイン電極12直下に位置する n^- 層2の底部領域に向かって複数個設けられることにより、さらに空乏層の水平方向の伸びを助長する機能は優れたものとなる。

40

【0088】

それにより、空乏層の水平方向への伸びが促進され、RESURF効果が有効に発現される。その結果、オフ動作時における高耐圧半導体装置の耐圧を向上させることが可能となる。また、p拡散領域26を設けることにより、耐圧決定に関連する各種のパラメータについて、ある一定の耐圧を維持し得る範囲を拡張することが可能となる。

【0089】

図20は、 n^- 層2の比抵抗に対する高耐圧半導体装置の耐圧の変化を示した図である。図20において、従来例の特性が実線で示されている。この図20に示されるように、 n^- 層2の比抵抗の低下に伴ってわずかに増加の傾向を示した後、急速に耐圧が低下す

50

る傾向を示している。

【0090】

この傾向は、たとえば、“SOI分離構造の高耐圧化”電子デバイス 半導体電力変換合同研究会 EDD-92-106 (SPC-92-72) pp. 1-6, 1992に説明されているように、空乏層の水平方向への伸びが抑制されたことによる電界集中が原因となっている。これに対し、p拡散領域26を設けることにより、図20内で点線に示されるような特性に移行する。すなわち、低比抵抗側で耐圧の維持できる領域が拡大されることになる。それにより、 n^- 層2を従来より低比抵抗化して素子抵抗を低減させ、かつ高耐圧を維持することが可能となる。

【0091】

図21は、埋込酸化膜厚に対する高耐圧半導体装置の耐圧の変化を示している。図21において実線は従来例の特性を示している。埋込酸化膜厚の増加に伴い耐圧は増加するが、埋込酸化膜厚がある値に達すると急激に耐圧が低下する傾向が示されている。この傾向は、図19における界面Eから n^- 層2中に伸びる空乏層の伸びが抑制されることが原因である。これに対し、p拡散領域26を形成することによって、図21中の点線に示すような特性に変化する。つまり、埋込酸化膜17の厚みがある値以上に大きくなった場合であっても、高耐圧を維持することが可能となる。それにより、 n^- 層2の厚みや比抵抗に余裕を持たせて素子設計を行なうことが可能となり、素子の抵抗低減やスイッチングの高速化を考慮した素子の作製が容易となる。

【0092】

(実施の形態8)

次に、図22および図23を用いて、この発明の実施の形態8について説明する。図22は、この発明の実施の形態8における高耐圧半導体装置を示す部分断面図である。図22を参照して、図18に示される高耐圧半導体装置と異なるのは、 n^+ 拡散領域15a直下に位置する n^- 層2の底部領域にn拡散領域23aが形成されている点である。それ以外の構造に関しては、図18に示される高耐圧半導体装置と同様である。

【0093】

上記のように、n拡散領域23aを形成することによって、次のような効果が得られる。その効果について図23を用いて説明する。図23は、図22に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【0094】

図23を参照して、前述の実施の形態7の場合と同様の条件でオフ状態が実現される。図23に示されるように各電極に所定の電位が印加されることにより、pn接合部Aおよび界面Eから空乏層が伸び始める。そして、p拡散領域26の存在により空乏層の水平方向への伸びが促進される。それにより、RESURF効果が有効に発現する。

【0095】

このとき、電解集中点32がn拡散領域23a内に位置する界面Eに来るように寸法などの各種パラメータを制御する。それにより、図21において一点鎖線で示されるような特性が得られる。これは、アバランシェ破壊電解強度が増加したことによる影響を反映しているものであり、たとえば安原などによる“トレンチ分離SOIパワーICのための高耐圧出力素子構造”電気学会研究会資料 EDD-92-68, pp. 69-74, 1992に説明されている。このような構造を採用することにより、実施の形態7の場合よりもさらに素子を高耐圧化することが可能となる。

【0096】

(実施の形態9)

次に、図24および図25を用いて、この発明の実施の形態9について説明する。図24は、この発明の実施の形態9における高耐圧半導体装置を示す部分断面図である。

【0097】

図24を参照して、この実施の形態9では、p拡散領域26が、埋込酸化膜17と n^- 層2との界面から離れて形成されている。それ以外の構造に関しては図18に示される高

10

20

30

40

50

耐圧半導体装置の場合と同様である。

【0098】

上記のようにp拡散領域26を形成した場合でも、上記の実施の形態7の場合と同様の効果が得られる。なお、図25には、図24に示されるこの実施の形態9における高耐圧半導体装置のオフ動作時における空乏層の状態が示されている。この図25に示されるように、空乏層を水平方向に十分に広げることが可能となり、RESURF効果を有効に発現させることが可能となる。

【0099】

(実施の形態10)

次に、図26を用いて、この発明の実施の形態10について説明する。図26は、この発明の実施の形態10における高耐圧半導体装置を示す部分断面図である。より具体的には、本発明の思想をpチャネルESTに適用した場合の実施の形態が示されている。

10

【0100】

図26を参照して、半導体基板16の表面上には埋込酸化膜17を介してn⁻層2が形成される。n⁻層2の表面にはp⁻拡散領域27が形成される。このp⁻拡散領域27の表面にはn拡散領域28a、28bとn⁺拡散領域39とが間隔をあけて設けられる。n拡散領域28aの表面にはn⁺拡散領域40、p⁺拡散領域29aがそれぞれ形成される。

【0101】

n⁺拡散領域40とp⁺拡散領域29aとの双方に接触するようにソース電極11aが形成され、p⁺拡散領域29bと接触してソース電極11bが形成される。そして、n拡散領域28aとn拡散領域28bの間に位置するp⁻拡散領域27の表面上には、酸化膜10を介在してゲート電極9が形成される。また、n⁺拡散領域39の表面と接触してドレイン電極12が形成される。

20

【0102】

このような構成において、n拡散領域28bとn⁺拡散領域39の間に位置するp⁻拡散領域27に、p⁺拡散領域33が設けられる。このp⁺拡散領域33に含まれるp型の不純物濃度は、好ましくは、p⁻拡散領域27に含まれるp型の不純物濃度の10から100倍程度以上である。また、このp⁺拡散領域33は、間隔をあけて複数個設けられることが好ましい。

30

【0103】

それにより、前述の実施の形態1～3の場合と同様に、オフ動作時における空乏層の水平方向の広がりを効果的に促進することが可能となる。また、p⁺拡散領域33がp⁻拡散領域27に比べて相対的に高濃度であるため、オン動作時における電流経路の抵抗をも低減することが可能となる。それにより、素子抵抗を低減することが可能となる。

【0104】

(実施の形態11)

次に、図27を用いて、この発明の実施の形態11について説明する。図11は、この発明の実施の形態11における高耐圧半導体装置を示す断面図である。図27を参照して、この実施の形態11における高耐圧半導体装置と、図26に示される実施の形態10における高耐圧半導体装置との構造上の違いは、n⁺拡散領域41がp⁺拡散領域29bの代わりに形成されていることである。それ以外の構造に関しては上記の実施の形態10における高耐圧半導体装置と同様である。

40

【0105】

つまり、この実施の形態11では、本発明の思想をpチャネルBRTに適用した場合の高耐圧半導体装置が示されていることになる。この場合も、上記の実施の形態10の場合と同様の効果が得られる。

【0106】

次に、図28～図32を用いて、p拡散領域20の変形例について説明する。

第1の変形例

50

まず図 28 を用いて、第 1 の変形例について説明する。図 28 は、p 拡散領域 20 の第 1 の変形例を示す部分拡大断面図である。図 28 を参照して、p 拡散領域 20 a と p⁻ 拡散領域 5 a とは交互に配置され、各々の拡散深さはほぼ等しいものとなっている。このような構造の場合も、図 1 に示される場合とほぼ同様の効果が得られる。

【0107】

第 2 の変形例

次に、図 29 を用いて、第 2 の変形例について説明する。図 29 は、p 拡散領域 20 の第 2 の変形例を示す部分拡大断面図である。

【0108】

図 29 を参照して、p 拡散領域 20 b の拡散深さは、p⁻ 拡散領域 5 b の拡散深さよりも浅くなるように形成されている。それにより、図 1 に示される場合よりもさらに空乏層の水平方向の広がりを促進することが可能となる。

【0109】

第 3 の変形例

次に、図 30 を用いて、p 拡散領域 20 の第 3 の変形例について説明する。図 30 は、p 拡散領域 20 の第 3 の変形例を示す部分拡大断面図である。

【0110】

図 30 を参照して、図 1 に示される p 拡散領域 20 の代わりに、n⁻ 層 2 の表面上に、p 型の不純物が高濃度に導入されたポリシリコン層 34 を形成してもよい。このとき、n⁻ 層 2 の表面には間隔をあけて p⁻ 層 5 c が複数個形成され、隣合う p⁻ 拡散領域 5 c がポリシリコン層 34 によって電氣的に接続される。このような構造によっても、図 1 に示される場合とほぼ同様の効果が得られる。本変形例の場合は、ポリシリコン層 34 の濃度を極めて高濃度とすることが可能となり、図 1 に示される実施の形態 1 の場合よりもさらにオン動作時における素子抵抗を低減することが可能となる。

【0111】

第 4 の変形例

次に、図 31 を用いて、p 拡散領域 20 の第 4 の変形例について説明する。図 31 は、p 拡散領域 20 の第 4 の変形例を示す部分拡大断面図である。

【0112】

図 31 を参照して、本変形例では、p⁻ 拡散領域 5 d の表面に間隔をあけて p 拡散領域 20 c が複数個設けられている。このような構造の場合でも、図 1 に示される実施の形態 1 の場合と同様の効果が得られる。

【0113】

第 5 の変形例

次に、図 32 を用いて、p 拡散領域 20 の第 5 の変形例について説明する。図 32 は、p 拡散領域 20 の第 5 の変形例を示す部分拡大断面図である。

【0114】

図 32 を参照して、本変形例では、ポリシリコン層 34 a が、n⁻ 層 2 表面上に絶縁層 35 を介在して形成されている。そして、ポリシリコン層 34 a と p⁻ 拡散領域 5 e との接触部を取囲むように p⁺ 拡散領域 36 が形成されている。それ以外の構造に関しては上記の第 3 の変形例の場合と同様である。本変形例の場合も、上記の第 3 の変形例の場合とほぼ同様の効果が得られる。

【0115】

次に、図 33 ~ 図 39 を用いて、図 32 におけるポリシリコン層 34 a と p⁻ 拡散領域 5 e の製造方法について説明する。

【0116】

まず、図 33 ~ 図 35 を用いて、第 1 の製造方法について説明する。図 33 を参照して、n⁻ 層 2 の表面上に、CVD 法などを用いて、シリコン酸化膜などからなる絶縁層 35 を堆積する。そして、この絶縁層 35 を所定形状にパターニングした後、この絶縁層 35 と n⁻ 層 2 の表面とを覆うように、CVD 法などを用いて、p 型の不純物の高濃度に導

入されたポリシリコン層 3 4 a を形成する。

【 0 1 1 7 】

次に、図 3 4 を参照して、ポリシリコン層 3 4 a に熱処理などを施すことにより、ポリシリコン層 3 4 a 内から n^- 層 2 の表面に p 型の不純物を拡散させる。それにより、 p^- 拡散領域 5 e を間隔をあけて形成する。

【 0 1 1 8 】

次に、図 3 5 に示されるように、ポリシリコン層 3 4 a を所定形状にパターニングする。以上の工程を経て、図 3 2 に示されるポリシリコン層 3 4 a および p^- 拡散領域 5 e が形成されることになる。

【 0 1 1 9 】

次に、図 3 6 ~ 図 3 9 を用いて、ポリシリコン層 3 4 a と p^- 拡散領域 5 e の第 2 の製造方法について説明する。まず図 3 6 を参照して、上記の第 1 の方法の場合と同様の工程を経て絶縁層 3 5 を形成した後、この絶縁層 3 5 をマスクとして用いて、 n^- 層 2 の表面にボロイオン (B^+) などの p 型の不純物を選択的に注入する。そして、注入された p 型の不純物に拡散処理を施すことにより、図 3 7 に示されるように、 p^- 拡散領域 5 e を間隔をあけて形成する。

【 0 1 2 0 】

次に、図 3 8 に示されるように、上記の第 1 の方法の場合と同様の工程を経てポリシリコン層 3 4 a を形成する。そして、このポリシリコン層 3 4 a に熱処理を施すことにより、図 3 9 に示されるように、 p^- 拡散領域 5 e の表面に p^+ 拡散領域 3 6 をそれぞれ形成する。以上の工程を経て、図 3 2 に示されるポリシリコン層 3 4 a と p^- 拡散領域 5 e とがそれぞれ形成されることになる。そして、その後、ゲート電極 9 や、 p^+ 拡散領域 3 , 6 や、酸化膜 1 0 や、ソース/ドレイン電 1 1 , 1 2 などが形成される。

【 0 1 2 1 】

なお、上述の第 1 ~ 第 5 の変形例は、実施の形態 1 のみならず他のすべての p チャネルデバイスに対して適用可能である。また、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図 1】この発明の実施の形態 1 における高耐圧半導体装置を示す部分断面図である。

【図 2】図 1 に示される高耐圧半導体装置のオフ動作時の空乏層の状態を示す断面図である。

【図 3】(a) は図 1 に示される高耐圧半導体装置のオン動作時の抵抗成分を示す図である。(b) は従来例における高耐圧半導体装置のオン動作時の抵抗成分を示す図である。

【図 4】 p^- 拡散領域の表面濃度と耐圧との関係を示す図である。

【図 5】(a) ~ (c) は、 p 拡散領域 2 4 を一様に高濃度化した場合のオフ動作時の空乏層の状態を段階的に示す図である。

【図 6】(a) ~ (c) は、図 1 に示される高耐圧半導体装置のオフ動作時の空乏層の状態を段階的に示す図である。

【図 7】この発明の実施の形態 2 における高耐圧半導体装置を示す部分断面図である。

【図 8】図 7 に示される高耐圧半導体装置のオフ動作時の空乏層の状態を示す図である。

【図 9】この発明の実施の形態 3 における高耐圧半導体装置を示す部分断面図である。

【図 1 0】図 9 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 1 1】この発明の実施の形態 4 における高耐圧半導体装置を示す斜視図である。

【図 1 2】図 1 1 における X I I - X I I 線に沿う部分断面図である。

【図 1 3】図 1 1 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 1 4】この発明の実施の形態 5 における高耐圧半導体装置を示す部分断面図である。

10

20

30

40

50

【図 1 5】図 1 4 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 1 6】この発明の実施の形態 6 における高耐圧半導体装置を示す部分断面図である。

【図 1 7】図 1 6 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 1 8】この発明の実施の形態 7 における高耐圧半導体装置を示す部分断面図である。

【図 1 9】図 1 8 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 2 0】 n^+ 層の比抵抗と高耐圧半導体装置の耐圧との関係を示す図である。

【図 2 1】埋込酸化膜厚と高耐圧半導体装置の耐圧との関係を示す図である。

10

【図 2 2】この発明の実施の形態 8 における高耐圧半導体装置を示す部分断面図である。

【図 2 3】図 2 2 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 2 4】この発明の実施の形態 9 における高耐圧半導体装置を示す部分断面図である。

【図 2 5】図 2 4 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 2 6】この発明の実施の形態 1 0 における高耐圧半導体装置を示す部分断面図である。

【図 2 7】この発明の実施の形態 1 1 における高耐圧半導体装置を示す部分断面図である。

20

【図 2 8】この発明に係る p 拡散領域 2 0 の構造の第 1 の変形例を示す断面図である。

【図 2 9】この発明に係る p 拡散領域 2 0 の構造の第 2 の変形例を示す断面図である。

【図 3 0】この発明に係る p 拡散領域 2 0 の構造の第 3 の変形例を示す断面図である。

【図 3 1】この発明に係る p 拡散領域 2 0 の構造の第 4 の変形例を示す断面図である。

【図 3 2】この発明に係る p 拡散領域 2 0 の構造の第 5 の変形例を示す断面図である。

【図 3 3】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 1 の形成方法の第 1 工程を示す断面図である。

【図 3 4】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 1 の形成方法の第 2 工程を示す断面図である。

【図 3 5】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 1 の形成方法の第 3 工程を示す断面図である。

30

【図 3 6】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 2 の形成方法の第 1 工程を示す断面図である。

【図 3 7】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 2 の形成方法の第 2 工程を示す断面図である。

【図 3 8】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 2 の形成方法の第 3 工程を示す断面図である。

【図 3 9】図 3 2 に示されるポリシリコン層 3 4 a と p^+ 拡散領域 5 e の第 2 の形成方法の第 4 工程を示す断面図である。

【図 4 0】従来の高耐圧半導体装置の第 1 の例を示す部分断面図である。

40

【図 4 1】図 4 0 に示される従来の高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 4 2】図 4 0 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 4 3】図 4 0 に示される高耐圧半導体装置のオン動作を示す図である。

【図 4 4】従来の高耐圧半導体装置の第 2 の例を示す部分断面図である。

【図 4 5】図 4 4 に示される従来の高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 4 6】図 4 4 に示される高耐圧半導体装置のオフ動作時の空乏層の状態を示す図である。

50

【図 4 7】図 4 4 に示される高耐圧半導体装置のオン動作を示す図である。

【図 4 8】図 4 4 に示される高耐圧半導体装置の全体構成を示す鳥瞰図である。

【図 4 9】従来の高耐圧半導体装置の第 3 の例を示す部分断面図である。

【図 5 0】図 4 9 に示される従来の高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 5 1】図 4 9 に示される高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 5 2】図 4 9 に示される高耐圧半導体装置のオン動作を示す図である。

【図 5 3】従来の高耐圧半導体装置の第 4 の例を示す部分断面図である。

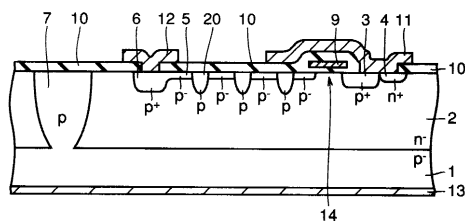
【図 5 4】図 5 3 に示される従来の高耐圧半導体装置のオフ動作時における空乏層の状態を示す図である。

【図 5 5】図 5 3 に示される高耐圧半導体装置のオフ動作を示す図である。

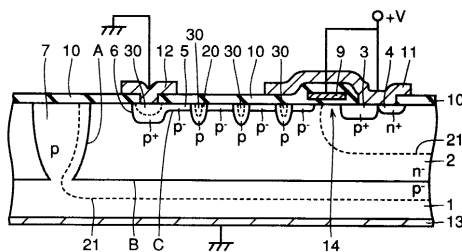
【符号の説明】

1 p 型半導体基板、2 n⁻ 層、7, 20, 24, 26, 33 p 拡散領域、23 a n 拡散領域、5, 27 p⁻ 拡散領域、8 n⁺ 埋込拡散領域、9 ゲート電極、10 酸化膜、11 ソース電極、12 ドレイン電極、13 基板電極、16 半導体基板、17 埋込酸化膜、21 空乏層端、30 未空乏化領域、31 間隙、32 電解集中点、34, 34 a ポリシリコン層、35 絶縁層。

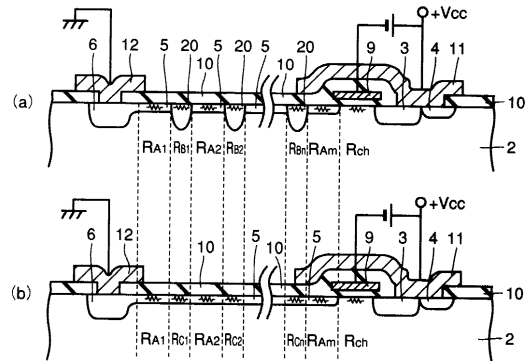
【図 1】



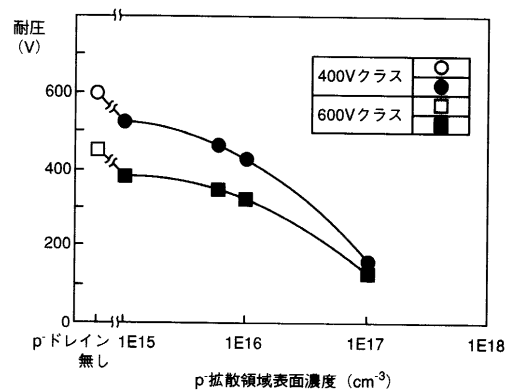
【図 2】



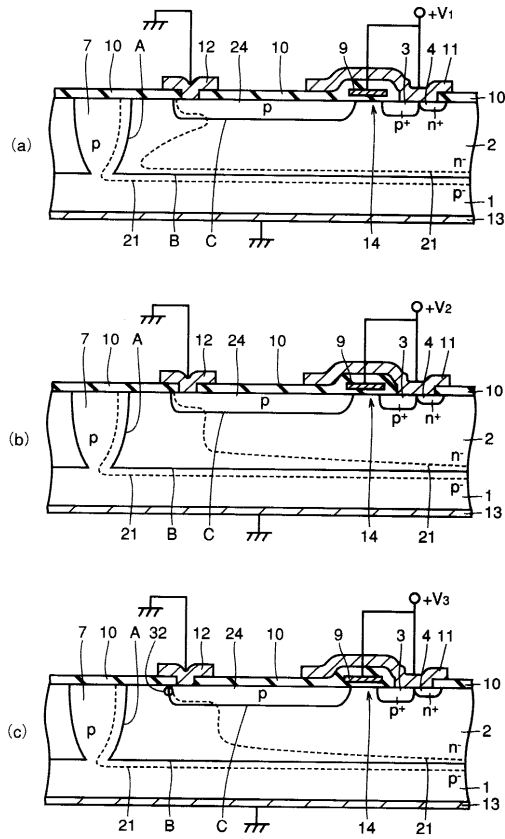
【図 3】



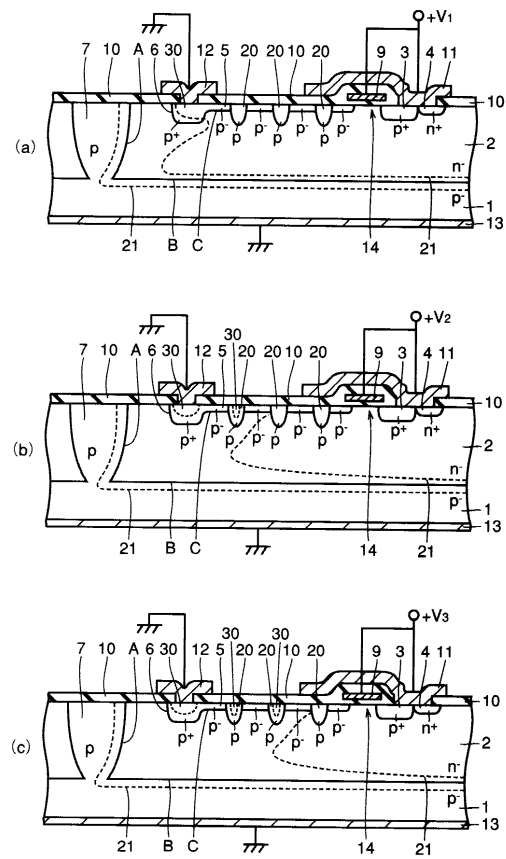
【図 4】



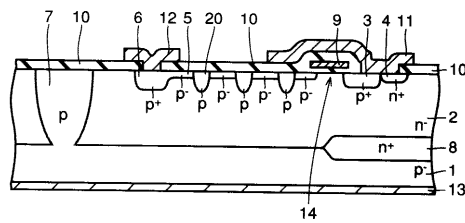
【図 5】



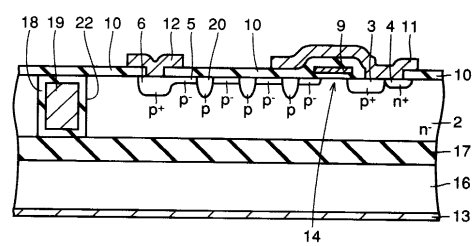
【図 6】



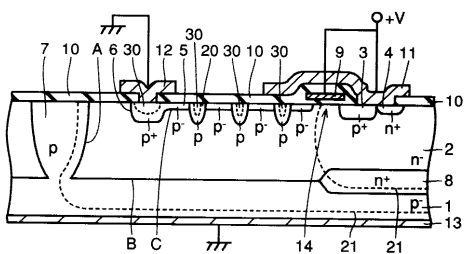
【図 7】



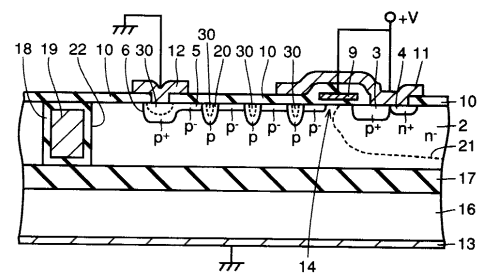
【図 9】



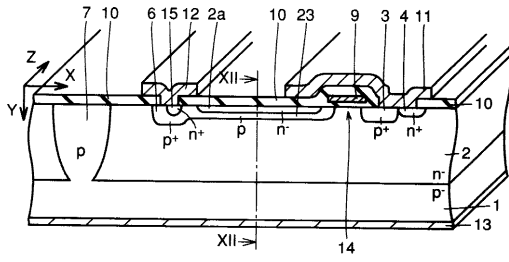
【図 8】



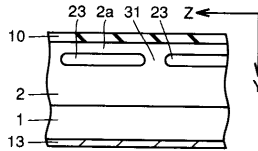
【図 10】



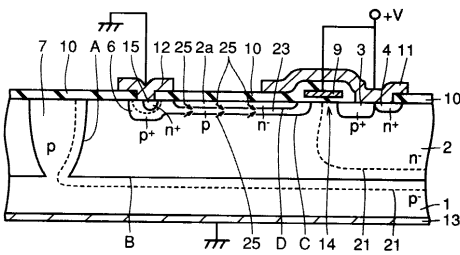
【図 1 1】



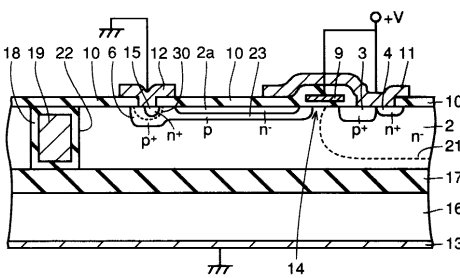
【図 1 2】



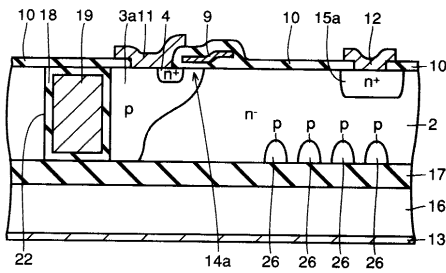
【図 1 3】



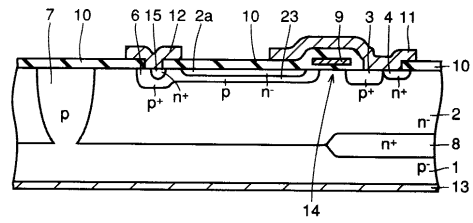
【図 1 7】



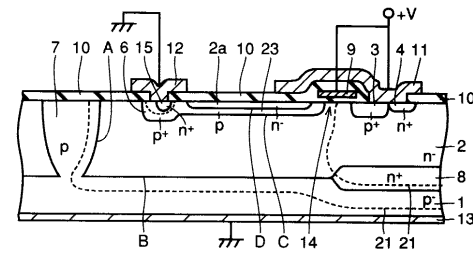
【図 1 8】



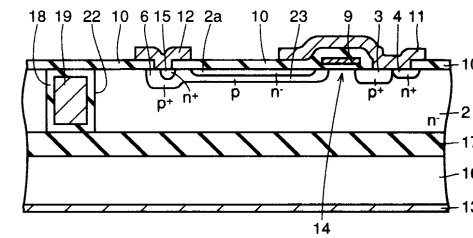
【図 1 4】



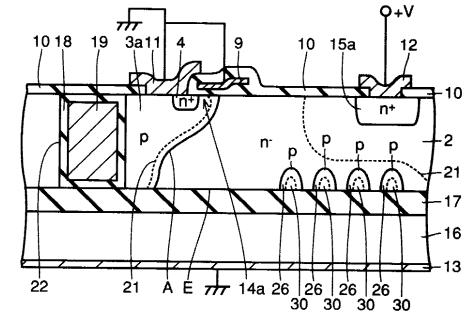
【図 1 5】



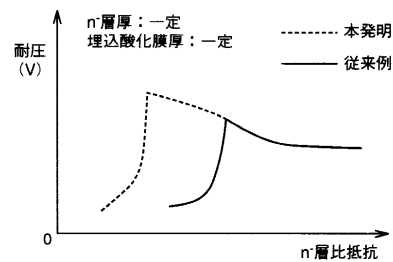
【図 1 6】



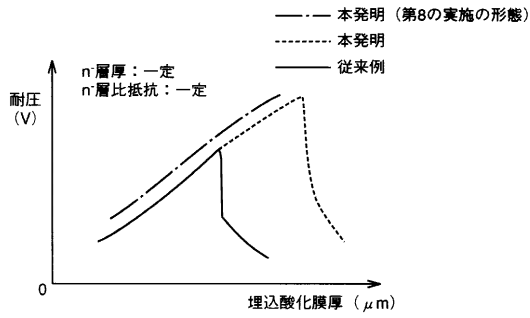
【図 1 9】



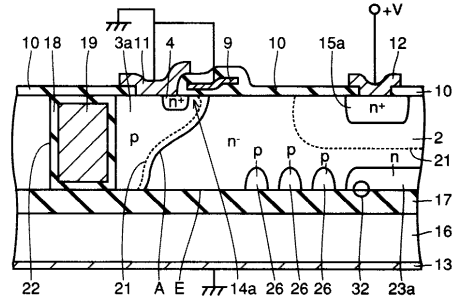
【図 2 0】



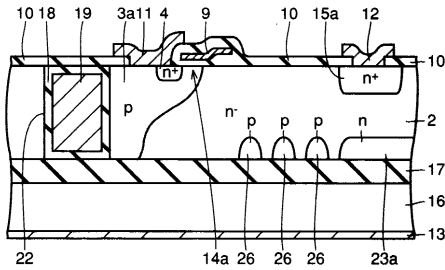
【図 2 1】



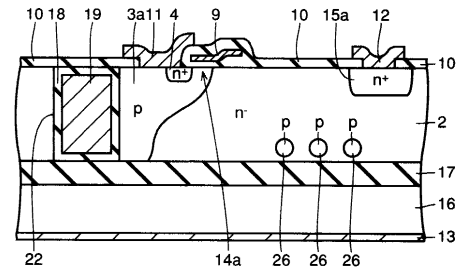
【図 2 3】



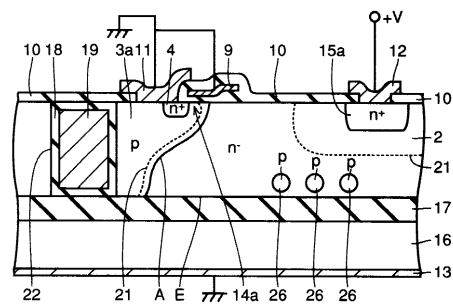
【図 2 2】



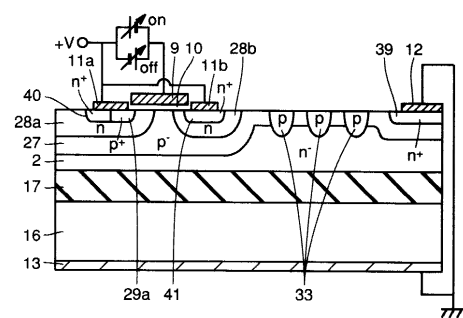
【図 2 4】



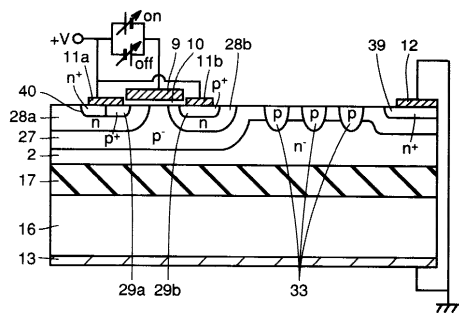
【図 2 5】



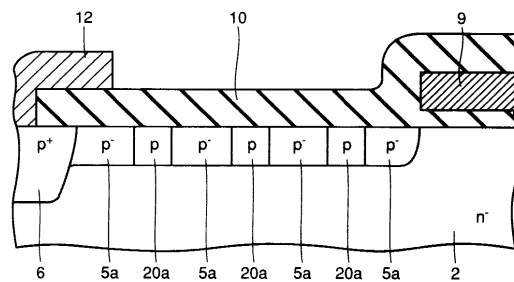
【図 2 7】



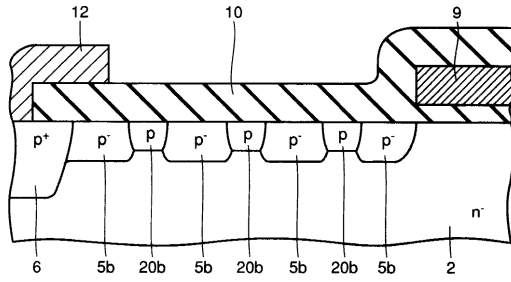
【図 2 6】



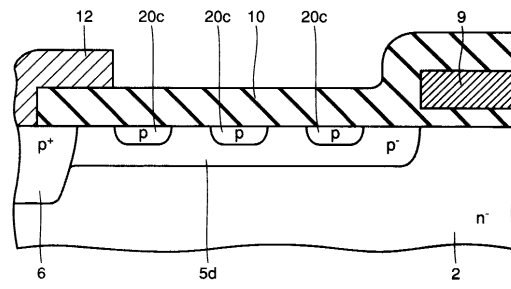
【図 2 8】



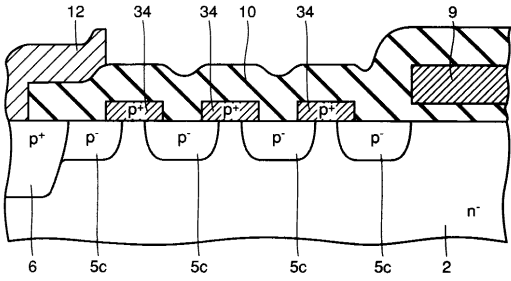
【図 29】



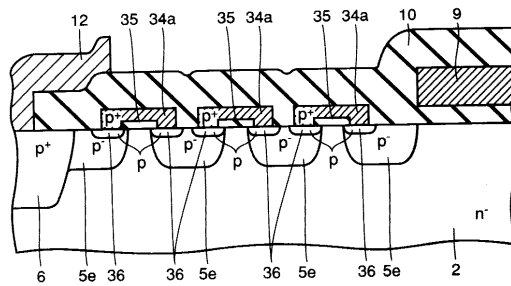
【図 31】



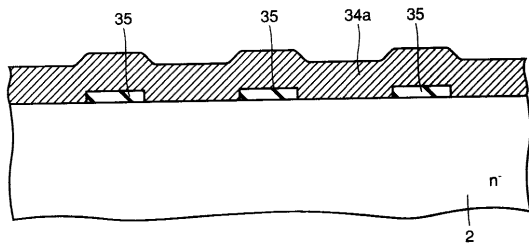
【図 30】



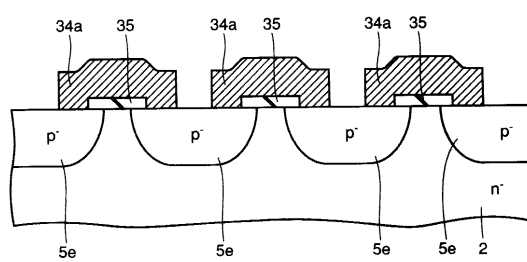
【図 32】



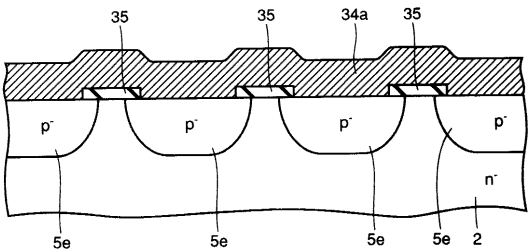
【図 33】



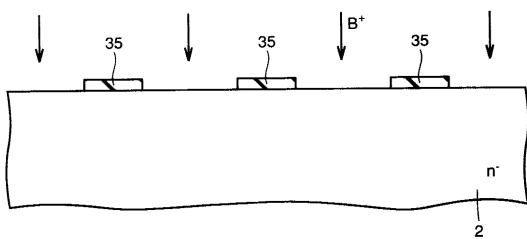
【図 35】



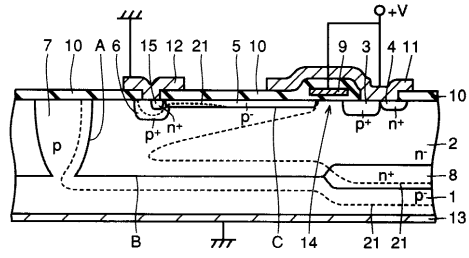
【図 34】



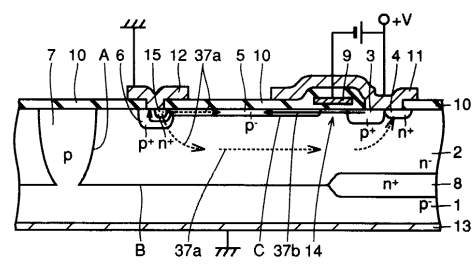
【図 36】



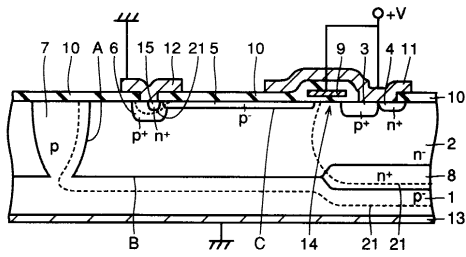
【図 4 5】



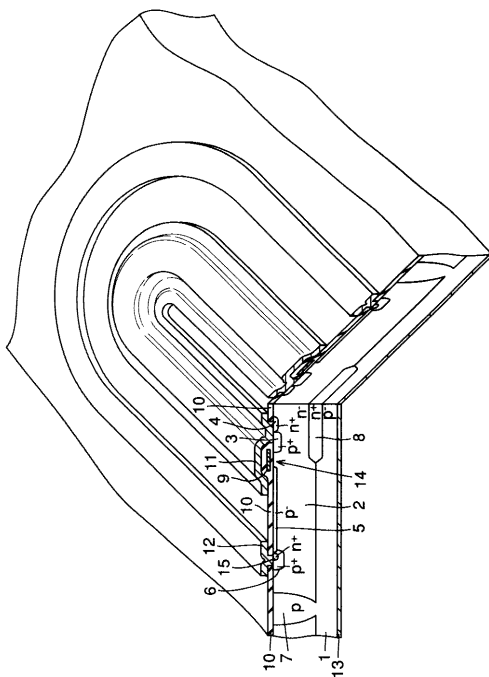
【図 4 7】



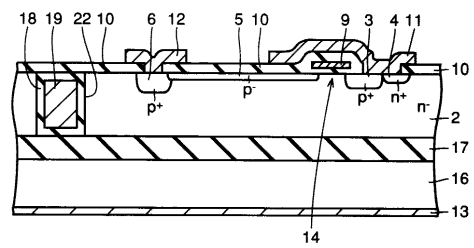
【図 4 6】



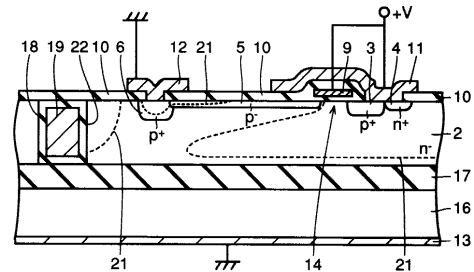
【図 4 8】



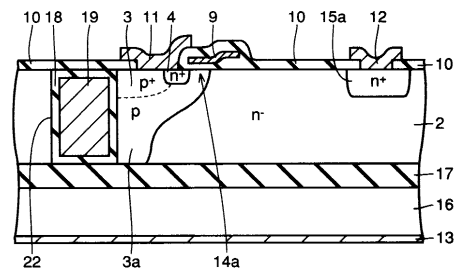
【図 4 9】



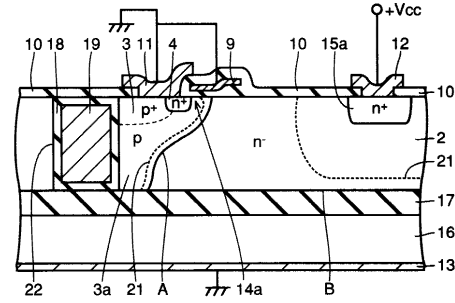
【図 5 0】



【 図 5 3 】



【 図 5 4 】



フロントページの続き

審査官 河口 雅英

- (56)参考文献 特開平04-225530(JP,A)
特開平03-222368(JP,A)
特開平05-343675(JP,A)
特開平04-241463(JP,A)
特開平06-318714(JP,A)
特開昭57-027071(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 29/78