

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月30日(30.12.2020)



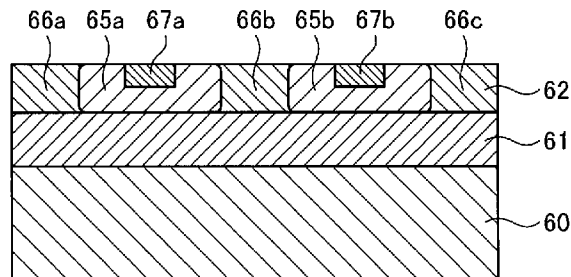
(10) 国際公開番号

WO 2020/262265 A1

- (51) 国際特許分類:
H01L 21/768 (2006.01) *H01L 27/04* (2006.01)
H01L 23/522 (2006.01) *H01L 27/146* (2006.01)
H01L 21/822 (2006.01) *H04N 5/369* (2011.01)
- (21) 国際出願番号: PCT/JP2020/024263
- (22) 国際出願日: 2020年6月19日(19.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-119787 2019年6月27日(27.06.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 中 邑 良 一 (NAKAMURA, Ryoichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE, ELECTRONIC DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、電子機器及び半導体装置の製造方法



(57) Abstract: The present invention achieves increased and decreased partial wiring capacity by a more simple manufacturing process. A solid-state imaging device according to an embodiment comprises a semiconductor substrate (60, 20018), and a first wiring layer which is located on a first surface side of the semiconductor substrate and includes first wirings (201, 221a to 228a, 113a, 114a, 114b, 115a) and a first insulating film (62), wherein the first insulating film has a first region (65a) and a second region (66a) and the first region and the second region have different dielectric constants.

(57) 要約: 部分的な配線容量の増減をより簡易な製造プロセスで達成する。実施形態に係る固体撮像装置は、半導体基板(60、20018)と、前記半導体基板の第1面側に位置し、第1配線(201、221a~228a、113a、114a、114b、115a)と第1絶縁膜(62)とを有する第1配線層と、を有し、前記第1絶縁膜は、第1領域(65a)と第2領域(66a)とを有し、前記第1領域と前記第2領域の比誘電率は互いに異なる。

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、電子機器及び半導体装置の製造方法
技術分野

[0001] 本開示は、半導体装置、電子機器及び半導体装置の製造方法に関する。

背景技術

[0002] CMOS (Complementary Metal Oxide Semiconductor) イメージセンサにおいて、高機能化、多機能化が進むにつれ、動作の高速化、消費電力の低減、ノイズの低減が求められている。そのため、配線容量を低減させたい一方で、CMOSイメージセンサの特性向上のためには高容量が求められる領域もある。

[0003] ここで、部分的な容量の増加を実現する技術として、所望の領域にスタックキャパシタ又はトレンチキャパシタを形成する技術が知られている（特許文献1）。さらに、配線のレイアウトを工夫して、付加容量としての配線容量を増加させる技術が知られている（特許文献2）。

[0004] また、部分的な容量の低減を実現する技術として、配線間に中空領域を形成する技術が知られている（特許文献3）。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-32374号公報

特許文献2：国際公開第2016/163240号

特許文献3：特開2016-195229号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記の従来技術では、部分的に配線容量を増減させるために、複雑な製造プロセスが必要になるという課題が存在した。

[0007] そこで、本開示では、部分的な配線容量の増減をより簡易な製造プロセスで達成することが可能な半導体装置、電子機器及び半導体装置の製造方法を

提案する。

課題を解決するための手段

[0008] 本開示に係る一形態の半導体装置は、半導体基板と、前記半導体基板の第1面側に位置し、第1配線と第1絶縁膜とを有する第1配線層と、を有し、前記第1絶縁膜は、第1領域と第2領域とを有し、前記第1領域と前記第2領域の比誘電率は互いに異なる。

図面の簡単な説明

[0009] [図1]本開示の第1の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。

[図2]本開示の第1の実施形態に係る固体撮像装置の単位画素の概略構成例を示す回路図である。

[図3]本開示の第1の実施形態に係る固体撮像装置の断面構造例を示す断面図である。

[図4]本開示の第1の実施形態に係る固体撮像装置において、1つの画素共有単位の半導体基板と第1配線層の第1の平面構造例を重ねて示す平面図である。

[図5A]図4の半導体基板の第1面側の第1の平面構造例を示す平面図である。

[図5B]図4の第1配線層の第1の平面構造例を示す平面図である。

[図5C]図4の第1配線層に積層された第2配線層の第1の平面構造例を示す平面図である。

[図6A]本開示の第1の実施形態に係る固体撮像装置において、複数の画素共有単位の第1配線層の第1の平面構造例を示す平面図である。

[図6B]図6AのA-A'断面における本開示の第1の実施形態に係る第1配線層の製造方法を示す断面図である（その1）。

[図6C]図6AのA-A'断面における本開示の第1の実施形態に係る第1配線層の製造方法を示す断面図である（その2）。

[図6D]図6AのA-A'断面における本開示の第1の実施形態に係る第1配

線層の製造方法を示す断面図である（その３）。

[図6E]図6AのA－A'断面における本開示の第1の実施形態に係る第1配線層の製造方法を示す断面図である（その４）。

[図6F]図6AのA－A'断面における本開示の第1の実施形態に係る第1配線層の製造方法を示す断面図である（その５）。

[図7A]本開示の第1の実施形態に係る固体撮像装置において、複数の画素共有単位の第2配線層の第1の平面構造例を示す平面図である。

[図7B]図7AのB－B'断面における本開示の第1の実施形態に係る第2配線層の製造方法を示す断面図である（その１）。

[図7C]図7AのB－B'断面における本開示の第1の実施形態に係る第2配線層の製造方法を示す断面図である（その２）。

[図7D]図7AのB－B'断面における本開示の第1の実施形態に係る第2配線層の製造方法を示す断面図である（その３）。

[図7E]図7AのB－B'断面における本開示の第1の実施形態に係る第2配線層の製造方法を示す断面図である（その４）。

[図7F]図7AのB－B'断面における本開示の第1の実施形態に係る第2配線層の製造方法を示す断面図である（その５）。

[図8]本開示の第1の実施形態に係る配線層の製造方法の概略を説明するためのフロー図である。

[図9]本開示の第1の実施形態に係る配線層の絶縁膜における膜密度の概略構成例を示す断面図である。

[図10A]本開示の第1の実施形態に係る固体撮像装置において、1つの画素共有単位の半導体基板の第1面側の第2の平面構造例を示す平面図である。

[図10B]本開示の第1の実施形態に係る固体撮像装置において、1つの画素共有単位の第1配線層の第2の平面構造例を示す平面図である。

[図10C]本開示の第1の実施形態に係る固体撮像装置において、1つの画素共有単位の第1配線層に積層された第2配線層の第2の平面構造例を示す平面図である。

[図10D]本開示の第1の実施形態に係る固体撮像装置において、1つの画素共有単位の第1配線層に積層された第2配線層の第2の平面構造例の他の例を示す平面図である。

[図11A]本開示の第2の実施形態に係る固体撮像装置において、複数の画素共有単位の第1配線層の平面構造例を示す平面図である。

[図11B]図11AのC-C'断面における本開示の第2の実施形態に係る第1配線層の製造方法を示す断面図である（その1）。

[図11C]図11AのC-C'断面における本開示の第2の実施形態に係る第1配線層の製造方法を示す断面図である（その2）。

[図11D]図11AのC-C'断面における本開示の第2の実施形態に係る第1配線層の製造方法を示す断面図である（その3）。

[図11E]図11AのC-C'断面における本開示の第2の実施形態に係る第1配線層の製造方法を示す断面図である（その4）。

[図11F]図11AのC-C'断面における本開示の第2の実施形態に係る第1配線層の製造方法を示す断面図である（その5）。

[図12]本開示の第3の実施形態に係る固体撮像装置において、1つの画素共有単位の第1配線層の平面構造例を示す平面図である。

[図13A]本開示の第4の実施形態に係る固体撮像装置において、1つの画素共有単位の第3配線層の平面構造例を示す平面図である。

[図13B]図13AのD-D'断面における本開示の第4の実施形態に係る第1配線層の製造方法を示す断面図である（その1）。

[図13C]図13AのD-D'断面における本開示の第4の実施形態に係る第1配線層の製造方法を示す断面図である（その2）。

[図13D]図13AのD-D'断面における本開示の第4の実施形態に係る第1配線層の製造方法を示す断面図である（その3）。

[図13E]本開示の第4の実施形態の変形例に係る第1配線層の製造方法を示す断面図である。

[図14A]本開示の第5の実施形態に係る半導体装置の製造方法を示す断面図で

ある（その１）。

[図14B]本開示の第５の実施形態に係る半導体装置の製造方法を示す断面図である（その２）。

[図15]本開示の第６の実施形態に係る半導体装置の概略構成例を示すブロック図である。

[図16]本開示の第７の実施形態に係る固体撮像装置の単位画素の概略構成例を示す回路図である。

[図17]本開示の第８の実施形態に係る固体撮像装置のカラーフィルタのレイアウト例を示す図である。

[図18]本開示の第９の実施形態に係る積層型の固体撮像装置の構成例の概要を示す図である。

[図19]本開示の第９の実施形態に係る積層型の固体撮像装置の第１の構成例を示す断面図である。

[図20]本開示の第９の実施形態に係る積層型の固体撮像装置の第２の構成例を示す断面図である。

[図21]本開示の第９の実施形態に係る積層型の固体撮像装置の第３の構成例を示す断面図である。

[図22]本開示の第９の実施形態に係る積層型の固体撮像装置の第４の構成例を示す断面図である。

[図23]本開示に係る技術を適用し得る固体撮像装置を搭載した電子機器の概略構成例を示すブロック図である。

[図24]内視鏡手術システムの概略的な構成の一例を示す図である。

[図25]カメラヘッド及びＣＣＵの機能構成の一例を示すブロック図である。

[図26]車両制御システムの概略的な構成の一例を示すブロック図である。

[図27]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0010] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することによ

り重複する説明を省略する。

[0011] また、以下に示す項目順序に従って本開示を説明する。

1. 第1の実施形態

1. 1 固体撮像装置の構成例

1. 2 単位画素の構成例

1. 3 単位画素の基本機能例

1. 4 単位画素の断面構造例

1. 5 半導体基板と第1配線層の第1の平面構造例

1. 6 半導体基板と第1配線層の製造方法

1. 7 半導体基板と第2配線層の製造方法

1. 8 配線層の製造方法の概略

1. 9 配線層の絶縁膜における構造変化

1. 10 半導体基板と第1配線層の第2の平面構造例

1. 11 まとめ

2. 第2の実施形態

3. 第3の実施形態

4. 第4の実施形態

5. 第5の実施形態

6. 第6の実施形態

7. 第7の実施形態

8. 第8の実施形態

9. 第9の実施形態

10. 電子機器への応用例

11. 内視鏡手術システムへの応用例

12. 移動体への応用例

[0012] 1. 第1の実施形態

まず、第1の実施形態について、図面を参照して詳細に説明する。

[0013] 本実施形態では、部分的な配線容量の増減をより簡易な製造プロセスで達

成することが可能な固体撮像装置及び固体撮像装置の製造方法について、例を挙げて詳細に説明する。

[0014] 1. 1 固体撮像装置の構成例

図1は、第1の実施形態に係るCMOS (Complementary Metal Oxide Semiconductor) 型の固体撮像装置（以下、単にCMOSイメージセンサという）の概略構成例を示すブロック図である。ここで、CMOSイメージセンサとは、CMOSプロセスを応用して、又は、部分的に使用して作成されたイメージセンサである。例えば、本実施形態に係るCMOSイメージセンサ10は、裏面照射型のCMOSイメージセンサで構成されている。

[0015] 本実施形態に係るCMOSイメージセンサ10は、例えば、画素アレイ部11が形成された半導体チップと、周辺回路が形成された半導体チップとが積層されたスタック構造を有する。周辺回路には、例えば、垂直駆動回路12、カラム処理回路13、水平駆動回路14及びシステム制御部15が含まれ得る。

[0016] CMOSイメージセンサ10は更に、信号処理部18及びデータ格納部19を備えている。信号処理部18及びデータ格納部19は、周辺回路と同じ半導体チップに設けられてもよいし、別の半導体チップに設けられてもよい。

[0017] 画素アレイ部11は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）50が行方向及び列方向に、すなわち、行列状に（2次元格子状ともいう）配置された構成を有する。ここで、行方向とは画素行の画素の配列方向（図面中、横方向）をいい、列方向とは画素列の画素の配列方向（図面中、縦方向）をいう。単位画素の具体的な回路構成や画素構造の詳細については後述する。

[0018] 画素アレイ部11では、行列状の画素配列に対し、画素行ごとに画素駆動線LDが行方向に沿って配線され、画素列ごとに垂直信号線VSLが列方向に沿って配線されている。画素駆動線LDは、画素から信号を読み出す際の

駆動を行うための駆動信号を伝送する。図 1 では、画素駆動線 LD が 1 本ずつの配線として示されているが、1 本ずつに限られるものではない。画素駆動線 LD の一端は、垂直駆動回路 12 の各行に対応した出力端に接続されている。

[0019] 垂直駆動回路 12 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 11 の各画素を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動回路 12 は、当該垂直駆動回路 12 を制御するシステム制御部 15 と共に、画素アレイ部 11 の各画素の動作を制御する駆動部を構成している。この垂直駆動回路 12 はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系との 2 つの走査系を備えている。

[0020] 読出し走査系は、単位画素から信号を読み出すために、画素アレイ部 11 の単位画素を行単位で順に選択走査する。単位画素から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

[0021] この掃出し走査系による掃出し走査により、読出し行の単位画素の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系で不要電荷を掃き出す（リセットすることにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。

[0022] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作又は電子シャッタ動作以降に受光した光量に対応している。そして、直前の読出し動作による読出しタイミング又は電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における電荷の蓄積期間（露光期間ともいう）となる。

[0023] 垂直駆動回路 12 によって選択走査された画素行の各単位画素から出力さ

れる信号は、画素列ごとに垂直信号線VSLの各々を通してカラム処理回路13に入力される。カラム処理回路13は、画素アレイ部11の画素列ごとに、選択行の各画素から垂直信号線VSLを通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0024] 具体的には、カラム処理回路13は、信号処理として少なくとも、ノイズ除去処理、例えばCDS (Correlated Double Sampling: 相関二重サンプリング) 処理や、DDS (Double Data Sampling) 処理を行う。例えば、CDS処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理回路13は、その他にも、例えば、AD (アナログーデジタル) 変換機能を備え、光電変換素子から読み出され得たアナログの画素信号をデジタル信号に変換して出力する。

[0025] 水平駆動回路14は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理回路13の画素列に対応する読出し回路（以下、画素回路という）を順番に選択する。この水平駆動回路14による選択走査により、カラム処理回路13において画素回路ごとに信号処理された画素信号が順番に出力される。

[0026] システム制御部15は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、当該タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動回路12、カラム処理回路13、水平駆動回路14などの駆動制御を行う。

[0027] 信号処理部18は、少なくとも演算処理機能を有し、カラム処理回路13から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部19は、信号処理部18での信号処理にあたって、その処理に必要なデータを一時的に格納する。

[0028] なお、信号処理部18から出力された画像データは、例えば、後述するCMOSイメージセンサ10を搭載する電子機器におけるプロセッサ等におい

て所定の処理が実行されたり、所定のネットワークを介して外部へ送信されたりしてもよい。

[0029] 1. 2 単位画素の構成例

図2は、第1の実施形態に係る単位画素の概略構成例を示す回路図である。図2に示すように、単位画素50は、フォトダイオードPDと、転送トランジスタ（転送ゲートともいう）51と、リセットトランジスタ（リセットゲートともいう）52と、増幅トランジスタ（増幅ゲートともいう）53と、選択トランジスタ（選択ゲートともいう）54と、浮遊拡散層FDとを備える。転送トランジスタ51、リセットトランジスタ52、増幅トランジスタ53及び選択トランジスタ54は、それぞれ画素トランジスタとも称される。

[0030] 選択トランジスタ54のゲートには、画素駆動線LDに含まれる選択トランジスタ駆動線LD54が接続され、リセットトランジスタ52のゲートには、画素駆動線LDに含まれるリセットトランジスタ駆動線LD52が接続され、転送トランジスタ51のゲートには、画素駆動線LDに含まれる転送トランジスタ駆動線LD51が接続されている。また、増幅トランジスタ53のドレインには、カラム処理回路13に一端が接続される垂直信号線VSLが選択トランジスタ54を介して接続されている。

[0031] 以下の説明において、リセットトランジスタ52、増幅トランジスタ53と及び選択トランジスタ54は、まとめて画素回路とも称される。この画素回路には、浮遊拡散層FD及び／又は転送トランジスタ51が含まれてもよい。また、選択トランジスタ54を備えない画素回路でもよい。

[0032] フォトダイオードPDは、入射した光を光電変換する。転送トランジスタ51は、フォトダイオードPDに発生した電荷を転送する。浮遊拡散層FDは、転送トランジスタ51が転送した電荷を蓄積する。増幅トランジスタ53は、浮遊拡散層FDに蓄積された電荷に応じた電圧値の画素信号を垂直信号線VSLに出現させる。リセットトランジスタ52は、浮遊拡散層FDに蓄積された電荷を放出する。選択トランジスタ54は、読出し対象の単位画

素50を選択する。

[0033] フォトダイオードPDのアノードは、接地されており、カソードは、転送トランジスタ51のソースに接続されている。転送トランジスタ51のドレインは、リセットトランジスタ52のソース及び増幅トランジスタ53のゲートに接続されており、これらの接続点であるノードが浮遊拡散層FDを構成する。なお、リセットトランジスタ52のドレインは、不図示の垂直リセット入力線に接続されている。

[0034] 増幅トランジスタ53のソースは、不図示の垂直電流供給線に接続されている。増幅トランジスタ53のドレインは、選択トランジスタ54のソースに接続されており、選択トランジスタ54のドレインは、垂直信号線VSLに接続されている。

[0035] 浮遊拡散層FDは、蓄積している電荷をその電荷量に応じた電圧値の電圧に変換する。なお、浮遊拡散層FDは、例えば、対接地容量であってもよい。ただし、これに限定されず、浮遊拡散層FDは、転送トランジスタ51のドレインとリセットトランジスタ52のソースと増幅トランジスタ53のゲートとが接続するノードにキャパシタなどを意図的に接続することで付加された容量であってもよい。

[0036] 1. 3 単位画素の基本機能例

次に、単位画素50の基本機能について、図2を参照して説明する。リセットトランジスタ52は、垂直駆動回路12からリセットトランジスタ駆動線LD52を介して供給されるリセット信号RSTに従って、浮遊拡散層FDに蓄積されている電荷の排出（リセット）を制御する。なお、リセットトランジスタ52がオン状態であるときに転送トランジスタ51をオン状態とすることで、浮遊拡散層FDに蓄積されている電荷に加え、フォトダイオードPDに蓄積されている電荷を排出（リセット）することも可能である。

[0037] リセットトランジスタ52のゲートにHighレベルのリセット信号RSTが入力されると、浮遊拡散層FDが垂直リセット入力線を通して印加される電圧にクランプされる。これにより、浮遊拡散層FDに蓄積されていた電

荷が排出（リセット）される。

[0038] また、リセットトランジスタ52のゲートにLowレベルのリセット信号RSTが入力されると、浮遊拡散層FDは、垂直リセット入力線と電氣的に切断され、浮遊状態になる。

[0039] フォトダイオードPDは、入射光を光電変換し、その光量に応じた電荷を生成する。生成された電荷は、フォトダイオードPDのカソード側に蓄積する。転送トランジスタ51は、垂直駆動回路12から転送トランジスタ駆動線LD51を介して供給される転送制御信号TRGに従って、フォトダイオードPDから浮遊拡散層FDへの電荷の転送を制御する。

[0040] 例えば、転送トランジスタ51のゲートにHighレベルの転送制御信号TRGが入力されると、フォトダイオードPDに蓄積されている電荷が浮遊拡散層FDに転送される。一方、転送トランジスタ51のゲートにLowレベルの転送制御信号TRGが供給されると、フォトダイオードPDからの電荷の転送が停止する。

[0041] 浮遊拡散層FDは、上述したように、フォトダイオードPDから転送トランジスタ51を介して転送された電荷をその電荷量に応じた電圧値の電圧に変換する機能を持つ。したがって、リセットトランジスタ52がオフした浮遊状態では、浮遊拡散層FDの電位は、それぞれが蓄積する電荷量に応じて変調される。

[0042] 増幅トランジスタ53は、そのゲートに接続された浮遊拡散層FDの電位変動を入力信号とする増幅器として機能し、その出力電圧信号は選択トランジスタ54を介して垂直信号線VSLに画素信号として出現する。

[0043] 選択トランジスタ54は、垂直駆動回路12から選択トランジスタ駆動線LD54を介して供給される選択制御信号SELに従って、増幅トランジスタ53による画素信号の垂直信号線VSLへの出現を制御する。例えば、選択トランジスタ54のゲートにHighレベルの選択制御信号SELが入力されると、増幅トランジスタ53による画素信号が垂直信号線VSLに出現される。一方、選択トランジスタ54のゲートにLowレベルの選択制御信

号SELが入力されると、垂直信号線VSLへの画素信号の出現が停止される。これにより、複数の単位画素50が接続された垂直信号線VSLにおいて、選択した単位画素50の出力のみを取り出すことが可能となる。

[0044] 1. 4 単位画素の断面構造例

図3は、本実施形態に係る固体撮像装置の断面構造例を示す断面図である。

[0045] 固体撮像装置では、フォトダイオード20019（上述のフォトダイオードPDに相当）が、半導体基板20018の裏面（図では上面）側から入射する入射光20001を受光する。フォトダイオード20019の上方には、平坦化膜20013、CF（カラーフィルタ）20012、マイクロレンズ20011が設けられており、各部を順次介して入射した入射光20001を、受光面20017で受光して光電変換が行われる。

[0046] 例えば、フォトダイオード20019は、n型半導体領域20020が、電荷（電子）を蓄積する電荷蓄積領域として形成されている。フォトダイオード20019においては、n型半導体領域20020は、半導体基板20018のp型半導体領域20016、20041の内部に設けられている。n型半導体領域20020の、半導体基板20018の表面（下面）側には、裏面（上面）側よりも不純物濃度が高いp型半導体領域20041が設けられている。つまり、フォトダイオード20019は、HAD（Hole-Accumulation Diode）構造になっており、n型半導体領域20020の上面側と下面側との各界面において、暗電流が発生することを抑制するように、p型半導体領域20016、20041が形成されている。

[0047] 半導体基板20018の内部には、複数の画素20010（上述の単位画素50に相当）の間を電氣的に分離する画素分離部20030が設けられており、この画素分離部20030で区画された領域に、フォトダイオード20019が設けられている。図中、上面側から、固体撮像装置を見た場合、画素分離部20030は、例えば、複数の画素20010の間に介在するように格子状に形成されており、フォトダイオード20019は、この画素分

離部20030で区画された領域内に形成されている。

- [0048] 各フォトダイオード20019では、アノードが接地されており、固体撮像装置において、フォトダイオード20019が蓄積した信号電荷（例えば、電子）は、図示せぬ転送トランジスタ（MOSFET（Field-Effect Transistor））等を介して読み出され、電気信号として、図示せぬ垂直信号線VSLへ出力される。
- [0049] 配線層20050は、半導体基板20018のうち、遮光膜20014、CF20012、マイクロレンズ20011等の各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられている。
- [0050] 配線層20050は、配線20051と絶縁層20052とを含み、絶縁層20052内において、配線20051が各素子に電氣的に接続するように形成されている。配線層20050は、いわゆる多層配線の層になっており、絶縁層20052を構成する層間絶縁膜と配線20051とが交互に複数回積層されて形成されている。ここでは、配線20051としては、転送トランジスタ等のフォトダイオード20019から電荷を読み出すためのトランジスタへの配線や、垂直信号線VSL等の各配線が、絶縁層20052を介して積層されている。
- [0051] 配線層20050の、フォトダイオード20019が設けられている側に対して反対側の面には、支持基板20061が設けられている。例えば、厚みが数百 μm のシリコン半導体からなる基板が、支持基板20061として設けられている。
- [0052] 遮光膜20014は、半導体基板20018の裏面（図では上面）の側に設けられている。
- [0053] 遮光膜20014は、半導体基板20018の上方から半導体基板20018の裏面へ向かう入射光20001の一部を、遮光するように構成されている。
- [0054] 遮光膜20014は、半導体基板20018の内部に設けられた画素分離部20030の上方に設けられている。ここでは、遮光膜20014は、半

導体基板 20018 の裏面（上面）上において、シリコン酸化膜等の絶縁膜 20015 を介して、凸形状に突き出るように設けられている。これに対して、半導体基板 20018 の内部に設けられたフォトダイオード 20019 の上方においては、フォトダイオード 20019 に入射光 20001 が入射するように、遮光膜 20014 は、設けられておらず、開口している。

[0055] つまり、図中、上面側から、固体撮像装置を見た場合、遮光膜 20014 の平面形状は、格子状になっており、入射光 20001 が受光面 20017 へ通過する開口が形成されている。

[0056] 遮光膜 20014 は、光を遮光する遮光材料で形成されている。例えば、チタン（Ti）膜とタングステン（W）膜とを、順次、積層することで、遮光膜 20014 が形成されている。この他に、遮光膜 20014 は、例えば、窒化チタン（TiN）膜とタングステン（W）膜とを、順次、積層することで形成することができる。

[0057] 遮光膜 20014 は、平坦化膜 20013 によって被覆されている。平坦化膜 20013 は、光を透過する絶縁材料を用いて形成されている。

[0058] 画素分離部 20030 は、溝部 20031、固定電荷膜 20032、及び、絶縁膜 20033 を有する。

[0059] 固定電荷膜 20032 は、半導体基板 20018 の裏面（上面）の側において、複数の画素 20010 の間を区画している溝部 20031 を覆うように形成されている。

[0060] 具体的には、固定電荷膜 20032 は、半導体基板 20018 において裏面（上面）側に形成された溝部 20031 の内側の面を一定の厚みで被覆するように設けられている。そして、その固定電荷膜 20032 で被覆された溝部 20031 の内部を埋め込むように、絶縁膜 20033 が設けられている（充填されている）。

[0061] ここでは、固定電荷膜 20032 は、半導体基板 20018 との界面部分において正電荷（ホール）蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体を用いて形成されている。固定電荷

膜 20032 が負の固定電荷を有するように形成されていることで、その負の固定電荷によって、半導体基板 20018 との界面に電界が加わり、正電荷（ホール）蓄積領域が形成される。

[0062] 固定電荷膜 20032 は、例えば、ハフニウム酸化膜（ HfO_2 膜）で形成することができる。また、固定電荷膜 20032 は、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物の少なくとも 1 つを含むように形成することができる。

[0063] 1. 5 半導体基板と第 1 配線層の第 1 の平面構造例

近年、CMOS イメージセンサにおいては、画素数の増加に伴い、複数のフォトダイオード PD で浮遊拡散層 FD、各種の画素トランジスタ、半導体基板の電位固定のためのウェルコンタクトなどの少なくとも一部を共有する構造が提案されている。そこで、本実施形態では、図 2 の単位画素の構成要素のうちの浮遊拡散層 FD や画素トランジスタを複数のフォトダイオード PD で共有する構成（画素共有単位）について、例を挙げて説明する。具体的には、図 2 の単位画素の構成のうち、8 つのフォトダイオード PD で 2 つの浮遊拡散層 FD を共有する画素共有単位について、例を挙げる。

[0064] 図 4 は、第 1 の実施形態に係る 1 つの画素共有単位の半導体基板と第 1 配線層の第 1 の平面構造例を重ねて示す平面図である。なお、図 4 には、画素共有単位 110 における第 1 の平面構造例が示されている。また、図 4 に示される各層の詳細については、後述において図 5 A ～図 5 C を用いて説明する。

[0065] 図 4 に示される共有パターンは一例である。したがって、図 4 に例示する構成に限定されず、例えば 2 つのフォトダイオード PD で 1 つの浮遊拡散層 FD を共有する構造、4 つのフォトダイオード PD で 1 つの増幅トランジスタ 53 を共有する構造など、様々な画素共有パターンに対しても、本実施形態を適用することが可能である。さらに、画素共有単位を形成しない構造、例えば、図 2 の単位画素の構成が独立して配置されている構造に対しても、

本実施形態を適用することが可能である。

[0066] 図5Aは、図4の半導体基板の第1面側の第1の平面構造例を示す平面図であって、図3のような固体撮像装置において、受光部が形成される半導体基板20018、ならびに、図2に示した画素トランジスタのゲート電極が形成される絶縁層20052の平面図である。なお、第1面は、半導体基板20018の素子形成面であってよい。

[0067] 図5Aに示すように、この画素共有単位110は、第1受光部21、第2受光部22、第1トランジスタ群31、第2トランジスタ群32から構成される。さらに、画素共有単位110は、第1受光部21に対応する第1ウェルコンタクト23aと、第2受光部22に対応する第2ウェルコンタクト23bとを有する。第1ウェルコンタクト23a、第2ウェルコンタクト23bは、それぞれ半導体基板20018における第1受光部21、第2受光部22の電位を接地電位や任意の電位に固定するコンタクトとして機能する。なお、ウェルコンタクトは必ずしも複数設けなくてもよい。例えば、複数の受光部、又は、半導体基板20018に対して、1つのウェルコンタクトを形成する構成も可能である。

[0068] 第1受光部21は、4つのフォトダイオード111～114と、それらが共有する浮遊拡散層16aと、フォトダイオード111～114をそれぞれ接続する転送ゲート121a～124aとから構成される。

[0069] 第2受光部22は、4つのフォトダイオード115～118と、それらが共有する浮遊拡散層16bと、フォトダイオード115～118をそれぞれ接続する転送ゲート125a～128aとから構成される。

[0070] 第1トランジスタ群31は、増幅ゲート13a、選択ゲート15a、及びソース／ドレイン（S／D）31a～31cから構成される。

[0071] 第2トランジスタ群32は、第1リセットゲート14a、第2リセットゲート14b、及びソース／ドレイン（S／D）32a～32cから構成される。

[0072] なお、図5Aでは2つのリセットゲートを設ける構成としたが、リセット

ゲートは1つでも動作可能なため、第2リセットゲート14bを設けない構成も可能である。また、第2リセットゲート14bをダミーとして動作させない場合でも、第2リセットゲート14bを設けておくことで、第1トランジスタ群31とのレイアウトの対称性を持たせることができる。これにより、画素間の特性のばらつきを抑えることができる。

[0073] 図5Bは、図4の第1配線層の第1の平面構造例を示す平面図であって、図3のような固体撮像装置において、配線層20050に含まれる配線20051のうち、最も半導体基板20018側に設けられた第1配線層の平面図である。図5Bにおいて、領域202aは、半導体基板20018の基板厚方向において図5Aにおける第1受光部21と対応し、領域202bは、同方向において図5Aにおける第2受光部22と対応する。

[0074] 図5Bに示すように、第1配線層は、例えば図5Aに示すような浮遊拡散層16a、16bを接続するFD配線201を有する。このFD配線201は、浮遊拡散層16a、16bと増幅ゲート13aとを接続するFD配線に置き換えることもできる。もしくは、FD配線201を、これら2つの機能を有したFD配線とすることもできる。

[0075] 第1配線層に設ける配線の他の例として、例えば転送ゲート121a～128aを動作させるための転送ゲート配線221a～228aがある。さらに、増幅ゲート13a、第1リセットゲート14a、第2リセットゲート14b、選択ゲート15aといった、画素トランジスタを動作させるための増幅ゲート配線113a、第1リセットゲート配線114a、第2リセットゲート配線114b、選択ゲート配線115aを第1配線層に設けることもできる。

[0076] また、第1トランジスタ群31、第2トランジスタ群32におけるソース／ドレイン（S／D）に接続されたソース／ドレイン配線113b、311、312を第1配線層に設けることもできる。

[0077] なお、図5Bの例に限らず、上述した一部の配線を別の配線層に設けてもよく、他の機能を有する配線を第1配線層に設けてもよい。また、適宜配線

を共有してもよく、別系統としてもよい。

[0078] 図5Cは、図4の第1配線層に積層された第2配線層の第1の平面構造例を示す平面図であって、図3のような固体撮像装置において、配線層20050に含まれる配線20051のうち、図5Bに示す第1配線層の次に半導体基板20018側に設けられた第2配線層の平面図である。図5Cにおいて、領域203aは、半導体基板20018の基板厚方向において図5Aにおける第1受光部21及び図5Bにおける領域202aと対応し、領域203bは、同方向において図5Aにおける第2受光部22及び図5Bにおける領域202bと対応する。

[0079] 図5Cに示すように、第2配線層は、例えば配線容量として利用される配線211a～211cを有する。例えば、図5Bに示すFD配線201と配線211a～211cの少なくとも一部とを接続することで、FD配線201に対する付加容量を形成することができる。これにより、FD配線201の配線容量が増加し、フォトダイオード111～118で発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、図5Cのような配線容量を用いて電荷蓄積量を増加させることができる。これにより、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。

[0080] また、第2配線層は、例えば、配線211a～211cの少なくとも一部が図5Bに示す転送ゲート配線221a～228aの少なくとも一部に接続された構成とすることも可能である。これにより、転送ゲート121a～128aとFD配線201との間に付加容量を付加してこの間の配線容量を増加させることができる。配線容量が増加することで、例えば、転送ゲート121a～128aとFD配線201のカップリング作用が大きくなり、転送ゲート121a～128aの電位が上昇したときに浮遊拡散層FDの電位も高くなり、電荷が読み出しやすくなる。これにより、読み出し不良を減少させることができる。

[0081] なお、第2配線層は、配線容量を形成する構成に限定されない。例えば、画素信号を伝送する垂直信号線VSLや、トランジスタの駆動信号を伝送する配線などの、異なる機能を有する配線を第2配線層に形成してもよい。

[0082] 1. 6 半導体基板と第1配線層の製造方法

図6Aは、第1の実施形態に係る複数の画素共有単位の第1配線層の第1の平面構造例を示す平面図である。具体的には、図5Aに示した画素共有単位110と、その画素共有単位110が形成された半導体基板20018の第1面と水平な方向において、画素共有単位110と隣接して配置された、画素共有単位310との平面図である。

[0083] 画素共有単位310は、画素共有単位110と同様の構成である。具体的には、図6Aに示すように、画素共有単位310は、FD配線401と、転送ゲート配線421a～428aと、増幅ゲート配線413aと、第1リセットゲート配線414aと、第2リセットゲート配線414bと、選択ゲート配線415aと、トランジスタのソース／ドレイン配線411、412、413bと、領域402a、402bとを第1配線層に有する。

[0084] また、画素共有単位310に関して、受光部が形成される半導体基板20018、ならびに、図2に示した画素トランジスタのゲート電極が形成される絶縁層20052の平面図は図示しないが、図5Aに示す画素共有単位110の構成と同様であってよい。具体的には、画素共有単位310は、第3受光部、第4受光部、第3トランジスタ群、第4トランジスタ群から構成される。

[0085] 領域402aは、半導体基板20018の基板厚方向において、半導体基板20018の第1面と水平な方向に第1受光部21と隣接して半導体基板20018に設けられる第3受光部（図示せず）と対応し、領域402bは、同基板厚方向において、同水平な方向に第2受光部22と隣接して半導体基板20018に設けられる第4受光部（図示せず）と対応する。

[0086] 図6B～図6Fは、図6Aに示すA-A'断面における第1の実施形態に係る第1配線層の製造方法を示す断面図である。以下、図6B～図6Fを用

いて各製造工程の例を説明する。

- [0087] まず、半導体基板上に絶縁膜を成膜する工程を示す。これは、例えば図3の半導体基板20018と、配線層20050の絶縁層20052との形成工程である。具体的には、図6Bに示すように、素子が形成された半導体基板60上に、保護絶縁膜61と、層間絶縁膜62とを成膜する。
- [0088] 保護絶縁膜61には、例えばシリコン酸化膜(SiO_2)やシリコン窒化膜(SiN)などの絶縁膜材料を用いることができる。また、保護絶縁膜61の形成には、例えば、CVD (Chemical Vapor Deposition) やスパッタリングなどの一般的な成膜技術を用いることができる。
- [0089] 保護絶縁膜61には、その他の絶縁膜材料を用いることも可能である。その他の絶縁膜材料としては、例えば、シリコン窒化膜(SiN)やシリコン酸窒化膜(SiON)などがある。また、保護絶縁膜61は、例えばプロセス工程における層間絶縁膜62の保護膜や、エッチングストッパとして機能することができる。また、保護絶縁膜61を設けることで、層間絶縁膜62や、配線層20050、ひいては固体撮像装置10の機械的強度を向上することも可能である。さらに、半導体基板60と後述する層間絶縁膜62との間に保護絶縁膜61を介在させることで、半導体基板60に対する層間絶縁膜62の接着強度の向上や、半導体基板60に形成されたトランジスタ等の回路素子の動作安定性を向上することが可能となる。
- [0090] 層間絶縁膜62には、例えば炭素添加シリコン酸化膜(SiOC)や SiCOH 膜など、シリコン酸化膜(SiO_2)よりも低誘電率膜材料を用いることができる。
- [0091] また、層間絶縁膜62には、低誘電率膜材料として上述の有機材料と無機材料の混合材料だけでなく、その他の無機材料、有機材料を用いることも可能である。無機材料としては、例えば、フッ素添加シリコン酸化膜(SiOF)、水素化シルセスキオキサン(HSQ)などがある。有機材料としては、例えば、パレリン系、ポリアリルエーテル系などがある。炭素添加シリコン酸化膜(SiOC)や SiCOH 膜以外の有機材料と無機材料の混合材料

としては、例えば、メチル化シルセスキオキサン（MSQ）などがある。

[0092] また、低誘電率膜は、絶縁膜材料に空孔を導入し、多孔質（ポーラス）化させた材料を用いることによっても形成することができる。具体的には、例えば熱や乾燥などの作用によって、膜を低密度化させることで、絶縁膜の誘電率を低下させることができる。

[0093] ここで、誘電率について説明する。誘電率 ϵ とは、ある物質の誘電分極が生じる程度を表した指標である。物質の誘電率 ϵ を真空の誘電率 ϵ_0 割った値を比誘電率 ϵ_r という。比誘電率の値が大きいほど誘電分極を起こしやすく、絶縁体としての機能が高いことを示す。なお、本開示の低誘電率というのは、比誘電率が低いことを示している。比誘電率のことを単に誘電率と称する場合もある。

[0094] 層間絶縁膜62に低誘電率膜を用いることで、配線間容量を低減させることができる。これにより、配線間容量が低減され、半導体素子の高速動作や信号伝送の高速化、消費電力の削減が可能になる。

[0095] なお、図6Bでは保護絶縁膜61を設ける構成を示したが、半導体基板60上に層間絶縁膜62を直接成膜してもよい。また、層間絶縁膜62に低誘電率膜でないシリコン酸化膜（ SiO_2 ）などの絶縁膜を設ける構成も可能である。さらに、図示しないが、保護絶縁膜61を複数層設けることも可能である。

[0096] 具体的には、絶縁膜が1層または多層に積層された構成であってもよい。例えば、半導体基板60上に、第1の絶縁膜を形成することもできる。この場合、第1の絶縁膜は、保護絶縁膜61または層間絶縁膜62であってもよい。

[0097] また、本実施形態では保護絶縁膜61、層間絶縁膜62を設ける構成を示したが、それぞれの機能を有する絶縁膜に限定されない。例えば、図6Bに示すように、素子が形成された半導体基板60上に、保護絶縁膜61及び／又は層間絶縁膜62に代えて、保護絶縁膜61とは異なる機能を備える第1の絶縁膜61、及び／又は、層間絶縁膜62とは異なる第2の絶縁膜62と

が形成された構成も可能である。その際、半導体基板 60 上における第 1 の絶縁膜 61 と第 2 の絶縁膜 62 との上下関係が入れ替わってもよい。すなわち、半導体基板 60 上に第 1 の絶縁膜 61 が配置され、この第 1 の絶縁膜 61 上に第 2 の絶縁膜 62 が配置されてもよいし、半導体基板 60 上に第 2 の絶縁膜 62 が配置され、この第 2 の絶縁膜 62 上に第 1 の絶縁膜 61 が配置されもよい。

[0098] さらに、素子が形成された半導体基板 60 上に積層される、保護絶縁膜 61 と層間絶縁膜 62 の積層順は、層間絶縁膜 62、保護絶縁膜 61 の順であってもよい。保護絶縁膜 61 や層間絶縁膜 62 は、それぞれ複数層設けることも可能である。保護絶縁膜 61 と層間絶縁膜 62 の積層パターンを繰り返し設けることも可能である。

[0099] 次に、絶縁膜上に開口部を形成する工程を示す。具体的には、図 6 C に示すように、層間絶縁膜 62 の上方に、所望の開口部 64 a、64 b を備えるマスク 63 を形成する。マスク 63 には、例えばレジストマスクやハードマスクを用いることができる。

[0100] 次に、開口部から絶縁膜の比誘電率を変化させる工程を示す。具体的には、図 6 D に示すように、開口部 64 a、64 b から露出する層間絶縁膜 62 の露出領域 65 a、65 b に変化を与える。例えば、開口部 64 a、64 b からイオン注入やアッシングなどを行うことで、露出領域 65 a、65 b の状態を変化させる。これにより、層間絶縁膜 62 のうち、露出領域 65 a、65 b の比誘電率を、マスク 63 に覆われた遮蔽領域 66 a、66 b、66 c の比誘電率に対して変化させることができる。

[0101] 露出領域 65 a、65 b の状態変化について、具体的な手法を説明する。イオン注入については、例えばアルゴン (Ar) やクリプトン (Kr) やキセノンなどのシリコン (Si) 原子と結合し難い原子のイオンを局所的に露出領域 65 a、65 b に注入する方法がある。又は、層間絶縁膜 62 中に残留したとしてもその影響が小さいシリコン (Si) 原子を注入して露出領域 65 a、65 b を状態変化させてもよい。その際、イオン注入のエネルギー

量やドーズ量を制御することで、露出領域 65 a、65 b に与える変化を制御することも可能である。イオン注入の原子を選定することで、露出領域 65 a、65 b に与える変化を制御することも可能である。

[0102] また、アッシングについては、例えば紫外線を照射し、ガスと露出領域 65 a、65 b との化学反応を促進させる光励起アッシングや、ガスをプラズマ化させ、それを利用して露出領域 65 a、65 b を変化させるプラズマアッシングなどの方法がある。

[0103] 露出領域 65 a、65 b の状態変化について、具体的な変化例を説明する。上述のイオン注入やアッシングを行うことで、露出領域 65 a、65 b の比誘電率を、マスク 63 に覆われた遮蔽領域 66 a、66 b、66 c の比誘電率に対して変化させることができる。具体的には、低誘電率材料を用いて形成した層間絶縁膜 62 のうち、露出領域 65 a、65 b の比誘電率を遮蔽領域 66 a、66 b、66 c の比誘電率よりも高くすることができる。

[0104] 本実施形態では、例えば図 6 A の領域 202 a、402 a がそれぞれ露出領域 65 a、65 b に対応する。上述の状態変化を加えることで、例えば F D 配線 201、401 の近傍の層間絶縁膜 62 を高誘電率化させることができる。これにより、部分的に領域 202 a、402 a の配線容量を高くすることができる。

[0105] その他の状態変化の例として、例えば層間絶縁膜 62 のうち、露出領域 65 a、65 b の膜密度が、遮蔽領域 66 a、66 b、66 c よりも増加する場合がある。具体的には、上述の状態変化を加えることで、例えば露出領域 65 a、65 b 表面又は露出領域 65 a、65 b の一部又は全体の空孔が減少する。これにより、露出領域 65 a、65 b 表面又は露出領域 65 a、65 b の一部又は全体の膜密度が高くなり、高誘電率化する。その結果、部分的に領域 202 a、402 a の配線容量を高くすることができる。具体的には、F D 配線 201、401 の配線容量を増加させることができる。

[0106] その他の状態変化の例として、例えば層間絶縁膜 62 に炭素添加シリコン酸化膜 (SiOC) 又はフッ素添加シリコン酸化膜 (SiOF) を用いた場

合には、露出領域 6 5 a、6 5 b における炭素 (C) 又はフッ素 (F) の含有量が、遮蔽領域 6 6 a、6 6 b、6 6 c のそれよりも少なくなる場合がある。具体的には、上述の状態変化を加えることで、露出領域 6 5 a、6 5 b の一部又は全体又はその表面の炭素 (C) 又はフッ素 (F) が減少し、露出領域 6 5 a、6 5 b の一部又は全体又はその表面の組成がシリコン酸化膜 (SiO_2) に近づいて硬化する。それにより、露出領域 6 5 a、6 5 b の空孔が減少するため、露出領域 6 5 a、6 5 b の一部又は全体又はその表面が高誘電率化する。その結果、部分的に領域 2 0 2 a、4 0 2 a の配線容量を高くすることができる。具体的には、FD 配線 2 0 1、4 0 1 の配線容量を増加させることができる。

[0107] その他の状態変化の例として、例えば露出領域 6 5 a、6 5 b の膜厚が、遮蔽領域 6 6 a、6 6 b、6 6 c の膜厚よりも薄くなる場合がある。上述の状態変化を加えることで、上述したように、露出領域 6 5 a、6 5 b の一部又は全体又はその表面の空孔が減少して膜密度が高くなる。これにより、露出領域 6 5 a、6 5 b が圧縮された状態となり、その結果、露出領域 6 5 a、6 5 b の膜厚が遮蔽領域 6 6 a、6 6 b、6 6 c の膜厚よりも薄くなる。

[0108] なお、上述の様々な状態変化は、必ずしも露出領域 6 5 a、6 5 b 全体で発生していなくてもよい。例えば、露出領域 6 5 a、6 5 b のいずれかの一部と、遮蔽領域 6 6 a、6 6 b、6 6 c のいずれかの一部とを比較して、状態変化が起きている場合を含む。

[0109] 次に、絶縁膜上のマスクを除去する工程を示す。具体的には、図 6 E に示すように、マスク 6 3 を剥離する。その後、マスクが形成されていた側の層間絶縁膜 6 2 の表面を安定化するため、任意にアニールを行ってもよい。

[0110] 最後に、絶縁膜中に配線を形成する工程を示す。具体的には、図 6 F に示すように、層間絶縁膜 6 2 に所望の配線 6 7 a、6 7 b を形成する。配線 6 7 a、6 7 b には、導電材料が用いられる。例えば銅 (Cu)、タングステン (W)、アルミニウム (Al) といった金属材料を用いることができる。銅 (Cu) を配線 6 7 a、6 7 b に用いる場合には、例えばダマシンプロセ

スを用いて、配線 6 7 a、6 7 b を形成する領域を開口し、銅を成膜し、表面を平坦化することで、配線 6 7 a、6 7 b が形成される。

[0111] なお、図 6 F に示される構成において、例えば、配線 6 7 a は請求の範囲に記載された第 1 配線の一例であり、層間絶縁膜 6 2 は第 1 絶縁膜の一例であり、露出領域 6 5 a は第 1 領域の一例であり、遮蔽領域 6 6 a は第 2 領域の一例である。ただし、請求の範囲に記載された各構成要素と明細書に記載された各構成要素との対応関係は、上記に限定されるものではなく、本開示の要旨を逸脱しない範囲において適宜その対応関係を各実施形態又はその変形例に対して適用することが可能である。

[0112] 図 6 F では、露出領域 6 5 a、6 5 b にそれぞれ配線 6 7 a、6 7 b を形成する工程を示した。本実施形態では、例えば図 6 A の F D 配線 2 0 1、4 0 1 がそれぞれ配線 6 7 a、6 7 b に対応する。これにより、具体的には、F D 配線 2 0 1、4 0 1 の近傍の層間絶縁膜 6 2（具体的には、露出領域 6 5 a、6 5 b）であって第 1 面と平行な方向及び垂直な方向から F D 配線 2 0 1、4 0 1 に接する領域を部分的に高誘電率化させることができる。それにより、例えば F D 配線 2 0 1、4 0 1 の配線容量を増加させることができる。F D 配線の配線容量が増加することで、フォトダイオード（図示せず）で発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、図 6 F における高誘電率の露出領域 6 5 a、6 5 b に形成された配線容量を用いて電荷蓄積量を増加させることができる。これにより、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。なお、露出領域 6 5 a、6 5 b における半導体基板 6 0 側の面（第 2 面）は、配線 6 7 a、6 7 b における半導体基板側の面（第 3 面）よりも、半導体基板 6 0 に近接している。

[0113] 本実施形態では、領域 2 0 2 a、4 0 2 a がそれぞれ露出領域 6 5 a、6 5 b に対応しているため、配線 6 7 a、6 7 b は F D 配線 2 0 1、4 0 1 に限らない。例えば、配線 6 7 a、6 7 b は、転送ゲート配線 2 2 1 a ~ 2 2

4 a、4 2 1 a～4 2 4 aの少なくともいずれかに対応し、転送ゲート配線 2 2 1 a～2 2 4 a、4 2 1 a～4 2 4 aの少なくとも一部の配線容量を増加させることもできる。

[0114] また、図示しないが、露出領域 6 5 a、6 5 bに複数の配線を形成し、複数の配線の配線容量を増加させることもできる。本実施形態では、例えば、露出領域 6 5 a、6 5 bにFD配線 2 0 1、4 0 1と転送ゲート配線 2 2 1 a～2 2 4 a、4 2 1 a～4 2 4 aとを形成し、転送ゲート配線 2 2 1 a～2 2 4 a、4 2 1 a～4 2 4 aとFD配線 2 0 1、4 0 1との間に付加容量を付加し、この間の配線容量を増加させることができる。

[0115] 配線容量が増加することで、例えば、転送ゲート配線 2 2 1 a～2 2 4 aに接続された各転送ゲート（図示せず）とFD配線 2 0 1、4 0 1とのカップリング作用が大きくなり、転送ゲートの電位が上昇したときに浮遊拡散層FDの電位も高くなり、電荷が読み出しやすくなる。これにより、読み出し不良を減少させることができる。また、フォトダイオードPDから浮遊拡散層FDへの電荷転送が高速化するため、単位画素50に対する画素信号の高速読み出しも可能になる。

[0116] また、図示しないが、遮蔽領域 6 6 a、6 6 b、6 6 cの少なくとも一部にも配線を形成してもよい。また、図示しないが、露出領域 6 5 a、6 5 bが図6Aの領域 2 0 2 a、4 0 2 aと対応していない他の構成例も本実施形態に含まれ得る。例えば、FD配線 2 0 1を露出領域 6 5 aに、FD配線 4 0 1を露出領域 6 5 bに形成し、転送ゲート配線 2 2 1 a、2 2 3 aを遮蔽領域 6 6 aに、転送ゲート配線 2 2 2 a、2 2 4 a、4 2 1 a、4 2 3 aを遮蔽領域 6 6 bに、転送ゲート配線 4 2 2 a、4 2 4 aを遮蔽領域 6 6 cに形成することも可能である。その場合、FD配線 2 0 1、4 0 1の配線容量を高容量化させることができる。

[0117] 本実施形態では、図6Aの領域 2 0 2 a、4 0 2 aがそれぞれ図6D～図6Fの露出領域 6 5 a、6 5 bに対応している例を示したが、これに限らない。露出領域 6 5 a、6 5 bは、領域 2 0 2 a、4 0 2 aのように隣接する

画素共有単位でなくともよく、固体撮像装置 10 の少なくとも一部に露出領域 65 a、遮蔽領域 66 a が形成されていればよい。

[0118] 例えば、露出領域 65 a、65 b は、半導体基板 20018 の第 1 面と平行な方向において、図 6 A の領域 202 a、202 b、402 a、402 b に対応してもよい。その場合、領域 202 a、202 b に加え、領域 202 b、402 b も露出領域 65 a、65 b の一部として、層間絶縁膜 62 の状態を変化させることができる。

[0119] また、露出領域 65 a、65 b は、半導体基板 20018 の第 1 面と平行な方向において、例えば図 5 B 又は図 6 A の領域 212 a、図 6 A の領域 412 a に対応してもよい。その場合、第 1 配線層に形成された F D 配線 201、401 の近傍の層間絶縁膜 62 の状態を広範囲に変化させることができる。さらに、領域 202 a、202 b、402 a、402 b に加え、上述の第 1 トランジスタ群 31、第 2 トランジスタ群 32、第 3 トランジスタ群（図示せず）、第 4 トランジスタ群（図示せず）に接続される配線を形成する領域も、露出領域 65 a、65 b に含まれてもよい。

[0120] また、本実施形態では層間絶縁膜 62 に低誘電率膜を用い、状態変化を加えた露出領域 65 a、65 b の誘電率を、遮蔽領域 66 a、66 b、66 c に比べて増加させる例を示したが、これに限定されない。例えば、層間絶縁膜 62 に低誘電率膜や高誘電率膜等を用い、状態変化を加えた露出領域 65 a、65 b の誘電率を、遮蔽領域 66 a、66 b、66 c に比べてさらに減少させる場合も考えられる。また、層間絶縁膜 62 にシリコン酸化膜（SiO₂）のような絶縁膜を形成し、露出領域 65 a、65 b に状態変化を加えることで、露出領域 65 a、65 b の誘電率を、遮蔽領域 66 a、66 b、66 c に比べて増加又は減少させる場合も考えられる。

[0121] 具体的には、低誘電率の領域に F D 配線を形成すると、F D 容量を低減させることができる。これにより、例えば浮遊拡散層 F D で保持された電荷がゲート電極に入力される増幅トランジスタ 53 における電荷－電圧変換効率（ゲイン）が増加する。

[0122] また、図示しないが、本実施形態の図6C～図6Eの製造工程を繰り返すことで、1つの層間絶縁膜62に誘電率の異なる複数の種類の誘電率領域を形成することも可能である。具体的には、例えば図6C～図6Eの製造工程を2回繰り返し、それぞれマスク63の形成する領域と、イオン注入やアッシングの条件を調整することで、最初に成膜した層間絶縁膜62に対して部分的に2種類以上の状態変化を与えることができる。その結果、誘電率の異なる2種類以上の誘電率領域を形成することが可能である。これにより、より微細な配線パターンに対しても、所望の容量状態を形成することができる。

[0123] 1. 7 半導体基板と第2配線層の製造方法

図7Aは、第1の実施形態に係る複数の画素共有単位の第2配線層の第1の平面構造例を示す平面図である。具体的には、図5Aに示した画素共有単位110と、その画素共有単位110が形成された半導体基板20018の第1面と水平な方向において、画素共有単位110と隣接して配置された、画素共有単位310との平面図である。

[0124] 画素共有単位310は、画素共有単位110と同様の構成であってよい。具体的には、図7Aに示すように、画素共有単位310は、配線211d～211fを第2配線層に有する。配線211d～211fは、上述の配線211a～211cと同様、例えば配線容量として利用される。具体的には、図6Aに示すFD配線401と配線211d～211fの少なくとも一部とを接続することで、FD配線401に対する付加容量を形成することができる。また、図6Aに示す転送ゲート配線421a～428aの少なくとも一部と配線211d～211fの少なくとも一部とを接続することで、画素共有単位310の転送ゲート（図示せず）とFD配線401との間に付加容量を付加してこの間の配線容量を増加させることができる。

[0125] また、配線211a～211fは、配線容量を形成する構成に限定されない。例えば、画素信号を伝送する垂直信号線VSLや、トランジスタの駆動信号を伝送する配線などの、異なる機能を有する配線であってもよい。

- [0126] 領域403aは、半導体基板20018の基板厚方向において、半導体基板20018の第1面と水平な方向に第1受光部21と隣接して半導体基板20018に設けられる第3受光部（図示せず）及び図6Aにおける領域402aと対応し、領域403bは、同基板厚方向において、同水平な方向に第2受光部22と隣接して半導体基板20018に設けられる第4受光部（図示せず）及び図6Aにおける領域402bと対応する。
- [0127] 本実施形態では、図7Aの領域203a、403aがそれぞれ図7D～図7Fの露出領域65a、65bに対応している例を示したが、これに限らない。露出領域65a、65bは、領域203a、403aのように隣接する画素共有単位でなくてもよく、固体撮像装置10の少なくとも一部に露出領域65a、遮蔽領域66aが形成されていればよい。
- [0128] 例えば、露出領域65a、65bは、半導体基板20018の第1面と平行な方向において、図7Aの領域203a、203b、403a、403bに対応してもよい。その場合、領域203a、203bに加え、領域203b、403bも露出領域65a、65bの一部として、層間絶縁膜62の状態を変化させることができる。
- [0129] また、露出領域65a、65bは、半導体基板20018の第1面と平行な方向において、例えば、図5C又は図7Aの領域212b、図7Aの領域412bに対応してもよい。その場合、第1配線層に形成された配線211a～211fの近傍の層間絶縁膜62の状態を広範囲に変化させることができる。
- [0130] 図7B～図7Fは、図7Aに示すA-A'断面における本実施形態に係る第1配線層の製造方法を示す断面図である。以下、図7Fの構造例を説明する。なお、図7B～図7Eの各製造工程の例は、上述において図6B～図6Eを用いて説明した各製造工程と同様であってよい。
- [0131] 図7Fは、図7AのB-B'断面における第1の実施形態に係る第2配線層の製造方法を示す断面図であって、上述において図6Fを用いて説明した工程と対応する工程である。図7Fに示すように、第2配線層の製造方法で

は、露出領域 6 5 a、6 5 b にそれぞれ複数の配線 1 6 7 a、1 6 7 b が形成される。本実施形態では、例えば図 7 A の配線 2 1 1 a ~ 2 1 1 c、2 1 1 d ~ 2 1 1 f がそれぞれ複数の配線 1 6 7 a、1 6 7 b に対応する。これにより、具体的には、配線 2 1 1 a ~ 2 1 1 c、2 1 1 d ~ 2 1 1 f の近傍の層間絶縁膜 6 2 が高誘電率化する。その結果、例えば、配線 2 1 1 a ~ 2 1 1 c の少なくとも一部が F D 配線 2 0 1 に接続されている場合は、F D 配線 2 0 1 の付加容量を増加させることができる。同様に、配線 2 1 1 d ~ 2 1 1 f の少なくとも一部が F D 配線 4 0 1 に接続されている場合は、F D 配線 4 0 1 の付加容量を増加させることができる。なお、配線 1 6 7 a、1 6 7 b の材料及びその形成方法は、例えば、上述において図 6 F を用いて説明した配線 6 7 a、6 7 b の材料及びその形成方法と同様であってよい。

[0132] このように、F D 配線の配線容量が増加することで、フォトダイオード（図示せず）で発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、図 7 F における高誘電率の露出領域 6 5 a、6 5 b に形成された配線容量を用いて電荷蓄積量を増加させることができる。これにより、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。

[0133] 本実施形態で、配線 2 1 1 a ~ 2 1 1 f が、例えば画素信号を伝送する垂直信号線 V S L や、トランジスタの駆動信号を伝送する配線などに用いられる場合も、配線 2 1 1 a ~ 2 1 1 f の配線容量を高容量化させることができる。

[0134] 1. 8 配線層の製造方法の概略

図 8 は、第 1 の実施形態に係る配線層の製造方法の概略を説明するためのフロー図である。

[0135] まず、図 8 中の工程（8-1）として、絶縁膜を成膜する工程がある。これは、例えば上述の図 6 B、図 7 B に相当する。

[0136] 次に、図 8 中の工程（8-2）として、開口部を形成する工程がある。こ

れは、例えば上述の図 6 C、図 7 C に相当する。

[0137] 次に、図 8 中の工程（８－３）として、比誘電率を変化させる工程がある。
これは、例えば上述の図 6 D、図 7 D に相当する。

[0138] 次に、図 8 中の工程（８－４）として、配線を形成する工程がある。これは、例えば上述の図 6 F、図 7 F に相当する。

[0139] なお、図 8 中の工程（８－２）開口部を形成する工程と（８－３）比誘電率を変化させる工程との間に、マスクが形成されていた側の層間絶縁膜 6 2 の表面を安定化するため、任意にアニールを行う工程が追加されてもよい。

[0140] また、図 8 中の（８－３）比誘電率を変化させる工程と（８－４）配線を形成する工程との間に、開口部を形成するために使用したマスクを除去する工程が追加されてもよい。これは、例えば上述の図 6 E、図 7 E に相当する。

[0141] さらに、上述の工程（８－１）～（８－４）を繰り返して配線層を積層することで、部分的に比誘電率の異なる配線層が積層された構造を得ることも可能である。

[0142] １． ９ 配線層の絶縁膜における構造変化

図 9 は、第 1 の実施形態に係る配線層の絶縁膜における膜密度の概略構成例を示す断面図である。図 9 では、上述の層間絶縁膜 6 2 における露出領域 6 5 a を拡大し、比誘電率を変化させる工程を経た後の膜密度を模式的に示した図である。

[0143] 図 9 の上層領域 9 a は、露出領域 6 5 a の開口部 6 4 a 側を示す。図 9 の下層領域 9 b は、露出領域 6 5 a の開口部 6 4 a と反対側（保護絶縁膜 6 1 側、又は、半導体基板 6 0 側）を示す。上述のとおり、露出領域 6 5 a の比誘電率を変化させる工程において、比誘電率を変化させる領域を半導体基板 6 0 の第 1 面（半導体基板 2 0 0 1 8 の第 1 面と同じ）と水平な方向及び／又は垂直な方向に制御することができる。ここでは、露出領域 6 5 a のうち、開口部 6 4 a 側の上層領域 9 a の比誘電率を変化させる例を示す。

[0144] 比誘電率を変化させる工程により、露出領域 6 5 a の少なくとも一部に状

態の変化が生じる。その一例として、膜密度の変化がある。例えば、図9において、上層領域9aに含まれる空孔90aは、下層領域9bに含まれる空孔90bよりも小さくなる。また、上層領域9aに含まれる空孔90aの断面積は、下層領域9bに含まれる空孔90bの断面積よりも小さくなる。さらに、上層領域9aに含まれる空孔90a全体の体積又は全体の断面積は、下層領域9bに含まれる空孔90b全体の体積又は全体の断面積よりも小さくなる。よって、上層領域9aの膜密度が、下層領域9bの膜密度よりも増加する。その結果、上層領域9aが高誘電率化する。

[0145] 他の一例としては、膜の硬化がある。例えば、層間絶縁膜62に炭素添加シリコン酸化膜(SiOC)又はフッ素添加シリコン酸化膜(SiOF)を用いた場合には、上層領域9aの表面の炭素(C)又はフッ素(F)が減少する。図9において、上層領域9の組成がシリコン酸化膜(SiO₂)に近づき、上層領域9aは下層領域9bよりも硬化する。よって、上層領域9aに含まれる空孔90aの全体の体積は、下層領域9bに含まれる空孔90bの全体の体積よりも小さくなる。その結果、上層領域9aが高誘電率化する。

[0146] さらに他の一例としては、膜の圧縮がある。図9において、上層領域9aに含まれる空孔90aの全体の体積は、下層領域9bに含まれる空孔90bの全体の体積よりも小さくなる。よって、上層領域9aの膜密度が、下層領域9bの膜密度よりも増加する。その結果、上層領域9aは、比誘電率を変化させる工程を経て圧縮された状態となる。すなわち、露出領域65aの膜厚は、遮蔽領域66a又は66b(図示せず)の膜厚よりも薄くなる。

[0147] 1. 10 半導体基板と第1配線層の第2の平面構造例

つづいて、図2の単位画素の構成要素のうち、複数のフォトダイオードPDで浮遊拡散層FDや画素トランジスタを共有して構成される画素共有単位110における第2の平面構造例について説明する。具体的には、図2の単位画素の構成のうち、8つのフォトダイオードPDで2つの浮遊拡散層FDを共有する例について説明する。なお、各層の詳細については、後述において図10A～図10Dを用いて説明する。

- [0148] 図10Aは、第1の実施形態に係る1つの画素共有単位の半導体基板の第1面側の第2の平面構造例を示す平面図である。具体的には、図3のような固体撮像装置において、受光部が形成される半導体基板20018、ならびに、図2に示した画素トランジスタのゲート電極が形成される絶縁層20052における平面図を示している。その詳細は、上述において図5Aを用いて説明した構成と同様であってよい。
- [0149] 図10Bは、第1の実施形態に係る1つの画素共有単位の第1配線層の第2の平面構造例を示す平面図である。具体的には、図3のような固体撮像装置において、配線層20050に含まれる配線20051のうち、最も半導体基板20018側に設けられた第1配線層における平面図を示している。その詳細は、上述において図5Bを用いて説明した構成と同様であってよい。
- [0150] 図10Cは、第1の実施形態に係る1つの画素共有単位の第1配線層に積層された第2配線層の第2の平面構造例を示す平面図である。具体的には、図3のような固体撮像装置において、配線層20050に含まれる配線20051のうち、図5Bに示す第1配線層の次に半導体基板20018側に設けられた第2配線層における平面図を示している。
- [0151] 図10Cに示すように、第2配線層は、図5Cを用いて例示した構成と同様の構成において、配線211a～211cが配線210a～210cに置き換えられた構成を備える。なお、第2配線層には、電源線又はグランド線である配線210dが追加されていてもよい。
- [0152] 図10Dは、第1の実施形態に係る1つの画素共有単位の第1配線層に積層された第2配線層の第2の平面構造例を示す平面図であって、図10Cで例示した平面構造の他の例を示す図である。具体的には、図10Cに示す平面構造において、配線210a及び配線210cがそれぞれ、領域203a及び203bごとに分割された配線210a1及び210a2並びに配線210c1及び210c2に置き換えられている。
- [0153] 例えば、図10Bに示すFD配線201と配線210a～210cの少な

くとも一部とを接続することで、配線 210a～210c を配線容量として利用し、FD 配線 201 に対する付加容量を形成することができる。これにより、FD 配線 201 の配線容量が増加し、フォトダイオード 111～118 で発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、図 10C のような配線容量を用いて電荷蓄積量を増加させることができる。これにより、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。

[0154] 例えば、図 10C の配線 210a～210c は、半導体基板 20018 の第 1 面と平行な面において、それぞれ櫛歯状の平面形状を有する。具体的には、配線 210a は、領域 203a 及び領域 203b のそれぞれにおいて、隣接する配線 210b へ向けて部分的に複数箇所（本例では 3 箇所）で突出している。同様に、配線 210c は、領域 203a 及び領域 203b のそれぞれにおいて、隣接する配線 210b へ向けて部分的に複数箇所（本例では 3 箇所）で突出している。配線 210b は、領域 203a 及び領域 203b のそれぞれにおいて、配線 210a の突出部分と対応しない位置で、配線 210a へ向けて部分的に複数箇所（本例では 3 箇所）で突出している。同様に、配線 210b は、領域 203a 及び領域 203b のそれぞれにおいて、配線 210c の突出部分と対応しない位置で、配線 210c へ向けて部分的に複数箇所（本例では 3 箇所）で突出している。

[0155] それぞれの配線 210a～210c における隣接配線へ向けて突出した部分は、図面中、縦方向において互いに交互に配置されている。このような構成によれば、図 5C に例示した直線状の平面形状を備える配線 211a～211c と比較して、配線 210a～210c を密に形成することができる。それにより、図 10C の配線容量を、図 5C の配線容量よりも大きくすることができる。

[0156] また、図 10D に示すように、配線 210a 及び配線 210c それぞれを、領域 203a 及び 203b ごとに分割された配線 210a1 及び 210a

2並びに配線210c1及び210c2に置き換えた場合、第2配線層は、例えば、配線210a1及び210a2並びに210c1及び210c2の少なくとも一部が図10Bに示す転送ゲート配線221a～228aの少なくとも一部に接続された構成とすることも可能である。これにより、転送ゲート121a～128aとFD配線201との間に付加容量を付加してこの間の配線容量を増加させることができる。配線容量が増加することで、例えば、転送ゲート121a～128aとFD配線201のカップリング作用が大きくなり、転送ゲート121a～128aの電位が上昇したときに浮遊拡散層FDの電位も高くなり、電荷が読み出しやすくなる。これにより、読み出し不良を減少させることができる。また、フォトダイオードPDから浮遊拡散層FDへの電荷転送が高速化するため、単位画素50に対する画素信号の高速読み出しも可能になる。

[0157] なお、第2配線層は、配線容量を形成する構成に限定されない。例えば、画素信号を伝送する垂直信号線VSLや、トランジスタの駆動信号を伝送する配線などの、異なる機能を有する配線を第2配線層に形成してもよい。

[0158] 1. 11 まとめ

以上のように、本実施形態では、配線周囲の層間絶縁膜62の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、本実施形態によれば、配線容量を部分的に増減させることが可能となるため、FD容量の増加によるダイナミックレンジの拡大や、FD容量の低減による浮遊拡散層FDでの電荷－電圧変換効率の増加や、カップリング作用の向上による読み出し不良の低減及び／又は読み出し速度の高速化など、目的に応じて種々の効果が発揮されたCMOSイメージセンサ10を簡易な製造プロセスで製造することが可能となる。

[0159] また、本実施形態によれば、任意の領域で配線容量を増減させることが可能になるため、ノイズの低減や消費電力の低減に寄与することも可能である。また、本実施形態によれば、例えばCMOSイメージセンサ10の配線層20050を用いてFD配線の配線容量の増減を行うことができるため、他

の技術を用いてCMOSイメージセンサ10の容量増減を行うよりも、レイアウトやチップの面積に制約を受けずにCMOSイメージセンサ10を設計及び製造することも可能である。

[0160] 2. 第2の実施形態

図11Aは、第2の実施形態に係る複数の画素共有単位の第1配線層の平面構造例を示す平面図である。具体的には、図11Aに示した画素共有単位110と、その画素共有単位110が形成された半導体基板20018の第1面と水平な方向において、画素共有単位110と隣接して配置された、画素共有単位310との平面図である。

[0161] 図11Aに示す画素共有単位110、310は、例えば、第1の実施形態において図6Aを用いて説明した構成と同様の構成に加え、領域212c、412cをさらに有する。

[0162] 領域212cは、第1配線層のFD配線201とその近傍の層間絶縁膜62を含む領域を示す。例えば、領域212cは、図11Aに示すように、画素共有単位110におけるFD配線201全体と、FD配線201と転送ゲート配線221a～228aとの間に位置する層間絶縁膜62の領域と、FD配線201の図11Aにおける横方向の辺に接する層間絶縁膜62の領域とを含む。

[0163] 領域412cは、第1配線層のFD配線401とその近傍の層間絶縁膜62を含む領域を示す。例えば、領域412cは、図11Aに示すように、画素共有単位310におけるFD配線401全体と、FD配線401と転送ゲート配線421a～428aとの間に位置する層間絶縁膜62の領域と、FD配線401の図11Aにおける横方向の辺に接する層間絶縁膜62の領域とを含む。

[0164] 図11B～図11Fは、図11Aに示すC-C'断面における第2の実施形態に係る第1配線層の製造方法を示す断面図である。以下、図11B～図11Fを用いて各製造工程の例を説明する。

[0165] まず、半導体基板上に絶縁膜を成膜する工程を示す。これは、例えば図3

の半導体基板 20018 と、配線層 20050 の絶縁層 20052 との形成工程である。具体的には、図 11B に示すように、素子が形成された半導体基板 60 上に、保護絶縁膜 61 と、層間絶縁膜 62 とを成膜する。詳細は、第 1 の実施形態において図 6B を用いて説明した工程と同様であってよい。

[0166] 次に、絶縁膜上に開口部を形成する工程を示す。具体的には、図 11C に示すように、層間絶縁膜 62 の上方に、所望の開口部 64c、64d、64e を備えるマスク 63 を形成する。マスク 63 には、例えばレジストマスクやハードマスクを用いることができる。

[0167] 次に、開口部から絶縁膜の比誘電率を変化させる工程を示す。具体的には、図 11D に示すように、開口部 64c、64d、64e から露出する層間絶縁膜 62 の露出領域 65c、65d、65e に変化を与える。例えば、開口部 64c、64d、64e からイオン注入やアッシングなどを行うことで、露出領域 65c、65d、65e の状態を変化させる。これにより、層間絶縁膜 62 のうち、露出領域 65c、65d、65e の比誘電率を、マスク 63 に覆われた遮蔽領域 66d、66e の比誘電率に対して変化させることができる。

[0168] 露出領域 65c、65d、65e の状態変化についての具体的な手法は、第 1 の実施形態において図 6D を用いて説明した手法と同様であってよい。

[0169] 露出領域 65c、65d、65e の状態変化について、具体的な変化例を説明する。上述のイオン注入やアッシングを行うことで、露出領域 65c、65d、65e の比誘電率を、マスク 63 に覆われた遮蔽領域 66d、66e の比誘電率に対して変化させることができる。具体的には、低誘電率材料を用いて形成した層間絶縁膜 62 のうち、露出領域 65c、65d、65e の比誘電率を遮蔽領域 66d、66e の比誘電率よりも高くすることができる。

[0170] 露出領域 65c、65d、65e のその他の状態変化の例としては、第 1 の実施形態において図 6D を用いて説明した状態変化例と同様であってよい。

[0171] 本実施形態では、例えば図11Aの領域212c、412cがそれぞれ遮蔽領域66d、66eに対応する。これにより、領域212c、412cは、成膜した絶縁膜の状態を維持することができる。例えば、層間絶縁膜62に低誘電率材料膜を用いた場合には、領域212c、412cを部分的に低誘電率のまま維持することができる。

[0172] 本実施形態では、例えば図11Aの領域212c、412cに含まれない領域がそれぞれ露出領域65c、65d、65eに対応する。具体的には、図11Aにおいて、領域202aのうち領域212cに含まれない左側の領域が露出領域65cに対応し、領域212cと領域412cとの間の領域が露出領域65dに対応し、領域402aのうち領域412cに含まれない右側の領域が露出領域65eに対応する。露出領域65c、65d、65eに上述の状態変化を加えることで、部分的に高誘電率化することができる。

[0173] 次に、絶縁膜上のマスクを除去する工程を示す。具体的には、図11Eに示すように、マスク63を剥離する。その後、マスクが形成されていた側の層間絶縁膜62の表面を安定化するため、任意にアニールを行ってもよい。

[0174] 最後に、絶縁膜中に配線を形成する工程を示す。具体的には、図11Fに示すように、層間絶縁膜62に所望の配線267a～267fを形成する。配線267a～267fには、導電材料が用いられる。例えば銅(Cu)、タングステン(W)、アルミニウム(Al)といった金属材料を用いることができる。銅(Cu)を配線267a～267fに用いる場合には、例えばダマシンプロセスを用いて、配線267a～267fを形成する領域を開口し、銅を成膜し、表面を平坦化することで、配線267a～267fが形成される。

[0175] 図11Fでは、遮蔽領域66d、66eにそれぞれ配線267a、267bを、露出領域65c、65d、65eにそれぞれ配線267c～267fを形成する工程を示した。本実施形態では、例えば図11AのFD配線201、401がそれぞれ配線267a、267bに対応する。さらに、転送ゲート配線223a、224a、423a、424aがそれぞれ配線267c

、267d、267e、267fに対応する。

[0176] 具体的には、FD配線201、401の形成される領域212c、412cは遮蔽領域66d、66eであるため、低誘電率のままとなる。よって、FD配線201、401の近傍を部分的に低容量化することができる。これにより、例えばFD配線201、401の配線容量を低減させることができる。例えば、FD配線の配線容量が低減することで、フォトダイオード（図示せず）で発生した電子数に対する起電力が増す。これにより、浮遊拡散層FDでの電荷－電圧変換効率が高くなる。具体的には、例えば浮遊拡散層FDで保持された電荷がゲート電極に入力される増幅トランジスタ53における電荷－電圧変換効率（ゲイン）が増加する。その結果、光量の少ない暗所での撮像など、フォトダイオードでの光電変換により発生する電荷量が少ない場合にも、高感度で電荷を検出することができる。

[0177] 具体的には、転送ゲート配線223a、224a、423a、424aが形成される領域は、露出領域65c、65d、65eであるため、高誘電率となる。よって、転送ゲート配線の少なくとも一部の配線容量を増加させることができる。

[0178] なお、領域212c、412cは、図11Aの構成に限定されない。例えば、図11Aに示した領域の少なくとも一部であってもよい。または、例えば、図11Aに示す領域212cと領域202aとが重なる領域のみであってもよい。

[0179] 本実施形態では、図7Aの領域212c、412cがそれぞれ図11D～図11Fの遮蔽領域66d、66eに対応している例を示したが、これに限らない。遮蔽領域66d、66eは、領域212c、412cのように隣接する画素共有単位でなくともよく、固体撮像装置10の少なくとも一部に露出領域65a、遮蔽領域66aが形成されていればよい。

[0180] 例えば、露出領域65c、65d、65eとして状態変化を加える領域は、隣接する画素共有単位のそれぞれの受光部に対応する第1配線層の領域の間でもよい。具体的には、図11Aにおいて、領域202a及び402aの

間の領域を露出領域 65 d としてもよい。

[0181] また、遮蔽領域 66 d、66 e には、FD 配線 201、401 以外の配線を形成することもできる。例えば、配線容量を低減させたい配線を必要に応じて形成することも可能である。

[0182] さらに、露出領域 65 c、65 d、65 e には、転送ゲート配線 221 a～224 a、421 a～424 a 以外の配線を形成することもできる。例えば、付加容量を付加させたい配線を必要に応じて形成することも可能である。

[0183] さらにまた、露出領域 65 c、65 d、65 e と遮蔽領域 66 d、66 e とは、絶縁膜上に開口部を形成する工程において、マスク 63 の形成領域を制御することで、適宜変化することが可能である。また、露出領域 65 c、65 d、65 e の比誘電率を変化させる工程においても、イオン注入時のドーズ量やイオンエネルギー等の条件を制御することによって、所望の値に比誘電率を変化させることができる。

[0184] さらにまた、図 11 F で示した第 1 配線層だけでなく、第 2 配線層に対しても同様に本実施形態を適用することができる。例えば、画素信号を伝送する垂直信号線 VSL や、トランジスタの駆動信号を伝送する配線などに対して、容量を低減したい配線と容量を付加したい配線とを適宜作り分けることが可能である。

[0185] 以上のように、本実施形態では、配線周囲の層間絶縁膜 62 の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、本実施形態によれば、配線容量を部分的に増減させることが可能となるため、FD 容量の低減による浮遊拡散層 FD での電荷－電圧変換効率の増加や、所望の配線の容量増加による動作の高速化など、目的に応じて種々の効果が発揮された CMOS イメージセンサ 10 を簡易な製造プロセスで製造することが可能となる。

[0186] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよいので、ここでは詳細な説明を省略する。

[0187] 3. 第3の実施形態

図12は、第3の実施形態に係る1つの画素共有単位の第1配線層の平面構造例を示す平面図である。具体的には、図3のような固体撮像装置において、配線層20050に含まれる配線20051のうち、最も半導体基板20018側に設けられた第1配線層における平面図を示している。その詳細は、上述の第1の実施形態において図5B、図6Aを用いて説明した構成と同様であってよい。

[0188] 第1の実施形態では、図6Aにおいて、領域202a、202bを露出領域65a、65bに対応させて説明した。一方、本実施形態では、図12の領域212d、212e、212f、212gが露出領域65a、65bに対応する。なお、各製造工程の例は、第1の実施形態において図6B～図6Fを用いて説明した各製造工程と同様であってよい。

[0189] 領域212dは、第1配線層のFD配線201とその近傍の層間絶縁膜62を含む領域を示す。例えば、領域212dは、図12に示すように、画素共有単位110における転送ゲート配線221a及び222aの間の領域である。領域212dは、転送ゲート配線221a及び222aの間に位置するFD配線201の一部及び層間絶縁膜62の一部の領域とを含む。

[0190] 領域212eは、第1配線層のFD配線201とその近傍の層間絶縁膜62を含む領域を示す。例えば、領域212eは、図12に示すように、画素共有単位110における転送ゲート配線223a及び224aの間の領域である。領域212eは、転送ゲート配線223a及び224aの間に位置するFD配線201の一部及び層間絶縁膜62の一部の領域とを含む。

[0191] 領域212fは、第1配線層のFD配線201とその近傍の層間絶縁膜62を含む領域を示す。例えば、領域212fは、図12に示すように、画素共有単位110における転送ゲート配線225a及び226aの間の領域である。領域212fは、転送ゲート配線225a及び226aの間に位置するFD配線201の一部及び層間絶縁膜62の一部の領域とを含む。

[0192] 領域212gは、第1配線層のFD配線201とその近傍の層間絶縁膜6

2を含む領域を示す。例えば、領域212gは、図12に示すように、画素共有単位110における転送ゲート配線227a及び228aの間の領域である。領域212gは、転送ゲート配線227a及び228aの間に位置するFD配線201の一部及び層間絶縁膜62の一部の領域とを含む。

[0193] 本実施形態では、領域212d～212gの少なくとも一部は、図6D～図6Fに示す露出領域65a、65bの少なくとも一部に対応する。例えば、領域212dが露出領域65aに対応する。

[0194] なお、露出領域65a、65bの状態変化についての具体的な手法は、第1の実施形態において図6Dを用いて説明した手法と同様であってよい。また、露出領域65a、65bのその他の状態変化の例としては、第1の実施形態において図6Dを用いて説明した状態変化例と同様であってよい。

[0195] 領域212dに上述の状態変化を加えることで、例えばFD配線201の近傍の層間絶縁膜62を高誘電率化させることができる。これにより、部分的に領域212dの配線容量を高くすることができる。

[0196] 第1の実施形態において、図6Fでは、露出領域65a、65bにそれぞれ配線67a、67bを形成する工程を示した。本実施形態では、例えば図12のFD配線201が配線67aに対応する。これにより、具体的には、FD配線201の近傍の層間絶縁膜62であって第1面と平行な方向及び垂直な方向からFD配線201に接する領域を部分的に高誘電率化することができ、その結果、例えばFD配線201の配線容量を増加させることができる。FD配線の配線容量が増加することで、フォトダイオード（図示せず）で発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、図6Fにおける高誘電率の露出領域65aに形成された配線容量を用いて電荷蓄積量を増加させることができる。これにより、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。

[0197] また、領域212dに上述の状態変化を加えることで、例えば転送ゲート配線221a及び222aの間に位置する層間絶縁膜62の一部の領域を高

誘電率化させることができる。これにより、部分的に領域 2 1 2 d の配線容量を高くすることができる。

[0198] さらに、本実施形態では、F D 配線 2 0 1 の近傍と、転送ゲート配線 2 2 1 a 及び 2 2 2 a の間に位置する層間絶縁膜 6 2 の一部の領域を部分的に高誘電率化させることで、転送ゲート配線 2 2 1 a と F D 配線 2 0 1 との間の付加容量を高容量化することができる。

[0199] 転送ゲート配線 2 2 1 a と F D 配線 2 0 1 との間の配線間容量が増加することで、例えば、転送ゲート配線 2 2 1 a ~ 2 2 4 a に接続された各転送ゲート（図示せず）と F D 配線 2 0 1 とのカップリング作用が大きくなり、転送ゲートの電位が上昇したときに浮遊拡散層 F D の電位も高くなり、電荷が読み出しやすくなる。これにより、読み出し不良を減少させることができる。また、フォトダイオード P D から浮遊拡散層 F D への電荷転送が高速化するため、単位画素 5 0 に対する画素信号の高速読み出しも可能になる。

[0200] また、上述の実施形態と同様の方法で、領域 2 1 2 d ~ 2 1 2 f を低誘電率にしてもよい。具体的には、マスク 6 3 の形成領域、イオン注入やアッシングなどの状態変化を制御することで、領域 2 1 2 d ~ 2 1 2 f をそれ以外の領域と比較して低誘電率にする。これにより、低誘電率の領域に F D 配線の一部が形成され、部分的に F D 容量を低減させることができる。その結果、例えば浮遊拡散層 F D で保持された電荷がゲート電極に入力される増幅トランジスタ 5 3 における電荷－電圧変換効率（ゲイン）が増加する。

[0201] 図 1 2 において、領域 2 1 2 d を例に説明したが、領域 2 1 2 e ~ 2 1 2 g についても同様の構成であってよい。また、領域 2 1 2 d ~ 2 1 2 g は、図 1 2 に示した範囲に限定されない。

[0202] 以上のように、本実施形態では、第 2 の実施形態と同様に、配線周囲の層間絶縁膜 6 2 の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、本実施形態によれば、配線容量を部分的に増減させることが可能となるため、F D 容量の増加によるダイナミックレンジの拡大や、F D 容量の低減による浮遊拡散層 F D での電荷－電圧変換効率の増加や、カップ

リング作用の向上による読出し不良の低減及び／又は読出し速度の高速化など、目的に応じて種々の効果が発揮されたCMOSイメージセンサ10を簡易な製造プロセスで製造することが可能となる。

[0203] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよい。ここでは詳細な説明を省略する。

[0204] 4. 第4の実施形態

図13Aは、第4の実施形態に係る1つの画素共有単位の第3配線層の平面構造例を示す平面図である。具体的には、図3のような固体撮像装置において、配線層20050に含まれる配線20051のうち、図5Bに示す第1配線層と、図5Cに示す第2配線層の次に半導体基板20018側に設けられた第3配線層との平面図を示している。図13Aが示す画素共有単位110の詳細は、上述の第1の実施形態において図5A～図5Cを用いて説明した構成と同様であってよい。

[0205] 図13Aにおいて、領域204aは、半導体基板20018の基板厚方向において図5Aにおける第1受光部21及び図5Bにおける領域202a及び図5Cにおける領域203aと対応し、領域204bは、同方向において図5Aにおける第2受光部22及び図5Bにおける領域202b及び図5Cにおける領域203bと対応する。

[0206] 図13Aに示すように、第3配線層は、例えば配線231a～231eを有する。配線231a～231eは、例えば画素信号を伝送する垂直信号線VSLや、トランジスタの駆動信号を伝送する配線などとして利用される配線を含む。本実施形態では、図13Aにおいて垂直信号線VSLを配線231bとして示す。

[0207] 領域214は、第3配線層の配線231bとその近傍の層間絶縁膜62を含む領域を示す。例えば、領域214は、図13Aに示すように、画素共有単位110における配線231aから配線231cまでの間の領域である。具体的には、領域214は、配線231a、231cの一部と、配線231a及び231cの間に位置する配線231bの少なくとも一部及び層間絶縁

膜 6 2 の少なくとも一部の領域とを含む。

[0208] 図 1 3 B～図 1 3 D は、図 1 3 A に示す D－D' 断面における第 4 の実施形態に係る第 3 配線層の製造方法を示す断面図である。以下、図 1 3 B～図 1 3 D を用いて各製造工程の例を説明する。なお、本実施形態に係る第 1 配線層及び第 2 配線層の各製造工程の例は、上述の第 1 の実施形態において図 6 B～図 6 F 及び図 7 B～図 7 F を用いて説明した各製造工程と同様であってよい。

[0209] まず、第 1 配線層及び第 2 配線層を形成する工程を示す。具体的には、図 1 3 B に示すように、半導体基板 6 1 0 上に、層間絶縁膜 6 1 1、配線 6 1 2 及び保護絶縁膜 6 1 3 を有する第 1 配線層 7 0 1 が形成される。続いて、第 1 配線層 7 0 1 上に、層間絶縁膜 6 1 4、配線 6 1 5 及び保護絶縁膜 6 1 6 を有する第 2 配線層 7 0 2 が形成される。層間絶縁膜 6 1 1、6 1 4 は、例えばシリコン酸化膜 (SiO_2) で形成される。保護絶縁膜 6 1 3、6 1 6 は、例えばシリコン窒化膜 (SiN) で形成される。

[0210] なお、図 1 3 B では、保護絶縁膜 6 1 3、6 1 6 を設ける構成を示したが、保護絶縁膜 6 1 3、6 1 6 を設けない構成も可能である。また、層間絶縁膜 6 1 1、6 1 4 には、シリコン酸化膜 (SiO_2) や、炭素添加シリコン酸化膜 (SiOC) などの所望の絶縁膜を用いることが可能である。さらに、図示しないが、保護絶縁膜 6 1 3、6 1 6 を第 1 配線層 7 0 1、第 2 配線層 7 0 2 のそれぞれに複数層設けることも可能である。

[0211] 次に、第 3 配線層の絶縁膜を成膜する工程を示す。具体的には、図 1 3 B に示すように、第 2 配線層 7 0 2 上に、層間絶縁膜 6 1 7 を成膜する。層間絶縁膜 6 1 7 には、例えば炭素添加シリコン酸化膜 (SiOC) など、シリコン酸化膜 (SiO_2) よりも低誘電率膜材料を用いることができる。

[0212] 次に、絶縁膜上に開口部を形成する工程を示す。具体的には、図 1 3 B に示すように、層間絶縁膜 6 1 7 の上方に、所望の開口部 6 4 1 を備えるマスク 6 1 8 を形成する。マスク 6 1 8 には、例えばレジストマスクやハードマスクを用いることができる。

[0213] 次に、開口部から絶縁膜の比誘電率を変化させる工程を示す。具体的には、図13Bに示すように、開口部641から露出する層間絶縁膜617の露出領域620aに変化を与える。例えば、開口部641からイオン注入やアッシングなどを行うことで、露出領域620aの状態を変化させる。これにより、層間絶縁膜617のうち、露出領域620aの比誘電率を、マスク618に覆われた遮蔽領域621の比誘電率に対して変化させることができる。本実施形態では、図13Aの領域214が、図13Bの露出領域620aに対応する。また図13Aの領域214以外の領域が、図13Bの遮蔽領域621に対応する。

[0214] 次に、絶縁膜上のマスクを除去する工程を示す。具体的には、図13Cに示すように、マスク618を剥離する。その後、マスクが形成されていた側の層間絶縁膜617の表面を安定化するため、任意にアニールを行ってもよい。

[0215] 最後に、絶縁膜中に配線を形成する工程を示す。具体的には、図13Dに示すように、層間絶縁膜617に所望の配線231a～231eを形成する。配線231a～231eには、導電材料が用いられる。例えば銅(Cu)、タングステン(W)、アルミニウム(Al)といった金属材料を用いることができる。銅(Cu)を配線231a～231eに用いる場合には、例えばダマシンプロセスを用いて、配線231a～231eを形成する領域を開口し、銅を成膜し、表面を平坦化することで、配線231a～231eが形成される。これにより、層間絶縁膜617、配線231a～231eを有する第3配線層703が形成される。なお、図13Dでは第3配線層703までの製造工程を図示したが、さらに保護絶縁膜や第4配線層以降を形成してもよい。

[0216] 図13Dでは、露出領域620aに配線231aの一部と、配線231bと、配線231cの一部とを形成し、遮蔽領域621に配線231aの一部と、配線231cの一部と、配線231d及び231eとを形成する工程を示した。これにより、具体的には、配線231bの近傍の層間絶縁膜617

であって第1面と平行な方向及び垂直な方向から配線231bに接する領域を部分的に高誘電率化させることができる。

[0217] 例えばFD配線201、401の配線容量を増加させることができる。FD配線の配線容量が増加することで、フォトダイオード（図示せず）で発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、図6Fにおける高誘電率の露出領域65a、65bに形成された配線容量を用いて電荷蓄積量を増加させることができる。これにより、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。

[0218] 図13Bでは、層間絶縁膜617の膜厚方向の全体に状態変化が加わり、露出領域620aが形成される例を示したが、状態変化は層間絶縁膜617の膜厚方向の一部に発生してもよい。例えば、図13Eに示すように配線231a～231eを形成する膜厚分に状態変化を制御して、露出領域620bを形成することもできる。この場合、配線231a、231b、231c近傍の層間絶縁膜617において、半導体基板610の第1面（半導体基板20018の第1面と同じ）と平行な方向から配線231aに接する領域を高誘電率化することができる。それにより、図13Eの露出領域620bにおける半導体基板610の第1面に対する水平方向の配線間容量を増加させることができる。

[0219] また、開口部641に対応する層間絶縁膜617の領域であっても、第2配線層702側の一部の領域は状態変化が発生しないように制御できると、第2配線層702に含まれる配線615と、第3配線層703に含まれる配線231a～231eとの半導体基板610の第1面に対する垂直方向の容量変化を抑制することも可能である。

[0220] なお、図13Eでは、層間絶縁膜617に加える状態変化を配線231a～231eと同程度の膜厚分に制御する例を示したが、これに限らない。例えば、イオン注入のエネルギー量やドーズ量を制御することで、所望の深さに状態変化を加え、所望の露出領域620aを形成することができる。

- [0221] また、本実施形態では、図13Aの領域214を露出領域620a、それ以外の領域を遮蔽領域621として説明したが、必要に応じて所望の領域に露出領域620a、遮蔽領域621を形成してもよい。
- [0222] さらに、変形例として、露出領域620aと遮蔽領域621において、露出と遮蔽を逆に形成することもできる。具体的には、図13Bの工程において、マスク618の開口部641の形成位置を反転させることで、遮蔽領域621の位置に遮蔽領域621の代わりに露出領域を形成し、露出領域620aの位置に露出領域620aの代わりに遮蔽領域を形成してもよい。
- [0223] これにより、層間絶縁膜617を低誘電率材料膜で形成した場合、露出領域（遮蔽領域621の代替）を高誘電率に状態変化させることができ、露出領域（遮蔽領域621の代替）に対して遮蔽領域（露出領域620aの代替）は低誘電率の状態を維持することができる。その結果、低誘電率領域に形成された配線231bを部分的に低容量化することができる。配線231bの配線容量が低減することで、フォトダイオードから読み出した電荷に対する信号増幅やその他の動作を高速化することができる。さらに、例えば露出領域（遮蔽領域621の代替）に形成される配線231d、231eの配線容量を部分的に高容量化することもできる。
- [0224] なお、本実施形態では第3配線層703を例に説明したが、配線層の形成数や本実施形態の適用箇所は、必要に応じて所望の構成であってよい。
- [0225] 以上のように、本実施形態では、配線周囲の層間絶縁膜62の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、本実施形態によれば、配線容量を部分的に増減させることが可能となるため、垂直信号線VSLの配線容量の増加によるダイナミックレンジの拡大や、垂直信号線VSLの配線容量の低減による高速動作や、所望の配線の容量増減による動作の高速化及び／又は機能付加など、目的に応じて種々の効果が発揮されたCMOSイメージセンサ10を簡易な製造プロセスで製造することが可能となる。
- [0226] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であ

ってよいため、ここでは詳細な説明を省略する。

[0227] 5. 第5の実施形態

図14A、図14Bは、第5の実施形態に係る半導体装置の製造方法を示す断面図である。

[0228] 図14Aの構造を形成する製造工程について説明する。まず、半導体基板60上に、保護絶縁膜61と層間絶縁膜62とを成膜し、その上に、所望の開口部642を備えるマスク63を形成する。層間絶縁膜62は、開口部642に対応する露出領域621aと、マスク63の形成領域に対応する遮蔽領域621b、621cとを有する。その他の構成や詳細は、例えば第1の実施形態において図6D、図7D、図11D、図13Bを用いて説明した構成や詳細と同様であってよい。

[0229] 次に、開口部642から露出された露出領域621aに所望の状態変化を与える。例えば、開口部642からイオン注入やアッシングを行い、低誘電率材料膜で形成された層間絶縁膜62を部分的に高誘電率化する。このとき、図14Aに示すように、遮蔽領域621b、621cの膜厚よりも、露出領域621aの膜厚が薄くなってもよい。これは、例えば層間絶縁膜62の空孔がイオン注入やアッシングによって減少し、層間絶縁膜の膜密度が高くなることで、露出領域621aが遮蔽領域621b、621cよりも圧縮されることにより発生する。

[0230] 続いて、図14Bの構造を形成する製造工程について説明する。図14Aで形成した露出領域621a、遮蔽領域621b、621cに、それぞれ配線671a、671b、671cを形成する。その他の構成や詳細は、例えば第1の実施形態において図6F、図7F、図11F、図13D、図13Eを用いて説明した構成や詳細と同様であってよい。

[0231] このとき、図14Bに示すように、配線671aの形成される位置は、配線671b、671cと比べて半導体基板60側に近い位置に形成されてもよい。具体的には、配線671aの半導体基板60側の面の一部が、配線671b又は671cの半導体基板60側の面の一部よりも、半導体基板60

側に形成されてもよい。これは、例えば図14Aで示した通り、露出領域621aに与えた状態変化により露出領域621aが圧縮されて薄膜化することで、露出領域621aにおける半導体基板60と反対側の面（第4面）が、遮蔽領域621b、621cのそれ（第5面）よりも半導体基板60に近づくためである。

[0232] また、図14Bにおいて、配線671a、671b、671cを同一工程及び／又は同一の厚みに形成した場合、遮蔽領域621b又は621cに対する露出領域621aの膜厚の変化量 $\Delta d_0 - d_1$ と、配線671b又は671cに対する配線671aの膜厚方向の形成位置の変化量 $\Delta d_2 - d_3$ とは、ほぼ同一又は同程度の変化量であってよい。

[0233] ここで、位置 d_0 は、半導体基板60の第1面（本説明において、これを上面とする）からの遮蔽領域621b、621c及び配線671b、671cの上面の高さを示している。

[0234] 位置 d_1 は、半導体基板60の上面（第1面）からの露出領域621a及び配線671aの上面の高さを示している。

[0235] 位置 d_2 は、半導体基板60の上面（第1面）からの配線671b、671cの下面の高さを示している。

[0236] 位置 d_3 は、半導体基板60の上面（第1面）からの配線671aの下面の高さを示している。

[0237] 具体的には、変化量 $\Delta d_0 - d_1$ は、半導体基板60の第1面と垂直な方向における、層間絶縁膜62の半導体基板60側と反対側の面における、遮蔽領域621b又は621cの一部の形成位置と、露出領域621aの一部の形成位置との差分を示す。

[0238] また、変化量 $\Delta d_2 - d_3$ は、半導体基板60の第1面と垂直な方向における、配線671aの半導体基板60側の面の一部の形成位置と、配線671b又は671cの半導体基板60側の面の一部との形成位置との差分を示す。

[0239] なお、露出領域621aの上面は、図14Aに示すように、必ずしも平面

である必要はない。例えば、イオン注入やアッシングによる状態変化が、部分的に不均一であることによって、露出領域 6 2 1 a の上面に凹凸が形成されていてもよい。また、例えば、露出領域 6 2 1 a と、遮蔽領域 6 2 1 b 又は 6 2 1 c との境界においては、状態変化が多段階に形成されていてもよい。さらに、露出領域 6 2 1 a における遮蔽領域 6 2 1 b、6 2 1 c との境界部分の四隅は、丸みを帯びていてもよい。

[0240] 本実施形態の変形例としては、図 1 4 A の形成工程の後、層間絶縁膜 6 2 の上面を平坦化してもよい。例えば、図 1 4 A において、露出領域 6 2 1 a に所望の状態変化を加えたのち、マスク 6 3 を除去し、露出領域 6 2 1 a と遮蔽領域 6 2 1 b、6 2 1 c との上面を平坦化する工程を行ってもよい。具体的には、露出領域 6 2 1 a と同じ膜厚になるよう、遮蔽領域 6 2 1 b、6 2 1 c を研磨してもよい。この場合、露出領域 6 2 1 a の上面と遮蔽領域 6 2 1 b、6 2 1 c の上面とが同一平面を形成するため、上述の変化量 $\Delta d_0 - d_1$ は実質的に零となり得る。

[0241] 本実施形態の変形例としては、図 1 4 B の形成工程の後、層間絶縁膜 6 2 及び／又は配線 6 7 1 a、6 7 1 b、6 7 1 c を平坦化してもよい。例えば、図 1 4 B において、露出領域 6 2 1 a、遮蔽領域 6 2 1 b、6 2 1 c にそれぞれ配線 6 7 1 a、6 7 1 b、6 7 1 c を形成したのち、露出領域 6 2 1 a、遮蔽領域 6 2 1 b、6 2 1 c、配線 6 7 1 a、6 7 1 b、6 7 1 c を平坦化する工程を行ってもよい。

[0242] 具体的には、露出領域 6 2 1 a と同じ膜厚になるよう、露出領域 6 1 2 a、遮蔽領域 6 2 1 b、6 2 1 c の少なくとも一部を研磨してもよい。また、配線 6 7 1 a において、半導体基板 6 0 側と反対側の面と、配線 6 7 1 b、6 7 1 c における、半導体基板 6 0 側と反対側の面の位置とが同じ高さになるように、配線 6 7 1 a、6 7 1 b、6 7 1 c、露出領域 6 2 1 a、遮蔽領域 6 2 1 b、6 2 1 c の少なくとも一部を研磨してもよい。

[0243] 配線 6 7 1 a、6 7 1 b、6 7 1 c の半導体基板 6 0 側と反対側の面の位置が、同じ高さになるように形成した場合、配線 6 7 1 a の半導体基板 6 0

側の第2面は、配線671b、671cの半導体基板60側の第2面よりも半導体基板60側の位置に形成されてもよい。具体的には、上述の変化量 $\Delta d0 - d1$ は零となる一方で、変化量 $\Delta d2 - d3$ は零以上であってもよい。

[0244] 以上のように、本実施形態では、配線周囲の層間絶縁膜62の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、本実施形態によれば、領域に応じて層間絶縁膜62の膜厚や、配線の形成位置を変化させ、目的に応じて種々の効果が発揮されたCMOSイメージセンサ10を設計及び製造することが可能となる。

[0245] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよい。ここでは詳細な説明を省略する。

[0246] 6. 第6の実施形態

第6の実施形態では、上述した実施形態が適用され得る半導体装置について、例を挙げて説明する。図15は、第6の実施形態に係る半導体装置の概略構成例を示すブロック図である。なお、以下の説明では、上述した実施形態を半導体装置である固体撮像装置に適用した場合について例示する。

[0247] 図15に示すように、上述した実施形態が適用され得る固体撮像装置1010Aは、例えばセンサ基板1020と回路基板1030とが上下に積層された構造を備える。上述した実施形態は、図15のセンサ基板1020及び／又は回路基板1030の配線層に適用することができる。また、回路基板1030が備える信号処理部1031のアナログーデジタル変換器（AD変換器）1050や、メモリ部1032等の各ブロックを構成する半導体装置にも適用することができる。回路基板1030が備える各ブロックの詳細は後述する。

[0248] 図15に示すセンサ基板1020は、例えばセンサ部1021と行選択部1025とを備える。センサ部1021は、行列状に配置された複数のセンサ1040を有する。センサ1040は、例えばフォトダイオード1041、転送トランジスタ（転送ゲートともいう）1042、リセットトランジス

タ 1043、増幅トランジスタ 1044、選択トランジスタ 1045、浮遊拡散領域部 (FD) 1046 を有する。行選択部 1025 は、回路基板 1030 側から与えられるアドレス信号を基に、センサ部 1021 の各センサ 1040 を行単位で選択する。尚、ここでは、行選択部 1025 をセンサ基板 1020 に設けたが、回路基板 1030 に設けることも可能である。

[0249] 図 15 に示す回路基板 1030 は、例えば信号処理部 1031、メモリ部 1032、データ処理部 1033、制御部 1034、電流源 1035、デコーダ 1036、行デコーダ 1037、及び、インタフェース (IF) 部 1038 等を備える。また、センサ部 1021 の各センサ 1040 を駆動するセンサ駆動部 (図示せず) が設けられている。

[0250] 信号処理部 1031 は、例えばセンサ部 1021 の各センサ 1040 からセンサ行毎に読み出されたアナログ信号に対して、センサ列単位で並列 (列並列) にデジタル化 (AD 変換) を含む所定の信号処理を行う構成とすることができる。そして、信号処理部 1031 は、センサ部 1021 の各センサ 1040 から信号線 1026 に読み出されたアナログ信号をデジタル化するアナログーデジタル変換器 (AD 変換器) 1050 を有しており、AD 変換された画像データ (デジタルデータ) をメモリ部 1032 に転送する。

[0251] 信号線 1026 は、例えば行列状にセンサ 1040 が配列されたセンサ部 1021 に対して、センサ行毎に行制御線、センサ列毎に列信号線 (垂直信号線) が配線されている。

[0252] なお、信号処理部 1031 は、さらに、AD 変換器 1050 での AD 変換の際に用いる参照電圧を生成する参照電圧生成部 1054 を有してもよい。参照電圧生成部 1054 は、例えば、DA 変換器 (デジタルーアナログ変換器) を用いて構成することができるが、これに限定するものではない。

[0253] AD 変換器 1050 は、例えば比較器 (コンパレータ) 1051 及びカウンタ部 1052 を有する。比較器 1051 は、センサ部 1021 の各センサ 1040 から信号線 1026 を介して読み出されるアナログ信号を比較入力とし、参照電圧生成部 1054 から供給される参照電圧を基準入力とし、両

入力を比較する。カウンタ部1052として、例えば、アップ／ダウンカウンタが用いられる。カウンタ部1052には、比較器1051に対する参照電圧の供給開始タイミングと同じタイミングでクロックCKが与えられる。アップ／ダウンカウンタであるカウンタ部1052は、クロックCKに同期してダウンカウント、又は、アップカウントを行うことで、比較器1051の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの比較期間を計測する。そして、カウンタ部1052のカウント結果（カウント値）が、アナログ信号をデジタル化したデジタル値（画像データ）となる。

[0254] データラッチ部1055は、AD変換器1050でデジタル化された画像データをラッチする。メモリ部1032は、信号処理部1031において所定の信号処理が施された画像データを格納する。データ処理部1033は、メモリ部1032に格納された画像データを所定の順番に読み出し、種々の処理を行い、インタフェース（IF）1038を介してチップ外に出力する。

[0255] 制御部1034は、例えばチップ外から与えられる水平同期信号XHS、垂直同期信号XVS、及び、マスタークロックMCK等の基準信号に基づいて、センサ駆動部（図示せず）や、メモリ部1032、データ処理部1033等の信号処理部1031の各動作の制御を行う。このとき、制御部1034は、センサ基板1020側の回路（行選択部1025やセンサ部1021）と、回路基板1030側の信号処理部1031（メモリ部1032、データ処理部1033等）との同期を取りつつ、制御を行う。

[0256] 電流源1035には、例えばセンサ部1021の各センサ1040からセンサ列毎にアナログ信号が読み出される信号線1026の各々が接続されている。電流源1035は、例えば、信号線1026に或る一定の電流を供給するように、ゲート電位が一定電位にバイアスされたMOSトランジスタから成る、所謂、負荷MOS回路構成を有する。この負荷MOS回路から成る電流源1035は、選択された行に含まれるセンサ1040の増幅トランジ

スタ１０４４に定電流を供給することにより、増幅トランジスタ１０４４をソースフォロアとして動作させる。

[0257] デコーダ１０３６は、制御部１０３４の制御下、センサ部１０２１の各センサ１０４０を行単位で選択する際に、その選択行のアドレスを指定するアドレス信号を行選択部１０２５に対して与える。行デコーダ１０３７は、制御部１０３４の制御下、メモリ部１０３２に画像データを書き込んだり、メモリ部１０３２から画像データを読み出したりする際の行アドレスを指定する。

[0258] センサ基板１０２０と回路基板１０３０とは、例えば半導体基板を貫通するＴＳＶ（Through-Silicon Via）などの接続部を介して電氣的に接続される。ＴＳＶを用いた接続には、例えば、センサ基板１０２０に設けられたＴＳＶとセンサ基板１０２０から回路基板１０３０にかけて設けられたＴＳＶとの２つのＴＳＶをチップ外表で接続する、いわゆるＴｗｉｎ ＴＳＶ方式や、センサ基板１０２０から回路基板１０３０まで貫通するＴＳＶで両者を接続する、いわゆるＳｈａｒｅｄ ＴＳＶ方式などを用いることができる。

[0259] また、センサ基板１０２０と回路基板１０３０とは、例えば互いの接合面に形成された電極パッド同士を貼り合わせる、いわゆる金属接合などの接続部を介して電氣的に接続される。このとき、電極パッドは銅などの金属で形成され、Ｃｕ－Ｃｕ接合ともいう。その他、センサ基板１０２０と回路基板１０３０との接続部には、バンプ接合などを用いることもできる。

[0260] また、本実施形態では、積層型の固体撮像装置における適用例を示したが、これに限らず、センサ基板１０２０、回路基板１０３０に記載の各ブロックが同一の半導体基板に設けられてもよい。例えば、センサ基板１０２０において、センサ部１０２１が形成される領域以外の周辺領域に、行選択部１０２５や回路基板１０３０が有する各ブロックを形成してもよい。

[0261] また、本実施形態では、積層型の固体撮像装置における適用例を示したが、これに限らず、各ブロックが独立して構成される半導体装置にも適用可能である。具体的には、例えばＡＤ変換器１０５０やメモリ部１０３２をそれ

ぞれ単独で構成する回路やメモリのアナログ素子においても、上述の実施形態を適用することができる。

[0262] 以上のように、本実施形態では、半導体装置を構成する所望の配線周囲の層間絶縁膜 62 の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、目的に応じて種々の効果が発揮された固体撮像装置 1010A を設計及び製造することが可能となる。

[0263] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0264] 7. 第 7 の実施形態

第 7 の実施形態では、上述した実施形態に係る単位画素（例えば、図 2 参照）の他の回路構成において、例を挙げて説明する。図 16 は、第 7 の実施形態に係る固体撮像装置の単位画素の概略構成例を示す回路図である。具体的には、図 2 の単位画素 50 の概略構成例を示す回路図の変形例である。

[0265] 図 16 に示すように、図 2 の単位画素 50 の概略構成例を示す回路図に切替トランジスタ 2001 が追加されている。この切替トランジスタ 2001 のソースは、例えばリセットトランジスタ 52 のソースと接続されている。切替トランジスタ駆動線 LD2003 から入力される信号により、切替トランジスタ 2001 がオンになると、浮遊拡散層 FD の主容量部 2002 に加え、副容量部 2003 が付加される。これにより、FD 容量を増加させることができる。副容量部 2003 の構成は、例えば上述の実施形態のような、配線容量で FD 容量を増加させる構成を適用することで実現することができる。

[0266] 具体的には、切替トランジスタ 2001 を浮遊拡散層 FD の変換効率（ゲイン）を切り替えるトランジスタとして動作させ、浮遊拡散層 FD の容量を可変にする。例えば、図 5A に示す第 1 トランジスタ群 31 及び／又は第 2 トランジスタ群 32 の領域に切替トランジスタ 2001 を設ける。具体的には、第 1 トランジスタ群 31 及び／又は第 2 トランジスタ群 32 の所望の領域に切替トランジスタ 2001 のスイッチゲート（FD ゲートともいう）を

設ける。例えば、図5 Aに示した第2リセットゲート14 bを、図16の切替トランジスタ2001のスイッチゲートに置き換えることができる。

[0267] 図5 Aに対応するよう、図5 Bに示す第1配線層に切替トランジスタ2001のスイッチゲート配線(FDゲート配線ともいう)を設ける。切替トランジスタ2001のゲート電極は、図5 Aに示す第1トランジスタ群31及び/又は第2トランジスタ群32に対応する図5 Bの所望の領域に形成することができる。例えば、図5 Bに示した第2リセットゲート配線114 bを、図16の切替トランジスタ2001のスイッチゲート配線に置き換えることができる。

[0268] さらに、図16に示すように、切替トランジスタ2001のソースをリセットトランジスタ52のソースと接続するように配線する。切替トランジスタ2001のゲートには、画素駆動線LDに含まれる切替トランジスタ駆動線LD2003が接続される。これにより、切替トランジスタ2001のソースは浮遊拡散層FDと電氣的に接続される。

[0269] 切替トランジスタ2001のゲートにHighレベルの信号が入力されると、FD容量として利用できる付加容量である副容量部2003が有効となる。よって、浮遊拡散層FDは、例えばリセットトランジスタ52自体の寄生容量と、拡散容量である主容量部2002と、配線容量からなる副容量部2003とから構成される。浮遊拡散層FDに副容量部2003が接続されることにより、FD容量を拡大することができ、フォトダイオードで発生した電荷をより多く蓄えることができる。例えば、光量の多い明所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くなる場合に、上述の実施形態のような配線容量を用いて電荷蓄積量を増加させることができる。その結果、ダイナミックレンジの拡大、すなわち飽和蓄積電荷数の増加に寄与することができる。

[0270] 切替トランジスタ2001のゲートにLowレベルの信号が入力されると、FD容量として利用できる付加容量である副容量部2003が無効となる。よって、浮遊拡散層FDは、例えばリセットトランジスタ52自体の寄生

容量と、拡散容量である主容量部2002とから構成される。

[0271] また、切替トランジスタ2001のゲートに入力する信号を切り替えることで、FD容量として利用できる付加容量である副容量部2003を有効又は無効とすることができる。具体的には、浮遊拡散層FDの容量を拡大又は縮小することができる。これにより、光量やフォトダイオードで発生した電荷量に応じて、所望のFD容量を用いることができる。例えば、明暗差の大きな場所での撮像など、フォトダイオードでの光電変換により発生する電荷量が多くも少なくもなる場合に、上述の切替トランジスタ2001を形成することで適切なFD容量を形成することができる。これにより、浮遊拡散層FDの電荷－電圧変換効率（ゲイン）を制御することができる。

[0272] 具体的には、低変換効率モードで駆動させる場合には、切替トランジスタ2001をオンにする（ゲートにHighレベルの信号を入力する）ことで、副容量部2003を有効とする。例えば、高照度時や、複数のフォトダイオード及び／又は画素で生成された信号を浮遊拡散層FDで加算する動作時など、浮遊拡散層FDが保持する電荷量が多い場合に、低変換効率モードで動作させることで垂直信号線VSLの動作範囲を確保することができる。

[0273] 具体的には、高変換効率モードで駆動させる場合には、切替トランジスタ2001をオフにする（ゲートにLowレベルの信号を入力する）ことで、副容量部2003を無効とする。例えば、低照度時など、浮遊拡散層FDが保持する電荷量が少ない場合に、高変換効率モードで動作させることで、信号雑音比（Signal-Noise Ratio）であるS／N比を高くすることができる。よって、フォトダイオード及び／又は画素で生成された信号に対するノイズを低減することができる。

[0274] なお、切替トランジスタ2001は、複数設けることも可能である。その場合、変換効率を多段階に切り替えることができる。

[0275] 以上のように、本実施形態では、上述の実施形態と同様に、半導体装置を構成する所望の配線周囲の層間絶縁膜62の少なくとも一部の誘電率が簡易なプロセス手法で変化される。それにより、本実施形態によれば、浮遊拡散

層FDに容量を付加することや、浮遊拡散層FDの容量を可変にすることで電荷－電圧変換効率を切り替える構成など、目的に応じて種々の効果が発揮されたCMOSイメージセンサ10を設計及び製造することが可能となる。

[0276] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよいので、ここでは詳細な説明を省略する。

[0277] 8. 第8の実施形態

第8の実施形態では、上述した実施形態に係るカラーフィルタについて、例を挙げて説明する。図17は、第7の実施形態に係るカラーフィルタのレイアウト例を示す図である。具体的には、図3のフォトダイオード20019の上方に設けられるCF（カラーフィルタ）20012に関して、図1の画素アレイ部11が有する複数の画素におけるレイアウト例を示している。なお、図17には、例えばRGB三原色によるカラー画像を取得する場合のカラーフィルタアレイのレイアウト例が示されている。

[0278] 上述したように、各単位画素50のフォトダイオードPDに対しては、特定波長の光を選択的に透過させるカラーフィルタが配置される。

[0279] そこで、図17に示すように、カラーフィルタアレイ160は、例えば、カラーフィルタ配列における繰返しの単位となる2×2画素のパターン（以下、単位パターンという）161が2次元格子状に配列した構成を備える。

[0280] 各単位パターン161は、例えば、赤色（R）の波長成分の光を選択的に透過するカラーフィルタ107Rと、緑色（G）の波長成分の光を選択的に透過するカラーフィルタ107Gと、青色（B）の波長成分の光を選択的に透過するカラーフィルタ107Bとの計3種類のカラーフィルタより構成されている。

[0281] なお、図17では、単位パターン161において、左上にカラーフィルタ107Gが配置され、右上にカラーフィルタ107Rが配置され、左下にカラーフィルタ107Bが配置され、右下にカラーフィルタ107Gが配置されたレイアウトが例示されているが、このような配列に限定されるものではない。例えば、右下のカラーフィルタ107Gを、IR光の波長成分の光を

選択的に透過するカラーフィルタとすることも可能である。

[0282] また、図17及び以下の説明では、ベイヤー配列のカラーフィルタアレイ160が例示されているが、ベースとするカラーフィルタ配列は、ベイヤー配列に限定されない。例えば、単位パターンが3×3画素のX-T r a n s（登録商標）型のカラーフィルタ配列や、4×4画素のクワッドベイヤー配列や、RGB三原色それぞれのカラーフィルタに加えて可視光領域に対してブロードな光透過特性を持つカラーフィルタ（以下、クリア又はホワイトともいう）を含む4×4画素のホワイトRGB型のカラーフィルタ配列など、種々のカラーフィルタ配列をベースとすることが可能である。これは、後述する他の実施形態についても同様である。

[0283] その他の構成、動作、製造方法及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0284] 9. 第9の実施形態

第9の実施形態では、上述した実施形態に係る固体撮像装置の層構造及びレイアウトについて、幾つか例を挙げて説明する図18は、第9の実施形態に係る固体撮像装置の層構造及びレイアウトの例の概要を示す図である。

[0285] 図18のAは、上述した実施形態に係る固体撮像装置を非積層型とした場合の固体撮像装置の概略構成例を示している。固体撮像装置23010は、図18のAに示すように、1枚のダイ（半導体基板）23011を有する。このダイ23011には、画素がアレイ状に配置された画素領域23012と、画素の駆動その他の各種の制御を行う制御回路23013と、信号処理するためのロジック回路23014とが搭載されている。

[0286] 図18のB及びCは、上述した実施形態に係る固体撮像装置を積層型とした場合の固体撮像装置の概略構成例を示している。固体撮像装置23020は、図18のB及びCに示すように、センサダイ23021とロジックダイ23024との2枚のダイが積層され、電氣的に接続されて、1つの半導体チップとして構成されている。

[0287] 図18のBでは、センサダイ23021には、画素領域23012と制御

回路 23013 が搭載され、ロジックダイ 23024 には、信号処理を行う信号処理回路を含むロジック回路 23014 が搭載されている。

[0288] 図 18 の C では、センサダイ 23021 には、画素領域 23012 が搭載され、ロジックダイ 23024 には、制御回路 23013 及びロジック回路 23014 が搭載されている。

[0289] 図 19 は、図 18 の B 及び C に例示した積層型の固体撮像装置の第 1 の構成例を示す断面図である。

[0290] センサダイ 23021 には、画素領域 23012 となる画素を構成する PD (フォトダイオード) や、FD (フローティングディフュージョン)、Tr (MOS FET)、及び、制御回路 23013 となる Tr 等が形成される。さらに、センサダイ 23021 には、複数層、本例では 3 層の配線 23110 を有する配線層 23101 が形成される。なお、制御回路 23013 (となる Tr) は、センサダイ 23021 ではなく、ロジックダイ 23024 に構成することができる。

[0291] ロジックダイ 23024 には、ロジック回路 23014 を構成する Tr が形成される。さらに、ロジックダイ 23024 には、複数層、本例では 3 層の配線 23170 を有する配線層 23161 が形成される。また、ロジックダイ 23024 には、内壁面に絶縁膜 23172 が形成された接続孔 23171 が形成され、接続孔 23171 内には、配線 23170 等と接続される接続導体 23173 が埋め込まれる。

[0292] センサダイ 23021 とロジックダイ 23024 とは、互いの配線層 23101 及び 23161 が向き合うように貼り合わされ、これにより、センサダイ 23021 とロジックダイ 23024 とが積層された積層型の固体撮像装置 23020 が構成されている。センサダイ 23021 とロジックダイ 23024 とが貼り合わされる面には、保護膜等の膜 23191 が形成されている。

[0293] センサダイ 23021 には、センサダイ 23021 の裏面側 (PD に光が入射する側) (上側) からセンサダイ 23021 を貫通してロジックダイ 2

3024の最上層の配線23170に達する接続孔23111が形成される。さらに、センサダイ23021には、接続孔23111に近接して、センサダイ23021の裏面側から1層目の配線23110に達する接続孔23121が形成される。接続孔23111の内壁面には、絶縁膜23112が形成され、接続孔23121の内壁面には、絶縁膜23122が形成される。そして、接続孔23111及び23121内には、接続導体23113及び23123がそれぞれ埋め込まれる。接続導体23113と接続導体23123とは、センサダイ23021の裏面側で電氣的に接続され、これにより、センサダイ23021とロジックダイ23024とが、配線層23101、接続孔23121、接続孔23111、及び、配線層23161を介して、電氣的に接続される。

[0294] 図20は、図18のB及びCに例示した積層型の固体撮像装置の第2の構成例を示す断面図である。

[0295] 固体撮像装置23020の第2の構成例では、センサダイ23021に形成する1つの接続孔23211によって、センサダイ23021（の配線層23101（の配線23110））と、ロジックダイ23024（の配線層23161（の配線23170））とが電氣的に接続される。

[0296] すなわち、図20では、接続孔23211が、センサダイ23021の裏面側からセンサダイ23021を貫通してロジックダイ23024の最上層の配線23170に達し、且つ、センサダイ23021の最上層の配線23110に達するように形成される。接続孔23211の内壁面には、絶縁膜23212が形成され、接続孔23211内には、接続導体23213が埋め込まれる。上述の図19では、2つの接続孔23111及び23121によって、センサダイ23021とロジックダイ23024とが電氣的に接続されるが、図20では、1つの接続孔23211によって、センサダイ23021とロジックダイ23024とが電氣的に接続される。

[0297] 図21は、図18のB及びCに例示した積層型の固体撮像装置の第3の構成例を示す断面図である。

[0298] 図21の固体撮像装置23020は、センサダイ23021とロジックダイ23024とが貼り合わされる面に、保護膜等の膜23191が形成されていない点で、センサダイ23021とロジックダイ23024とが貼り合わされる面に、保護膜等の膜23191が形成されている図19の場合と異なる。

[0299] 図21の固体撮像装置23020は、配線23110及び23170が直接接触するように、センサダイ23021とロジックダイ23024とを重ね合わせ、所要の加重をかけながら加熱し、配線23110及び23170を直接接合することで構成される。

[0300] 図22は、第9の実施形態に係る積層型の固体撮像装置の他の構成例を示す断面図である。

[0301] 図22では、固体撮像装置23401は、センサダイ23411と、ロジックダイ23412と、メモリダイ23413との3枚のダイが積層された3層の積層構造になっている。

[0302] メモリダイ23413は、例えば、ロジックダイ23412で行われる信号処理において一時的に必要なデータの記憶を行うメモリ回路を有する。

[0303] 図22では、センサダイ23411の下に、ロジックダイ23412及びメモリダイ23413が、その順番で積層されているが、ロジックダイ23412及びメモリダイ23413は、逆順、すなわち、メモリダイ23413及びロジックダイ23412の順番で、センサダイ23411の下に積層することができる。

[0304] センサダイ23411には、単位画素50の光電変換部となるフォトダイオードPD（フォトダイオード111に相当）や、画素トランジスタのソース／ドレイン領域が形成されている。

[0305] フォトダイオードPDの周囲には、ゲート絶縁膜を介してゲート電極が形成され、ゲート電極と対のソース／ドレイン領域により画素トランジスタ23421、画素トランジスタ23422が形成されている。

- [0306] フォトダイオードPDに隣接する画素トランジスタ23421が転送トランジスタ51であり、その画素トランジスタ23421を構成する対のソース／ドレイン領域の一方が浮遊拡散層FDを構成している。
- [0307] また、センサダイ23411には、層間絶縁膜23435が形成され、層間絶縁膜23435には、接続孔が形成される。接続孔には、画素Tr23421、及び、画素Tr23422に接続する接続導体23431が形成されている。
- [0308] さらに、センサダイ23411には、各接続導体23431に接続する複数層の配線23432を有する配線層23433が形成されている。
- [0309] また、センサダイ23411の配線層23433の最下層には、外部接続用の電極となるアルミパッド23434が形成されている。すなわち、センサダイ23411では、配線23432よりもロジックダイ23412との接着面23440に近い位置にアルミパッド23434が形成されている。アルミパッド23434は、外部との信号の入出力に係る配線の一端として用いられる。
- [0310] さらに、センサダイ23411には、ロジックダイ23412との電氣的接続に用いられるコンタクト23441が形成されている。コンタクト23441は、ロジックダイ23412のコンタクト23451に接続されるとともに、センサダイ23411のアルミパッド23442にも接続されている。
- [0311] そして、センサダイ23411には、センサダイ23411の裏面側（上側）からアルミパッド23442に達するようにパッド孔23443が形成されている。
- [0312] ロジックダイ23412に形成されたコンタクト23451は、メモリダイ23413との電氣的接続にも用いられる。コンタクト23451は、メモリダイ23413のアルミパッド23461に接続される。
- [0313] 上述した実施形態は、以上のような固体撮像装置にも適用することができる。

[0314] 具体的には、図 18～図 22 に記載の配線層の構成に対して、上述した実施形態を適用することができる。

[0315] 10. 電子機器への応用例

図 23 は、本開示に係る技術を適用し得る固体撮像装置を搭載した電子機器の概略構成例を示すブロック図である。図 23 に示すように、電子機器 1 は、例えば、撮像レンズ 20 と、固体撮像装置 10 と、記憶部 30 と、プロセッサ 40 とを備える。

[0316] 撮像レンズ 20 は、入射光を集光してその像を固体撮像装置 10 の受光面に結像する光学系の一例である。受光面とは、固体撮像装置 10 における光電変換素子が配列する面であってよい。固体撮像装置 10 は、入射光を光電変換して画像データを生成する。また、固体撮像装置 10 は、生成した画像データに対し、ノイズ除去やホワイトバランス調整等の所定の信号処理を実行する。

[0317] 記憶部 30 は、例えば、フラッシュメモリや D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) 等で構成され、固体撮像装置 10 から入力された画像データ等を記録する。

[0318] プロセッサ 40 は、例えば、C P U (Central Processing Unit) 等を用いて構成され、オペレーティングシステムや各種アプリケーションソフトウェア等を実行するアプリケーションプロセッサや、G P U (Graphics Processing Unit) やベースバンドプロセッサなどが含まれ得る。プロセッサ 40 は、固体撮像装置 10 から入力された画像データや記憶部 30 から読み出した画像データ等に対し、必要に応じた種々処理を実行したり、ユーザへの表示を実行したり、所定のネットワークを介して外部へ送信したりする。

[0319] 11. 内視鏡手術システムへの応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0320] 図 24 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0321] 図24では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0322] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0323] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0324] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201に送信される。

[0325] CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡11100及び表

示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0326] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。

[0327] 光源装置 11203 は、例えば LED（light emitting diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。

[0328] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0329] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0330] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象

に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0331] また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0332] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0333] 図 25 は、図 24 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0334] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 1110

2とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0335] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0336] 撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0337] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0338] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

[0339] 通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部11402から得た画像信号をRAWデータとして伝送ケーブル11400を介して

CCU11201に送信する。

[0340] また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0341] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡11100に搭載されていることになる。

[0342] カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

[0343] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

[0344] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0345] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0346] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制

御信号を生成する。

- [0347] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。
- [0348] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。
- [0349] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。
- [0350] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 11100 や、カメラヘッド 11102 の撮像部 11402、CCU 11201 の画像処理部 11412 等に適用され得る。具体的には、本開示に係る固体撮像装置 10 は、内視鏡 11100 や、カメラヘッド 11102 の撮像部 11402、CCU 11201 の画像処理部 11412 等に適用することができる。これらに本開示に係る技術を適用することにより、内視鏡手術システムの性能を向上させることができる。例えば、ダイナミックレンジを拡大した固体撮像装置 10 を用いて高精細な撮像画像を得ることができる。具体的には、生体内外の撮影において、明暗差が大きいような場所であって

も、物体を認識しやすくなる。また、固体撮像装置の高速動作が可能になり、物体検知からカメラヘッド 1 1 1 0 2 など制御までの動作にかかる時間を短縮することができる。

[0351] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0352] 1 2. 移動体への応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0353] 図 2 6 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0354] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 2 6 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I/F（Interface）1 2 0 5 3 が図示されている。

[0355] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

- [0356] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0357] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0358] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0359] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

- [0360] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。
- [0361] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0362] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0363] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図26の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。
- [0364] 図27は、撮像部12031の設置位置の例を示す図である。
- [0365] 図27では、撮像部12031として、撮像部12101、12102、

12103、12104、12105を有する。

[0366] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0367] なお、図27には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0368] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0369] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上

にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0370] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0371] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を

重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0372] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、本開示に係る固体撮像装置 10 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、車両制御システムの性能を向上させることが可能である。例えば、ダイナミックレンジを拡大した固体撮像装置 10 を用いて高精細な撮像画像を得ることができる。具体的には、車両内外の撮影において、明暗差が大きいような場所であっても、物体を認識しやすくなる。また、固体撮像装置の高速動作が可能になり、物体検知から車両制御までの動作にかかる時間を短縮することができる。

[0373] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0374] また、本明細書に記載された各実施形態における効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0375] なお、本技術は以下のような構成も取ることができる。

(1)

半導体基板と、

前記半導体基板の第 1 面側に位置し、第 1 配線と第 1 絶縁膜とを有する配線層と、

を有し、

前記第 1 絶縁膜は、第 1 領域と第 2 領域とを有し、前記第 1 領域と前記第 2 領域の比誘電率は互いに異なる

半導体装置。

(2)

前記第1領域は、前記第1配線の少なくとも一部に接する
前記(1)に記載の半導体装置。

(3)

前記第1領域は、前記第1配線に前記第1面と平行な方向から接する
前記(1)又は(2)に記載の半導体装置。

(4)

前記第1領域は、前記第1配線に前記第1面と垂直な方向から接する
前記(1)～(3)の何れか1項に記載の半導体装置。

(5)

前記第1領域と前記第2領域は、膜密度が互いに異なる
前記(1)～(4)の何れか1項に記載の半導体装置。

(6)

前記第1領域と前記第2領域のうち、比誘電率が低い領域の比誘電率は1.5以上3以下であり、比誘電率が高い領域の比誘電率は1.5以上4.3以下である

前記(1)～(5)の何れか1項に記載の半導体装置。

(7)

前記第1領域における前記半導体基板側の第2面は、前記第1配線における前記半導体基板側の第3面よりも、前記半導体基板に近接している

前記(1)～(6)の何れか1項に記載の半導体装置。

(8)

前記第1領域における前記半導体基板と反対側の第4面は、前記第2領域における前記半導体基板と反対側の第5面よりも、前記半導体基板に近接している

前記(1)～(7)の何れか1項に記載の半導体装置。

(9)

前記半導体基板は、光電変換領域と、前記光電変換領域で発生した電荷を

蓄積するフローティングディフュージョンとを有し、

前記第1配線は、前記フローティングディフュージョンの少なくとも一部を形成する配線である

前記(1)～(8)の何れか1項に記載の半導体装置。

(10)

前記半導体基板は、光電変換領域と、ソースが前記光電変換領域に接続された転送トランジスタと、前記転送トランジスタに接続されたフローティングディフュージョンとを有し、

前記第1配線は、前記転送トランジスタのゲートに接続する配線である

前記(1)～(9)の何れか1項に記載の半導体装置。

(11)

前記半導体基板は、光電変換領域と、ソースが前記光電変換領域に接続された転送トランジスタと、ゲートが前記転送トランジスタのドレインに接続された増幅トランジスタとを有し、

前記第1配線は、増幅トランジスタのソースに電氣的に接続された信号線である

前記(1)～(10)の何れか1項に記載の半導体装置。

(12)

前記第1配線は、アナログ素子に構成される

前記(1)～(11)の何れか1項に記載の半導体装置。

(13)

前記第1配線は、アナログ-デジタル変換器に含まれる

前記(12)に記載の半導体装置。

(14)

前記配線層は、前記第1配線とは異なる第2配線をさらに有し、

前記第2領域は、前記第2配線の少なくとも一部に接する

前記(1)～(13)の何れか1項に記載の半導体装置。

(15)

前記第1絶縁膜は、 SiO_2 よりも低い比誘電率の低誘電率材料を含む
前記(1)～(14)の何れか1項に記載の半導体装置。

(16)

前記低誘電率材料は、 SiOC 、 SiOF 、水素化シルセスキオキサン(HSQ)、メチル化シルセスキオキサン(MSQ)、パレリン系、ポリアリルエーテル系の材料のうちの少なくとも1つを含む

前記(15)に記載の半導体装置。

(17)

前記第1絶縁膜の少なくとも一部は、多孔質である

前記(15)又は(16)に記載の半導体装置。

(18)

前記フローティングディフュージョンと前記第1配線との間に接続された切替えトランジスタをさらに備える

前記(9)に記載の半導体装置。

(19)

前記第1領域は、前記第1配線の少なくとも一部に接し、

前記第1領域は、前記第2領域よりも比誘電率が高い

前記(18)に記載の半導体装置。

(20)

前記第1配線における前記半導体基板側の第2面の前記第1面からの距離は、前記第2配線における前記半導体基板側の第3面の前記第1面からの距離とは異なる

前記(14)に記載の半導体装置。

(21)

前記配線層は、保護絶縁層をさらに有する

前記(1)～(20)の何れか1項に記載の半導体装置。

(22)

半導体装置と、

前記半導体装置の受光面に入射光を集光する光学系と、
前記半導体装置から出力された信号を処理する信号処理回路と、
を有し、
前記半導体装置は、
半導体基板と、
前記半導体基板の１つの面側に位置し、配線と絶縁膜とを有する配線層
と、
を有し、
前記絶縁膜は、第１領域と第２領域とを有し、前記第１領域と前記第２領
域の比誘電率は互いに異なる
電子機器。

(23)

半導体基板の直上または上方に絶縁膜を形成する工程と、
前記絶縁膜上の一部に開口部を形成する工程と、
前記絶縁膜における前記開口部から露出された領域の比誘電率を変化させ
る工程と、
前記露出された領域に配線を形成する工程と、
を有する半導体装置の製造方法。

符号の説明

- [0376] 1 電子機器
- 9 a 上層領域
- 9 b 下層領域
- 10 固体撮像装置（ＣＭＯＳイメージセンサ）
- 11 画素アレイ部
- 12 垂直駆動回路
- 13 カラム処理回路
- 13 a 増幅ゲート
- 16 a、16 b 浮遊拡散層（ＦＤ）

- 1 4 水平駆動回路
 - 1 4 a 第1リセットゲート
 - 1 4 b 第2リセットゲート
- 1 5 システム制御部
 - 1 5 a 選択ゲート
- 1 8 信号処理部
- 1 9 データ格納部
- 2 0 撮像レンズ
- 2 1 第1受光部
- 2 2 第2受光部
- 2 3 a 第1ウェルコンタクト
- 2 3 b 第2ウェルコンタクト
- 3 0 記憶部
- 3 1 第1トランジスタ群
 - 3 1 a、3 1 b、3 1 c ソース／ドレイン (S／D)
- 3 2 第2トランジスタ群
 - 3 2 a、3 2 b、3 2 c ソース／ドレイン (S／D)
- 4 0 プロセッサ
- 5 0 単位画素
 - 5 1 転送トランジスタ
 - 5 2 リセットトランジスタ
 - 5 3 増幅トランジスタ
 - 5 4 選択トランジスタ
- 6 0、6 1 0 半導体基板
 - 6 1、6 1 3、6 1 6 保護絶縁膜
 - 6 2、6 1 1、6 1 4、6 1 7 層間絶縁膜
 - 6 3、6 1 8 マスク
 - 6 4 a、6 4 b、6 4 1、6 4 2 開口部

65 a、65 b、65 c、65 d、65 e、620 a、620 b、621

a 露出領域

66 a、66 b、66 c、66 d、66 e、621、621 b、621 c

遮蔽領域

67 a、67 b、167 a、167 b、267 a、267 b、267 c、
267 d、267 e、267 f、612、615、671 a、671 b、6
71 c 配線

90 a、90 b 空孔

110、310 画素共有単位

111、112、113、114、115、116、117、118 フ
ォトダイオード (PD)

113 a、413 a 増幅ゲート配線

113 b、311、312、411、412、413 b、 ソース／ドレ
イン配線

114 a、414 a 第1リセットゲート配線

114 b、414 b 第2リセットゲート配線

115 a、415 a 選択ゲート配線

121 a、122 a、123 a、124 a、125 a、126 a、127
a、128 a 転送ゲート

201、401 FD配線

202 a、202 b、203 a、203 b、204 a、204 b、212
a、212 b、212 c、212 d、212 e、212 f、212 g、21
4、402 a、402 b、403 a、403 b、412 a、412 b、41
2 c 領域 210 a、210 b、210 c、210 d、211 a、211
b、211 c、211 d、211 e、211 f、231 a、231 b、23
1 c、231 d、231 e 配線

221 a、222 a、223 a、224 a、225 a、226 a、227
a、228 a、421 a、422 a、423 a、424 a、425 a、42

6 a、4 2 7 a、4 2 8 a 転送ゲート配線

7 0 1 第1配線層

7 0 2 第2配線層

7 0 3 第3配線層

1 6 0 カラーフィルタアレイ

1 6 1 単位パターン

1 0 7 R、1 0 7 G、1 0 7 B カラーフィルタ

1 0 1 0 A 固体撮像装置

1 0 2 0 センサ基板

1 0 2 1 センサ部

1 0 2 5 行選択部

1 0 2 6 信号線

1 0 3 0 回路基板

1 0 3 1 信号処理部

1 0 3 2 メモリ部

1 0 3 3 データ処理部

1 0 3 4 制御部

1 0 3 5 電流源

1 0 3 6 デコーダ

1 0 3 7 行デコーダ

1 0 3 8 インタフェース (I F)

1 0 4 0 センサ

1 0 4 1 フォトダイオード

1 0 4 2 転送トランジスタ (転送ゲート)

1 0 4 3 リセットトランジスタ

1 0 4 4 増幅トランジスタ

1 0 4 5 選択トランジスタ

1 0 4 6 浮遊拡散領域部 (F D)

- 1050 アナログーデジタル変換器（AD変換器）
- 1051 比較器（コンパレータ）
- 1052 カウンタ部
- 1054 参照電圧生成部
- 1055 データラッチ部
- 2001 切替トランジスタ
- 2002 主容量部
- 2003 副容量部
- 20001 入射光
- 20010 画素
- 20011 マイクロレンズ
- 20012 CF（カラーフィルタ）
- 20013 平坦化膜
- 20014 遮光膜
- 20015 絶縁膜
- 20016 p型半導体領域
- 20017 受光面
- 20018 半導体基板
- 20019 フォトダイオード（PD）
- 20020 n型半導体領域
- 20030 画素分離部
- 20031 溝部
- 20032 固定電荷膜
- 20033 絶縁膜
- 20041 p型半導体領域
- 20050 配線層
- 20051 配線
- 20052 絶縁層

2 0 0 6 1 支持基板

F D 浮遊拡散層

L D 画素駆動線

L D 5 1 転送トランジスタ駆動線

L D 5 2 リセットトランジスタ駆動線

L D 5 4 選択トランジスタ駆動線

L D 2 0 0 3 切替トランジスタ駆動線

P D フォトダイオード

R S T リセット信号

S E L 選択制御信号

T R G 転送制御信号

V S L 垂直信号線

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の第1面側に位置し、第1配線と第1絶縁膜とを有する配線層と、
 を有し、
 前記第1絶縁膜は、第1領域と第2領域とを有し、前記第1領域と前記第2領域の比誘電率は互いに異なる
 半導体装置。
- [請求項2] 前記第1領域は、前記第1配線の少なくとも一部に接する
 請求項1に記載の半導体装置。
- [請求項3] 前記第1領域は、前記第1配線に前記第1面と平行な方向から接する
 請求項1に記載の半導体装置。
- [請求項4] 前記第1領域は、前記第1配線に前記第1面と垂直な方向から接する
 請求項1に記載の半導体装置。
- [請求項5] 前記第1領域と前記第2領域は、膜密度が互いに異なる
 請求項1に記載の半導体装置。
- [請求項6] 前記第1領域における前記半導体基板側の第2面は、前記第1配線における前記半導体基板側の第3面よりも、前記半導体基板に近接している
 請求項1に記載の半導体装置。
- [請求項7] 前記第1領域における前記半導体基板と反対側の第4面は、前記第2領域における前記半導体基板と反対側の第5面よりも、前記半導体基板に近接している
 請求項1に記載の半導体装置。
- [請求項8] 前記半導体基板は、光電変換領域と、前記光電変換領域で発生した電荷を蓄積するフローティングディフュージョンとを有し、

前記第 1 配線は、前記フローティングディフュージョンの少なくとも一部を形成する配線である

請求項 1 に記載の半導体装置。

[請求項9] 前記半導体基板は、光電変換領域と、ソースが前記光電変換領域に接続された転送トランジスタと、前記転送トランジスタに接続されたフローティングディフュージョンとを有し、

前記第 1 配線は、前記転送トランジスタのゲートに接続する配線である

請求項 1 に記載の半導体装置。

[請求項10] 前記半導体基板は、光電変換領域と、ソースが前記光電変換領域に接続された転送トランジスタと、ゲートが前記転送トランジスタのドレインに接続された増幅トランジスタとを有し、

前記第 1 配線は、増幅トランジスタのソースに電氣的に接続された信号線である

請求項 1 に記載の半導体装置。

[請求項11] 前記第 1 配線は、アナログ素子に構成される

請求項 1 に記載の半導体装置。

[請求項12] 前記配線層は、前記第 1 配線とは異なる第 2 配線をさらに有し、

前記第 2 領域は、前記第 2 配線の少なくとも一部に接する

請求項 1 に記載の半導体装置。

[請求項13] 前記第 1 絶縁膜は、 SiO_2 よりも低い比誘電率の低誘電率材料を含む

請求項 1 に記載の半導体装置。

[請求項14] 前記低誘電率材料は、 SiOC 、 SiOF 、水素化シルセスキオキサン（HSQ）、メチル化シルセスキオキサン（MSQ）、パレリン系、ポリアリルエーテル系の材料のうちの少なくとも 1 つを含む

請求項 1 3 に記載の半導体装置。

[請求項15] 前記第 1 絶縁膜の少なくとも一部は、多孔質である

請求項 1 3 に記載の半導体装置。

[請求項16] 前記フローティングディフュージョンと前記第 1 配線との間に接続された切替えトランジスタをさらに備える

請求項 8 に記載の半導体装置。

[請求項17] 前記第 1 配線における前記半導体基板側の第 2 面の前記第 1 面からの距離は、前記第 2 配線における前記半導体基板側の第 3 面の前記第 1 面からの距離とは異なる

請求項 1 2 に記載の半導体装置。

[請求項18] 前記配線層は、保護絶縁層をさらに有する

請求項 1 に記載の半導体装置。

[請求項19] 半導体装置と、

前記半導体装置の受光面に入射光を集光する光学系と、

前記半導体装置から出力された信号を処理する信号処理回路と、
を有し、

前記半導体装置は、

半導体基板と、

前記半導体基板の 1 つの面側に位置し、配線と絶縁膜とを有する
配線層と、

を有し、

前記絶縁膜は、第 1 領域と第 2 領域とを有し、前記第 1 領域と前記
第 2 領域の比誘電率は互いに異なる

電子機器。

[請求項20] 半導体基板の直上または上方に絶縁膜を形成する工程と、

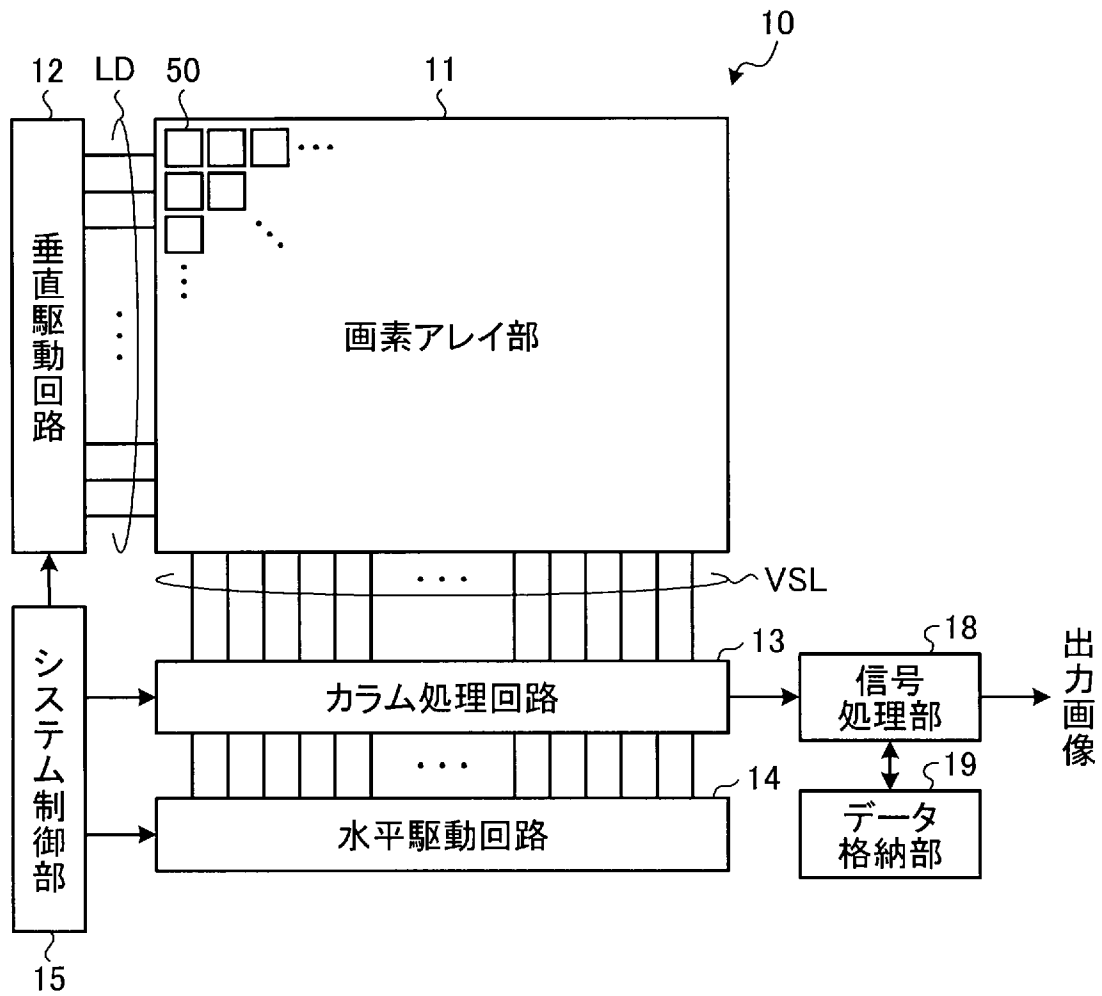
前記絶縁膜上の一部に開口部を形成する工程と、

前記絶縁膜における前記開口部から露出された領域の比誘電率を変
化させる工程と、

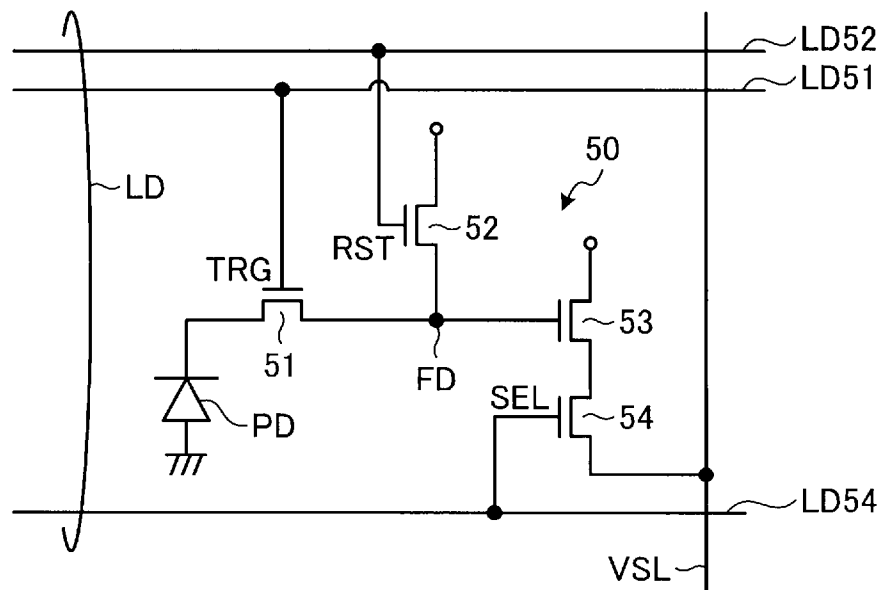
前記露出された領域に配線を形成する工程と、

を有する半導体装置の製造方法。

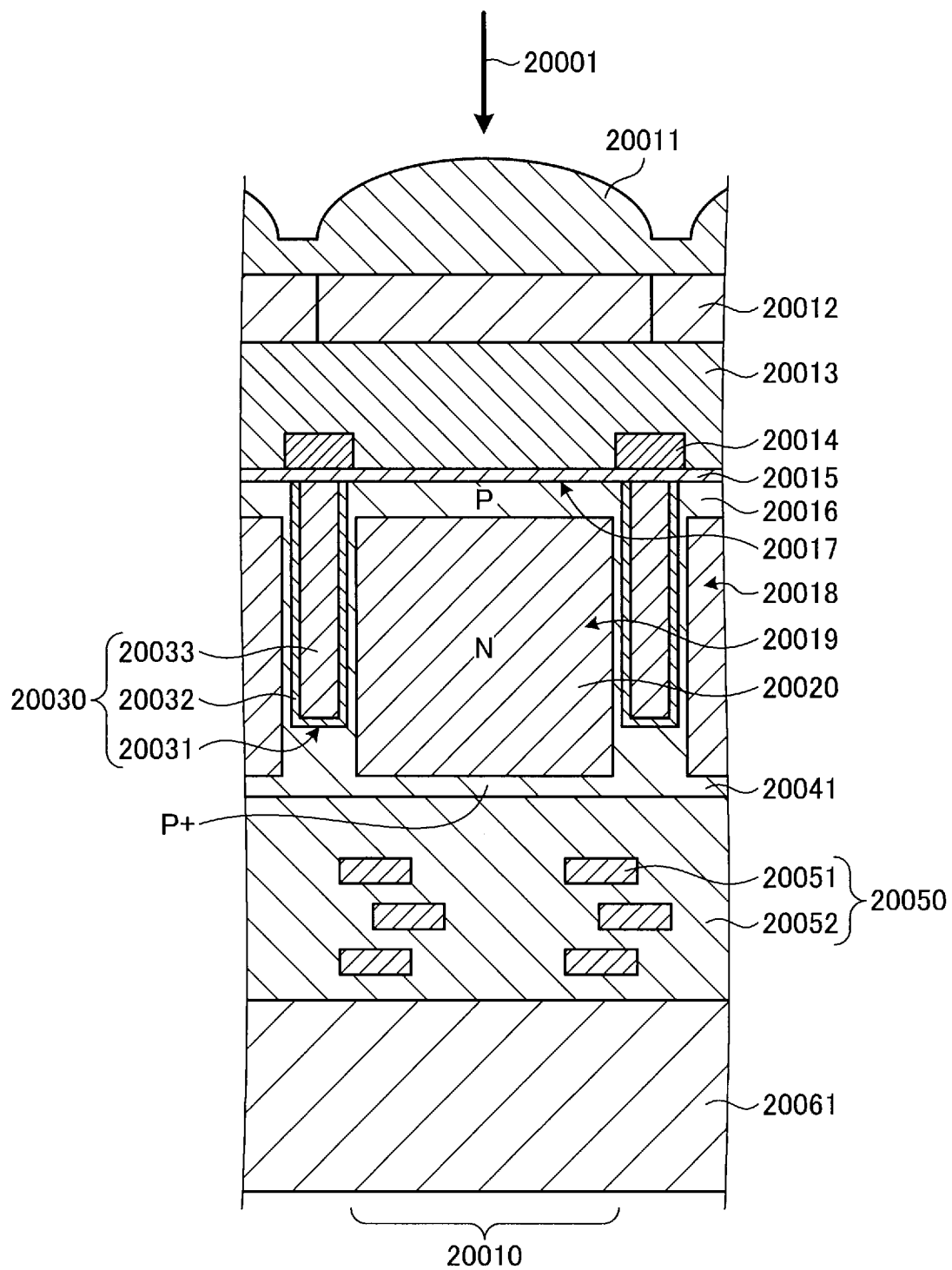
[図1]



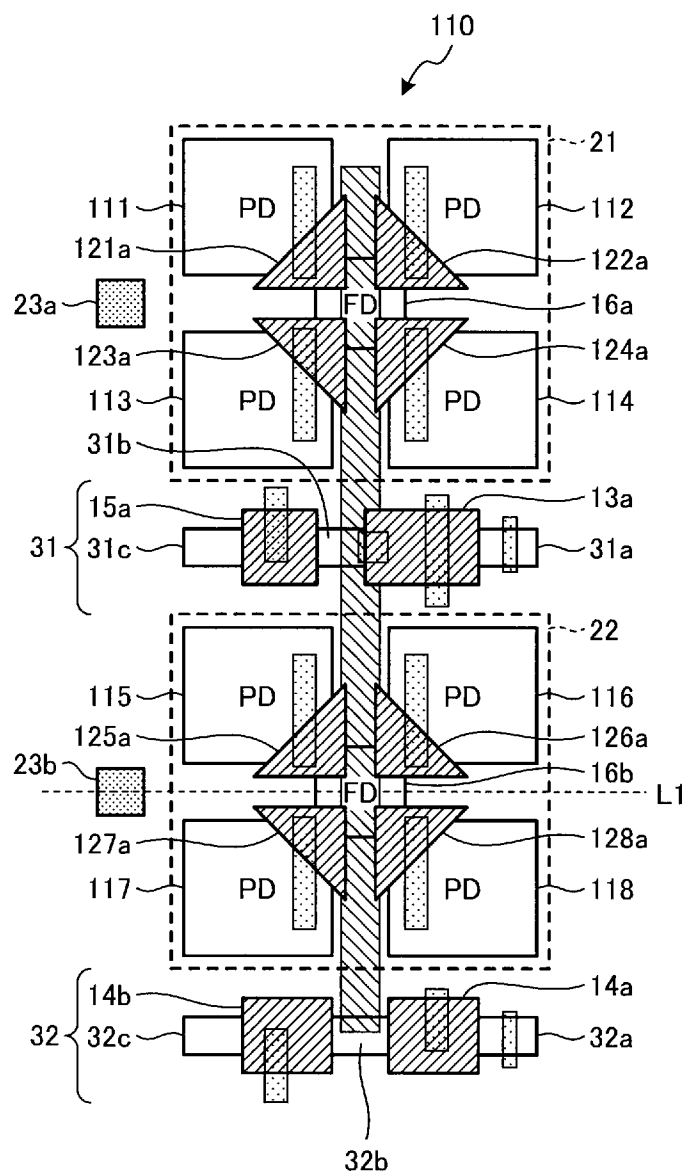
[図2]



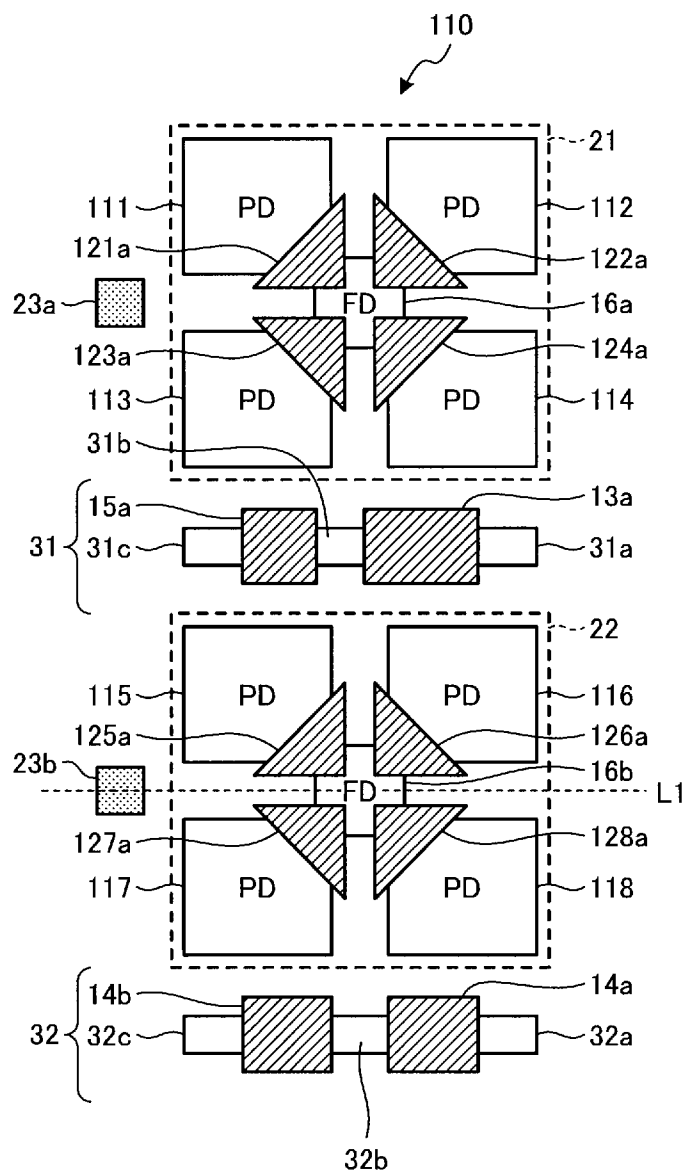
[図3]



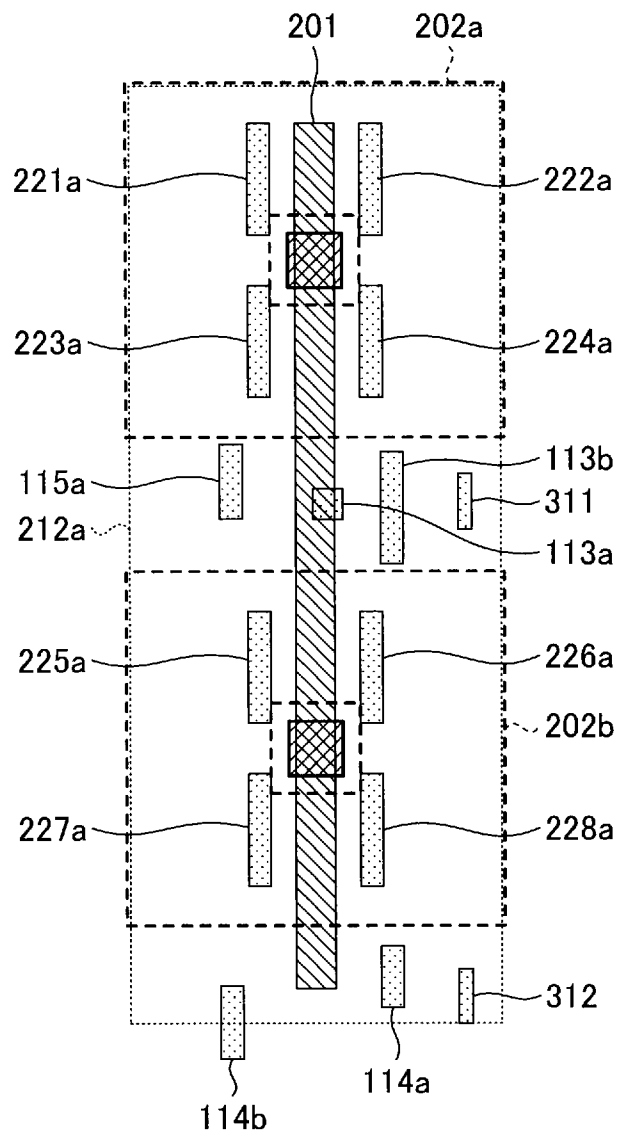
[図4]



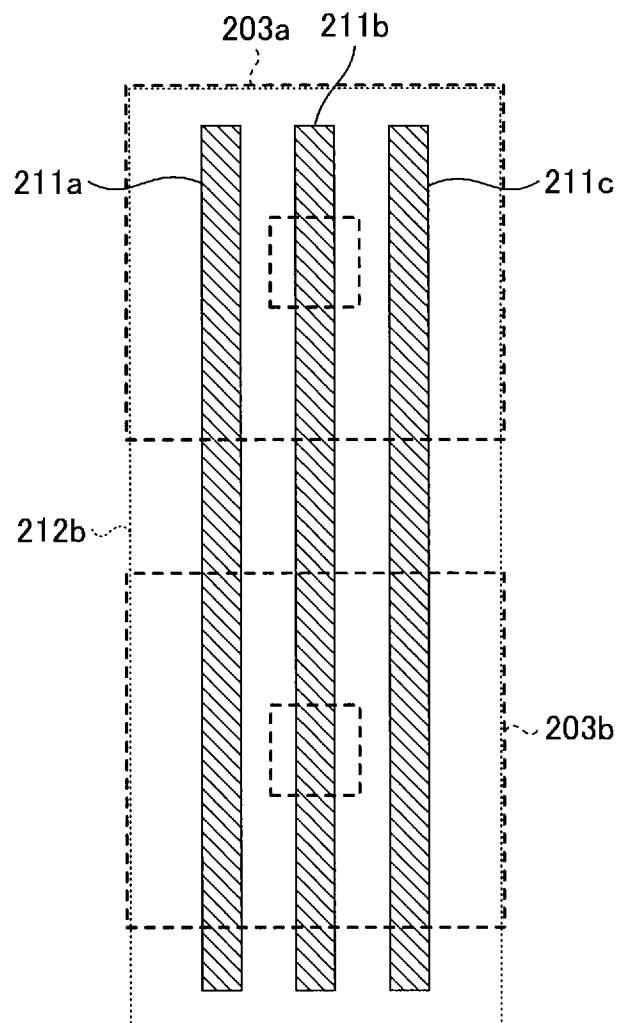
[図5A]



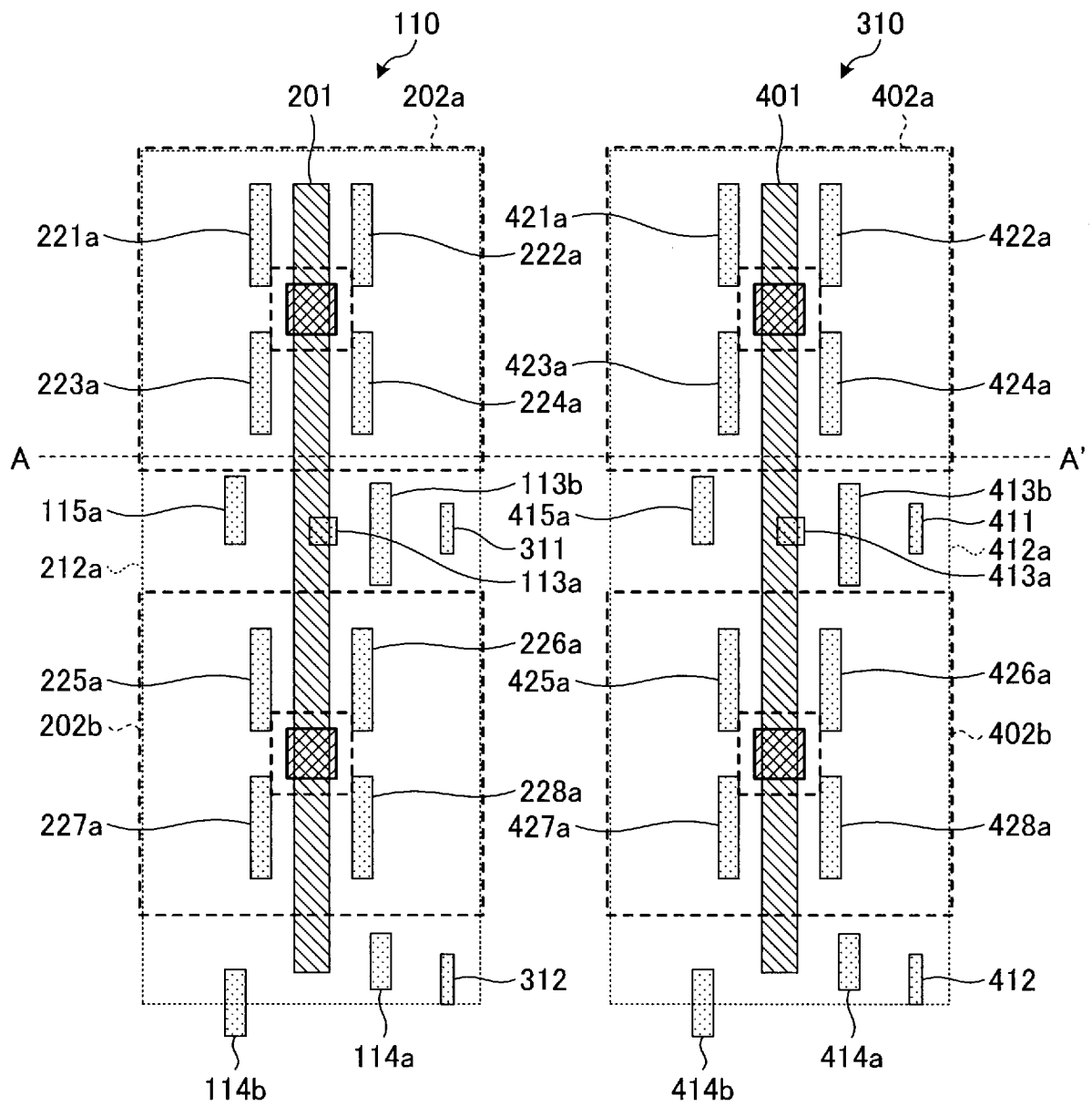
[図5B]



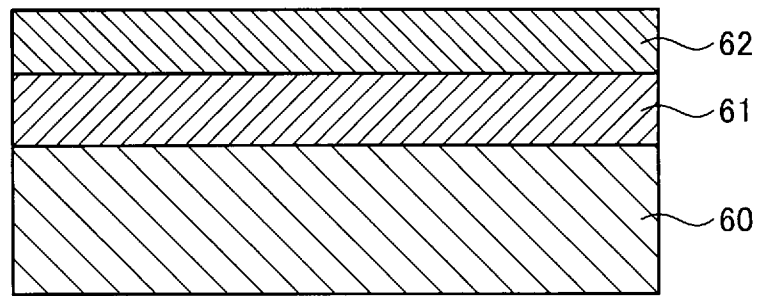
[図5C]



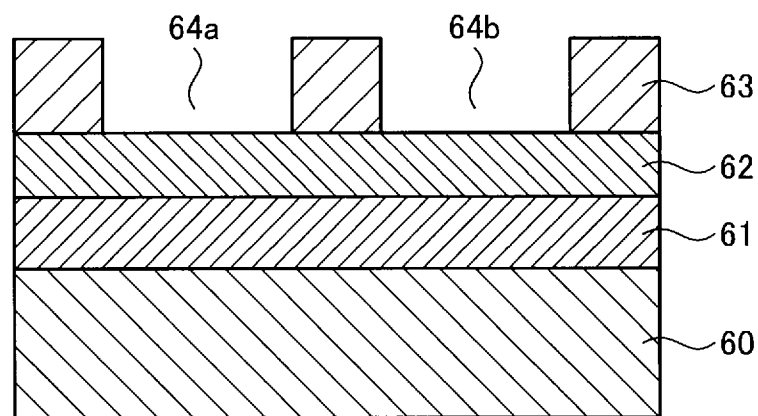
[図6A]



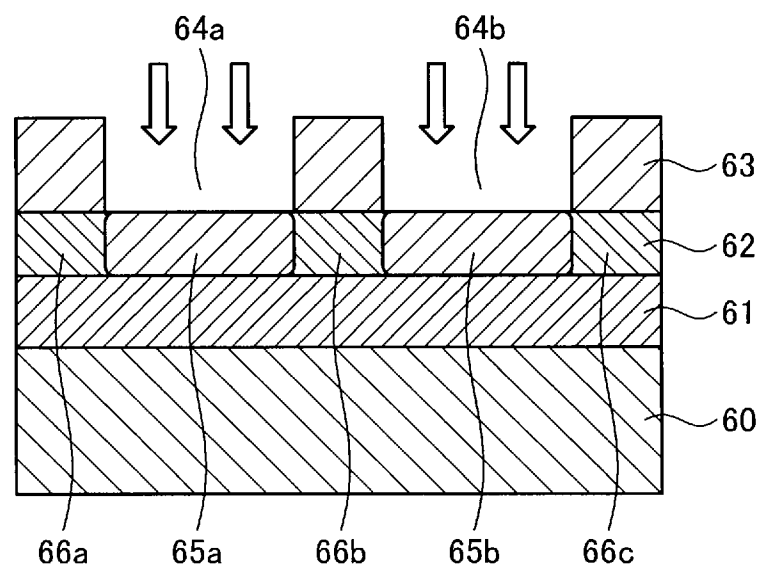
[図6B]



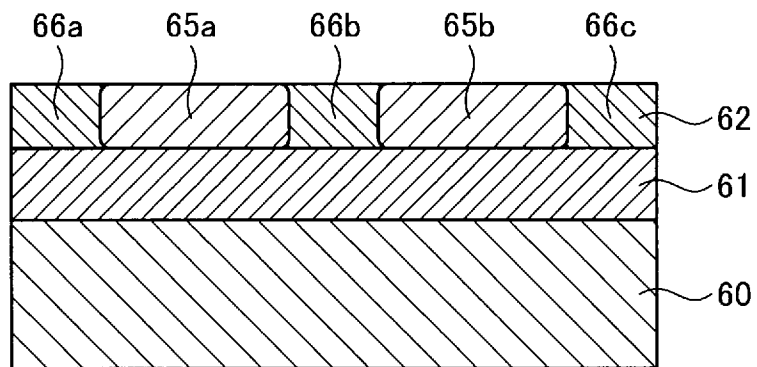
[図6C]



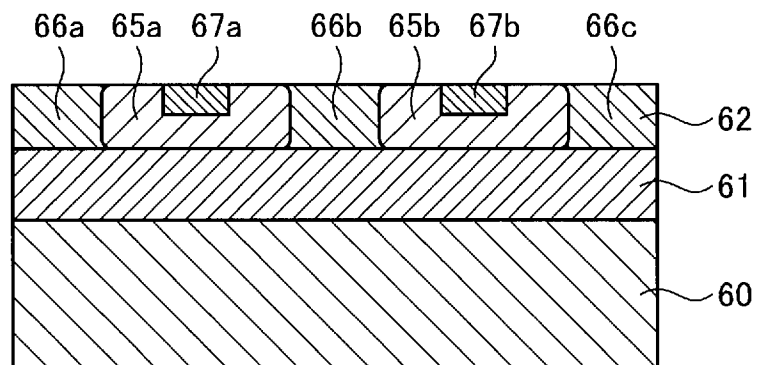
[図6D]



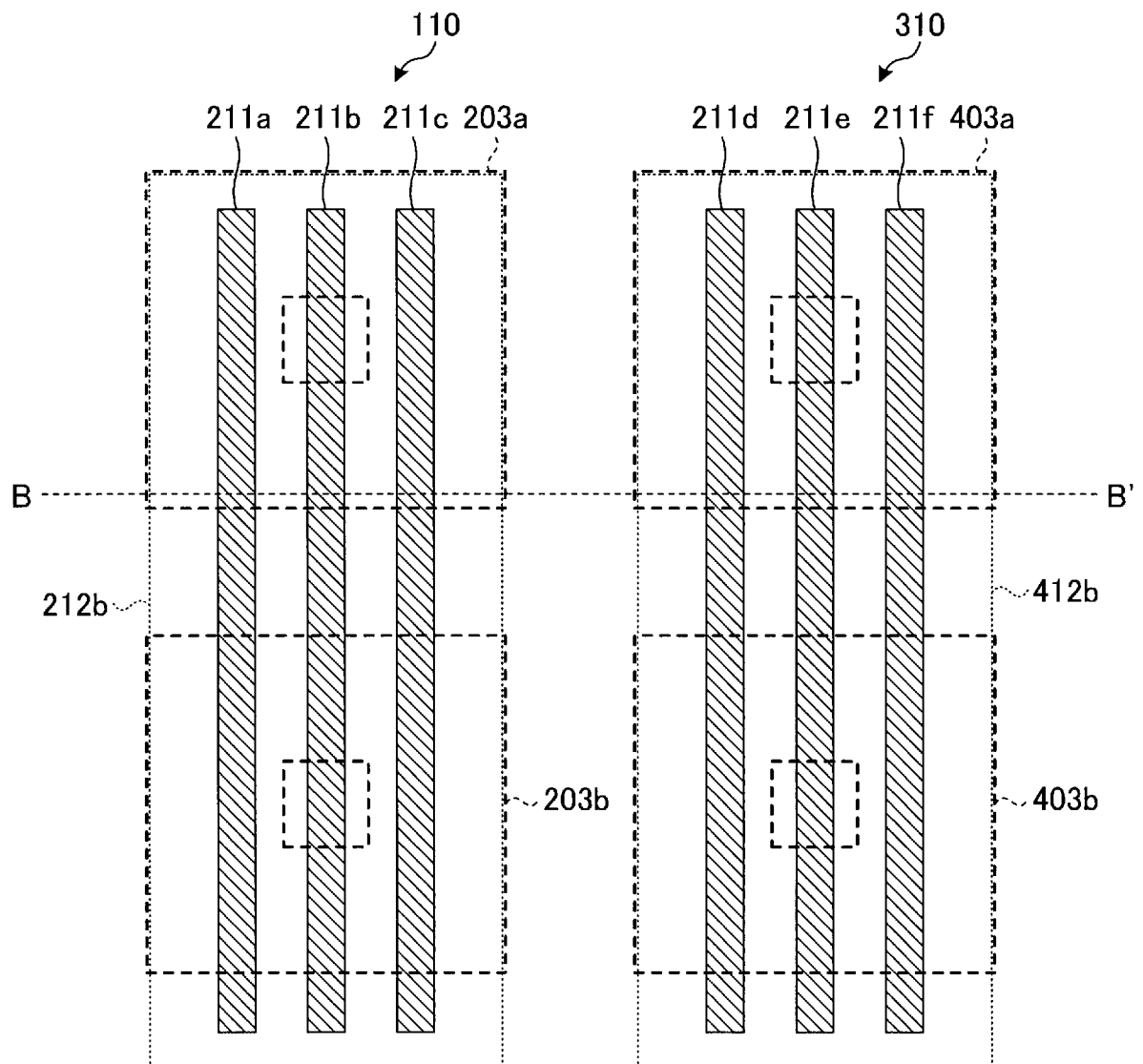
[図6E]



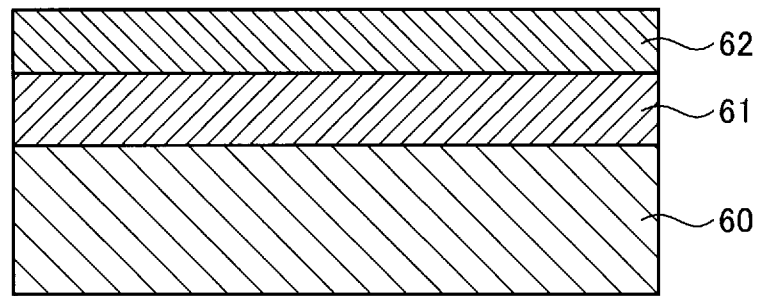
[図6F]



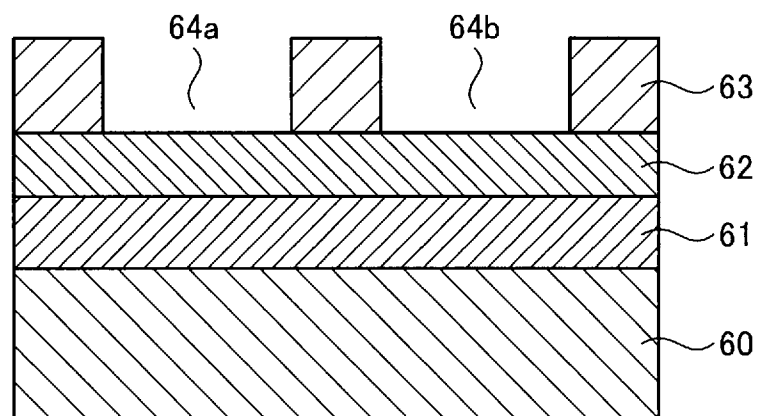
[図7A]



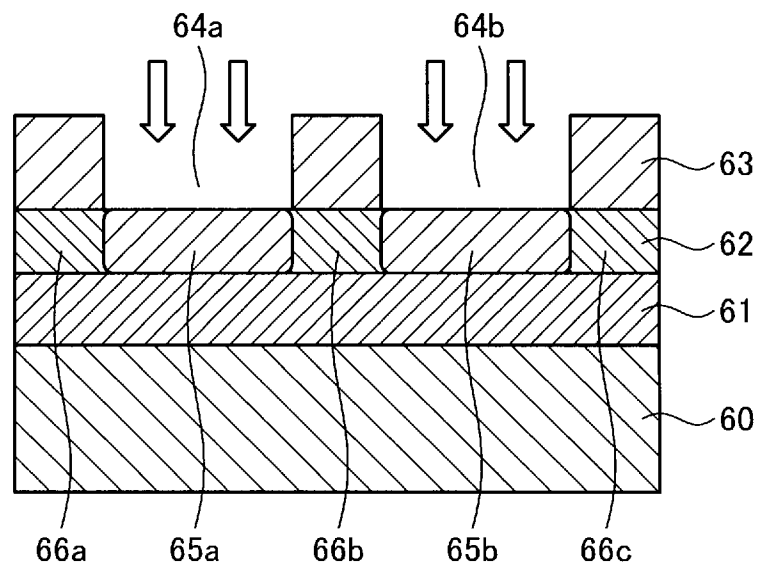
[図7B]



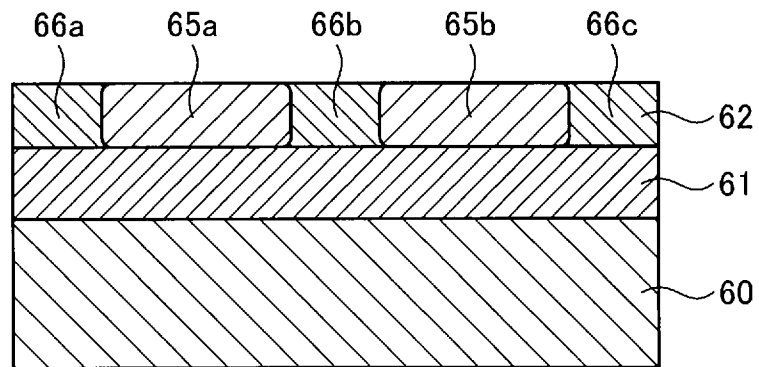
[図7C]



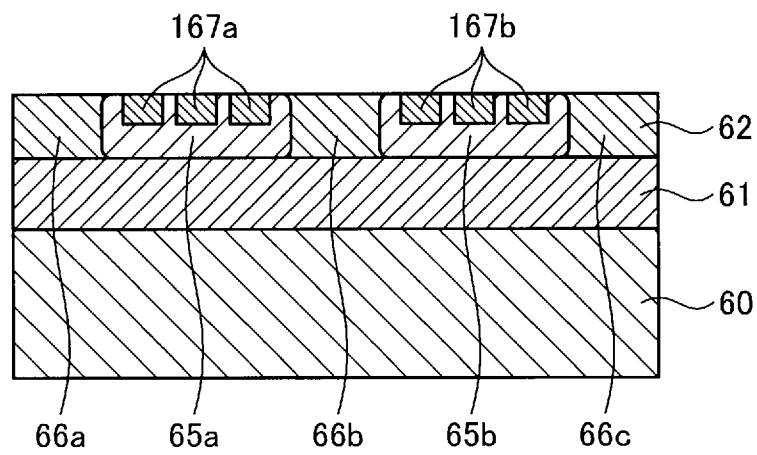
[図7D]



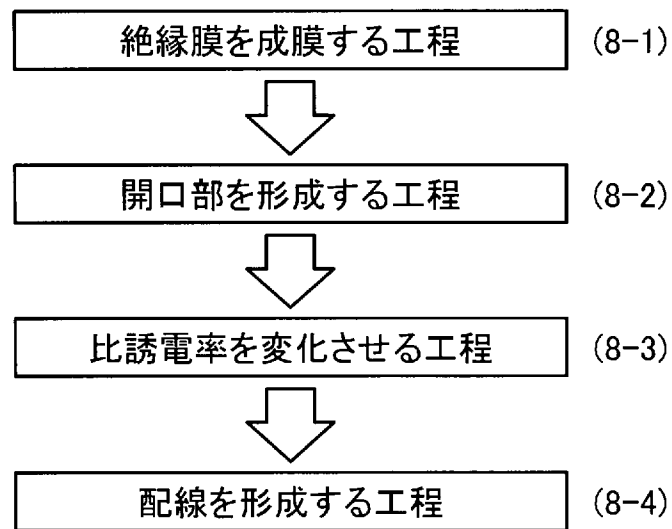
[図7E]



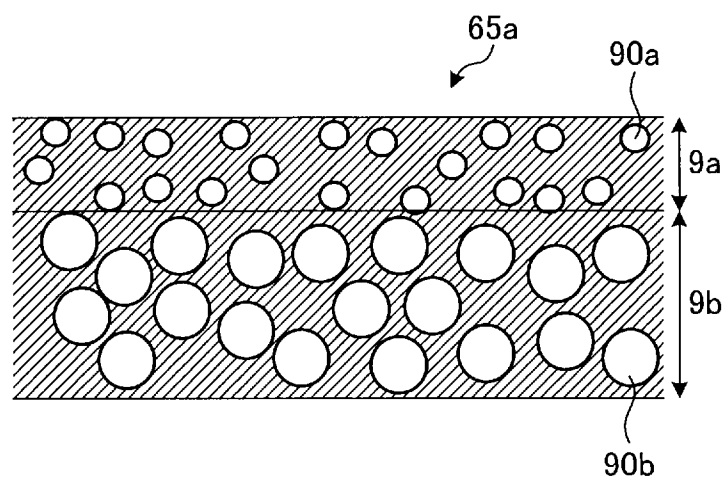
[図7F]



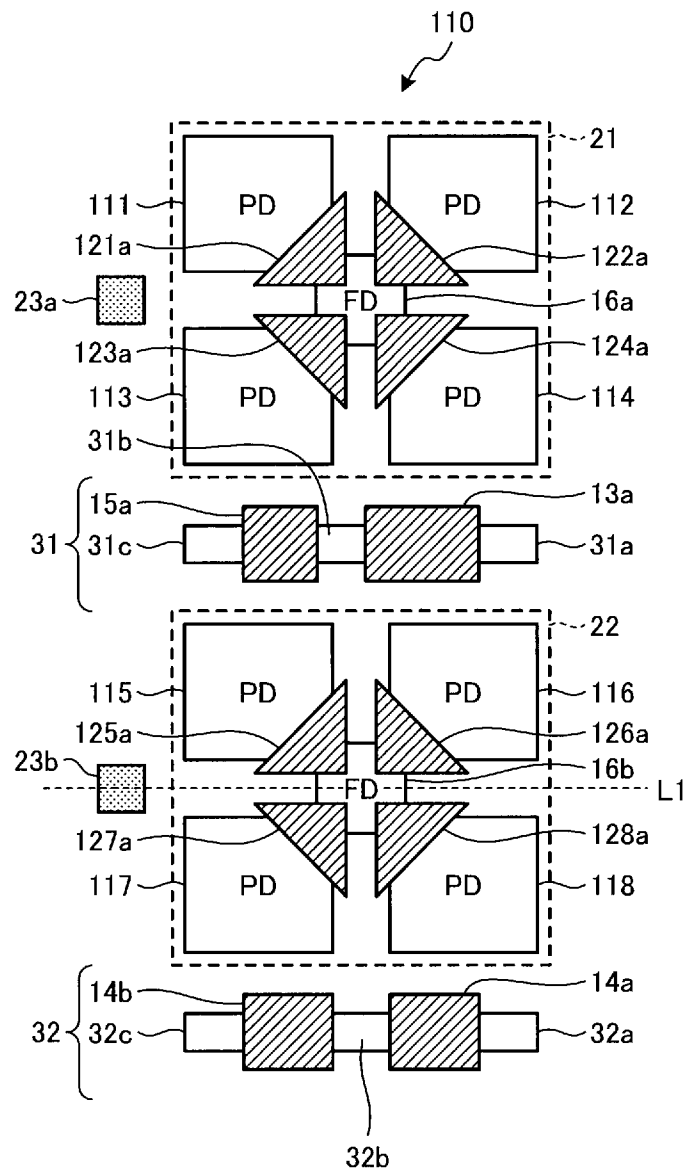
[図8]



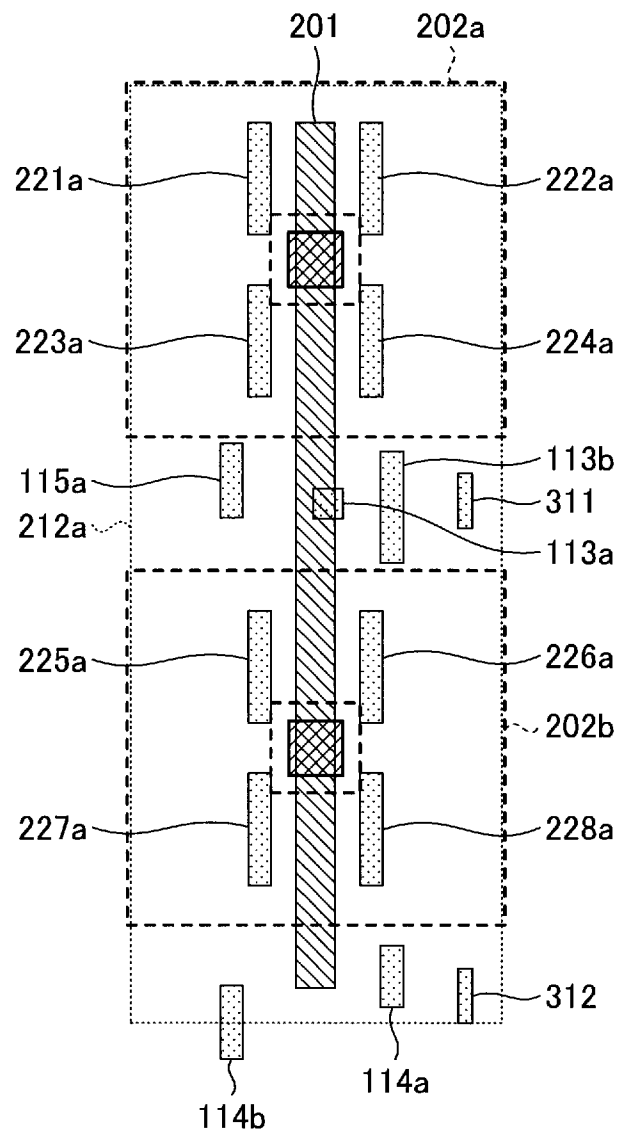
[図9]



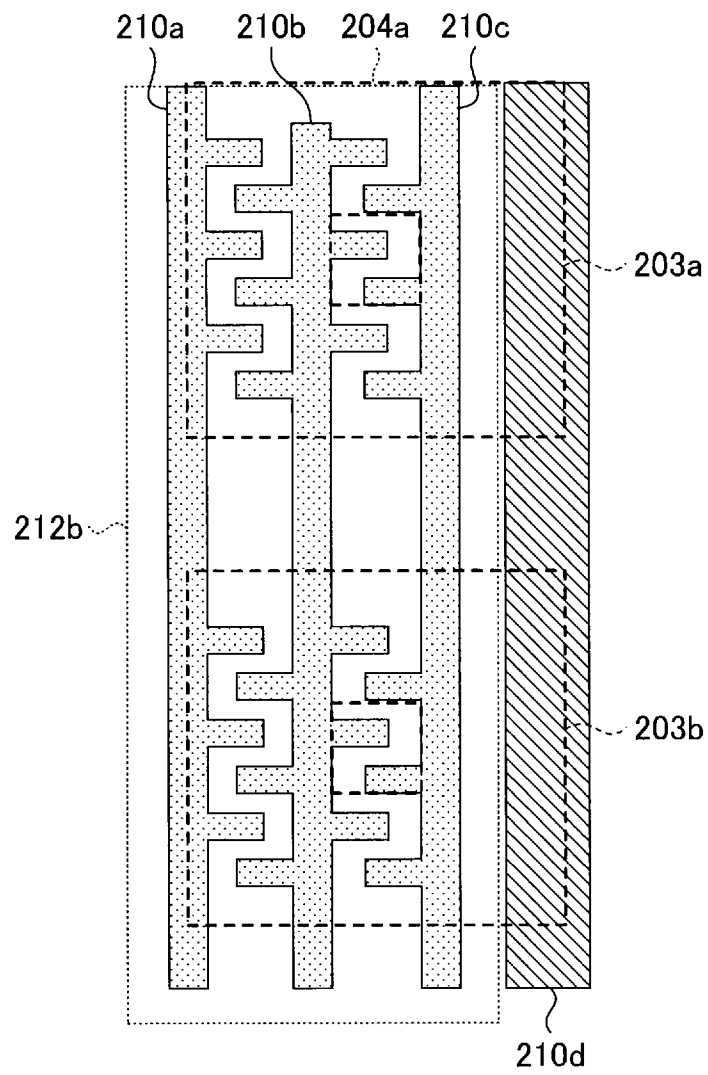
[図10A]



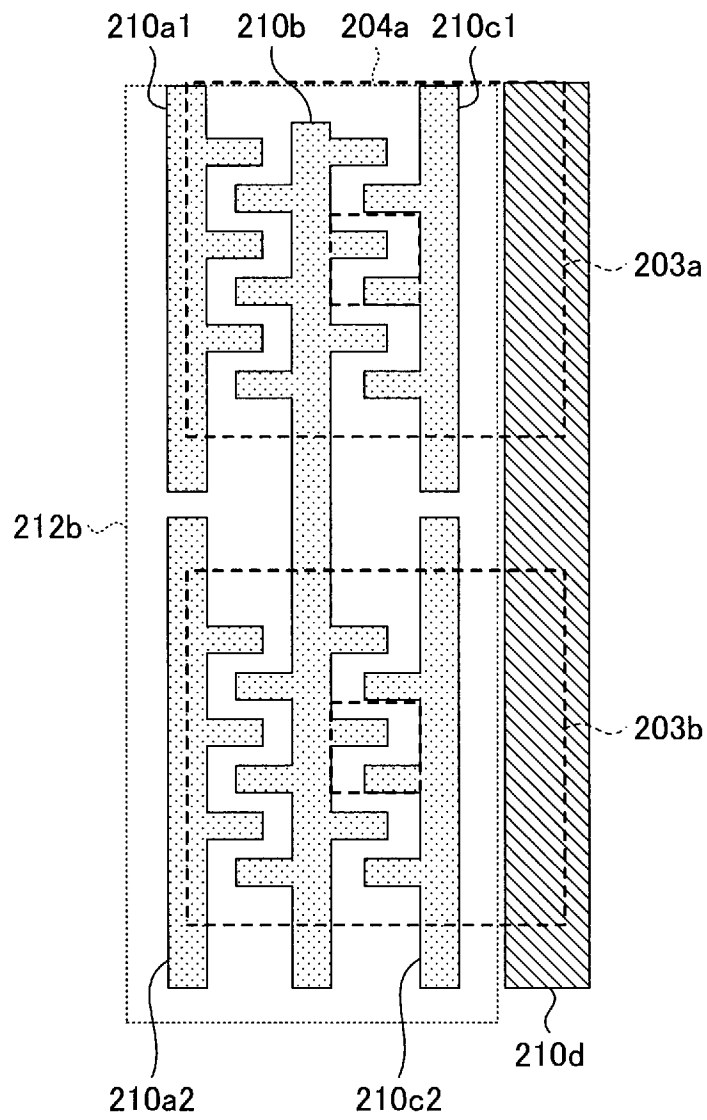
[図10B]



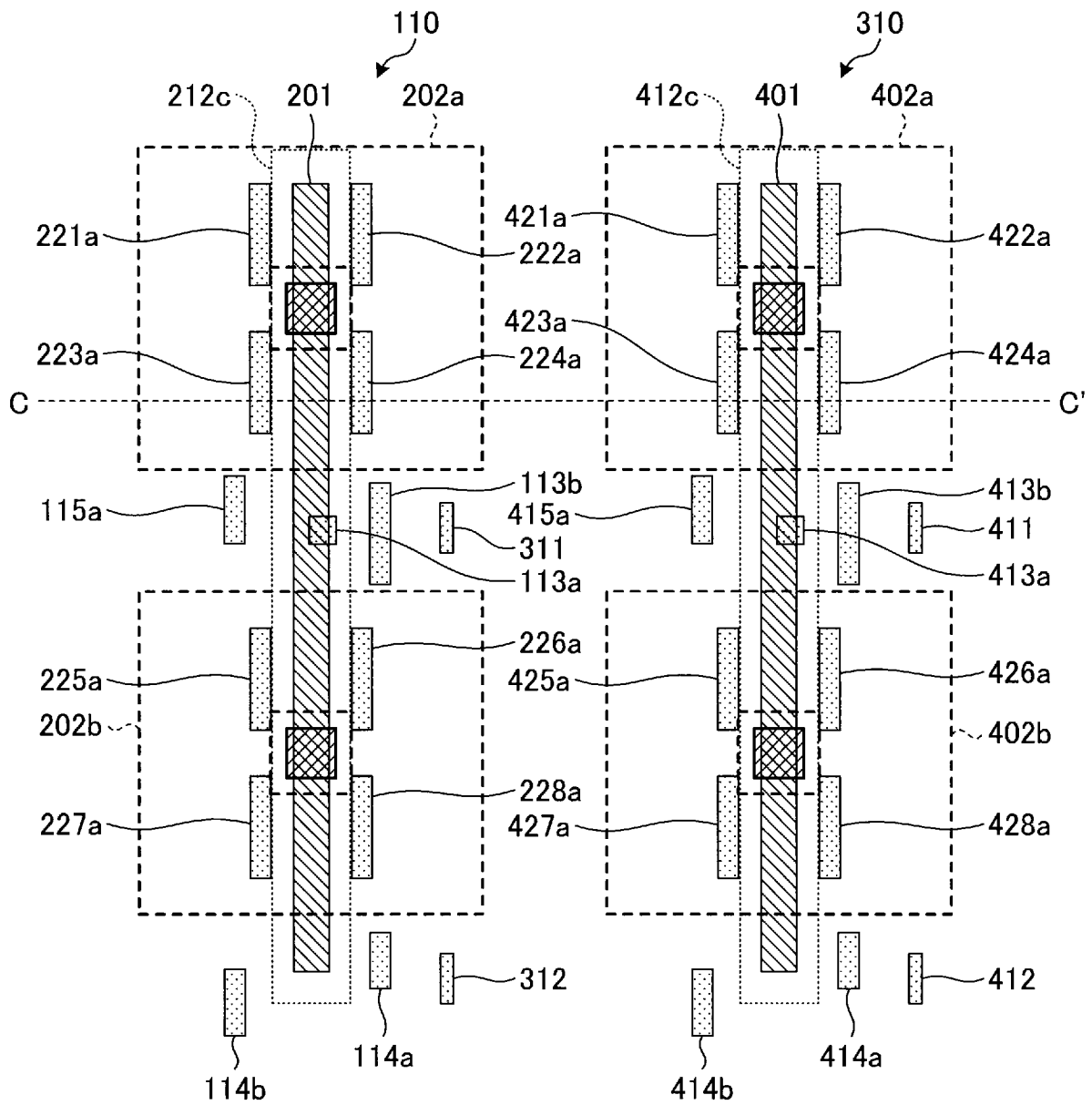
[図10C]



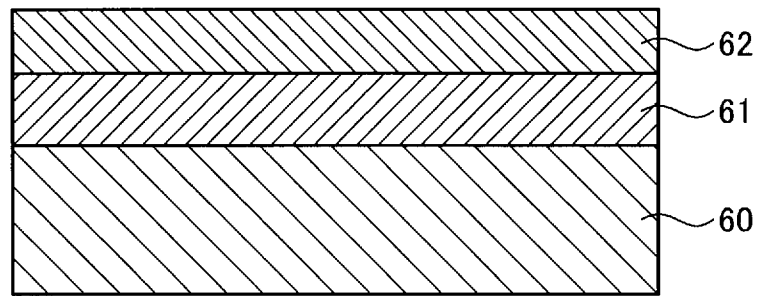
[図10D]



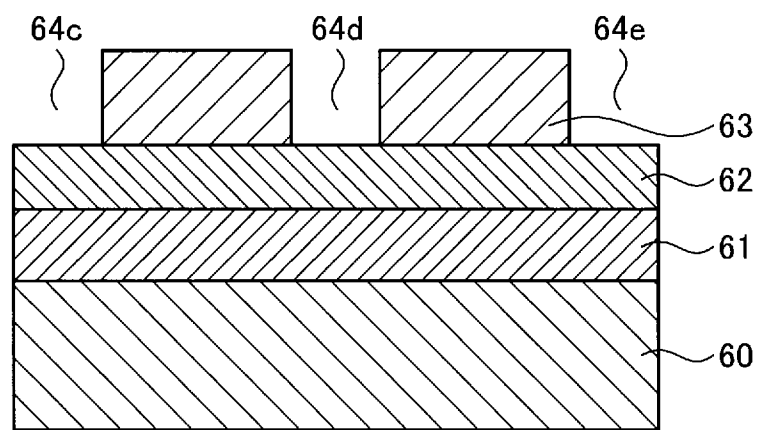
[図11A]



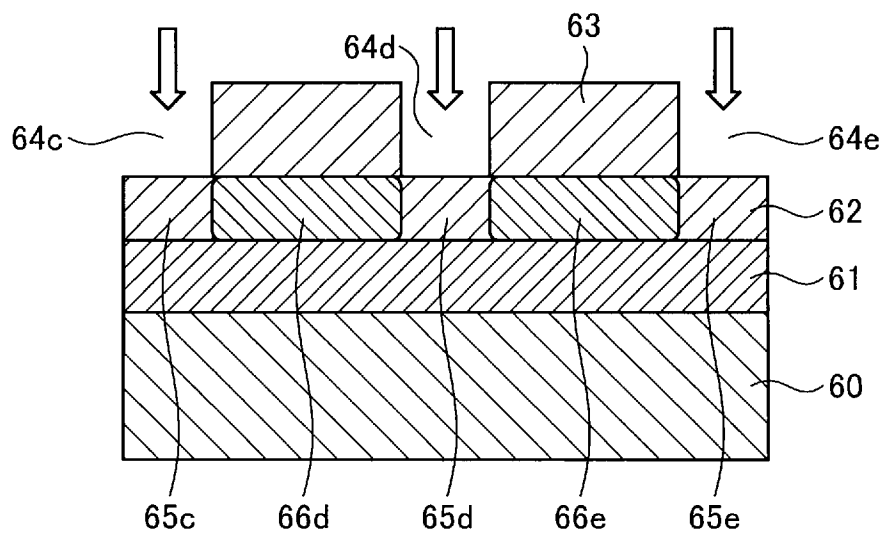
[図11B]



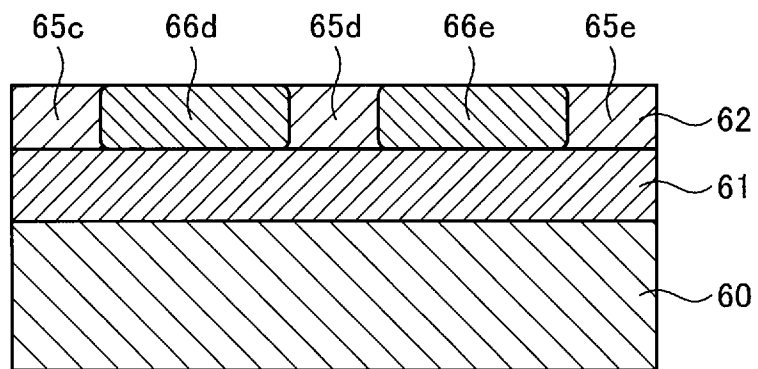
[図11C]



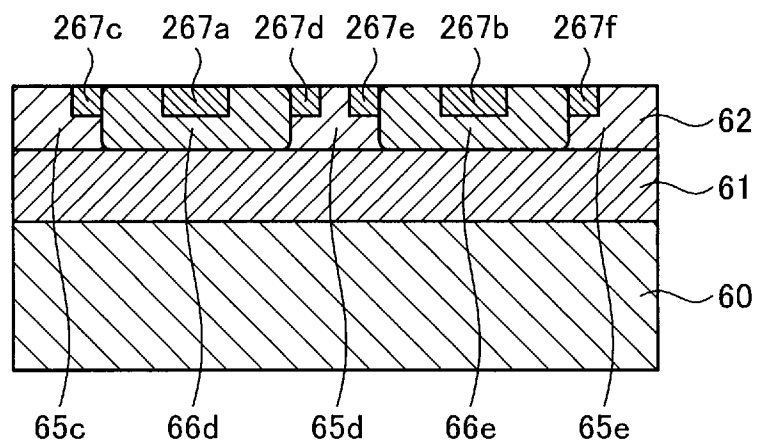
[図11D]



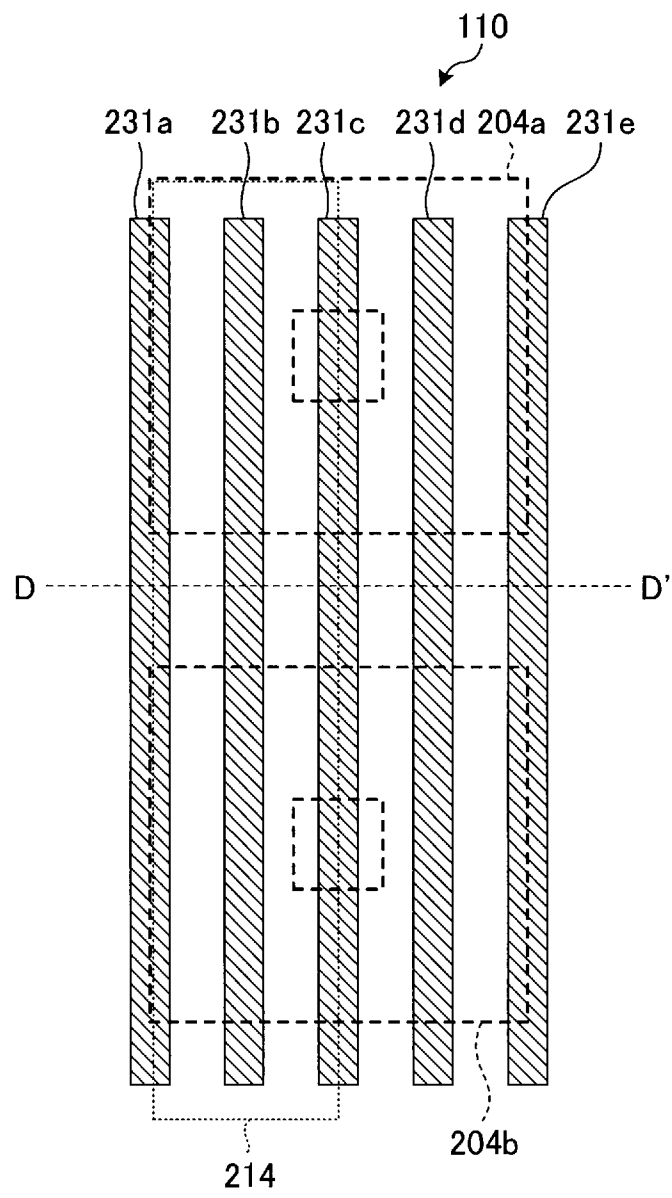
[図11E]



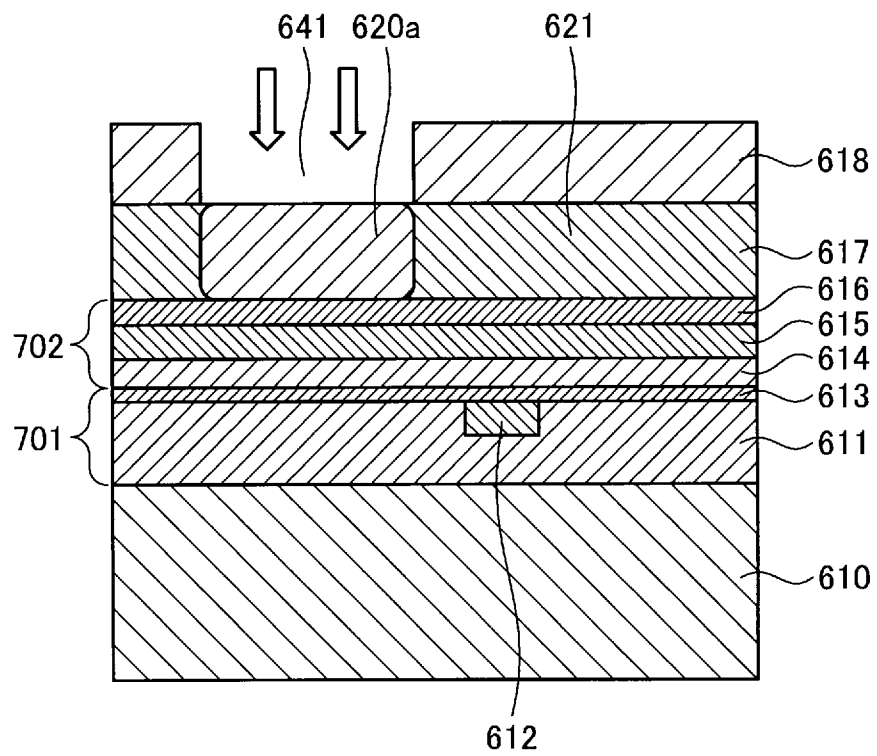
[図11F]



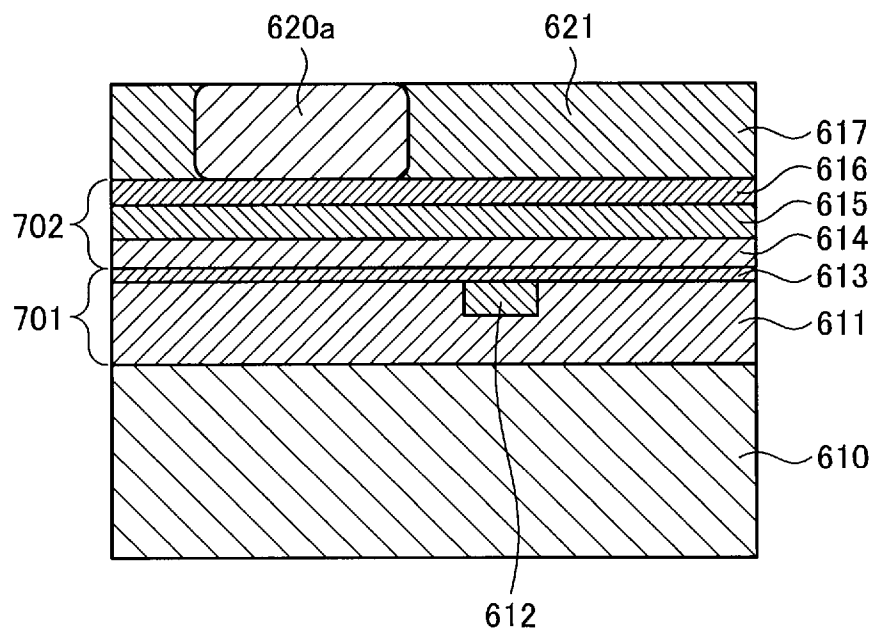
[図13A]



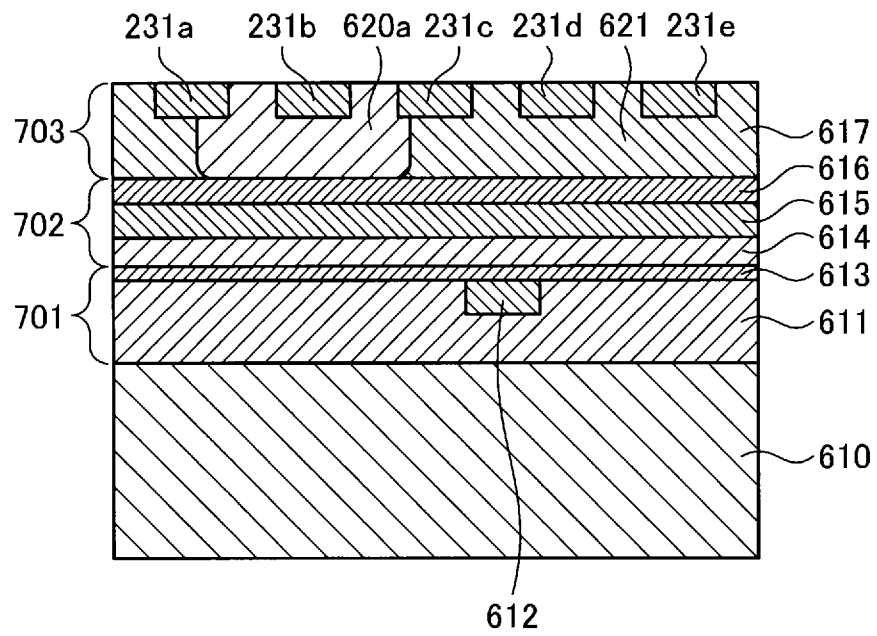
[図13B]



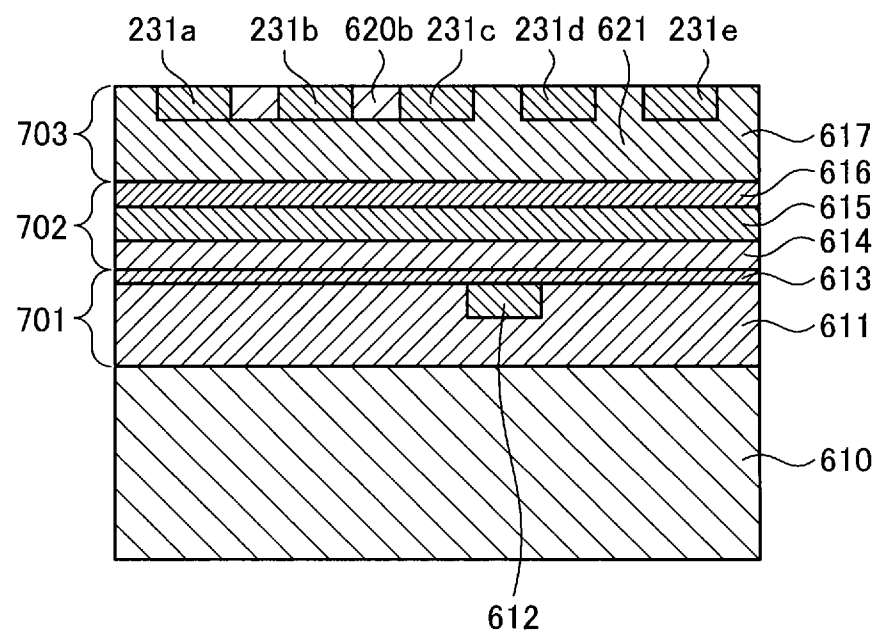
[図13C]



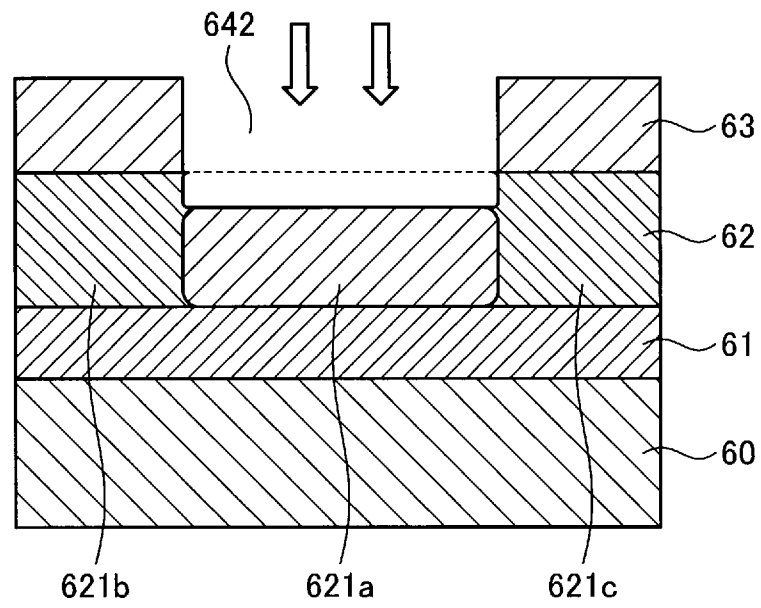
[図13D]



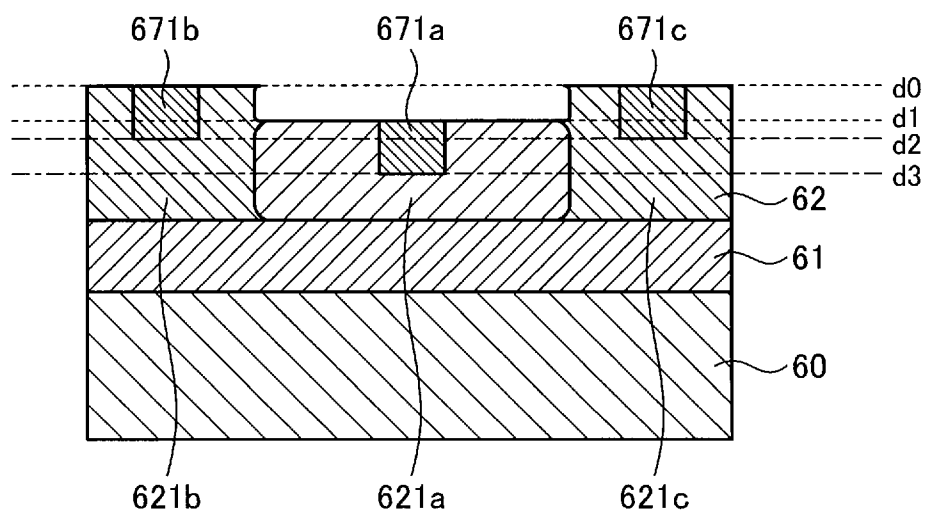
[図13E]



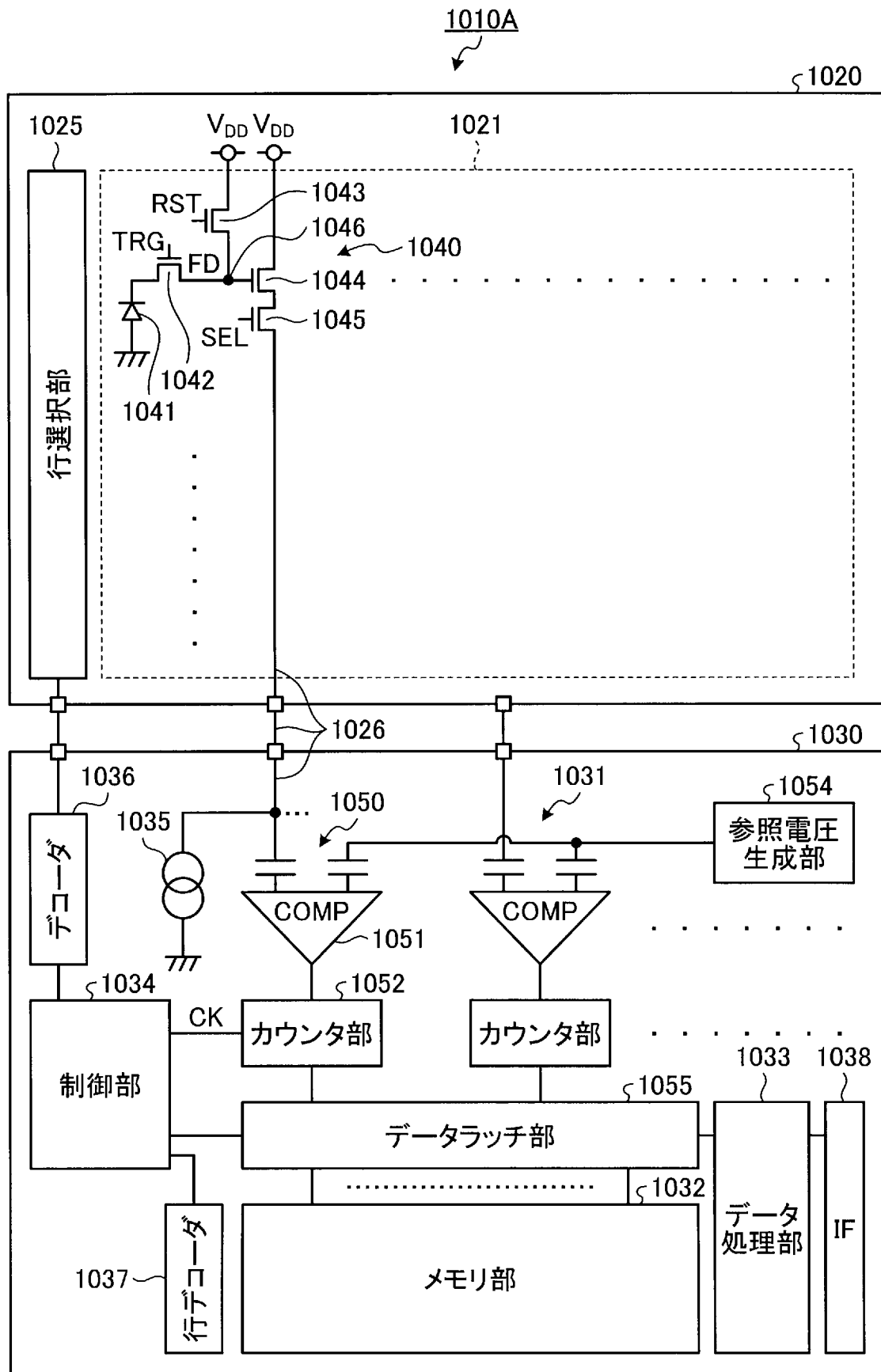
[図14A]



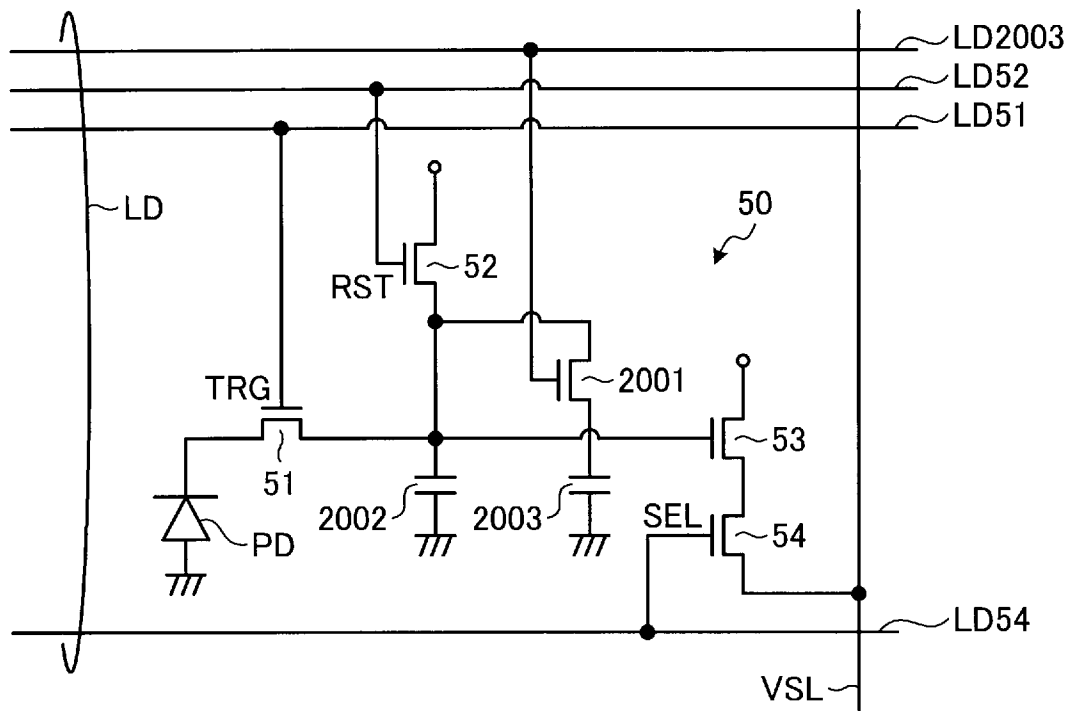
[図14B]



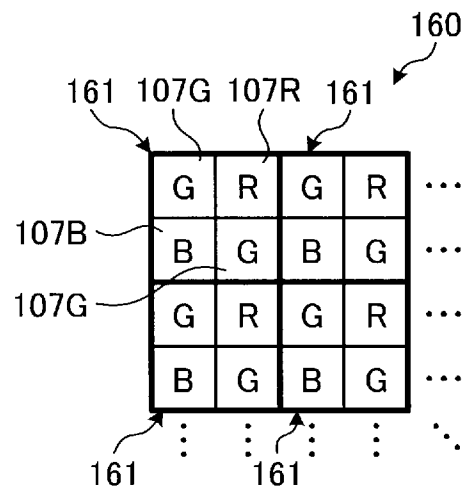
[図15]



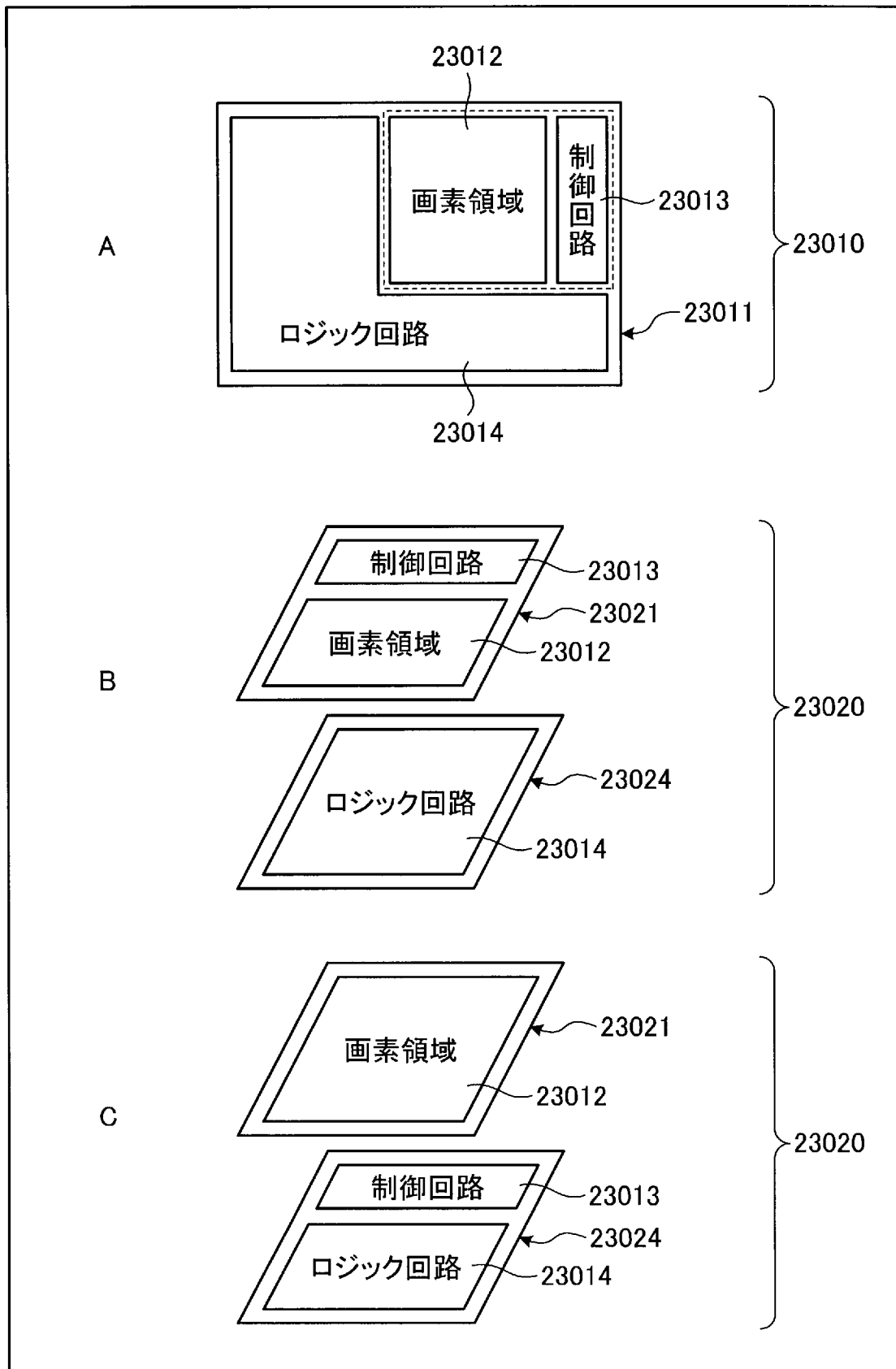
[図16]



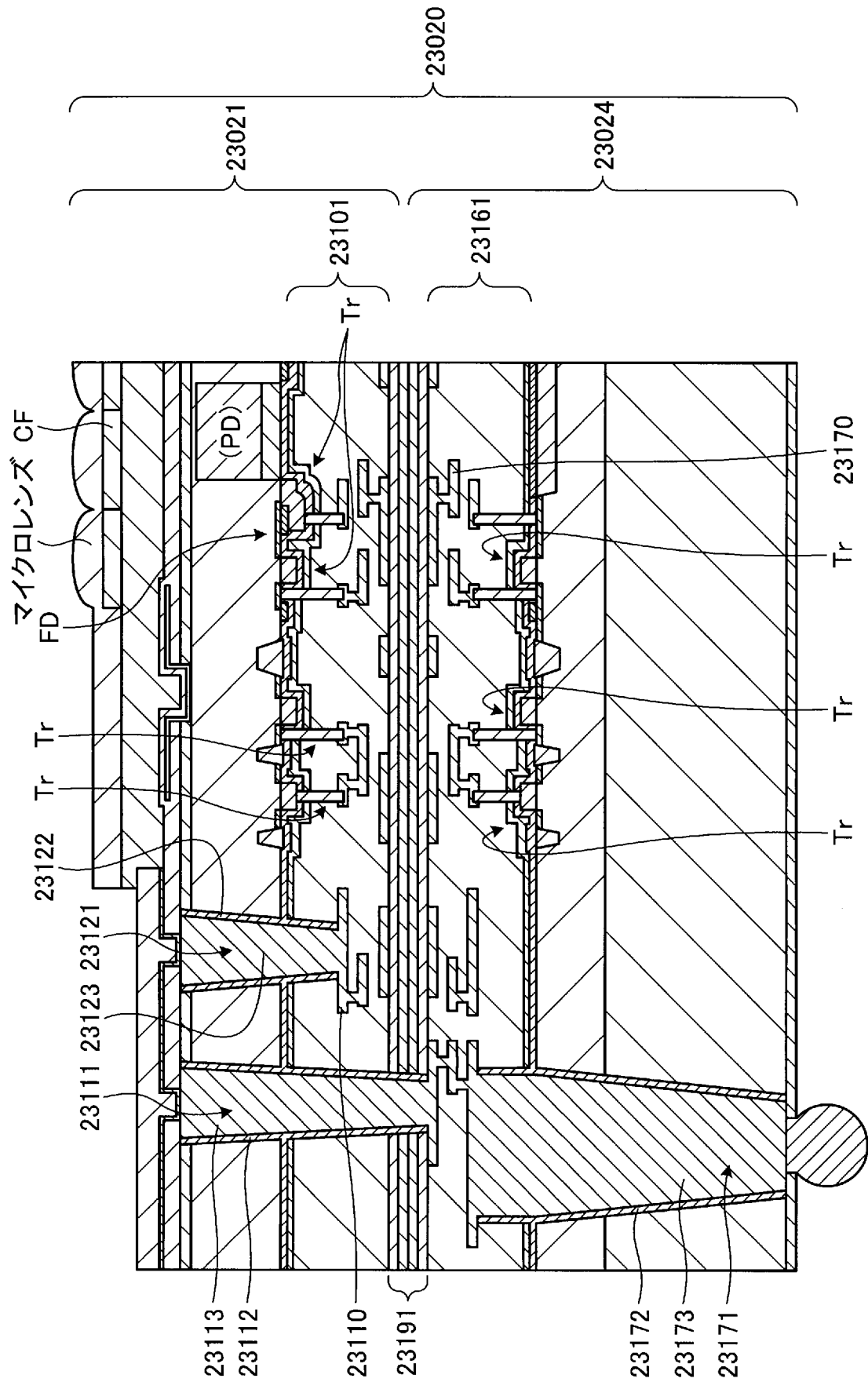
[図17]



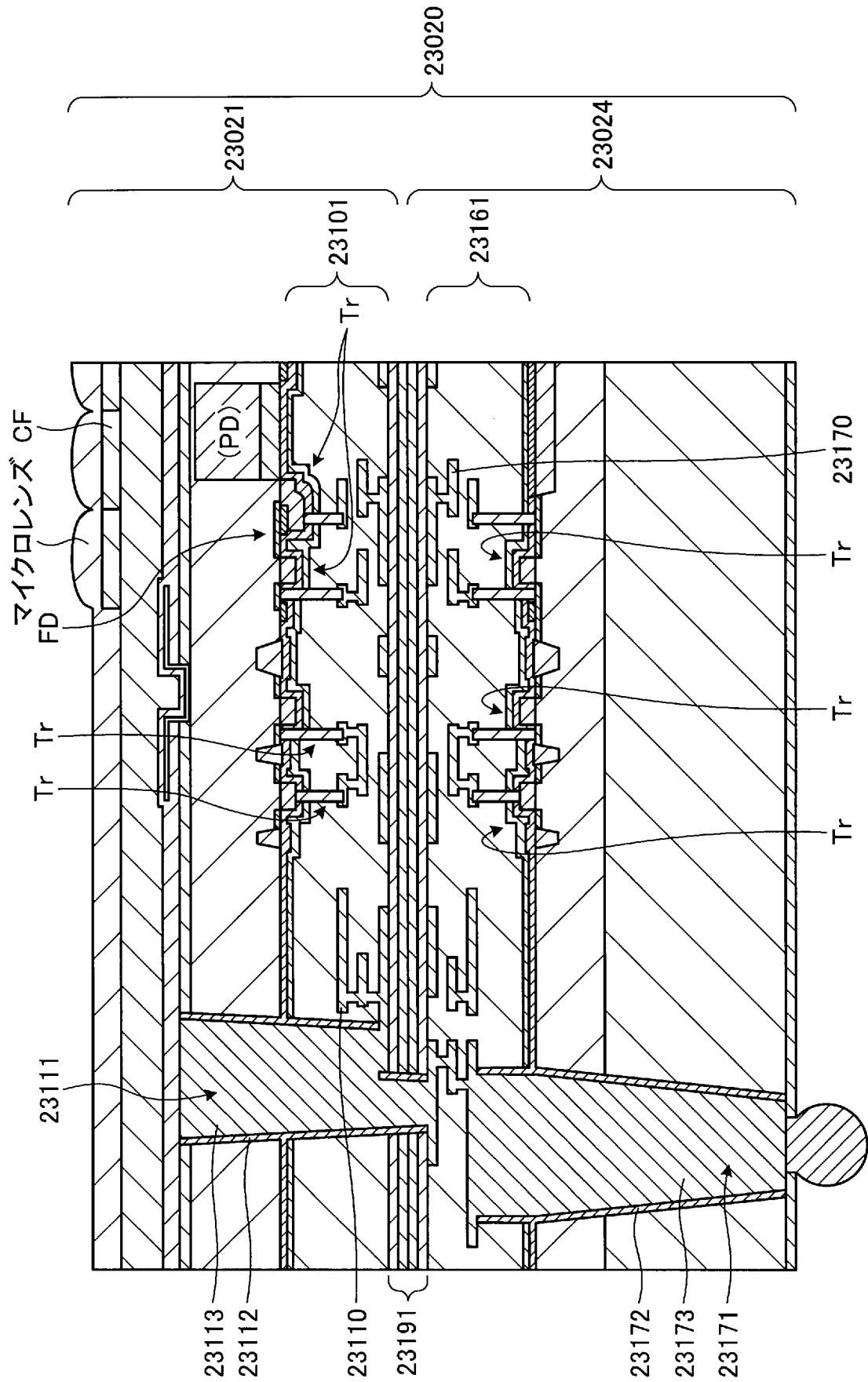
[図18]



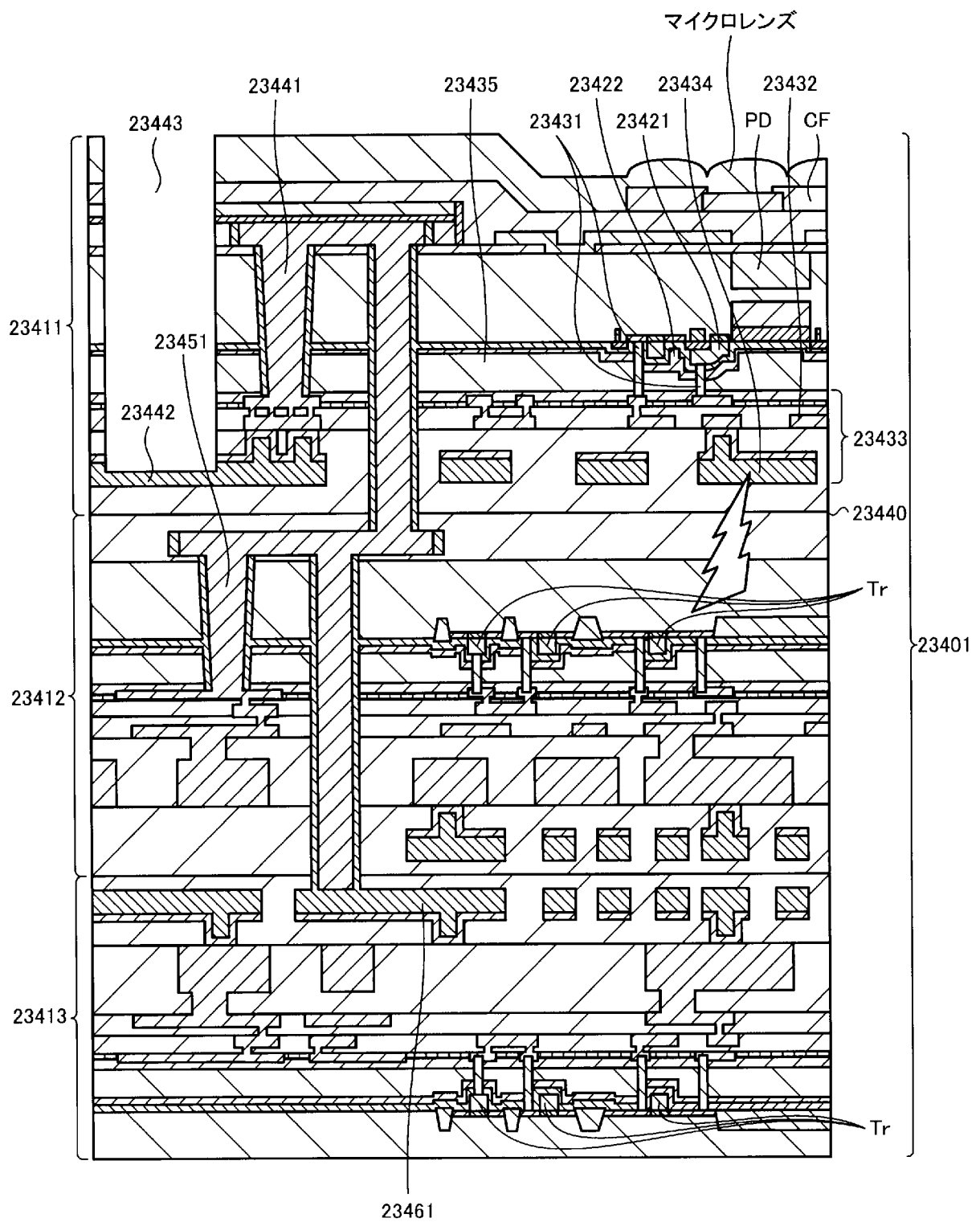
[図19]



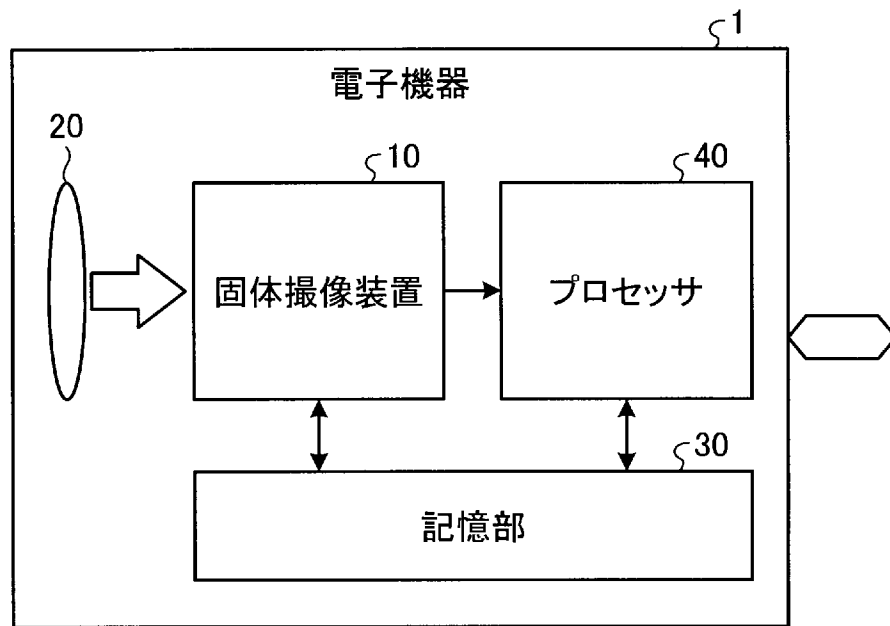
[図20]



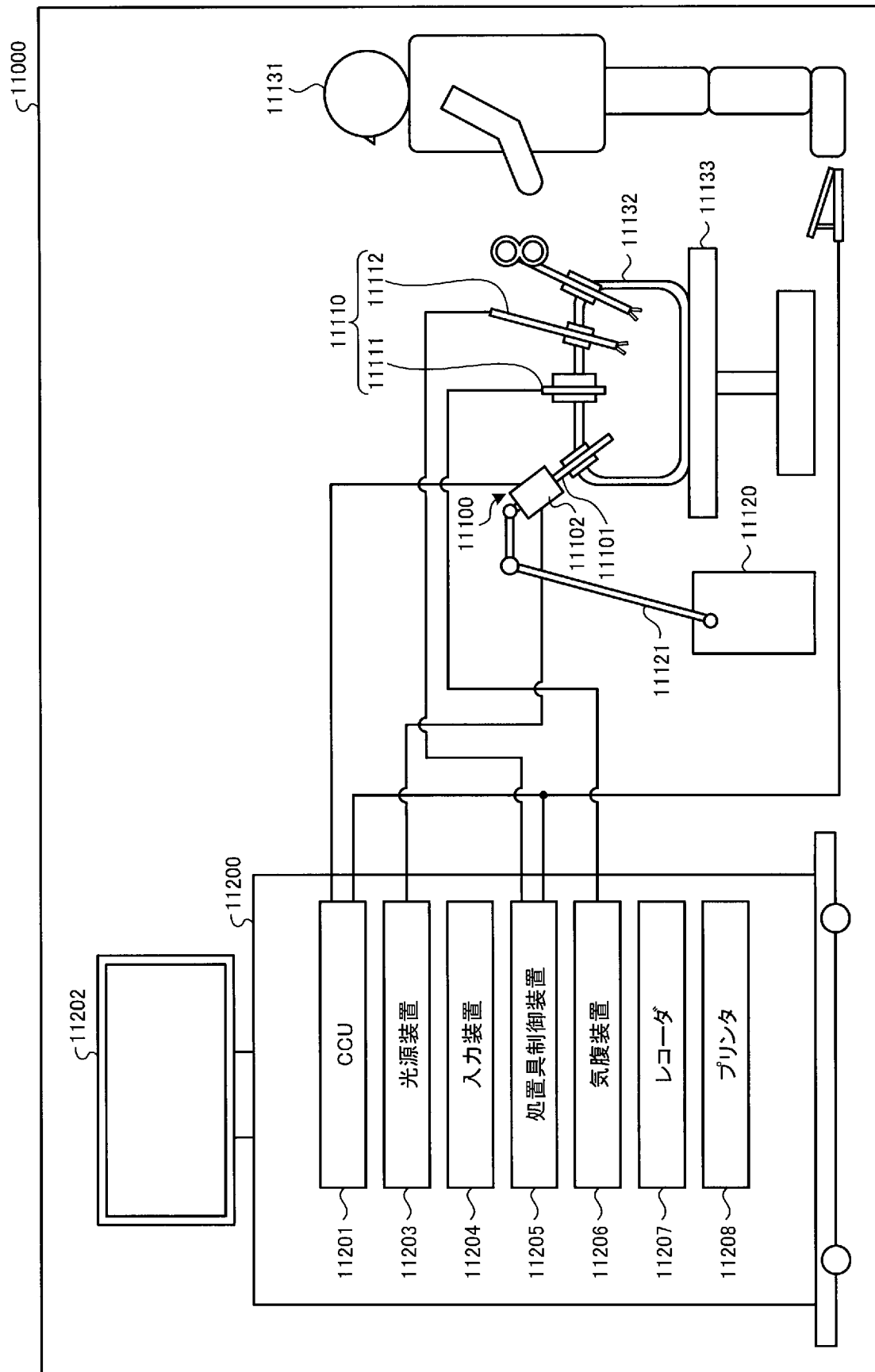
[図22]



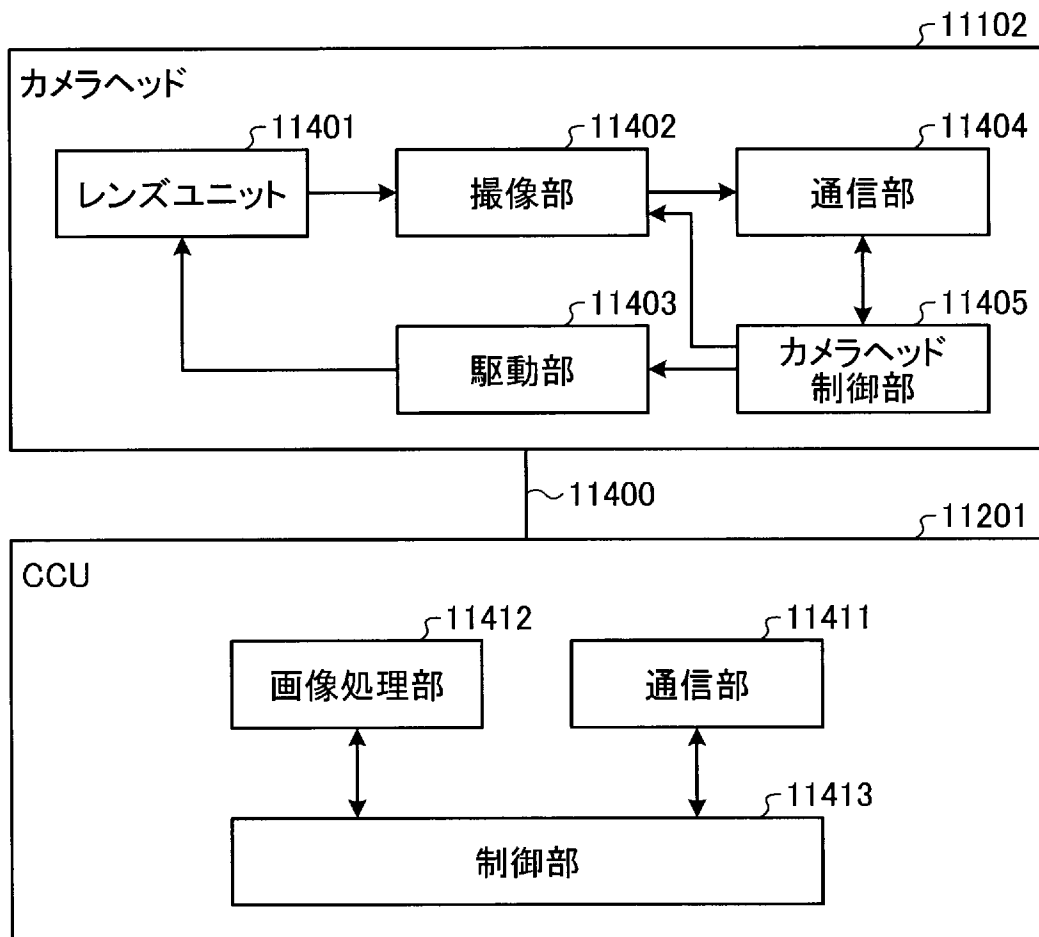
[図23]



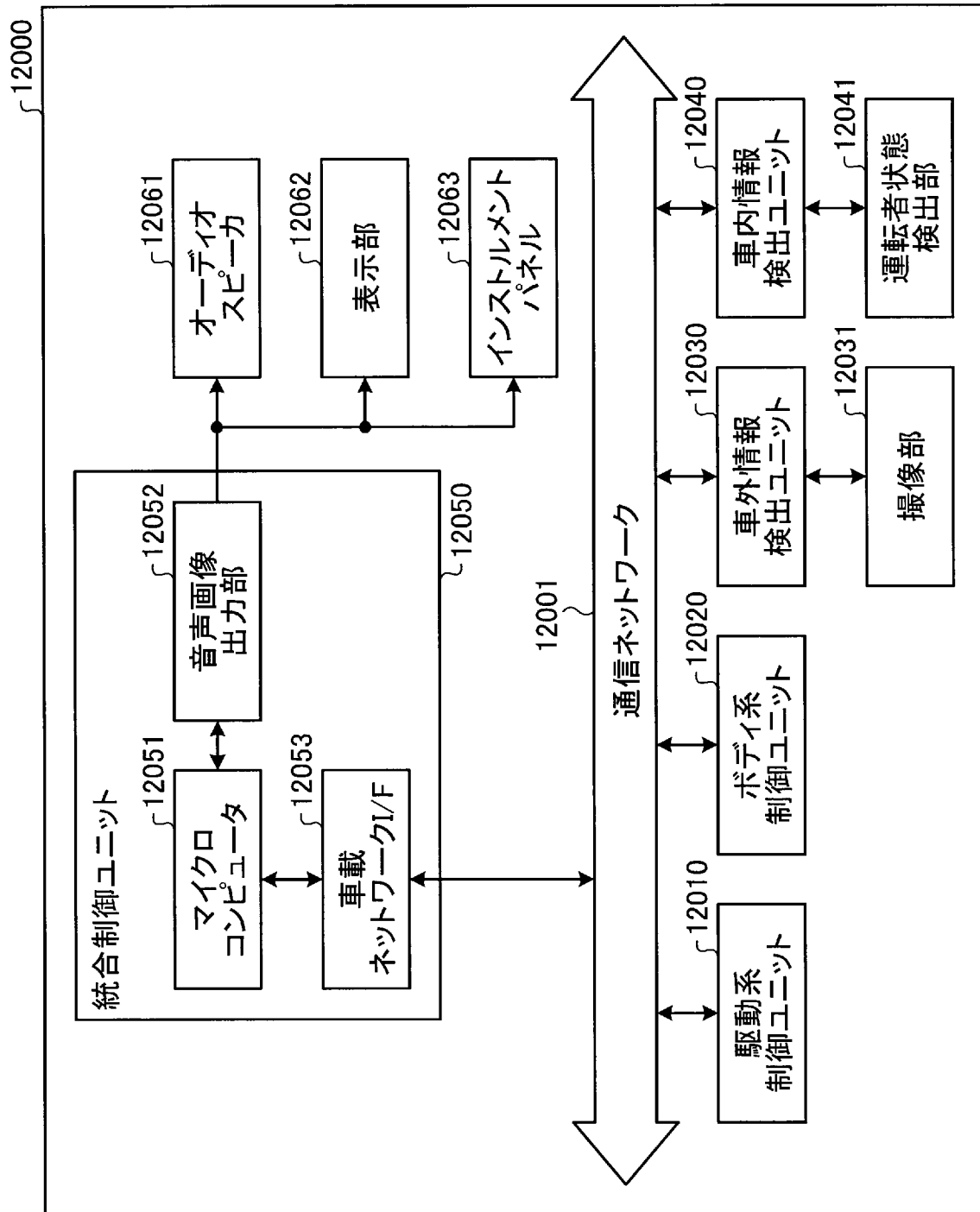
[図24]



[図25]



[図26]



12100

12101

12102

12103

12104

12111

12112

12113

12114

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/024263

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i
 FI: H01L21/90 J; H01L27/146 A; H04N5/369; H01L27/04 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768; H01L23/522; H01L21/822; H01L27/04; H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-130991 A (FUJITSU LTD.) 05.06.2008 (2008-06-05) paragraphs [0013]-[0149], fig. 1-16	1, 2, 4, 5, 11, 13, 15, 18
Y		8-10, 14, 16, 19
A		7, 12, 17
Y	JP 2019-80305 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23.05.2019 (2019-05-23) paragraphs [0062]-[0071], [0239], fig. 8	8-10, 16, 19
A		7, 12, 17
Y	JP 2015-56615 A (RENESAS ELECTRONICS CORP.) 23.03.2015 (2015-03-23) paragraph [0081], fig. 3	14
A		7, 12, 17
X	JP 11-87503 A (HITACHI, LTD.) 30.03.1999 (1999-03-30) paragraphs [0013]-[0036], fig. 1-9	1-6, 11, 13, 20
Y		8-10, 14, 16, 19
A		7, 12, 17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 August 2020 (31.08.2020)

Date of mailing of the international search report
15 September 2020 (15.09.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/024263

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-16918 A (NEC CORP.) 22.01.1999 (1999-01-22) entire text, all drawings	1-20
A	JP 2000-323572 A (SANYO ELECTRIC CO., LTD.) 24.11.2000 (2000-11-24) entire text, all drawings	1-20
A	JP 2019-4090 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 10.01.2019 (2019-01-10) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/024263

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2008-130991 A	05 Jun. 2008	US 2008/0122121 A1 paragraphs [0033]- [0168], fig. 1-16	
JP 2019-80305 A	23 May 2019	WO 2019/078110 A1 paragraphs [0062]- [0071], [0239], fig. 8	
JP 2015-56615 A	23 Mar. 2015	US 2015/0076566 A1 paragraph [0120], fig. 3 CN 104465684 A KR 10-2015-0031209 A (Family: none)	
JP 11-87503 A	30 Mar. 1999	US 6486559 B1	
JP 11-16918 A	22 Jan. 1999	entire text, all drawings KR 10-1999-0007283 A (Family: none)	
JP 2000-323572 A	24 Nov. 2000	WO 2018/235584 A1	
JP 2019-4090 A	10 Jan. 2019	entire text, all drawings CN 110785849 A KR 10-2020-0015473 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L21/90 J; H01L27/146 A; H04N5/369; H01L27/04 D		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/768; H01L23/522; H01L21/822; H01L27/04; H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2008-130991 A（富士通株式会社）05.06.2008（2008 - 06 - 05） 段落[0013]-[0149], 図1-16	1, 2, 4, 5, 11, 13, 15, 18 8-10, 14, 16, 19 7, 12, 17
Y A	JP 2019-80305 A（ソニーセミコンダクタソリューションズ株式会社）23.05.2019 （2019 - 05 - 23） 段落[0062]-[0071], [0239], 図8	8-10, 16, 19 7, 12, 17
Y A	JP 2015-56615 A（ルネサスエレクトロニクス株式会社）23.03.2015（2015 - 03 - 23） 段落[0081], 図3	14 7, 12, 17
X Y A	JP 11-87503 A（株式会社日立製作所）30.03.1999（1999 - 03 - 30） 段落[0013]-[0036], 図1-9	1-6, 11, 13, 20 8-10, 14, 16, 19 7, 12, 17
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 31.08.2020		国際調査報告の発送日 15.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 靖史 50 5895 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-16918 A (日本電気株式会社) 22.01.1999 (1999 - 01 - 22) 全文, 全図	1-20
A	JP 2000-323572 A (三洋電機株式会社) 24.11.2000 (2000 - 11 - 24) 全文, 全図	1-20
A	JP 2019-4090 A (ソニーセミコンダクタソリューションズ株式会社) 10.01.2019 (2019 - 01 - 10) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/024263

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-130991	A	05.06.2008	US 2008/0122121 A1 段落[0033]-[0168], 図1-16	
JP	2019-80305	A	23.05.2019	WO 2019/078110 A1 段落[0062]-[0071], [0239], 図8	
JP	2015-56615	A	23.03.2015	US 2015/0076566 A1 段落[0120], 図3 CN 104465684 A KR 10-2015-0031209 A	
JP	11-87503	A	30.03.1999	(ファミリーなし)	
JP	11-16918	A	22.01.1999	US 6486559 B1 全文, 全図 KR 10-1999-0007283 A	
JP	2000-323572	A	24.11.2000	(ファミリーなし)	
JP	2019-4090	A	10.01.2019	WO 2018/235584 A1 全文, 全図 CN 110785849 A KR 10-2020-0015473 A	