

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410102238.1

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/84 (2006.01)

H01L 21/00 (2006.01)

G02F 1/136 (2006.01)

G02F 1/00 (2006.01)

G09G 3/36 (2006.01)

[45] 授权公告日 2007 年 11 月 7 日

[11] 授权公告号 CN 100347822C

[22] 申请日 1997. 12. 9

[21] 申请号 200410102238.1

分案原申请号 97126116.4

[30] 优先权

[32] 1996. 12. 9 [33] JP [31] 344574/96

[32] 1997. 10. 3 [33] JP [31] 287715/97

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 立崎舜平 小山润 尾形靖

[56] 参考文献

CN1090426A 1994. 8. 3

JP7 - 335906A 1995. 12. 22

CN1134600A 1996. 10. 30

审查员 刘天飞

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 叶恺东

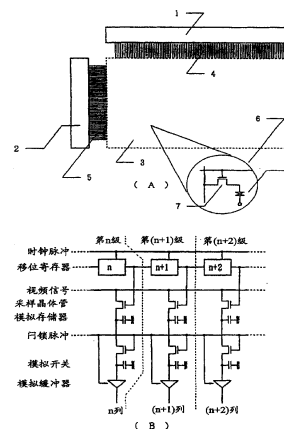
权利要求书 3 页 说明书 17 页 附图 10 页

[54] 发明名称

制造显示器件的方法

[57] 摘要

使用薄膜晶体管 (TFT) 获得具有高特性的激励电路一体型 (单片型) 的有源矩阵显示器件。通过在非晶质硅膜 203 中一边添加镍元素, 一边进行加热处理使其结晶化, 并且还在含有卤素元素的氧化性气氛中进行加热处理, 形成热氧化膜 209。此时, 可改善结晶性、对镍元素去气。用这样得到的硅结晶膜制作 TFT, 用此构成各种电路, 能够获得驱动点数为 5 万以上 300 万以下的有源矩阵电路的数据激励器电路。



1. 一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：

在基板上形成非晶质半导体膜；

给非晶质半导体膜供给催化元素；

将所述被供给以催化元素的非晶质半导体膜结晶化；

在所述已结晶的半导体膜的部分之上形成掩模；

利用所述掩模将磷和硼导入所述已结晶的半导体膜的一个选区内；并且，

对所述催化元素进行去气处理，使其去到所述选区；

在所述去气步骤之后删除所述选区，以将所述已结晶的半导体膜构图成至少一个半导体岛；

在所述去气处理之后将杂质导入所述半导体岛中，以在该半导体岛中形成源区和漏区；以及

激活所述源区和漏区。

2. 一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：

在基板上形成非晶质半导体膜；

给非晶质半导体膜供给催化元素；

将所述被供给以催化元素的非晶质半导体膜结晶化；

在所述已结晶的半导体膜的部分之上形成掩模；

利用所述掩模将磷和硼导入所述已结晶的半导体膜的一个选区内，其中硼的浓度比磷的浓度还要高；并且，

对所述催化元素进行去气处理，使其去到所述选区；

在所述去气步骤之后删除所述选区，以将所述已结晶的半导体膜构图成至少一个半导体岛；

在所述去气处理之后将杂质导入所述半导体岛中，以在该半导体岛中形成源区和漏区；以及

激活所述源区和漏区。

3. 一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：

在基板上形成非晶质半导体膜；

给非晶质半导体膜供给催化元素；

将所述被供给以催化元素的非晶质半导体膜结晶化；

在所述已结晶的半导体膜的部分之上形成掩模；

利用所述掩模将磷和硼导入所述已结晶的半导体膜的一个选区内；

对所述催化元素进行去气处理，使其去到所述选区；并且，在所述的去气步骤之后删除所述选区，以将所述已结晶的半导体膜构图为至少一个有源层。

4. 一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：

在基板上形成非晶质半导体膜；

给非晶质半导体膜供给催化元素；

将所述被供给以催化元素的非晶质半导体膜结晶化；

在所述已结晶的半导体膜的部分之上形成掩模；

利用所述掩模将磷和硼导入所述已结晶的半导体膜的一个选区内，其中硼的浓度比磷的浓度还要高；

对所述催化元素进行去气处理，使其去到所述选区；以及

在所述的去气步骤之后删除所述选区，以将所述已结晶的半导体膜构图为至少一个有源层。

5. 如权利要求 1 至 4 中任何一项权利要求所述的制造显示器件的方法，其特征在于，在以下的情况时， R/pq 为 50,000 至 3,000,000，该情况为：所述数据激励器电路中的移位寄存器电路的行数为 p 、由所述基板的外部向所述数据激励器电路输入的视频端子数为 q 、而所述有源矩阵电路中的像素电极数为 R 。

6. 如权利要求 5 所述的制造显示器件的方法，其特征在于， $p=q=1$ 。

7. 如权利要求 1 至 4 中任何一项权利要求所述的制造显示器件的方法，其特征在于，所述催化元素为从包括 Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au 的组别中选择的至少一种元素。

8. 如权利要求 1 至 4 中任何一项权利要求所述的制造显示器件的方法，其特征在于，所述掩模包括一种抗蚀掩模。

9. 如权利要求 3 和 4 中任何一项权利要求所述的制造显示器件的方法，其特征在于，所述构图步骤如此被进行，以便至少除去所述选区。

10. 如权利要求 1 至 4 中任何一项权利要求所述的制造显示器件的方法，其特征在于还包括在所述的已结晶的半导体膜上形成栅极绝缘膜的步骤，栅极绝缘膜是由氮化硅氧化物组成的。

11. 如权利要求 1 至 4 中任何一项权利要求所述的制造显示器件的方法，其特征在于还包括在所述已结晶的半导体膜上形成热氧化膜的步骤。

制造显示器件的方法

本申请属分案申请，其母案的申请号为 97126116.4；母案的在先申请号为 JP96-344574，其在先申请日则为 1996 年 12 月 9 日。

技术领域

在本说明书披露的发明涉及在用有结晶性的薄膜半导体构成的电子电路中的有源矩阵显示器件。

背景技术

在玻璃基板和石英基板上用成膜的非晶质或结晶性的半导体膜、例如硅膜制作薄膜晶体管（以下称 TFT）的技术获得之后，就尝试着将其用于有源矩阵显示电路。当然，简单的电路中可仅用 TFT 构成有源矩阵显示电路，用单晶硅集成电路构成驱动它的数据激励（源激励）、扫描激励（栅极激励）等电路。

但是，这种方法中需要连接有源矩阵显示电路和各激励电路间的多个端子的技术，这在提高集成度是不利的。对此，曾提出在有源矩阵显示电路中附加也由 TFT 构成的激励电路（特公平 5-9794、2-61032 等）。

这样，把激励电路与有源矩阵显示电路形成在同一基板上的有源矩阵显示器件称为单片型有源矩阵显示器件。如果是单片型，与基板外连接的必要的配线仅限于电源供给、图象信号和同步信号，这有利于集成化。

为了驱动激励电路，在使用硅膜的情况下，TFT 就限于有硅结晶膜（多晶硅）的有源层的硅膜，根据硅膜的处理温度，分为高温多晶硅 TFT 和低温多晶硅 TFT。

作为硅结晶膜的制作方法，高温多晶硅 TFT 采用 800℃和 900℃以上较高温度的加热处理技术。这种技术可以说是利用单晶硅晶片制作 IC 工序的派生技术。当然，作为制作高温多晶硅 TFT 的基板，采用能耐上述加热温度的石英基板。

另一方面，低温多晶硅 TFT 采用价格便宜的玻璃基板作为基板（耐热性当然劣于石英基板）。在构成低温多晶硅 TFT 的硅结晶膜制作中，采用能耐在 600℃以下加热的玻璃基板或对于玻璃基板完全没有热损伤的激光退火技术。

高温多晶硅 TFT 具有能够在基板上使 TFT 集成化特性一致的特征。另一方面,低温多晶硅 TFT 具有使用价格便宜容易大面积化的玻璃基板作为基板的特征。

再有,在现有技术中,高温多晶硅 TFT 和低温多晶硅 TFT 的特性大不相同。如果要指出明显的不同点的话,那么在生产合格品率或基板面内的特性均匀性上,高温多晶硅较好,在生产率或生产成本上,低温多晶硅较好。

在特性方面,两者均可获得迁移率为 $50\sim 100$ (cm^2/Vs) 左右、S 值为 $200\sim 400$ (mV/dec) ($V_D=1\text{V}$) 左右的特性。与以非晶质硅作材料的 TFT 进行比较,这种特性有进行约 2 位的高速动作的值,但与使用单晶硅晶片的 MOS 型晶体管的特性比较,就有很大的劣势。一般来说,使用单晶硅晶片的 MOS 型晶体管的 S 值在 $60\sim 70$ (mV/dec) 左右,其工作频率也为高于高温多晶硅 TFT 和低温多晶硅 TFT 约 1~2 位的频率。

在使用具有这种特性的高温 and 低温多晶硅 TFT 的数据激励电路中,由于信号处理能力上的限制,所以有必要在大规模矩阵上专门下工夫。例如,如果像素数(=有源矩阵显示电路的像素电极数)为不满 5 万的小规模矩阵,那么用图 1 所示的基本结构就足够了。

图 1 (A) 中,表示有源矩阵显示电路 3,驱动它的扫描激励器 2 和数据激励器 1。有源矩阵显示电路 3、扫描激励器 2 和数据激励器 1 之间用多个布线 5、4 连接,这样可在形成上述电路时同时形成,在制作上没有困难。在有源矩阵显示电路 3 中,设有多个像素 6,各像素有开关晶体管 7 和像素电极 8。最好使用多个开关晶体管(图 1 (A))。

图 1 (B) 表示数据激励器电路的详细部分。也就是说,对应由移位寄存器顺序发出的脉冲,由采样晶体管采样视频信号,把它保持在模拟存储器(电容)中,如果所有的行采样结束,那么利用锁存脉冲,一起驱动模拟开关(和模拟缓冲器),变为向有源矩阵传送的结构(图 1 (B))。

例如,如果像素数不足 5 万,为在 1 秒间处理 30 帧的图象信息,那么数据激励器的处理速度最好为 $5\text{万(像素)} \times 30\text{(帧/秒)} = 1.5\text{MHz}$ 。

这是用现有的高温或低温多晶硅 TFT 可处理的速度。但是,如果像素数变得更多,处理就跟不上。解决它的第 1 种方法是以移位寄存器设置多个系统的方法。例如,2 序列、并行设置移位寄存器,传送各自相位相差半周期的脉冲。

第 2 种方法是将视频信号设置成多个系统的方法。例如, 将视频信号设置成 4 个系统, 通过用 1 个移位寄存器对它进行采样, 就能够使工作速度变为 $1/4$ 。用图 9 说明其实例。如果产生来自第 n 断的移位寄存器的脉冲, 就用与视频信号 1~4 的各信号线连接的 4 个采样晶体管进行采样。

其后的动作与图 1 的情况相同。这样, 由于能够驱动移位寄存器 1 级中的 4 列数据线, 所以如果数据线为 $4N$, 那么移位寄存器最好为 N 级, 因此, 与图 1 的情况相比, 工作速度就为 $1/4$ 。

在采用的这种方式中, 必须把视频信号按 $1/4$ 分频。其电路如图 10 所示, 作为 4 级的移位寄存器①~④, 在各自的输出中设有与数据激励器电路同样的采样晶体管和模拟存储器 (图 10)。

用来自各段移位寄存器的采样晶体管中的脉冲产生的定时依次对视频信号进行采样, 把它存储在模拟存储器中。而且, 用使第 4 个采样晶体管工作一次的定时使所有 4 个模拟开关工作, 输出视频信号 1~4。

当然, $1/4$ 分频电路的动作是高速的, 由于未把该电路设置在与有源矩阵电路相同的基板上, 所以如图 11 所示, 在基板外用单晶半导体形成它。而且, 在有源矩阵显示器件中, 必须连接 4 个视频信号和同步信号 (时钟信号线) 等。(图 11)

组合以上说明的第 1 种方法和第 2 种方法, 会使工作速度降低, 一般来说最好不采用。例如, 在 VGA 规格的显示装置中, 存在 $640 \text{ 行} \times 480 \text{ 行} \times 3 \text{ 基色} = 921600$ 个像素, 用 30 帧/秒驱动它时就需要 28MHz 的高速动作, 但公知的高温或低温多晶硅 TFT 是不可能的。

可是, 例如, 如图 12 所示, 把画面进行上下 2 分割, 在上下各自的数据激励器中输入 4 分割的视频信号, 利用在各数据激励器中设置 2 序列的移位寄存器, 就能够使工作速度达到 1.7MHz 的 $1/16$ 。但是, 把视频信号进行 $1/4$ 分频的电路和用于向移位寄存器输入脉冲的电路需要 28 MHz 的工作特性, 由于其不能用 TFT 实现, 所以要另外附加。因此, 至少需要 8 条视频信号线和对各移位寄存器提供脉冲的 2 条同步信号线。(图 12)

由于这种附加, 分割定时的微小错位等原因, 在画面上会出现所谓的条形花纹的问题。

此外，作为今后的技术，考虑到在同一基板上集成化除激励电路以外的振荡电路或者 D/A 转换器及 A/D 转换器、还有进行各种图象处理的电路（例如，特开平 7-135323），必须使上述振荡电路和 D/A 转换器及 A/D 转换器、还有进行各种图象处理的电路用比振荡电路更高的频率工作，实际上不可能用现有技术得到的高温多晶硅 TFT 和低温多晶硅 TFT 构成这些电路。

发明内容

本说明书披露的发明的目的是提供满足上述那样的高速动作（一般来说为数十 MHz 以上的动作速度）要求的电路，得到采用薄膜晶体管的单片型有源矩阵显示器件。

在使用有绝缘表面的基板上形成 TFT 的单片型有源矩阵显示器件中，本说明书披露的发明具有以下两点特征。

作为有绝缘表面的基板，能够列举出玻璃基板（但对处理温度有耐热性要求）、石英基板、表面上形成绝缘膜的半导体基板的实例。

当构成数据激励器电路的移位寄存器电路为 p 序列，由基板的外部向所述数据激励器电路输入的视频端子数为 q，在由所述数据激励器电路驱动的像素电极数为 R 时，第 1 结构是 R/pq 为 5 万以上 300 万以下。

构成所述数据激励器电路的薄膜晶体管的有源层存在促进结晶化的催化元素材料，第 2 结构是通过加热处理的结晶化的半导体膜。

作为助长半导体结晶化的催化元素，在再现性和效果上用镍较好。此外，作为催化元素，还可以从 Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au 中选择一种或多种使用。

作为导入金属元素的方法，可列举出涂敷含有该金属元素的溶液的方法，使用 CVD 法的方法，使用喷镀法或蒸镀的方法，利用包含该金属的电极进行等离子体处理的方法，和利用气体吸附法的方法。这些方法，例如，披露于特开平 6-244104（喷镀法）、特开平 7-130652（溶液涂敷法）、特开平 7-335548（CVD 法）。

此外，在导入催化元素时，最好在半导体膜的整个面导入，也可以有选择地导入。如果采用后一种方法，能够控制结晶生长的方向，为进行选择导入，必须进行形成掩模的工序。

再有，用于结晶化的加热处理温度可以为 450℃ 到 750℃，最好为 550℃ 到 650℃。并且，结晶化的气氛为不含氧的氮气等惰性气体气氛。

再有,构成本发明有源层的结晶性半导体膜的特征在于,附加了上述两个结构,在利用第1加热处理结晶化工序后,为减少结晶性半导体膜中的催化元素,进行第2加热处理,使结晶性半导体膜中的催化元素去气的工序。

去气处理的一个方法是在含有卤素元素的气氛中进行加热处理,在卤素元素的作用下使结晶性半导体膜中的催化元素去气的方法。其它方法是在结晶性的半导体膜中有选择地添加15族或15族和13族的杂质,通过进行加热处理,使添加杂质的区域中的催化元素去气的方法。

在采用用卤素元素进行去气的工序的情况下,最好在超过700℃的温度下进行上述加热处理。在该温度以下时,处理气氛中的卤素化合物的分解变得困难,就不能获得去气效果。为此,最好使加热处理温度为800~1000℃(典型的温度为950℃),处理时间为0.1~6hr,有典型的时间为0.5~1hr。

典型的工序是在氧气气氛中含氯化氢(HCl)浓度为0.5~10体积%(本实施例中为3体积%)的气氛中,进行950℃、30分钟的加热处理的工序。如果使HCl浓度在上述浓度之上,那么就可能在结晶性半导体膜表面产生不好的膜厚的凹凸。再有,在该气氛中同时导入氢气,也能有效地利用湿式氧化。

作为在该气氛中添加卤素元素的气体,除HCl外,还可以从包含HF、 NF_3 、HBr、 Cl_2 、 ClF_3 、 BCl_3 、 F_2 、 Br_2 等卤素元素的化合物气体和卤素气体中选择一种或多种气体使用。

作为催化元素在使用镍元素的情况下,最终在半导体膜中残留的镍浓度变为 1×10^{14} 原子/ cm^3 ~ 5×10^{18} 原子/ cm^3 左右。可采用SIMS(2次离子分析方法)计测该浓度。

此外,通过使去气气氛成为氧和水蒸气等的氧化性气氛,可促进去气的效果。利用氧化性气氛,在结晶性半导体膜表面形成热氧化膜,使催化元素凝缩在该热氧化膜中。如果使热氧化膜的去气条件缩短,那么该浓度的上限能够降至 5×10^{17} 原子/ cm^3 左右。如果该热氧化膜的厚度比半导体膜厚,就能够获得良好特性的TFT。在该热氧化膜中,由于使硅膜中的催化元素凝缩,所以也可在去气工序后除去该膜。

此外,为提高半导体元件的特性,一旦除去热氧化膜后,就再次以第2加热处理的相同条件进行热处理,也可在半导体表面形成热氧化膜。不用说,此时得到的热氧化膜的厚度也最好变得比半导体膜厚。

此外, 利用在卤素气氛中的加热处理, 为使用于催化的金属元素作为卤素化合物在气氛中气化, 在得到的结晶性半导体膜的厚度方向的镍元素浓度分布上产生梯度。一般来说, 可观察到结晶性半导体膜中的该金属元素的浓度在朝向形成热氧化膜的界面上该金属元素浓度有升高的倾向。此外, 根据条件, 朝向基板或衬底膜, 即朝向里面侧的界面, 也可观察到该金属元素浓度有升高的倾向。

此外, 卤素元素也可以具有与上述金属元素同样的浓度分布。也就是说, 具有朝向结晶性半导体膜的表面和/或里面的含有浓度变为较高的浓度分布。

再有, 作为去气方法, 在使用 15 族或 15 族和 13 族的杂质的情况下, 最好使用 15 族杂质元素中的磷。作为 13 族的杂质, 最好使用硼, 其次为铟。

这种情况的加热温度为 $400\sim 1050^{\circ}\text{C}$, 最好为 $600\sim 650^{\circ}\text{C}$ 。利用这种加热处理, 使添加 15 族或 15 族和 13 族杂质的区域中的催化元素去气, 其它区域中的催化元素浓度降至 5×10^{18} 原子/ cm^3 以下。

经过上述两次去气处理, 结晶性半导体膜中的镍浓度的下限一般变为 1×10^{16} 原子/ cm^3 左右。考虑到成本的情况下, 排除在基板和器件中附着的镍元素的影响通常很困难, 所以允许残留这种程度的镍元素。也就是说, 在依据一般的制作工序的情况下, 残留的镍元素的浓度为 1×10^{16} 原子/ $\text{cm}^3\sim 5\times 10^{17}$ 原子/ cm^3 左右。但是, 通过使器件清洗的程度和制作工序最佳化, 还可以降低其残留浓度。

此外, 构成本发明的数据激励器电路的薄膜晶体管的栅极绝缘膜有热氧化有源层的热氧化膜的特征。该热氧化膜的形成温度极其重要。在后述的元件单体中, 如果要使进行数十 MHz 以上的工作成为可能, 获得 S 值在 100 (mV/dec) 以下的 TFT, 那么就要使热氧化膜形成时的加热温度在 800°C 以上较好, 在 900°C 以上更好。另一方面, 加热温度的上限以石英基板的耐热温度的上限 1100°C 左右较为合适。

本说明书披露的发明中的结晶性半导体膜的最终膜厚为 $100\text{\AA}\sim 750\text{\AA}$, 为 $150\text{\AA}\sim 450\text{\AA}$ 更好。利用这样的膜厚, 使图 6~图 8 所示的结晶结构能够获得更显著的良好再现性。

这种最终的结晶性半导体膜的膜厚必须考虑成膜的热氧化膜来决定减少膜厚。

通过采用上述工序，能够得到本说明书披露的结晶性半导体膜，而且能够得到利用其结晶结构的独特性的 TFT。再有，这样得到的 TFT 能够满足上述本发明的第 1 条件。其中，在本发明的显示装置中，不用说，如图 11 和图 12 所示，可进行视频信号的分割（分频）和移位寄存器的多系统化，但如图 1 所示那样，如果从更单纯结构的有源矩阵显示器件的方向考虑，本发明是期望第 1 条件中 $p=q=1$ 。

根据本发明的一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：在基板上形成非晶质半导体膜；给非晶质半导体膜供给催化元素；将所述被供给以催化元素的非晶质半导体膜结晶化；在所述已结晶的半导体膜的部分之上形成掩模；将磷和硼导入所述已结晶的半导体膜的一个选区内；并且，对所述催化元素进行去气处理，使其去到所述选区。

根据本发明的另一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：在基板上形成非晶质半导体膜；给非晶质半导体膜供给催化元素；将所述被供给以催化元素的非晶质半导体膜结晶化；在所述已结晶的半导体膜的部分之上形成掩模；将磷和硼导入所述已结晶的半导体膜的一个选区内，其中硼的浓度比磷的浓度还要高；并且，对所述催化元素进行去气处理，使其去到所述选区。

根据本发明的另一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：在基板上形成非晶质半导体膜；给非晶质半导体膜供给催化元素；将所述被供给以催化元素的非晶质半导体膜结晶化；在所述已结晶的半导体膜的部分之上形成掩模；将磷和硼导入所述已结晶的半导体膜的一个选区内；对所述催化元素进行去气处理，使其去到所述选区；并且，在所述的去气步骤之后，把所述已结晶的半导体膜构图为至少一个有源层。

根据本发明的另一种制造显示器件的方法，该显示器件包括有源矩阵电路和数据激励器电路，其特征在于，所述方法包括以下步骤：在基板上形成非晶质半导体膜；给非晶质半导体膜供给催化元素；将所述被供给以催化元素的非晶质半导体膜结晶化；在所述已结晶的半导体膜的部分之上形成掩模；将磷和

硼导入所述已结晶的半导体膜的一个选区内，其中硼的浓度比磷的浓度还要高；并且，对所述催化元素进行去气处理，使其去到所述选区；在所述的去气步骤之后，把所述已结晶的半导体膜构图为至少一个有源层。

附图说明

图 1 是表示本发明的有源矩阵器件的原理图。

图 2 是表示实施例 1 的薄膜晶体管的制作工序图。

图 3 是表示实施例 1 的薄膜晶体管的制作工序图。

图 4 是表示实施例 2 的薄膜晶体管的制作工序图。

图 5 是表示实施例 2 的薄膜晶体管的制作工序图。

图 6 是表示实施例 3 的薄膜晶体管的制作工序图。

图 7 是表示实施例 2 的结晶生长状态的图。

图 8 是表示实施例 4 的薄膜晶体管的制作工序图。

图 9 是表示用现有技术的视频信号分割法构成的驱动器电路的原理图。

图 10 是表示现有技术的视频信号分割（分频）电路的概要图。

图 11 是表示现有技术的有源矩阵器件的原理图。

图 12 是表示现有技术的有源矩阵器件的原理图。

具体实施方式

本实施例涉及在有绝缘表面的基板上形成像素电极的有源矩阵电路，和带有用于驱动所述有源矩阵电路的数据激励器电路的单片型有源矩阵电路。

在下面的实施例中，由于有源矩阵显示器件的电路结构和配置与典型的现有技术（例如，图 1 所示）没有很大差别，所以主要说明硅结晶膜和 TFT 的制作工序。

具体地说，当构成实施例中的数据激励器电路的移位寄存器电路为 p 序列，由基板外部对数据激励器电路输入的视频端子数为 q ，在有源矩阵电路中由数据激励器电路驱动的像素电极数为 R 时，说明适合在 R/pq 为 5 万以上 300 万以下、在用于多像素的有源矩阵电路的数据激励器电路中配置的 TFT 的制作工序。

（实施例 1） 本实施例中，说明在非晶质硅膜的整个表面上非选择地导入助长硅结晶的金属元素的方法，说明使用该硅结晶膜制作 TFT 的工序。

图2表示本实施例的制作工序。首先,在石英基板201上成膜厚度为3000Å的作为底膜202的氧化硅膜。如果石英基板的表面平滑性良好,并充分清洗,就不必需要该底膜202。

再有,作为基板,虽最好选择使用石英基板,但如果有能耐加热处理温度的基板,也不就限于石英。例如,还可采用在其表面成膜氧化膜的半导体基板。接着,用减压热CVD法,按500Å的厚度成膜作为硅结晶膜起始膜的非晶质膜203。

而且,涂敷按重量换算的含有10ppm的镍元素的醋酸镍溶液。再有,使用图中未示的旋转器进行旋转干燥,除去多余的溶液。详细的条件采用特开平7-130652中披露的条件。因此,得到以图2(A)虚线204所示状态的镍元素存在状态。作为导入镍的方法,采用上述溶液方法,在导入量的控制和再现性上较好。但是,并不限于上述方法,可利用CVD法、喷镀法、蒸镀法、等离子体处理、气体吸附法等,也可以导入除镍外的其它有助于硅结晶化的催化元素。

接着,在含有3%的氢但不包含氧的氮气气氛中,进行600℃8小时的加热处理(第1加热处理)。用该加热处理促进结晶化,得到图2(B)所示的硅结晶膜205。用于该结晶生长的加热处理可以在450℃~750℃下进行。但是,即使将温度提高到上述温度以上,也不会很大地提高结晶性,甚至可能劣化。

在由第1加热处理结晶化后,最好进行激光照射。也就是说,用激光照射,可进一步助于结晶化。该激光照射使膜中存在的镍元素的块分散,有使后面除去镍元素变得容易的效果。作为激光,能够采用具有紫外区域波长的受激准分子激光器。例如,能够使用KrF受激准分子激光器(波长248nm)和XeCl受激准分子激光器(波长308nm)。

如果用于结晶化的加热处理结束,接着便在含有3体积%的HCl的氧气气氛中,进行950℃的加热处理(第2加热处理)。在该工序中,在硅结晶膜205的表面成膜厚度为200Å的热氧化膜209。随着该热氧化膜的形成,硅结晶膜208的膜厚减少100Å左右。也就是说,硅膜208的膜厚变为400Å。(图2(C))

在该工序中,随着热氧化膜209的形成,在热氧化膜209的形成中利用在硅膜208中的有不稳定结合状态的硅元素。而且,使硅膜208中的缺陷减少,能够获得更高的结晶度。此外,同时还利用膜中热氧化膜的形成和氯的作用,进行镍元素的去气。

当然，在用该工序成膜的热氧化膜 209 中，使较高浓度的镍进入。与此相对地，使硅膜 208 中的镍元素浓度减少。形成热氧化膜 209 后，就除去该热氧化膜 209。这样，得到减少镍元素含有浓度的硅结晶膜 208。(图 2 (D))

如果完成了除去热氧化膜 209，得到如图 2 (D) 所示的硅结晶膜 208，接着通过进行硅膜的腐蚀，形成岛状区域 302。该岛状区域 302 作为后面 TFT 的有源层。而且，如图 3 (A) 所示，在作为 302 的图形形成后，利用等离子体 CVD 法，成膜厚度为 1000Å 的氧化硅膜 304。该氧化硅膜 304 具有作为后面的栅极绝缘膜的功能。

成膜氧化硅膜 304 后，在含有 3% 的 HCl 的氧气气氛中，通过进行 950℃ 的加热处理（第 3 加热处理），成膜厚度为 300Å 的热氧化膜 303。如图 3 (A) 所示，该热氧化膜在有源层 302 与 CVD 氧化膜 304 之间形成。通过形成热氧化膜 303，使作为有源层图形 302 的膜厚变为 250Å。

如果为得到具有更高性能的 TFT，那么最好使热氧化膜 303 的膜厚厚于构成有源层的硅结晶膜的膜厚。一般地说，成为重要的条件是使热氧化膜 209 和热氧化膜 303 的合计膜厚厚于最终得到的有源层的膜厚。热氧化膜 303 构成栅极绝缘膜的一部分。这样，得到图 3 (A) 所示的状态。

接着，用喷镀法成膜厚度为 4000Å、用于形成栅电极的铝膜。在该铝膜中，含有 0.2 重量%的钪。在铝膜中含有钪的原因是由于在后面的工序中将其用于抑制小丘（ヒロツク）和晶须发生。所谓的小丘（ヒロツク）和晶须是加热时因铝的异常生长引起的针状或刺状的突起部。

成膜铝膜后，形成图中未示的细密的阳极氧化膜。该阳极氧化膜以包含 3% 的酒石酸的乙二醇溶液为电解溶液，以铝膜为阳极，以白金为阴极。在该工序中，按 100Å 的厚度成膜在铝膜上带有细密膜质的阳极氧化膜。图中未示的阳极氧化膜具有提高后面形成的光刻胶掩模的粘接性的作用。能够利用阳极氧化时的外加电压控制该阳极氧化膜的膜厚。

接着，形成光刻胶掩模 306。而且，利用该光刻胶掩模，用 305 所示的图形构图铝膜。这样，得到图 3 (B) 所示的状态。

其中，再次进行阳极氧化。这里，使用 3% 的重氧水溶液作为电解液。在该电解液中，以铝的图形 305 作阳极进行阳极氧化，形成用 308 表示的多孔质状的阳极氧化膜。在该工序中，利用在上部存在粘接性高的光刻胶掩模 306，在

铝图形的侧面有选择地形成阳极氧化膜 308。该阳极氧化膜，其膜厚能够生长至数 μm 。这里，该膜厚为 6000Å。再有，能够利用阳极氧化时间控制其生长距离。

然后，除去光刻胶掩模 306。接着，再次进行细密的阳极氧化膜的形成。也就是说，以含有前述 3% 的酒石酸的乙二醇溶液为电解液，再次进行阳极氧化。在该工序中，由于在多孔质状的阳极氧化膜 308 中进入电解溶液的关系，所以形成具有用 309 所示的细密膜质的阳极氧化膜。该细密的阳极氧化膜 309 的膜厚为 1000Å。利用外加电压可进行该膜厚的控制。

接着，经腐蚀除去露出的氧化硅膜 304。此外，同时腐蚀热氧化膜 303。该腐蚀以上述工序中得到的阳极氧化膜为掩模，利用干式腐蚀进行。其中，用 310 表示的膜是残留的用 CVD 法成膜的氧化硅膜。在该残留的氧化硅膜下，同样形状的热氧化膜处于残留状态。这样，得到图 3 (C) 所示的结构。再有，在特开平 7-169974 中披露了使用上述阳极氧化法形成复杂形状的栅极电极的技术。

然后，使用混合醋酸、硝酸和磷酸的混合酸除去多孔质状的阳极氧化膜 308。接着，注入杂质离子。其中，为制作 N 沟道型的薄膜晶体管，也可用等离子体掺杂法进行 P（磷）离子的注入。

在该工序中，形成进行重吸收的 311 和 315 区域及进行轻吸收的 312 和 314 区域。这是由于残存的氧化硅膜 310 具有半透过掩模的功能，使注入离子的一部分被其遮蔽的缘故。在特开平 7-169974 中也披露了该工艺方法。此外，掺杂最好分为低能量高剂量掺杂工序和高能量低剂量掺杂工序两个阶段进行。即使在这种情况下，也能利用氧化硅膜进行有选择深度的掺杂，结果，可得到两种区域。

然后，通过进行激光（或用强烈的灯光）照射，激活杂质离子的注入区域。之后，自耦合地形成源区 311、沟道形成区 313、漏区 315、低浓度杂质区 312 和 314。其中，把用 314 表示的区域称为 LDD 区（轻吸收漏区）。(图 3 (D))

再有，在细密的阳极氧化膜 309 的膜厚为 2000Å 以上的较厚情况下，用该膜厚在沟道形成区 313 的外侧也能够形成偏置栅极区。在本实施例中，也形成有偏置栅极区，但由于其尺寸较小，其存在的作用较小，而且由于会使图面混乱，所以图中未标出。

再有，在形成 2000Å 以上较厚的具有细密膜质的阳极氧化膜中，由于必须施加 200V 以上的外加电压，所以必须注意再现性和安全性。

如果得到图 3 (D) 所示的状态，就用等离子体 CVD 法成膜作为层间绝缘膜的氮化硅膜 300，并利用旋转涂敷法成膜聚酰胺树脂膜 316。然后，形成接触孔，形成源电极 317 和漏电极 318。这样完成图 3 (E) 所示的 TFT。

本实施例所示的 TFT 能够获得现有技术所不能获得的极好的特性。例如，在 NTFT (N 沟道型的 TFT) 中，能够获得迁移率为 200~300 (cm^2/Vs)、S 值为 75~90 (mV/dec) ($V_D=1\text{V}$) 的高性能。在 PTFT (P 沟道型的 TFT) 中，能够获得迁移率为 120~180 (cm^2/Vs)、S 值为 75~100 (mV/dec) ($V_D=1\text{V}$) 的高性能。特别是，与现有技术的高温多晶硅 TFT 和低温多晶硅 TFT 的值进行比较，S 值为其 1/2 以下的十分良好的值。利用这样的 TFT，在石英基板上能够形成 OP 放大器、存储器电路、各种延迟电路和幅度放大器。

(实施例 2) 本实施例中，涉及通过对非晶质硅膜有选择地导入有助于硅结晶的催化元素，在称为横生长的基板上进行向平行方向的结晶生长的方法。图 4 表示本实施例的制作工序。

首先，在石英基板 401 上形成厚度为 3000Å 的氧化硅膜作为底膜 402。接着，利用热减压 CVD 法成膜厚度为 500Å 的非晶质硅膜 403 作为硅结晶膜起始膜。

接着，成膜厚度为 1500Å 的氧化硅膜，通过对其进行腐蚀，形成用 404 表示的掩模。该掩模在用 405 表示的区域形成开口。在形成该开口 405 的区域，露出非晶质硅膜 403。

开口 405 为在图面的深度方向和靠前方向有纵轴方向的细长长方形。该开口 405 的宽度在 40 μm 以上较合适。此外，在其纵轴方向最好按必要的长度形成在纵向方向的长度。

而且，涂敷按重量换算的包含 10ppm 镍元素的醋酸镍溶液。而且，与实施例 1 同样，用旋转器进行旋转干燥，除去多余的溶液。用上述溶液中含有的镍元素浓度，能够控制导入量的镍元素。这样，可得到用图 4 (A) 的虚线 406 表示的镍元素的存在状态。

这种状态中，镍元素在开口 405 的底部，在非晶质硅膜的一部分，得到有选择地连接保持状态。

接着,在含有 3%氢气但不含氧的氮气气氛中(此外,在氮气气氛中),进行 600℃、8 小时的加热处理。之后,在如图 4 (B) 所示的基板 401 中,进行向平行方向的结晶生长。图 7 表示从上面观察该结晶生长状态的模式图。

该结晶生长是把镍元素从导入口 405 的区域向周围推进。把在该基板中沿平行方向的结晶生长称为横生长或侧生长。

与现有技术的低温多晶硅和高温多晶硅比较,由这种结晶生长得到的横生长的硅结晶膜的表面具有非常好的平滑性。可以认为,这是由于结晶粒界面的延伸方向基本一致的原因所致。

一般的多晶硅或称为多晶硅的硅膜,其表面的凹凸在 100Å 以上。可是,在进行本实施例所示的横生长的情况下,可观察到其表面的凹凸在±30Å 以下。凹凸使栅极绝缘膜间的界面特性恶化,所以最好使其最小。

在用于上述结晶化的加热处理条件中,能够使该横生长达到 100 μm 以上。这样,得到有横生长区域的硅膜 408。

与实施例 1 一样,用于这种结晶生长的加热处理可在 450℃~750℃下进行。如果为确保某些程度的横生长距离,最好使加热处理的温度在 600℃以上。可是,通过把温度提高到这个温度以上,结晶生长距离和结晶性的提高不会变化很大,相反地,因无秩序的结晶化,可观察到结晶化的降低。因此,考虑到经济性和工艺的简易化的情况,用 600℃~650℃左右的加热处理就足够了。

接着,除去用于有选择地导入镍元素的作为氧化硅膜的掩模 404。在这种状态下,镍元素在膜中不均。具体地说,在形成开口 405 的区域和用 405 表示的结晶生长的前端部分,镍元素以比较高的浓度存在。

因此,在有源层的形成中,避开这些区域是很重要的。也就是说,使有源层中上述镍元素的不均区域不存在是很重要的。而且,在结晶化后,不进行激光照射,也有助于结晶化。这种激光照射使膜中存在的镍元素块分散,虽具有使后面除去镍元素容易的效果,但不能促进横生长。

接着,在含有 3 体积% HCl 的氧气气氛中,进行 950℃的加热处理,按 200Å 的厚度成膜热氧化膜 409。随着该热氧化膜的形成,硅膜 408 的膜厚就减少 100Å 左右。也就是说,硅膜的膜厚变为 400Å。(图 4 (C))

一般来说,在硅膜表面形成的热氧化膜表面鼓起的厚度和内部进行氧化的距离大致相同。因此,例如,如果在 100Å 的硅膜表面形成 100Å 的热氧化膜,

那么硅膜的厚度自然减少 50Å，变为所谓的 50Å 厚的硅膜和在其表面形成 100Å 厚的热氧化膜结构。

在上述工序中，随着热氧化膜的形成，膜中不稳定结合状态的硅元素在形成热氧化膜中被利用。而且，可减少膜中的缺陷，能够获得更高的结晶性。此外，同时利用热氧化膜的形成和氯的作用，从硅膜 408 中使镍元素去气。当然，在热氧化膜 409 中，以比较高浓度的镍元素进入。而且，相对地，硅膜 408 中的镍元素减少。(图 4 (C))

形成热氧化膜 409 后，除去该热氧化膜 409。这样，得到使镍元素含有浓度减少的硅结晶膜 408。这样得到的硅结晶膜 408 具有使图 7 所示的单方向的结晶结构延伸的结构(该方向与结晶生长方向一致)。也就是说，通过使细长的圆柱状的结晶体多数在单方向上延伸结晶粒界面，具有多个平行并排的结构。

接着，腐蚀硅膜，形成作为横生长区域的图形 410。该岛状的区域 410 作为后面的 TFT 的有源层。其中，使源区与漏区的连接方向与结晶生长方向一致或为大略一致地进行图形的位置选取。由此，能够使载流子的移动方向与连接结晶晶格的延伸方向一致，其结果，能够得到具有高特性的 TFT。

而且，在使 410 的图形形成后，按 500Å 的厚度成膜热氧化膜 411。在含有 3%HCl 的氧气气氛中，进行 950℃ 的加热处理得到热氧化膜 411。通过成膜热氧化膜 411，图形(作为有源层图形) 410 的膜厚变为 250Å。

在本工序中也能够获得与成膜热氧化膜 409 的情况相同的效果。再有，热氧化膜 411 变为 TFT 栅极绝缘膜的一部分。

在本实施例中，作为最终得到的硅结晶膜 408 的有源层 410 的膜厚(250Å)比第 2 热氧化膜 411 的膜厚(500Å)薄。由此，随着热氧化膜的形成，能够得到图 6 和图 7 所示的不同结晶结构的效果。

之后，按 1000Å 的厚度用等离子体 CVD 法成膜与热氧化膜 411 一起构成栅极绝缘膜的氧化硅膜 504 (图 5 (A))。

接着，用喷镀法按 4000Å 的厚度成膜用于形成栅极电极的铝膜。在该铝膜中，含有 0.2 重量%的钪。成膜铝膜后，按 100Å 的厚度成膜图中未示的细密的阳极氧化膜。

接着,形成光刻胶掩模 506。而且,利用该光刻胶掩模,用 505 所示的图形构图铝膜。这样,得到图 5 (B) 所示状态。

之后,再次进行阳极氧化。与实施例 1 一样,得到多孔质阳极氧化膜 508 和细密的阳极氧化膜 509。细密的阳极氧化膜 509 的膜厚为 1000Å。而且,经掩模阳极氧化膜,腐蚀露出的氧化硅膜 504 和热氧化膜 411,得到新的栅极绝缘膜 510。(图 5 (C))

随后,除去多孔质状的阳极氧化膜 508。而且,用与实施例 1 同样的方法,进行杂质离子的注入和有源化。其中,还用等离子体掺杂法进行用于 N 沟道型薄膜晶体管制作的 P (磷) 离子注入。这样,自耦合形成源区 511、沟道形成区 513、漏区 515、低浓度杂质区 512 和 514。(图 5 (D))

接着,形成作为层间绝缘膜 516 的氧化硅膜、或氮化硅膜、或其层积膜。作为层间绝缘膜,在氧化硅膜或氮化硅膜上最好使用树脂材料构成的层。而且,形成接触孔,形成源电极 517 和漏电极 518。由此完成图 5 (E) 所示的薄膜晶体管。

本实施例所示的 TFT 能够获得现有技术所不能获得的高特性。例如,在 NTFT (N 沟道型的 TFT) 中,能够获得迁移率为 $200\sim500\text{ (cm}^2/\text{Vs)}$ 、S 值为 $75\sim90\text{ (mV/dec)}$ ($V_D=1\text{V}$) 的高性能。在 PTFT (P 沟道型的 TFT) 中,能够获得迁移率为 $120\sim180\text{ (cm}^2/\text{Vs)}$ 、S 值为 $75\sim100\text{ (mV/dec)}$ ($V_D=1\text{V}$) 的高性能。

(实施例 3) 本实施例涉及实施例 2 所示结构中有关栅极绝缘膜的形成方法。图 6 表示本实施例的制作工序。首先,依据图 4 (A) 和图 4 (B) 所示工序得到有横生长区的硅结晶膜 408。再有,其中,起始膜的非晶质硅膜为 500Å。

得到硅结晶膜 408 后,在含有 3% HCl 的氧气气氛中,利用进行 950°C 的加热处理,按 200Å 的厚度成膜热氧化膜 409。(图 6 (A))

接着,除去热氧化膜 409。而且,腐蚀硅膜,形成作为后面的薄膜晶体管有源层的图形 410。(图 6 (B))

随后,由等离子体 CVD 法形成绝缘膜 504。按 500~1500Å 的厚度成膜氧化硅膜或氮化硅膜 504 作为 CVD 绝缘膜 504。其中,按 1000Å 的厚度形成氮化硅膜。(图 6 (C))

接着,在含有 3%HCl 的氧气气氛中,进行 950℃的加热处理,按 300Å 的厚度成膜热氧化膜 411。此时,在 CVD 氧化膜 504 的内侧生长热氧化膜 411,按图 6 (D) 所示的状态成膜。

在采用本实施例所示的制作工序的情况下,用热氧化膜 411 和 CVD 氧化膜 504 的层积膜构成栅极绝缘膜。在采用本实施例所示的制作工序的情况下,能够使栅极绝缘膜与有源层界面中的界面水平密度更低。

(实施例 4) 在实施例 1 和实施例 2 中,表示了利用卤素元素,对有助于硅的结晶化的催化元素去气的工序。在本实施例中,说明在催化元素的去气工序中使用磷元素的实例。

首先,依据实施例 1 或实施例 2 说明的方法,在石英基板上,经过使非晶质硅膜结晶化,形成硅结晶膜 602。再有,601 是作为氧化硅膜的底膜。其中,非晶质硅膜的厚度为 400Å。至少覆盖作为薄膜晶体管的有源层区域,形成光刻胶掩模 603。(图 8 (A))

接着,如图 8 (B) 所示,在有源层区域以外添加磷,形成去气区域 604。添加方法能够采用离子掺杂法等的气相法、旋涂法等液相法、含有磷的喷镀膜法、按 CVD 法形成的固相法。把未添加磷的结晶区称为被去气区 605。

如图 8 (C) 所示,除去光刻胶掩模后,在 400~1050℃、最好在 600~750℃的温度下,进行 1min~20hr (典型地为 30 min~3hr) 的加热处理。利用该加热处理,由于催化元素向去气区 604 扩散,被磷捕获,所以在去气区 605 中的催化元素的浓度就降低至 5×10^{17} 原子/cm³ 以下。

这样,去气工序结束后,经构图图 8 (D) 所示的被去气区 605,形成有源层 606。接着,形成如图 8 (E) 所示的与实施例 3 相同的栅极绝缘膜。首先,用等离子体 CVD 法形成绝缘膜 607。其中,按 1000Å 的厚度形成氮化氧化硅膜作为 CVD 绝缘膜 607。

接着,通过在含有 3%HCl 的氧气气氛中进行 950℃的加热处理,热氧化有源层 606 表面,按 300Å 的厚度成膜热氧化膜 608。因此,有源层 606 的膜厚就变为 250Å 左右。此外,由热氧化膜 608 和 CVD 氧化膜 607 构成栅极绝缘膜。依据实施例 1 (图 3)、实施例 2 (图 5) 所示的制作工序,就能制作后面的薄膜晶体管。

不用说，在形成作为栅极绝缘膜的热氧化膜 608 时，如果在包含卤素元素的气氛中进行加热处理，那么可获得由本实施例的磷元素构成的去气效果与由卤素元素构成的去气效果的相加的效果。

此外，这里，在去气区 604 中添加磷，但最好在添加磷后以比磷更高的浓度添加硼。在这种情况下，与仅添加磷的情况相比，可判明具有较高的去气效果，此外，在仅有硼的情况下，可判明不能获得去气效果。

利用上述实施例中披露的方法，组合得到的 PTFT 和 NTFT，构成 9 级的环行振荡器的情况下，能够产生 400MHz 以上的振荡。一般来说，如果考虑到按环行振荡器的振荡频率的 10%左右进行实际电路的设计，能够用上述 TFT 构成以 40 MHz 左右频率工作的电路。

利用本说明书披露的本发明，能够获得构成有高速工作（一般有数十 MHz 以上的工作速度）要求的数据激励器电路的薄膜晶体管。因此，即使在图 1 所示的大规模的有源矩阵显示器件中，也能够在与有源矩阵电路同一基板上一体化地形成有仅有少数、最好是单一视频端子的激励器电路。

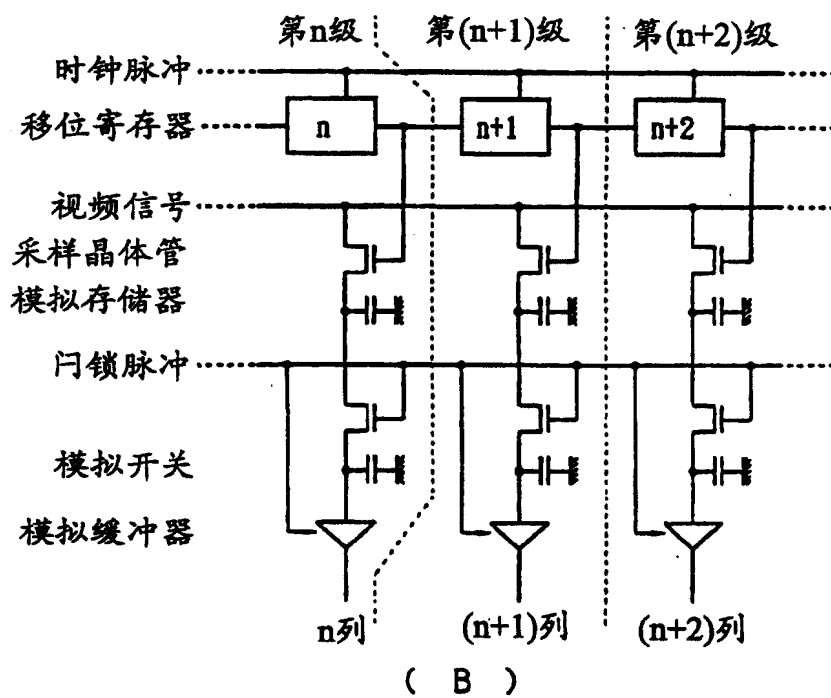
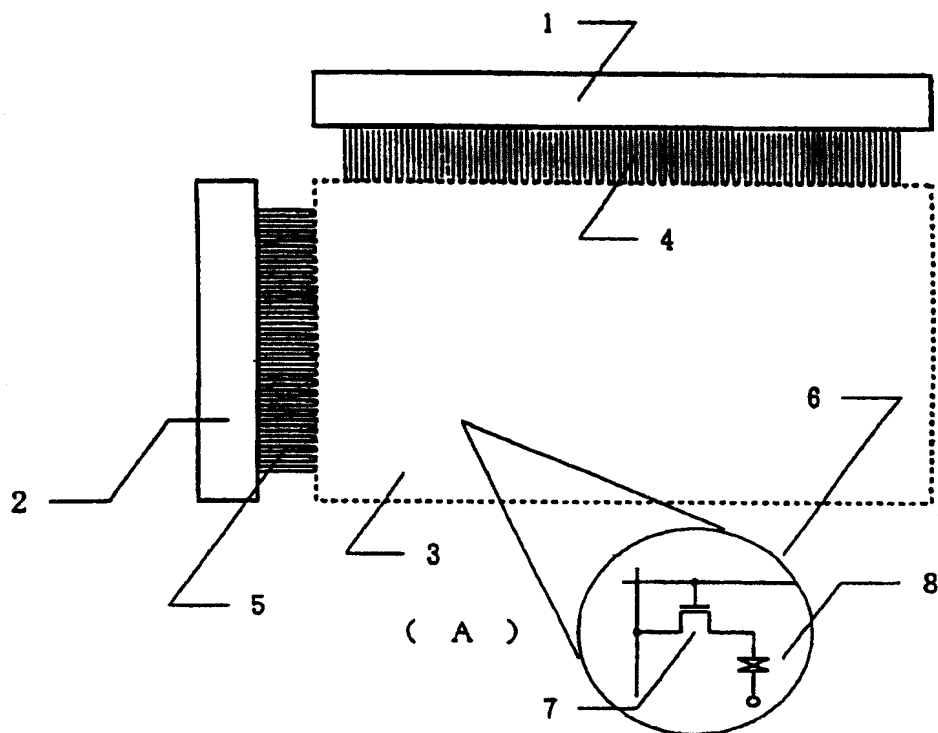


图 1

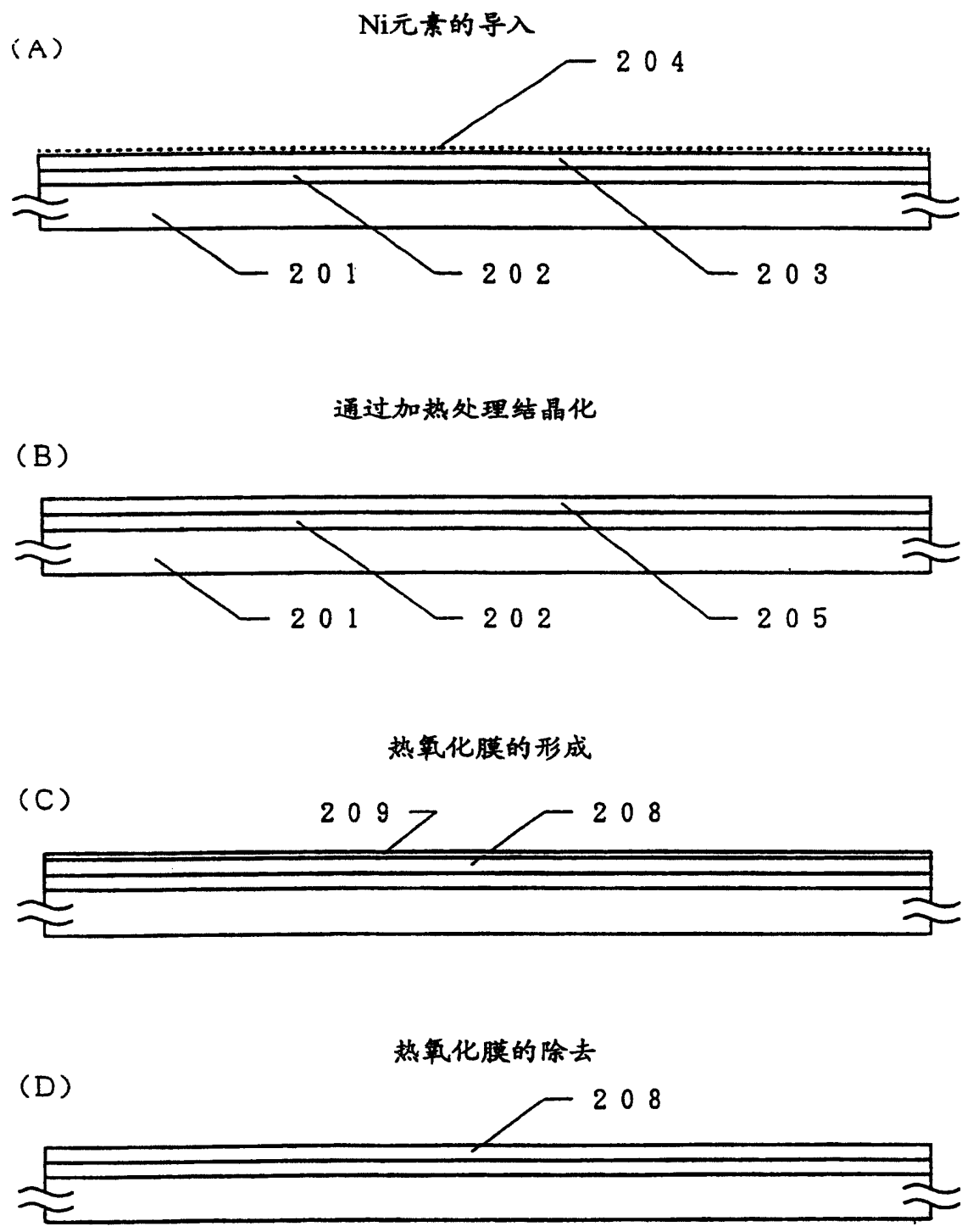


图 2

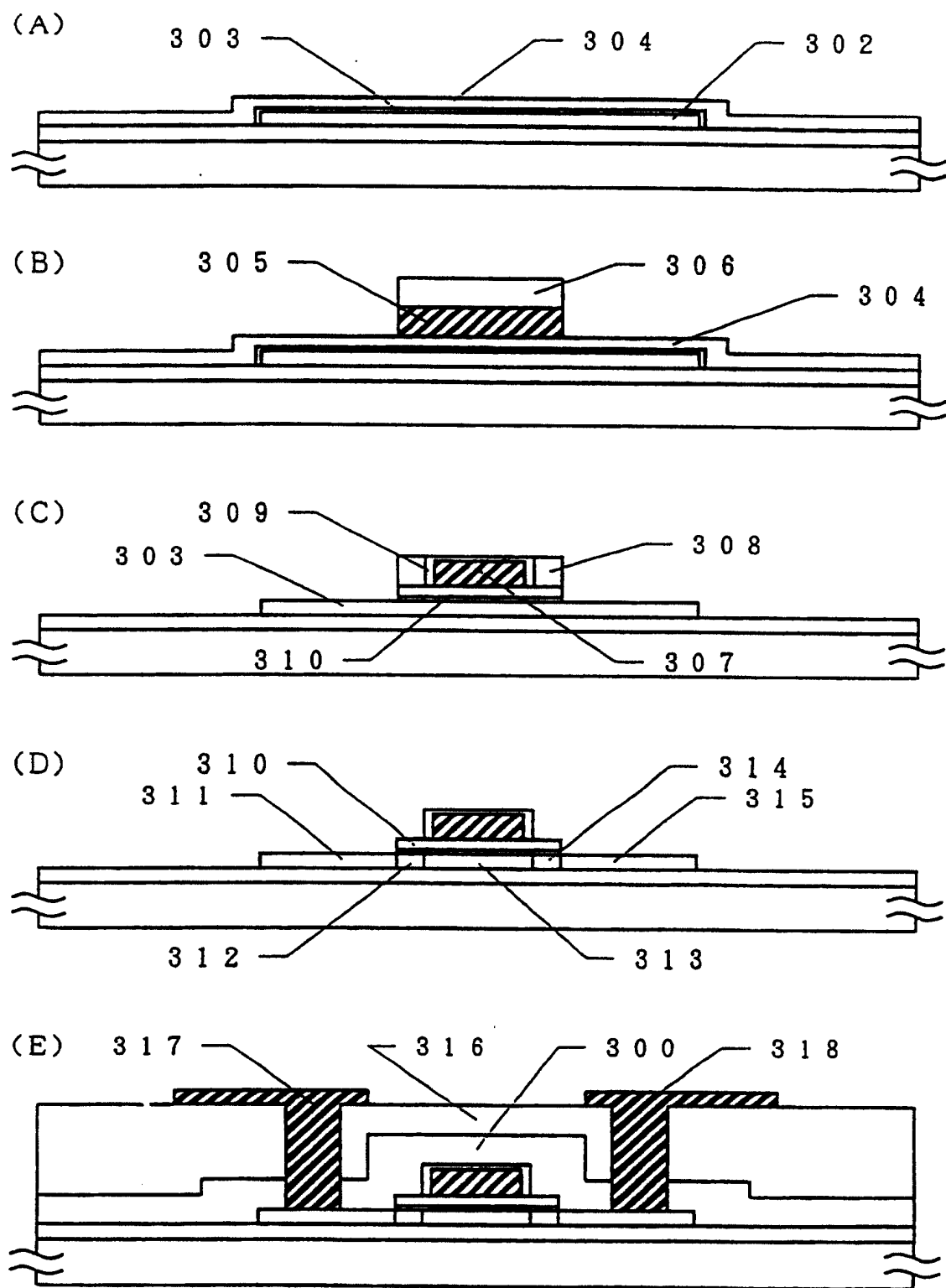


图 3

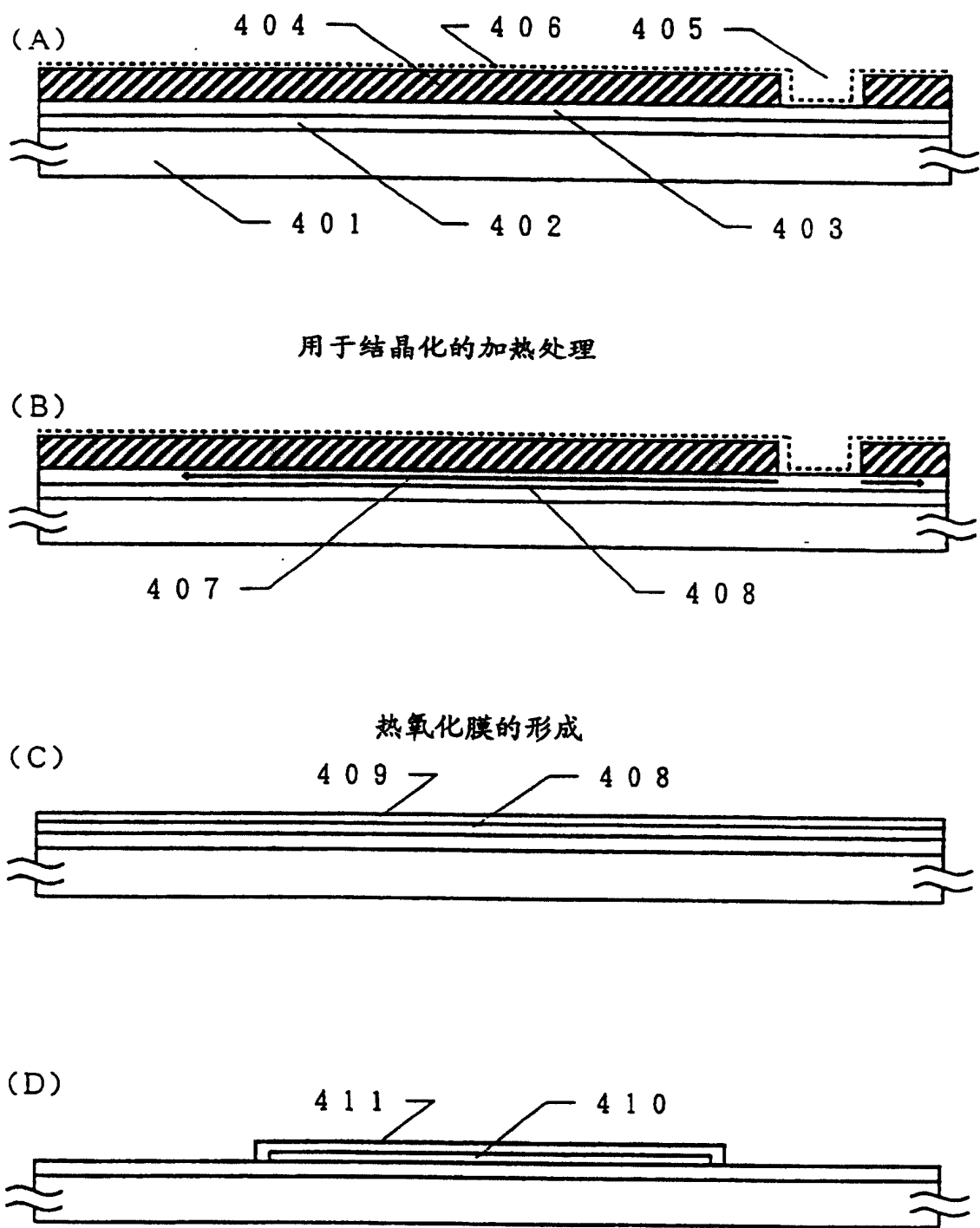


图 4

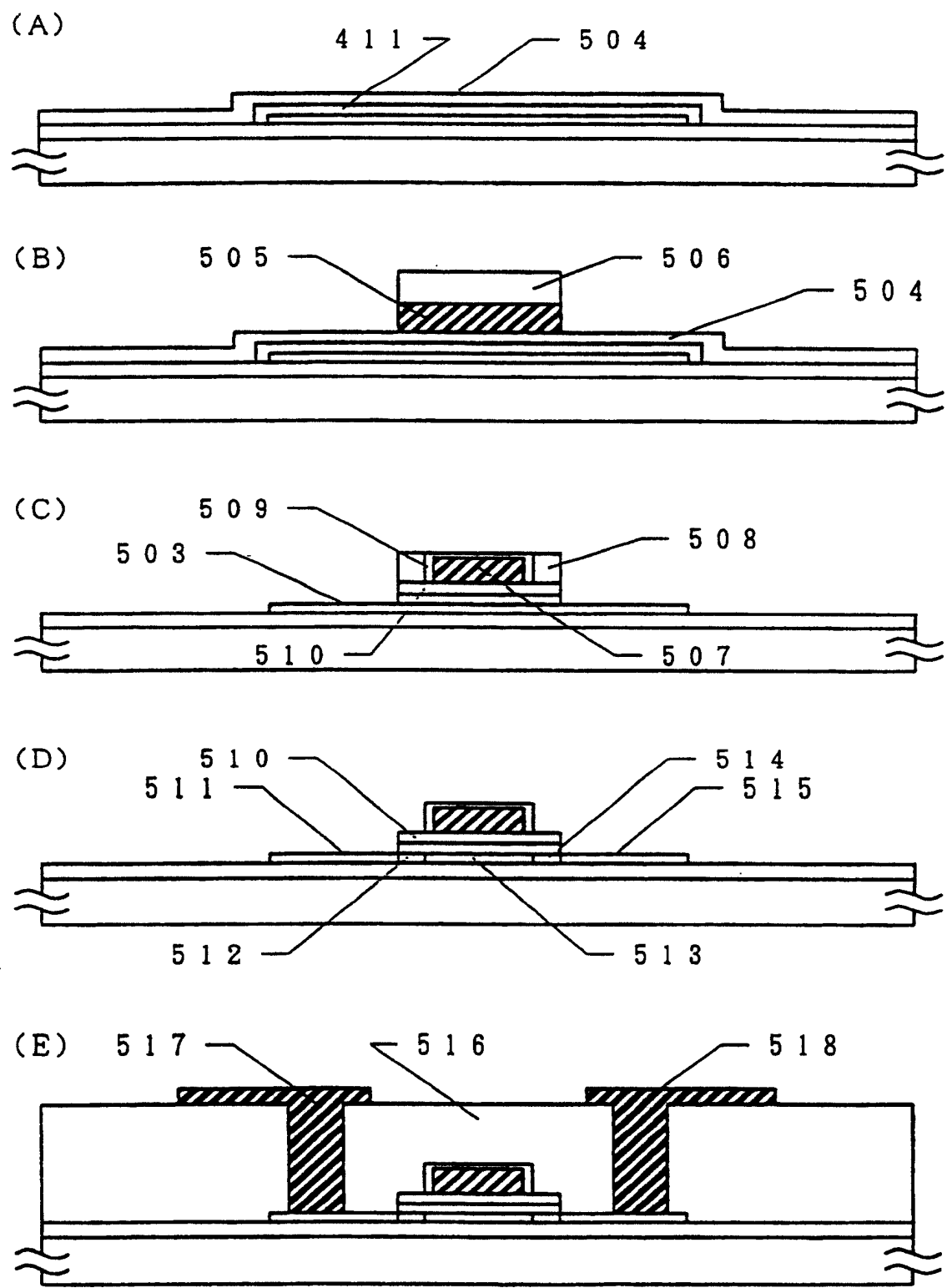


图 5

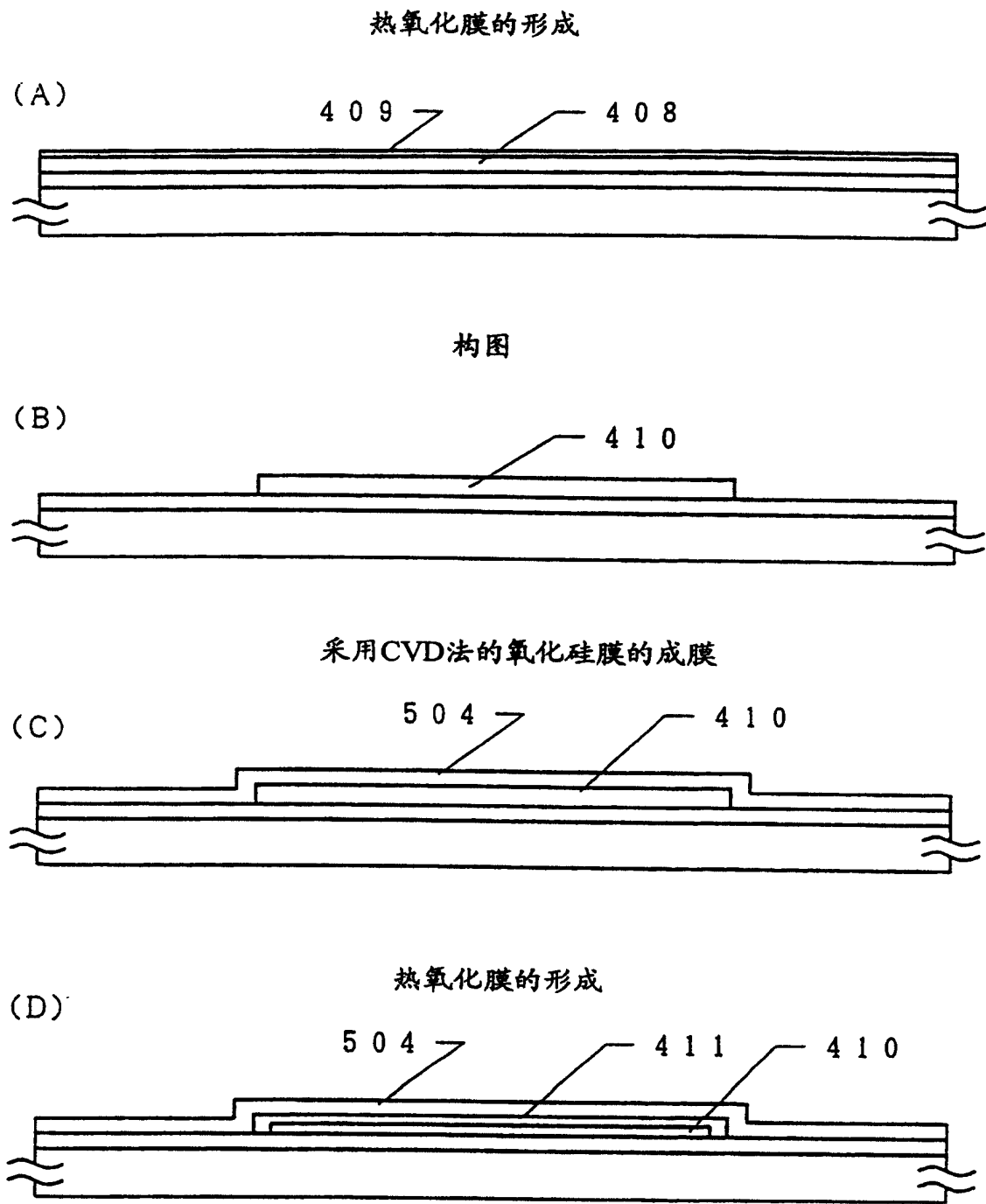


图 6

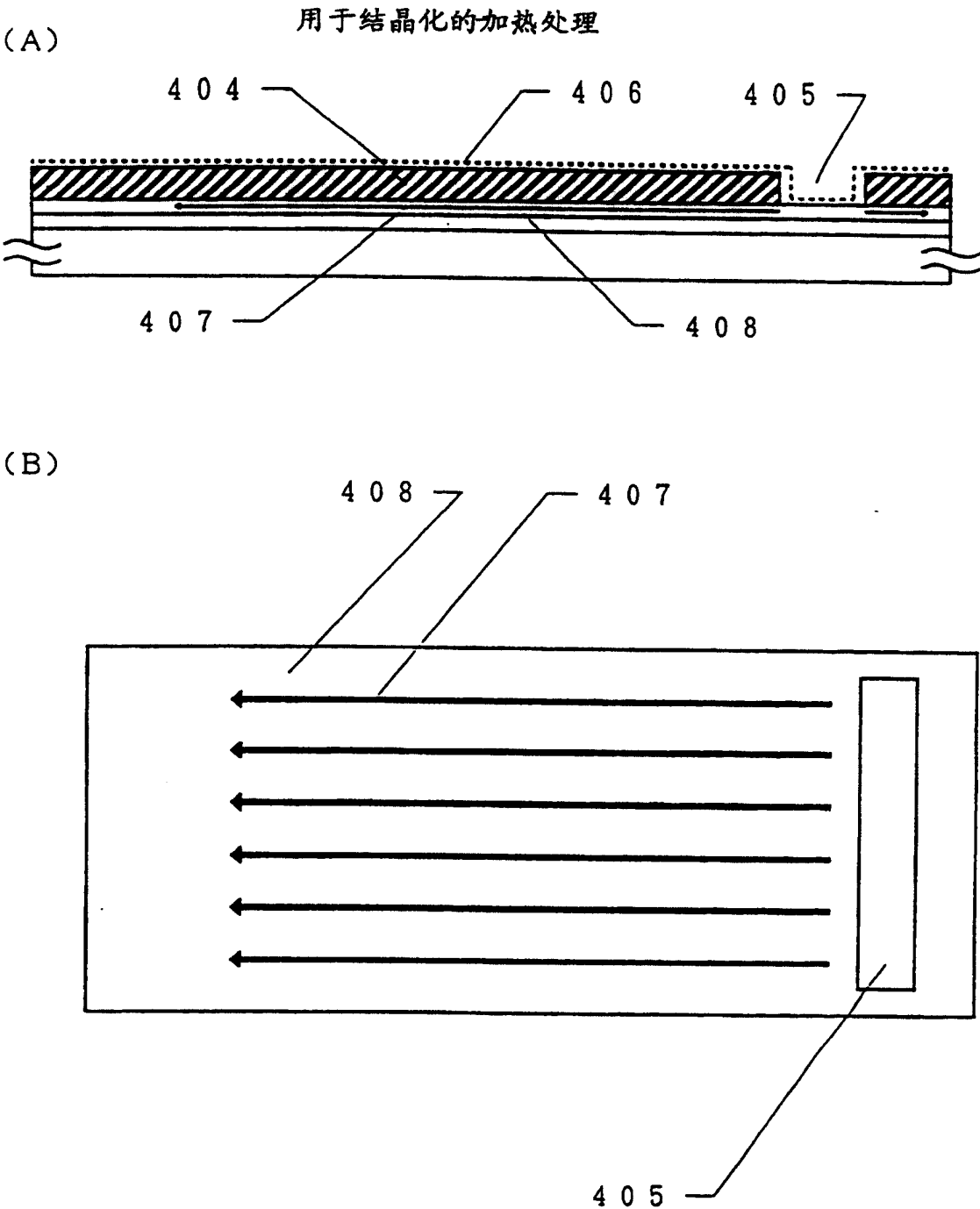


图 7

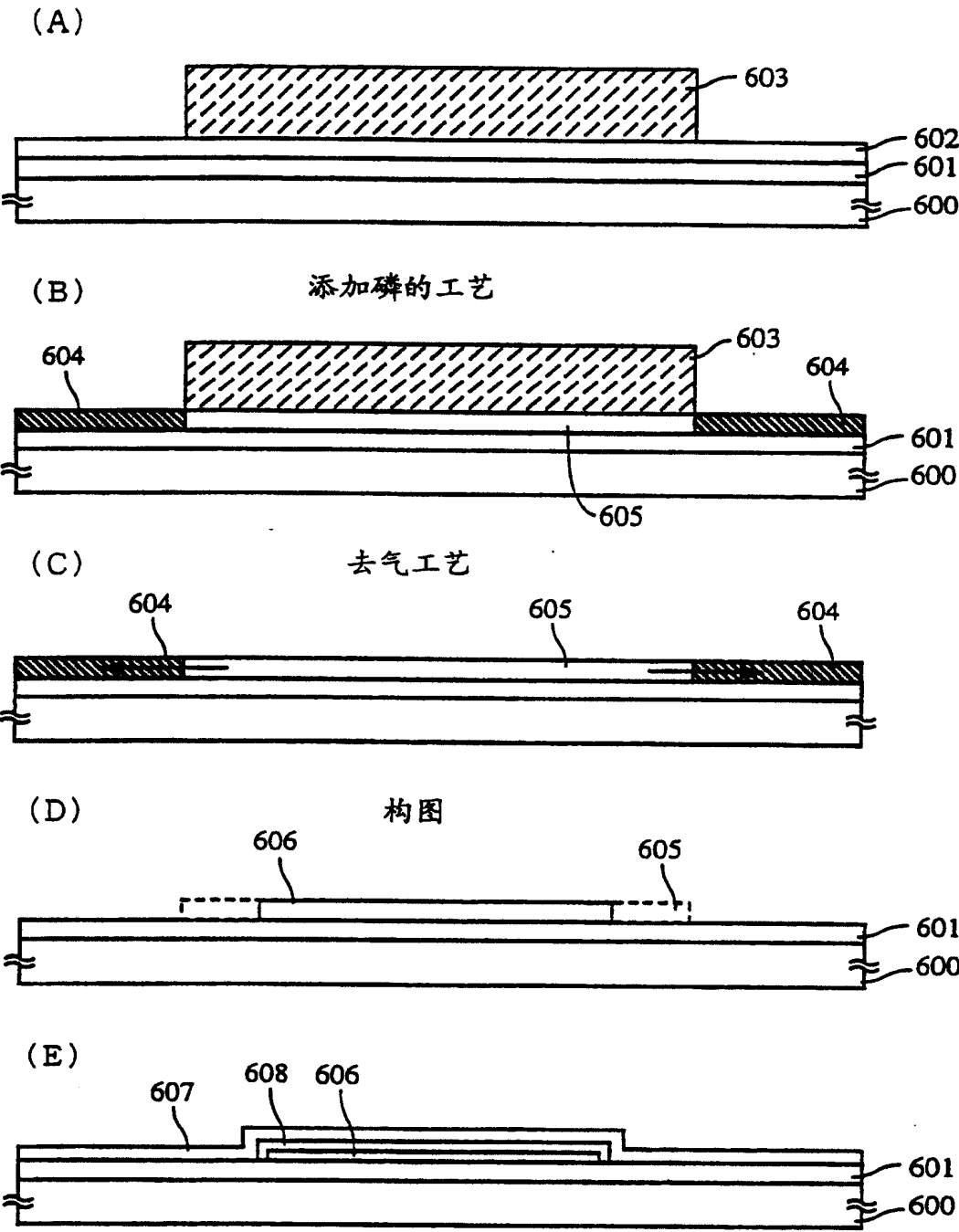


图 8

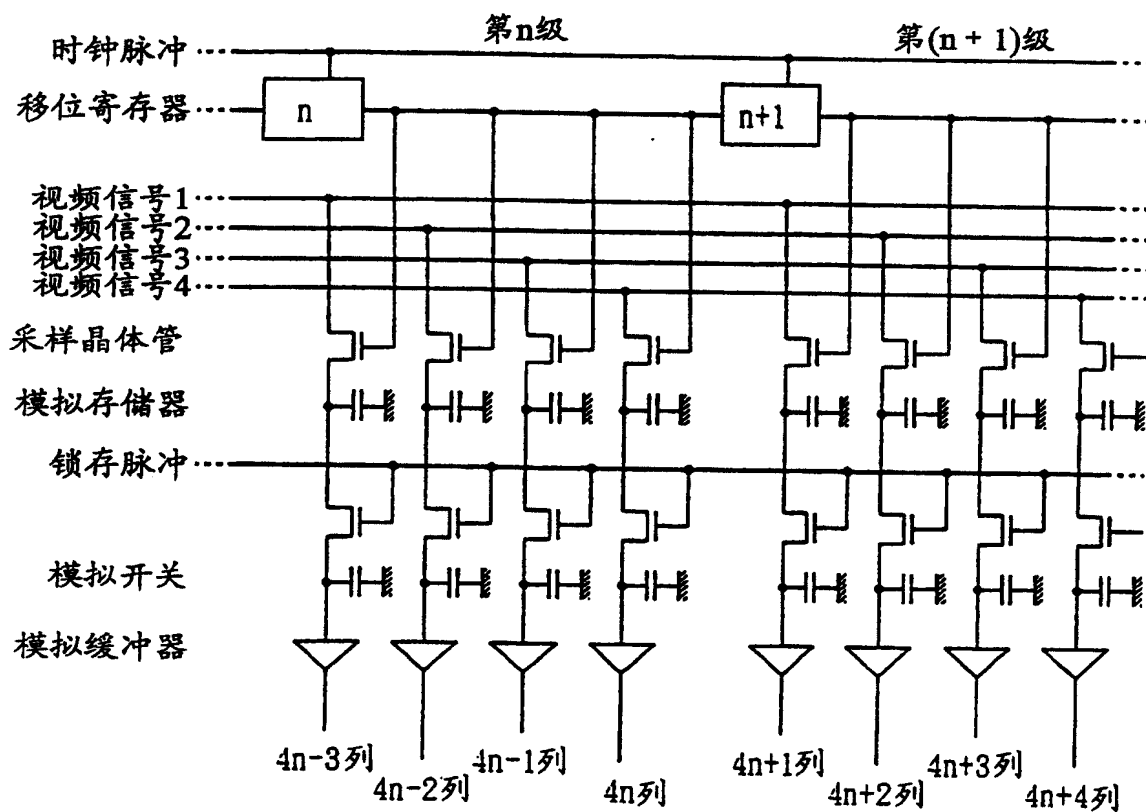


图 9

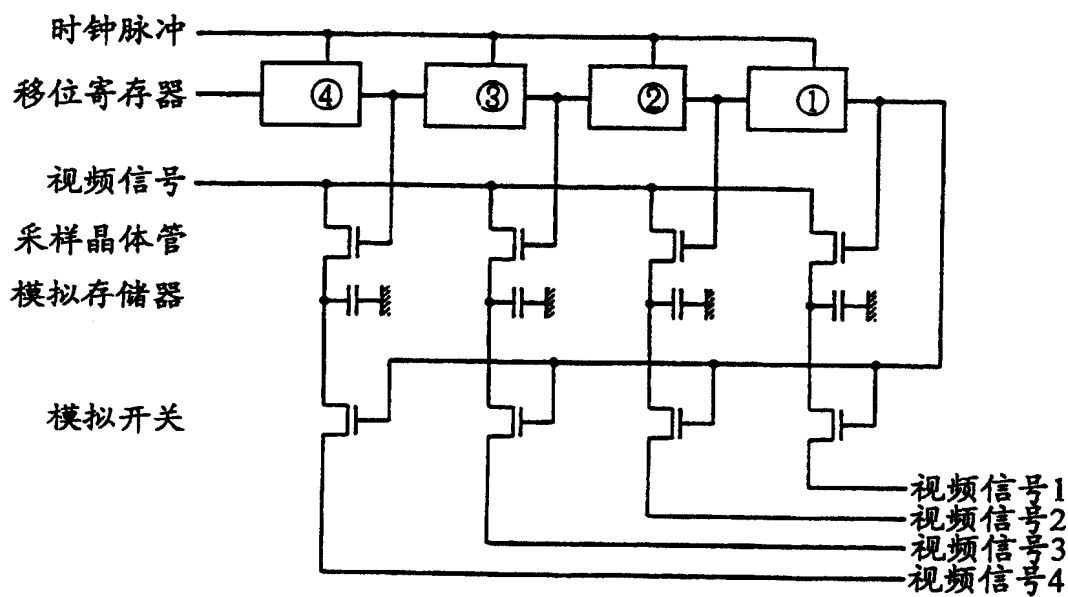


图 10

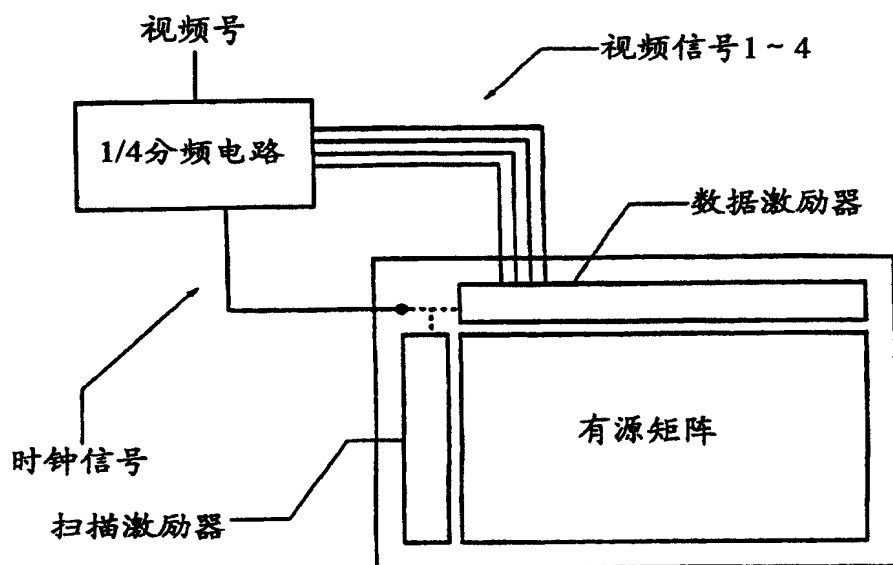


图 11

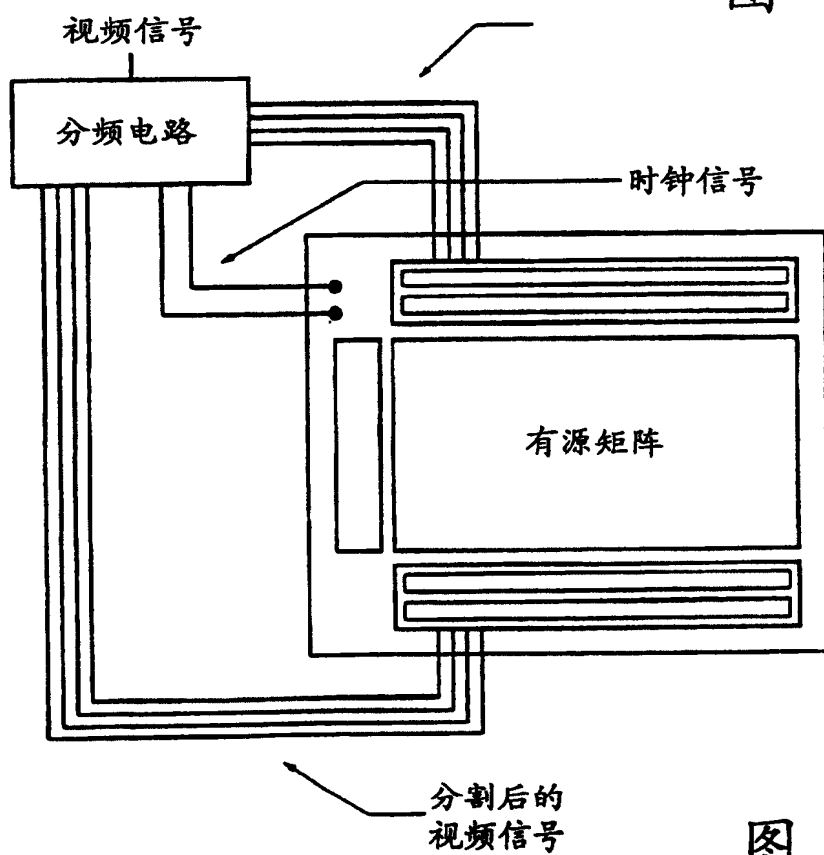


图 12