

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7263019号

(P7263019)

(45)発行日 令和5年4月24日(2023.4.24)

(24)登録日 令和5年4月14日(2023.4.14)

(51)国際特許分類

F I

G 0 1 R 19/00 (2006.01)

G 0 1 R 19/00 M

G 0 1 R 19/32 (2006.01)

G 0 1 R 19/32

G 0 3 G 15/22 (2006.01)

G 0 1 R 19/00 A

G 0 1 R 35/00 (2006.01)

G 0 3 G 15/22

G 0 1 R 35/00 E

請求項の数 18 (全24頁)

(21)出願番号 特願2019-4385(P2019-4385)

(22)出願日 平成31年1月15日(2019.1.15)

(65)公開番号 特開2020-112476(P2020-112476
A)

(43)公開日 令和2年7月27日(2020.7.27)

審査請求日 令和4年1月6日(2022.1.6)

(73)特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74)代理人 100123559

弁理士 梶 俊和

(74)代理人 100177437

弁理士 中村 英子

(72)発明者 小嶋 敬造

東京都大田区下丸子3丁目30番2号

キヤノン株式会社内

審査官 永井 皓喜

最終頁に続く

(54)【発明の名称】 電圧検知装置及び画像形成装置

(57)【特許請求の範囲】

【請求項1】

1次側と2次側とが絶縁され、前記1次側において流れた電流に応じた電圧を前記2次側において出力する伝達手段と、

所定の直流電圧を出力する基準電源と、

検知の対象となる交流電源の交流電圧を出力する電圧出力手段と、

前記伝達手段の前記1次側に、前記基準電源から前記所定の直流電圧を供給する第1の状態と、前記電圧出力手段から出力された前記検知の対象となる交流電源の交流電圧を供給する第2の状態と、の間で切り替わる切替手段と、

前記伝達手段の前記2次側に設けられ、前記切替手段を前記第1の状態に切り替えて前記伝達手段より出力された電圧から補正值を取得し、前記切替手段を前記第2の状態に切り替えて前記伝達手段より出力された電圧から検知値を取得し、前記検知値を前記補正值により補正し、前記検知の対象となる交流電源の交流電圧を取得する制御手段と、を備えることを特徴とする電圧検知装置。

【請求項2】

前記2次側に設けられ、前記伝達手段から出力された電圧のアナログ値をデジタル値に変換するアナログ-デジタル変換手段を備え、

前記制御手段は、アナログ-デジタル変換手段により変換されたデジタル値に基づいて前記伝達手段から出力された電圧の情報を取得することを特徴とする請求項1に記載の電圧検知装置。

10

20

【請求項 3】

前記切替手段は、前記伝達手段に前記交流電圧を供給するときに接続状態となり、前記伝達手段への前記交流電圧の供給を遮断するときに非接続状態となる第 1 の接続手段と、前記伝達手段に前記基準電源の前記所定の電圧を供給するときに接続状態となり、前記伝達手段への前記所定の電圧の供給を遮断するときに非接続状態となる第 2 の接続手段と、を有し、

前記制御手段は、前記第 1 の接続手段を非接続状態及び前記第 2 の接続手段を接続状態とすることにより前記第 1 の状態とし、前記第 1 の接続手段を接続状態及び前記第 2 の接続手段を非接続状態とすることにより前記第 2 の状態とすることを特徴とする請求項 2 に記載の電圧検知装置。

10

【請求項 4】

前記制御手段は、前記第 1 の状態において、前記所定の電圧に応じたデジタル値に基づいて、前記伝達手段により出力された電圧に応じたデジタル値を補正するための前記補正值を求め、前記第 2 の状態において、前記伝達手段により出力された電圧に応じたデジタル値に基づき検知した電圧を前記補正值により補正することを特徴とする請求項 3 に記載の電圧検知装置。

【請求項 5】

前記制御手段は、前記第 2 の状態において前記アナログ - デジタル変換手段から出力される複数のデジタル値を取得し、前記複数のデジタル値のうちのピーク値を用いて前記交流電圧の値を取得することを特徴とする請求項 3 又は請求項 4 に記載の電圧検知装置。

20

【請求項 6】

前記基準電源及び前記電圧出力手段は、前記第 1 の状態において前記アナログ - デジタル変換手段から出力されたデジタル値と、前記交流電圧が所定値のときに前記アナログ - デジタル変換手段から出力されたデジタル値とが略等しくなるように設定されることを特徴とする請求項 3 から請求項 5 のいずれか 1 項に記載の電圧検知装置。

【請求項 7】

前記交流電圧を半波整流する整流手段を備え、

前記伝達手段は、前記整流手段により半波整流された電圧が入力されることを特徴とする請求項 3 から請求項 6 のいずれか 1 項に記載の電圧検知装置。

【請求項 8】

30

前記交流電圧を全波整流する整流手段を備え、

前記伝達手段は、前記整流手段により全波整流された電圧が入力されることを特徴とする請求項 3 から請求項 5 のいずれか 1 項に記載の電圧検知装置。

【請求項 9】

前記伝達手段の前記 2 次側に接続され、抵抗値を調整することが可能な抵抗素子を備え、

前記制御手段は、前記第 1 の状態において前記アナログ - デジタル変換手段が出力したデジタル値と目標値との差である前記補正值が小さくなるように、前記第 2 の状態において前記抵抗素子の抵抗値を調整することを特徴とする請求項 8 に記載の電圧検知装置。

【請求項 10】

前記目標値は、前記第 1 の状態において前記アナログ - デジタル変換手段から出力されたデジタル値と、前記交流電圧の値が所定値のときに前記アナログ - デジタル変換手段から出力されたデジタル値とが略等しくなるように設定されることを特徴とする請求項 9 に記載の電圧検知装置。

40

【請求項 11】

ハイレベル又はローレベルのゼロクロス信号を出力するゼロクロス回路と、

前記伝達手段の前記 2 次側に接続され、抵抗値を調整することが可能な抵抗素子と、を備え、

前記切替手段は、前記ゼロクロス回路であり、前記ゼロクロス信号がハイレベルのときに前記第 1 の状態に切り替わり、前記ゼロクロス信号がローレベルのときに前記第 2 の状態に切り替わることを特徴とする請求項 2 に記載の電圧検知装置。

50

【請求項 1 2】

前記制御手段は、前記第 1 の状態において前記アナログ - デジタル変換手段から出力されたデジタル値と目標値との差である前記補正值が小さくなるように、前記第 2 の状態において前記抵抗素子の抵抗値を調整することを特徴とする請求項 1 1 に記載の電圧検知装置。

【請求項 1 3】

前記制御手段は、前記抵抗素子の抵抗値を調整することにより前記第 1 の状態において前記アナログ - デジタル変換手段から出力されたデジタル値と前記目標値との差が所定の範囲内となった後に、前記第 2 の状態において得られたデジタル値に基づいて、前記交流電圧の実効値を求めることにより前記交流電圧の値を取得することを特徴とする請求項 1 2 に記載の電圧検知装置。

10

【請求項 1 4】

前記目標値は、前記第 1 の状態において前記アナログ - デジタル変換手段から出力されたデジタル値と、前記交流電圧の値が所定値のときに前記アナログ - デジタル変換手段から出力されたデジタル値とが略等しくなるように設定されることを特徴とする請求項 1 3 に記載の電圧検知装置。

【請求項 1 5】

前記伝達手段は、フォトカブラであることを特徴とする請求項 1 から請求項 1 4 のいずれか 1 項に記載の電圧検知装置。

【請求項 1 6】

前記伝達手段は、トランスであることを特徴とする請求項 1 から請求項 1 4 のいずれか 1 項に記載の電圧検知装置。

20

【請求項 1 7】

請求項 1 から請求項 1 6 のいずれか 1 項に記載の電圧検知装置と、
未定着のトナー像を形成する画像形成手段と、
未定着のトナー像を定着する定着手段と、
を備えることを特徴とする画像形成装置。

【請求項 1 8】

請求項 3 から請求項 1 4 のいずれか 1 項に記載の電圧検知装置と、
未定着のトナー像を形成する画像形成手段と、
未定着のトナー像を定着する定着手段と、
前記電圧検知装置により検知した前記交流電圧に基づいて、前記定着手段に供給する電力を決定する前記制御手段と、
を備えることを特徴とする画像形成装置。

30

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、電圧検知装置及び画像形成装置に関し、絶縁された 2 極間の伝達を目的とした電圧検知装置に関する。

【背景技術】**【0 0 0 2】**

従来、絶縁された 1 次 2 次間において、一方のアナログ電圧情報を他方へ伝達する回路は多く利用されている。例えば、交流電源が接続される加熱定着器を備えた画像形成装置では、交流電源からの入力電圧値を検知し、加熱定着器の制御に利用している。例えば、加熱定着器の立ち上げ時に投入される電力は、検知した入力電圧値及び定着処理の目標温度に応じて、予め設定したデューティにより決定される。これにより、オーバーシュートや電力不足のない制御を行ったり、異常な電圧が入力されたときには装置の動作を停止させたりしている。例えば、特許文献 1 では、交流電源の交流電圧からフォトカブラを用いて生成したゼロクロス信号に基づいて交流電源の交流電圧を検知している。従来の電源電圧検知装置は、ゼロクロス信号の直流成分から直流電圧を生成することで、交流電源の入

40

50

力電圧値を検知する。こうすることで、交流電源の入力電圧値にサグ、ノイズ等の電圧異常があった場合でも入力電圧を検知できるようにしている。

【 0 0 0 3 】

近年は、多くの国や地域で電子機器が使用されており、国や地域によって交流電源の条件も様々である。例えば、高周波のノイズが重畳する場合や、ラインインピーダンスが高く、負荷電流の変動時に電圧ドロップが発生する場合等がある。このように、電源電圧が歪むと、加熱定着器に投入される電力に過不足が発生し、画像品質の低下を招くおそれがある。このため、交流電源の電圧検知装置としても、上述したような種々の条件下でより正確な電圧情報を検知することが求められている。また、交流電源の入力電圧値の電圧検知装置以外でも、1次側のアナログ電圧情報（以下、1次電圧情報という）を2次側へ伝達するケースは存在する。例えば、特許文献2に示されるような温度検知装置である。このような温度検知装置は、1次側の発熱体と2次側の温度検知体が混在してなる従来の加熱装置に対し、温度検知体を1次側で構成することで加熱装置内の安全上の距離を取る必要をなくし、小型化を図ったものである。この温度検知装置では、1次2次間の伝達は光信号を用いて行われている。

10

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【文献】特開2013-217843号公報

特開平11-344882号公報

20

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、上述した従来の絶縁された1次2次間の伝達構成では、1次2次の伝達率（電流伝達率（Current Transfer Ratio）、以下、CTRとする）の影響を大きく受ける。CTRが温度条件や経時条件等によって大きく変わると、同じ1次電圧情報であっても2次側で変換され得られる電圧も大きく変わってしまう。更にフォトンプラを用いてゼロクロス信号を生成する構成では、交流電源の交流電圧のサグ、ノイズ等によって、ゼロクロス信号にも本来のゼロクロスとは異なるタイミングでパルスが発生する。そして、ゼロクロス信号の直流成分から生成される直流電圧は本来よりも低くなる。そのため、実際の交流電源電圧と検出された電源電圧との間に誤差が生じてしまう。

30

【 0 0 0 6 】

本発明は、このような状況のもとでなされたもので、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上述した課題を解決するために、本発明は、以下の構成を備える。

【 0 0 0 8 】

（1）1次側と2次側とが絶縁され、前記1次側において流れた電流に応じた電圧を前記2次側において出力する伝達手段と、所定の直流電圧を出力する基準電源と、検知の対象となる交流電源の交流電圧を出力する電圧出力手段と、前記伝達手段の前記1次側に、前記基準電源から前記所定の直流電圧を供給する第1の状態と、前記電圧出力手段から出力された前記検知の対象となる交流電源の交流電圧を供給する第2の状態と、の間で切り替わる切替手段と、前記伝達手段の前記2次側に設けられ、前記切替手段を前記第1の状態に切り替えて前記伝達手段より出力された電圧から補正值を取得し、前記切替手段を前記第2の状態に切り替えて前記伝達手段より出力された電圧から検知値を取得し、前記検知値を前記補正值により補正し、前記検知の対象となる交流電源の交流電圧を取得する制御手段と、を備えることを特徴とする電圧検知装置。

40

【 0 0 0 9 】

（2）前記（1）に記載の電圧検知装置と、未定着のトナー像を形成する画像形成手段

50

と、未定着のトナー像を定着する定着手段と、を備えることを特徴とする画像形成装置。

【発明の効果】

【 0 0 1 0 】

本発明によれば、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】実施例 1 の電圧検知装置の回路構成図

【図 2】実施例 1 の電圧検知装置の動作説明図

【図 3】実施例 1 の演算値特性を示すグラフ

10

【図 4】実施例 1 の補正係数を説明するグラフ

【図 5】実施例 1 の交流電源電圧の演算処理を示すフローチャート

【図 6】実施例 2 の電圧検知装置の回路構成図

【図 7】実施例 2 の電圧検知装置の動作説明図

【図 8】実施例 3 の電圧検知装置の回路構成図

【図 9】実施例 3 の電圧検知装置の動作説明図

【図 10】実施例 4 の電圧検知装置の回路構成図

【図 11】実施例 4 の電圧検知装置の動作説明図

【図 12】実施例 4 の演算値特性を示すグラフ

【図 13】実施例 5 の画像形成装置の構成を示す図

20

【発明を実施するための形態】

【 0 0 1 2 】

上述した課題を解決するための本発明の具体的な構成について、以下の実施例に基づいて説明する。なお、以下に示す実施例は一例であって、この発明の技術的範囲をそれらにのみ限定する趣旨のものではない。具体的には、本発明では交流電源の入力電圧を検知するために入力電圧を 1 次側のアナログ電圧情報（以下、1 次電圧情報という）としているが、それに限定するものではない。例えば、サーミスタ等の温度検知素子によって温度を検知するために、サーミスタ等によって検知した温度に基づく電圧を 1 次電圧情報としてもよい。また、AC/DC コンバータが有するトランスの 1 次巻線に流れる 1 次電流を電圧に変換して 1 次電圧情報としてもよい。

30

【実施例 1】

【 0 0 1 3 】

〔電圧検知装置〕

図 1 は実施例 1 の交流電源の入力電圧（以下、交流電源電圧という）を検知するための電圧検知装置の回路構成を説明する図である。実施例 1 の電圧検知装置 100 は、交流電源 10 を 1 次側の入力とし、絶縁素子であるフォトカプラ 13 によって 2 次側へ交流電源電圧の情報を伝達し、2 次側に伝達された交流電源電圧の情報（電圧のアナログ値）を CPU 15 に入力する。フォトカプラ 13 は、1 次側の情報を 2 次側に伝達する伝達手段として機能する。また、実施例 1 では、検知の対象は交流電源 10 の交流電圧である。制御手段である CPU 15 は、入力された交流電源電圧の情報に基づいて交流電源電圧の値（以下、交流電源電圧値という）VAC を演算している。また電圧検知装置 100 は、基準電源 110 とリレー 17 とを備える。基準電源 110 は、ダイオード 11a、ダイオード 11b によって整流された、電圧 ACG を基準とした基準電圧 31、電界効果トランジスタ（以下、FET と記す）29、抵抗 30 を有する。基準電圧 31 は、所定の電圧である基準電圧 31 をフォトカプラ 13 に供給するための電源である。ダイオード 11a、11b は、交流電圧を半波整流する整流手段として機能する。

40

【 0 0 1 4 】

第 1 の接続手段であるリレー 17 は、交流電源 10 からの電圧供給を接続・遮断するためのリレーである。リレー 17 は、フォトカプラ 13 に交流電圧を供給するときに接続状態となり、フォトカプラ 13 への交流電圧の供給を遮断するときに非接続状態となる。C

50

P U 1 5 は、電圧検知装置 1 0 0 が備える基準電源 1 1 0 及びリレー 1 7 のオン又はオフを制御している。また、C P U 1 5 は、記憶部 1 5 m から後述する換算テーブル等の情報を読み出したり、後述するピーク値の取得のために後述する A / D 値を記憶部 1 5 m に一時的に記憶したりする。

【 0 0 1 5 】

交流電源 1 0 の一方のラインを A C H、他方のラインを A C L とする。リレー 1 7 は、1 次側がライン A C H に接続されている。リレー 1 7 の 2 次側は、電源 V b とトランジスタ 1 9 に接続されている。トランジスタ 1 9 は、コレクタ端子にリレー 1 7 の 2 次側を介して電源 V b が接続され、ベース端子に抵抗 1 8 を介して C P U 1 5 が接続され、エミッタ端子は接地されている。フォトカプラ 1 3 の 1 次側のダイオード 1 3 d は、アノード側に抵抗 1 2 を介してリレー 1 7 の 1 次側が接続され、カソード側にダイオード 1 1 b を介してライン A C L が接続されている。抵抗 1 2 は、交流電源 1 0 からフォトカプラ 1 3 に流れる電流を制限するための抵抗である。フォトカプラ 1 3 の 2 次側のトランジスタ 1 3 t は、コレクタ端子に抵抗 1 4 を介して電源 V a が接続され、エミッタ端子が接地されている。トランジスタ 1 3 t のコレクタ端子は、C P U 1 5 が有するアナログ - デジタル (以下、A / D とする) 変換器 1 6 にも接続されている。フォトカプラ 1 3 は、1 次側のダイオード 1 3 d に流れた電流を 2 次側で電圧に変換する電圧変換手段としても機能する。A / D 変換器 1 6 は、フォトカプラ 1 3 のトランジスタ 1 3 t から出力されたアナログの電圧 (検知電圧 V o) の値をデジタル値に変換するアナログ - デジタル変換手段として機能する。C P U 1 5 は、A / D 変換器 1 6 により変換されたデジタル値に基づいて交流電源 1 0 の交流電圧の値を取得する。

【 0 0 1 6 】

基準電源 1 1 0 と C P U 1 5 との間には、C P U 1 5 が基準電源 1 1 0 からフォトカプラ 1 3 への入力を接続したり遮断したりするための回路が設けられている。この回路は、フォトカプラ 2 1 を有し、フォトカプラ 2 1 の 1 次側のトランジスタ 2 1 t は、エミッタ端子に抵抗 2 4 を介してトランジスタ 2 6 のベース端子が接続されており、コレクタ端子には基準電圧 V r e f が接続されている。フォトカプラ 2 1 の 2 次側のダイオード 2 1 d は、アノード側に抵抗 2 0 を介して電源 V a が接続され、カソード側にトランジスタ 2 3 のコレクタ端子が接続されている。トランジスタ 2 3 は、ベース端子に抵抗 2 2 を介して C P U 1 5 が接続され、エミッタ端子は接地されている。トランジスタ 2 6 は、コレクタ端子に抵抗 2 7 を介して基準電圧 V r e f が接続され、エミッタ端子が接地されている。トランジスタ 2 6 のベース端子とエミッタ端子の間には抵抗 2 5 が接続されている。抵抗 2 7 とトランジスタ 2 6 のコレクタ端子との接続点には、抵抗 2 8 を介して F E T 2 9 のゲート端子が接続されている。

【 0 0 1 7 】

C P U 1 5 は、電源 V a によって動作している。C P U 1 5 は、トランジスタ 1 9 のベース端子にハイレベル (以下、H i とする) 又はローレベル (以下、L o とする) の R e l a y _ c t r l 信号を出力することにより、リレー 1 7 の接続又は遮断を制御する。C P U 1 5 は、トランジスタ 2 3 のベース端子にハイレベル (以下、H i とする) 又はローレベル (以下、L o とする) の R e f _ c t r l 信号を出力することにより、基準電源 1 1 0 のフォトカプラ 1 3 への入力又は非入力を制御する。

【 0 0 1 8 】

C P U 1 5 は、R e l a y _ c t r l 信号を L o とすることで、トランジスタ 1 9 をオフし、リレー 1 7 を遮断した状態とする。これにより、交流電源電圧がフォトカプラ 1 3 の 1 次側のダイオード 1 3 d に供給されなくなる。また、C P U 1 5 は、R e l a y _ c t r l 信号を H i とすることで、トランジスタ 1 9 をオンし、リレー 1 7 を接続した状態とする。これにより、交流電源電圧がフォトカプラ 1 3 の 1 次側のダイオード 1 3 d に供給される。

【 0 0 1 9 】

C P U 1 5 は、R e f _ c t r l 信号を L o とすることで、トランジスタ 2 3 をオフし

10

20

30

40

50

、フォトカプラ 21 を非導通状態とし、トランジスタ 26 をオフし、FET 29 をオフする。これにより電圧 V_{ref} (基準電圧 31) がフォトカプラ 13 の 1 次側のダイオード 13d に供給されなくなる。また、CPU 15 は、 Ref_ctrl 信号を Hi とすることで、トランジスタ 23 をオンし、フォトカプラ 21 を導通状態とし、トランジスタ 26 をオンし、FET 29 をオンする。これにより電圧 V_{ref} (基準電圧 31) がフォトカプラ 13 の 1 次側のダイオード 13d に供給される。

【0020】

FET 29 は、フォトカプラ 13 への基準電源 110 の電圧の供給を接続又は遮断する第 2 の接続手段として機能する。FET 29 は、フォトカプラ 13 に基準電源 110 の電圧を供給するときに接続状態となり、フォトカプラ 13 への基準電源 110 の電圧の供給を遮断するときに非接続状態となる。なお、リレー 17 (第 1 の接続手段) と FET 29 (第 2 の接続手段) とは、フォトカプラ 13 の 1 次側に、基準電源 110 から電圧を供給する第 1 の状態と、交流電源 10 から交流電圧を供給する第 2 の状態とを切り替える切替手段として機能する。検知電圧 V_o については後述する。

【0021】

[電圧検知装置の動作]

図 2 は図 1 の電圧検知装置 100 の各部動作を説明する図である。図 2 は、(a) に交流電源 10 の電圧 (交流電源電圧) の波形を示し、(b) にフォトカプラ 13 の 1 次側のダイオード 13d に流れる電流の波形を示す。(c) は CPU 15 に入力される電圧 (デジタル値に変換される前の電圧) (以下、検知電圧という) V_o の波形を示す。なお、点線は、A/D 変換器 16 の演算閾値を電圧に換算した値 (電圧換算値) を示す。(d) は CPU 15 の A/D 変換器 16 によって検知電圧 V_o をデジタル値に変換した後の値 (以下、A/D 値という) (単位: dec) を示す。なお、点線は、演算閾値と後述する検知電圧 V_o1 とを示す。横軸はいずれも時間を示す。

【0022】

以下、図 1 の電圧検知装置 100 の動作詳細について、図 2 を用いて説明する。時刻 t_0 は、1 次側の情報が 2 次側に伝達されていない初期状態である。この初期状態では、フォトカプラ 13 のダイオード 13d に交流電源 10 及び基準電源 110 のどちらからも電流が供給されない。そのため CPU 15 は、トランジスタ 19 がオフとなり、リレー 17 がオープン状態 (遮断状態) となるように、 $Relay_ctrl$ 信号を Lo とする。また、時刻 t_0 では、トランジスタ 23 がオフとなり、FET 29 がオフとなるように Ref_ctrl 信号を Lo としている。これによりフォトカプラ 13 のダイオード 13d には電流が流れず、2 次側の出力である検知電圧 V_o はハイレベル (V_a) となる。したがって、時刻 t_0 において、A/D 変換器 16 の出力である A/D 値は、仮に A/D 変換器 16 の分解能が 10 ビットであれば、上限値の 1023 又は 1023 に近い値となる。

【0023】

時刻 t_1 で、CPU 15 は基準電源 110 からの電流がフォトカプラ 13 のダイオード 13d に流れるように制御する。具体的には、CPU 15 は、 $Relay_ctrl$ 信号を Lo としリレー 17 を遮断し、 Ref_ctrl 信号を Hi として FET 29 をオンし電圧 V_{ref} (基準電圧 31) がフォトカプラ 13 に供給されるようにする。2 次側では、ダイオード 13d の発光を受けて、フォトカプラ 13 のトランジスタ 13t にコレクタ電流が流れる。実施例 1 では、このコレクタ電流と、電源 V_a 、抵抗 14 によって検知電圧 V_o が定まる。しかしながら、ダイオード 13d に流れる電流値が同じであっても、トランジスタ 13t に流れるコレクタ電流は、フォトカプラ 13 の経年変化や使用される温度環境等の影響を受け変動する。このため、検知電圧 V_o は大きくばらついてしまう。そのため、電圧検知装置 100 の温度特性及び経年変化によるばらつきの補正が必要となる。

【0024】

実施例 1 では、時刻 $t_1 \sim t_2$ の期間は、電圧検知装置 100 の温度特性及び経年変化による検知電圧 V_o のばらつきを補正する補正期間である。時刻 $t_1 \sim t_2$ で CPU 15 は、入力された検知電圧 V_o を A/D 変換器 16 によって A/D 値に変換する。CPU 1

10

20

30

40

50

5 は、A / D 変換器 1 6 によって変換された A / D 値に基づいて、交流電源電圧値を検知する。以下、CPU 1 5 が検知電圧 V_o を A / D 変換器 1 6 により A / D 値に変換することを、検知電圧 V_o を読み取る、と表現し、得られた A / D 値を、読み取った A / D 値、と表現する。なお、実施例 1 では、時刻 $t_1 \sim t_2$ の補正期間に得られた A / D 値と、交流電源 1 0 の電圧が 1 1 0 V (所定値) のときの A / D 値とが等しくなるように設定されている。

【 0 0 2 5 】

ここで、CPU 1 5 が $Relay_ctrl$ 信号を Lo 、 Ref_ctrl 信号を Hi とし、基準電源 1 1 0 からダイオード 1 3 d に流れる電流を I_{ref} とする。また、CPU 1 5 が $Relay_ctrl$ 信号を Hi 、 Ref_ctrl 信号を Lo とし、交流電源 1 0 からダイオード 1 3 d に流れるピーク電流を I_{ac} とする。このとき、電流 I_{ref} と電流 I_{ac} とが等しくなるように設定している。また、ダイオード (1 1 a、1 1 b、1 3 d) の順方向電圧、FET 2 9 のオン抵抗による電圧ドロップ等、その他抵抗成分を無視したとする。そうすると、これら電流の調整は、基準電源 1 1 0 の基準電圧 3 1 と抵抗 3 0、及び抵抗 1 2 を (1) 式の関係にすることで実現できる。なお (1) 式では、基準電圧 3 1 を V_{31} 、抵抗 3 0 を R_{30} 、抵抗 1 2 を R_{12} としている。

【 数 1 】

$$I_{ac} = 110\sqrt{2}/R_{12} = I_{ref} = V_{31}/R_{30} \cdots \cdots (1)$$

【 0 0 2 6 】

このようにして、予め定めた特定の交流電源電圧値に対して (1) 式が成り立つようにすることで、電圧検知装置 1 0 0 の温度特性及び経年変化による検知ばらつきを補正することが可能となる。図 2 では、(1) 式が成り立つ際の A / D 値を $V_{o1} [dec]$ とし A / D 値の図に点線で示している。

【 0 0 2 7 】

[補正方法]

ここで実施例 1 における、電圧検知装置 1 0 0 の温度特性及び経年変化による検知ばらつきの補正を伴う交流電源電圧値 V_{AC} の演算の補正方法を図 3、図 4 を用いて説明する。ここで、補正前の交流電源電圧値を V_{ac} と表記し、補正後の交流電源電圧値を V_{AC} と表記する。図 3 は A / D 値から交流電源電圧値 V_{ac} に換算するためのテーブルをグラフ化したものである。図 3 に示すグラフの横軸 $V_{op} [dec]$ は、連続的に検知電圧 V_o を読み取った A / D 値のピーク値であり、図 2 (d) の A / D 値に示す $V_{op} [dec]$ である。ピーク値 $V_{op} [dec]$ の演算方法は後述する時刻 $t_5 \sim t_6$ の説明内で述べる。また、CPU 1 5 は、図 3 に示す実線で示された基準となる換算テーブル (Ref) のみを記憶部 1 5 m に記憶している。図 3 に示すそのほかの破線 (Lo) や一点鎖線 (Hi) で示すテーブルは、A / D 変換器 1 6 で読み取った A / D 値と、後述する図 4 の補正值である補正係数とに基づき求められる。このため、 Lo と Hi に示すテーブルは記憶部 1 5 m には予め記憶されていない。なお、図 3 では、説明を簡略化するため、基準となる換算テーブルと等しい伝達特性を Ref とし、フォトカプラ 1 3 の伝達効率が基準となる伝達効率よりも低下した場合を Lo とし、伝達効率が基準となる伝達効率よりも高い場合を Hi として示している。

【 0 0 2 8 】

図 4 は、交流電源電圧値 V_{ac} からばらつき補正後の交流電源電圧値 V_{AC} を算出するための補正係数をグラフ化したものである。図 4 は、横軸には補正期間に検知電圧 V_o を読み取った A / D 値である V_{oc} を示し、縦軸に補正係数を示す。図 4 は、図 3 に示す Ref の換算テーブルから求めた交流電源電圧値 V_{ac} から、 Lo や Hi といった伝達効率

の異なる場合の交流電源電圧値 V_{ac} を求めるための補正係数を示している。なお、図 4 にも図 3 と同じく R_{ef} 、 L_o 、 H_i を記載している。以下、 R_{ef} の換算テーブルを R_{ef} 換算テーブルという。

【0029】

上述したように、補正期間 $t_1 \sim t_2$ では (1) 式が成り立っている。しかしながら、フォトカプラ 13 による 1 次 2 次間の伝達効率が、使用が進んだことや温度環境によって変化する。このため、(1) 式が成り立つ補正期間であっても、検知電圧 V_o 及び検知電圧 V_o を変換した A/D 値は必ずしも一定ではない。そのため CPU 15 は、補正期間に読み取った A/D 値である $V_{oc}[dec]$ が、110 V_{ac} のピーク電圧に相当するとして、次のように補正を行う。

【0030】

まず、図 4 の補正係数は、基準電源 110 からの電流 I_{ref} がフォトカプラ 13 のダイオード 13d に流れる期間、すなわち、図 2 における時刻 $t_1 \sim t_2$ の補正期間に求められる。具体的には、CPU 15 は、図 2 の時刻 $t_1 \sim t_2$ の補正期間に読み取った A/D 値である $V_{oc}[dec]$ から図 4 に示す補正係数を求める。補正係数は、基準となる伝達効率の場合、すなわち V_{oc} が V_{o1} のときに 1 となるように設定されている。このときの A/D 値 V_{oc} を図 4 では R_{ef} としている。また、例えば、補正期間に読み取った A/D 値である V_{oc} が A/D 値 H_i であった場合には補正係数は 0.65 となり、補正期間に読み取った A/D 値である V_{oc} が A/D 値 L_o であった場合には補正係数は 2.0 となる。

【0031】

補正期間に読み取った A/D 値 V_{oc} と図 4 とから求めた補正係数を Z とする。また、ピーク値 V_{op} と図 3 の R_{ef} 換算テーブルとから補正前の交流電源電圧 V_{ac} が求められる。求めた交流電源電圧値 V_{ac} が、(2) 式のような 1 次式で表わされるとき、補正後の交流電源電圧値 V_{AC} は (3) 式となる。

【数 2】

$$V_{ac} = a \times V_{op}[dec] + b \cdots (2)$$

$V_{op}[dec]$: 連続的に読み取った A/D 値のピーク値

$$V_{AC} = V_{ac} \times Z \cdots (3)$$

【0032】

例えば、図 2 の時刻 $t_1 \sim t_2$ の補正期間に、CPU 15 が読み取った A/D 値 $V_{oc}[dec]$ が、 L_o であったとする。CPU 15 は、図 4 から、補正係数 Z として “2.0” を取得する。そして、CPU 15 は、図 3 の R_{ef} 換算テーブルから、 A/D 値 V_{op} が L_o となる交流電源電圧値 V_{ac} を求める。この場合、CPU 15 は、交流電源電圧 V_{ac} として 55 V_{ac} を取得する。実際には、交流電源 10 の電圧値は 110 V であるが、フォトカプラ 13 の伝達効率の変化によって検知電圧 V_o のばらつきが生じている。CPU 15 は、(3) 式の交流電源電圧値 V_{ac} に 55 V_{ac} を代入し、補正係数 Z に 2.0 を代入して、補正後の交流電源電圧値 V_{AC} として 110 V_{ac} を算出する。これにより、フォトカプラ 13 の伝達効率の変化による検知電圧 V_o のばらつきが補正される。

【0033】

また、例えば、図 2 の時刻 $t_1 \sim t_2$ の補正期間に、CPU 15 が読み取った A/D 値 $V_{oc}[dec]$ が、 H_i であったとする。CPU 15 は、図 4 から、補正係数 Z として “0.65” を取得する。そして、CPU 15 は、図 3 の R_{ef} 換算テーブルから、 A/D 値 V_{op} が H_i となる交流電源電圧値 V_{ac} を求める。この場合、CPU 15 は、交流電源電圧 V_{ac} として 170 V_{ac} を取得する。実際には、交流電源 10 の電圧値は 110 V であるが、フォトカプラ 13 の伝達効率の変化によって検知電圧 V_o のばらつきが生じて

いる。CPU15は、(3)式の交流電源電圧値 V_{ac} に $170V_{ac}$ を代入し、補正係数 Z に 0.65 を代入して、補正後の交流電源電圧値 V_{AC} として $110.5V_{ac}$ を算出する。これにより、フォトカプラ13の伝達効率の変化による検知電圧 V_o のばらつきが補正される。

【0034】

このように図4の補正係数 Z と図3の Ref 換算テーブルとを用いることで、フォトカプラ13の実際の伝達特性に合わせた適切な交流電源電圧値 V_{AC} を求めることができる。なお、実施例1では、補正期間($t_1 \sim t_2$)では、補正係数 Z のみを求め、時刻 t_5 以降の交流電源10の入力時に、補正後の交流電源電圧値 V_{AC} を求めるようにしている。

【0035】

図2の説明に戻る。図2の時刻 t_2 において、CPU15は、 Ref_ctrl 信号を Lo とし($Relay_ctrl$ 信号は Lo のまま)、時刻 t_3 で $Relay_ctrl$ 信号を Hi とする(Ref_ctrl 信号は Lo のまま)。これにより時刻 $t_2 \sim t_3$ の期間は、リレー17とFET29の両方がオフ状態となる。この時刻 $t_2 \sim t_3$ の期間は、ダイオード13dが過電流状態となることを防止するために設けられたデッドタイム期間である。時刻 t_3 ではリレー17がオン状態、FET29がオフ状態となり、フォトダイオード13dには交流電源10から電流が供給され、検知電圧 V_o は交流電源10の電圧に基づいた値となる。

【0036】

[交流電源電圧値 V_{AC} の演算]

ここまで、上述の範囲では、電圧検知装置100の温度特性及び経年変化による検知ばらつきの補正に関する説明をした。図2の時刻 t_3 以降においては、交流電源電圧値 V_{AC} の演算について記載する。実施例1では、CPU15は、検知電圧 V_o を読み取った A/D 値より、ピーク値を検出することで、交流電源電圧値 V_{AC} を演算している。このピーク値とは、図2における A/D 値の $V_{op}[dec]$ である。

【0037】

図1に示す実施例1の構成では、交流電源10の電圧が高いほどフォトカプラ13のダイオード13dに流れる電流が大きくなる(図2(b)参照)。そのため、交流電源10が入力された場合の検知電圧 V_o は、図2の時刻 $t_4 \sim t_6$ のように交流電源10に反比例した値となる。よって実施例1におけるピーク値 V_{op} とは、所定期間(例えば、時刻 $t_4 \sim t_6$)内の A/D 値の中で最も小さい値としている。

【0038】

(交流電源電圧値 V_{AC} を求める演算処理)

図5は、CPU15によって A/D 値から上述のピーク値 V_{op} を算出し、交流電源電圧値 V_{AC} を演算するまでを説明するフローチャートである。ステップ(以下、 S とする)1でCPU15は、 $Relay_ctrl$ 信号を Hi としてリレー17をオン(ON)状態にし、 Ref_ctrl 信号を Lo として基準電源110からの入力を遮断(OFF)する(図2 時刻 t_3)。これにより、CPU15は、交流電源10から入力される電圧を検知する状態となる。CPU15は、 A/D 変換器16により変換した A/D 値と、図2に記載の演算閾値とを比較して、以降の各処理を進める。その処理方法について図2の時刻 $t_4 \sim t_6$ 及び図5を用いて説明する。

【0039】

図2における時刻 t_4 のとき、CPU15は図5の S_2 、 S_3 の処理を実施している。 S_2 でCPU15は、検知電圧 V_o を読み取った A/D 値を取得する。 S_3 でCPU15は、 S_2 で取得した A/D 値が演算閾値よりも小さいか否かを判断する。 S_3 でCPU15は、 A/D 値が演算閾値以上であると判断した場合、処理を S_2 に戻し、 A/D 値が演算閾値よりも小さいと判断した場合、処理を S_4 に進める。例えば、図2の時刻 t_4 における A/D 値と演算閾値との関係は、 A/D 値 $>$ 演算閾値であるため、CPU15は再び S_2 の処理を行う。CPU15は、時刻 t_5 で A/D 値 $<$ 演算閾値となるまでは、 S_2 、 S_3 を繰り返し実行する。

10

20

30

40

50

【 0 0 4 0 】

時刻 t_5 で A/D 値 $<$ 演算閾値となると、CPU 15 はピーク値 V_{op} を算出するための $S_4 \sim S_6$ の処理を実行する。 S_4 で CPU 15 は、ピーク値 V_{op} を取得し、 S_5 で A/D 値を取得し、 S_6 で、 S_5 で取得した A/D 値が演算閾値よりも大きいかなかを判断する。 S_6 で CPU 15 は、 A/D 値が演算閾値以下であると判断した場合、処理を S_4 に戻し、 A/D 値が演算閾値よりも大きいと判断した場合、処理を S_7 に進める。例えば、時刻 t_5 で A/D 値 $<$ 演算閾値となつてから ($S_3 - Y$)、時刻 t_6 で A/D 値 $>$ 演算閾値となるまでの間に取得した複数の A/D 値 (複数のデジタル値) の中で、最小値となった A/D 値を更新し続けることでピーク値 V_{op} を取得する。

【 0 0 4 1 】

例えば、CPU 15 が前回取得した A/D 値を “ A ” とし、今回取得した A/D 値を “ B ” とする。CPU 15 は、“ A ” と “ B ” とを比較し、例えば “ B ” の方が小さいと判断した場合は、“ B ” を最小値 (すなわち、その時点におけるピーク値) として記憶部 15 m に記憶する。次に、 S_5 の処理において最新の A/D 値を取得し、 S_6 では S_5 で取得した A/D 値と演算閾値との比較を行う。ここで A/D 値が演算閾値よりも小さいままであれば再び S_4 の処理を行う。 S_5 で取得した A/D 値を “ C ” とすると、CPU 15 は、 S_4 では先ほどまで最小値 (その時点でのピーク値) として記憶している “ B ” と今回取得した “ C ” とを比較する。その結果、CPU 15 が “ B ” の方が小さいと判断した場合は、“ B ” を最小値として継続して記憶部 15 m に記憶し、“ C ” の方が小さいと判断した場合は “ C ” を最小値として記憶部 15 m に記憶し直す。このようにして CPU 15 は、所定の期間 (例えば、時刻 $t_4 \sim t_6$) におけるピーク値 V_{op} を取得する。

【 0 0 4 2 】

図 2 の時刻 t_6 で A/D 値 $>$ 演算閾値となると、 S_7 で CPU 15 は、交流電源電圧値 V_{AC} の演算を行う。CPU 15 は、 S_4 で求めたピーク値 V_{op} から図 3 の Ref 特性 (Ref 換算テーブル) を用いて、補正前の交流電源電圧値 V_{ac} を求める。続いて CPU 15 は、時刻 $t_1 \sim t_2$ の期間に V_{oc} と図 4 の情報とを用いて求めておいた補正係数 Z を用いて、(3) 式から補正後の交流電源電圧値 V_{AC} を演算する。 S_8 で CPU 15 は、リレー 17 をオフするか否かを判断し、リレー 17 をオフしないと判断した場合は処理を S_2 に戻し、リレー 17 をオフすると判断した場合は処理を終了する。以上のような手順で、交流電源電圧値 V_{AC} を求めることができる。

【 0 0 4 3 】

時刻 t_6 のタイミングで S_7 の処理によって求めた交流電源電圧値 V_{AC} は、その後時刻 t_7 で再びピーク値 V_{op} を取得する S_4 の処理が開始され、時刻 t_8 で再び S_7 の交流電源電圧値 V_{AC} の演算がなされるまで記憶される。すなわち、CPU 15 によって一度演算された交流電源電圧値 V_{AC} は、交流電源 10 の 1 周期の間、記憶部 15 m に記憶され、以降、交流電源電圧値 V_{AC} は 1 周期毎に更新される。 $S_2 \sim S_7$ の処理は、リレー 17 がオフされるまで継続される (S_8)。そして再び CPU 15 が、 $Relay_ctrl$ 信号を Lo 、 Ref_ctrl 信号を Hi として補正期間が始まると、CPU 15 は時刻 $t_1 \sim t_2$ 期間で説明した補正係数 Z を再度取得する。

【 0 0 4 4 】

なお、実施例 1 では、CPU 15 がピーク値 V_{op} を取得して交流電源電圧値 V_{AC} の演算をしているが、これは特許請求の範囲を限定するものではない。例えば、オペアンプ等による演算器でピークホールド信号を生成して検知電圧 V_o とし、それを CPU 15 で取得してもよい。また、取得した A/D 値より実効値演算を実施し、算出した実効値より交流電源電圧値 V_{AC} を演算してもよい。また、実施例 1 におけるその他構成も一例であって、この発明の技術的範囲をそれらのみに限定する趣旨のものではない。具体的には、伝達手段であるフォトカプラ 13 はその他の光伝達素子であってもよいし、絶縁トランス等によるものであってもよい。また、基準電源 110 は基準電源の機能を満たすものであれば交流の基準電源であっても直流の基準電源であってもよい。これらの変形は、以下の実施例においても同様である。

【 0 0 4 5 】

従来の技術では、温度条件や経時条件によってフォトカプラ等の1次2次間の電流伝達が大きく変わるため、高精度な交流電源10の電圧検知ができなかった。それに対し、実施例1によれば、電圧検知装置の温度特性及び経年変化による検知ばらつき補正を行うことで、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことができる。

【 実施例 2 】

【 0 0 4 6 】

〔 電圧検知装置 〕

実施例2における電圧検知装置200の構成及び動作について、図6、図7を用いて説明する。図6は実施例2における電圧検知装置200の回路構成を示したものである。図6において、図1に示した実施例1の回路構成の各部に付した符号と同一符号で示されるものは、同じ機能を有する構成要素を示している。図6は、実施例1で示した図1に比べると、Ref_ctl信号によるFET29の駆動回路と、Relay_ctl信号によるリレー17の駆動回路及びリレー17が削除されている。その上で、抵抗12が12a、12bのように2つに分かれ、その中間点が抵抗28を介してFET29のゲート端子に接続されている。更に、フォトカプラ35、抵抗36からなるゼロクロス回路130が追加されている。また、実施例1の抵抗14は図6ではデジタルポテンションメータ-37（以下、DPM37と記す）となり、CPU15とI-squared-Cによる通信が可能となっている。DPM37は、CPU15からの制御により抵抗値を調整することが可能な抵抗素子である。その他は、実施例1と同じ構成である。

【 0 0 4 7 】

実施例2の基準電源120は、FET29のゲート端子とソース端子との間にコンデンサ32が接続されている。実施例2のフォトカプラ13の1次側のダイオード13dは、アノード側にフォトカプラ35の1次側のダイオード35dが接続されている。フォトカプラ13の2次側のトランジスタ13tは、コレクタ端子にDPM37が接続されている。DPM37は一端が抵抗33を介して電源Vaに接続され、他端が抵抗34を介して電源Vaに接続されている。DPM37の一端はCPU15のSDA端子にも接続され、他端はCPU15のSCL端子にも接続されている。フォトカプラ35の2次側のトランジスタ35tは、コレクタ端子に抵抗36を介して電源Vaが接続され、エミッタ端子は接地されている。トランジスタ35tのコレクタ端子は、CPU15にも接続されている。CPU15は、フォトカプラ35からゼロクロス信号を入力される。

【 0 0 4 8 】

また図7は実施例2の特徴的な動作を時系列に説明するための参考波形である。図7（a）は、交流電源10の電圧の波形を示し、（b）はゼロクロス回路130から入力されたゼロクロス信号の波形を示す。（c）は、基準電源120のFET29のソース端子とゲート端子との間の電圧（S-G間電圧）の波形を示し、（d）はフォトカプラ13のダイオード13dに流れる電流の波形を示す。（c）にはFET29のオン閾値（ON閾値）を点線で示す。（d）にはダイオード13dの設定電流値を点線で示す。（e）は検知電圧Voを示し、（f）は検知電圧Voを読み取ったA/D値を示す。（e）には演算閾値の電圧換算値及び補正目標値（目標値）の電圧換算値を点線で示す。（f）には演算閾値及び補正目標値を点線で示す。横軸はいずれも時間を示す。

【 0 0 4 9 】

〔 ゼロクロス回路 〕

以下動作の詳細について、ゼロクロス回路130、基準電源120の順に説明する。ゼロクロス回路130は、交流電源10に同期してハイレベル又はローレベルの信号（以下、H/L信号という）を出力する回路である。交流電源10のACH側がプラス電位となりフォトカプラ35のダイオード35dに順方向電流が流れると、トランジスタ35tがオン状態となる。これにより電源Vaから抵抗36に電流が流れ、ローレベルのゼロクロス信号がCPU15のI/Oポートに入力される。また、交流電源10のACH側がマイナス電位のときにはトランジスタ35tがオフ状態となって逆の動作となり、ゼロクロス

信号はハイレベルとなる。

【 0 0 5 0 】

[基準電源 1 2 0]

続いて基準電源 1 2 0 の説明をする。基準電源 1 2 0 の F E T 2 9 は、交流電源 1 0 に同期してオン / オフされる。図 7 の F E T 2 9 のソース端子とゲート端子の間の電圧 (S - G 間電圧) に示すように、 F E T 2 9 は P チャネルの M O S F E T であるため、ソース電圧を基準としてゲート電圧がオン閾値以下になるとオン状態となる。すなわち、交流電源 1 0 の A C H 側がプラス電位となり、フォトカプラ 3 5 のダイオード 3 5 d 及びフォトカプラ 1 3 のダイオード 1 3 d に順方向電流が流れている間は、 F E T 2 9 はオフとなる。また、交流電源 1 0 の A C H 側がマイナス電位のときは、 F E T 2 9 はオンとなり、基準電源 1 2 0 からの電流が抵抗 3 0 を介してフォトカプラ 1 3 のダイオード 1 3 d に流れる。これによりフォトカプラ 1 3 のダイオード 1 3 d には、図 7 (d) に示すように、交流電源 1 0 の A C H からの電流と、基準電源 1 2 0 からの電流とが交互 (交流電圧の半周期ごと) に流れる。よって、2 次側の検知電圧 V_o も、図 7 (e) に示すように、交流電源 1 0 の交流電圧に応じた電圧と、基準電源 1 2 0 に応じた電圧とが交互に現れる。

10

【 0 0 5 1 】

[補正方法及び交流電源電圧値 V_{AC} の演算方法]

続いて実施例 2 の補正方法及び交流電源電圧値 V_{AC} の演算方法について説明する。実施例 2 の補正期間及び交流電源電圧値 V_{AC} の演算期間の切り替えには、ゼロクロス信号が用いられる。具体的には、ゼロクロス信号がハイレベルの期間を補正期間 (第 1 の状態) 、ゼロクロス信号がローレベルの期間を交流電源電圧値 V_{AC} の演算期間 (第 2 の状態) とする。このように、実施例 2 では、交流電源 1 0 に同期したゼロクロス信号を用いることで、C P U 1 5 による補正期間及び交流電源電圧値 V_{AC} の演算期間の切り替え判断を、単純化している。

20

【 0 0 5 2 】

図 7 の時刻 t_{11} でゼロクロス信号がローレベルからハイレベルになると、検知電圧 V_o は、基準電源 1 2 0 に応じた電圧となる。C P U 1 5 は、時刻 t_{12} でゼロクロス信号がハイレベルからローレベルになるまでの間に検知電圧 V_o の値を A / D 変換器 1 6 で A / D 値に変換する。C P U 1 5 は、読み取った A / D 値と、図 7 (f) の補正目標値とを比較し、その比較結果に応じて D P M 3 7 の抵抗値を調整する。図 7 (f) の補正目標値は、実施例 1 で示した図 4 の補正係数が 1 . 0 となる値である。補正目標値は、図 3 の R E F 特性を用いて交流電源電圧値 V_{AC} を演算しても高精度な結果を得ることができるように、D P M 3 7 の抵抗値を調整することによって検知電圧 V_o を調整するための基準値である。

30

【 0 0 5 3 】

実施例 1 では、C P U 1 5 が記憶する図 3 の R E F 特性 (R e f 換算テーブル) と実際の特性とのズレを、補正期間内に読み取った A / D 値 (V_{oc} に対応) から補正係数 Z を取得することで、高精度な交流電源電圧値 V_{AC} を演算していた。一方、実施例 2 では、図 3 の R E F 特性と実際の特性とが一致するように、読み取った A / D 値が補正目標値と一致するように D P M 3 7 の抵抗値を調整する。なお、実施例 2 においても交流電源 1 0 の電圧が 1 1 0 V であるときに (1) 式が成り立つように設定している。そのため、補正目標値は R E F 特性の 1 1 0 V (所定値) での A / D 値 ($V_{o1} [dec]$) となる。これにより、より高い分解能で電圧を検知することが可能となる。

40

【 0 0 5 4 】

図 7 に示すように、時刻 $t_{11} \sim t_{12}$ の補正期間で読み取った A / D 値と補正目標値との関係が、A / D 値 > 補正目標値の関係にある場合、C P U 1 5 は D P M 3 7 の抵抗値が高くなるように I - s q u a r e d - C 通信により D P M 3 7 を調整する。具体的には、実施例 2 では時刻 t_{12} で補正期間の読み取りと補正目標値との比較が完了し、その後、所定時間が経過した時刻 t_{13} のタイミングで D P M 3 7 の抵抗値が調整されている。また、その調整後の抵抗値は、読み取った A / D 値、A / D 値を読み取った際の D P M 3

50

7の抵抗設定値と、補正目標値、補正後のDPM37の抵抗設定値との比率により決定される。

【0055】

時刻t14～t15で再び補正期間になると、CPU15は再度A/D値を取得し、同様に補正目標値との比較、及びDPM37の抵抗値の調整を実施する。図7では、時刻t16で再度DPM37の抵抗値が調整され、時刻t17～t18の補正期間では、読み取ったA/D値と補正目標値とが略等しくなっている。このように、CPU15は、A/D値と補正目標値とが等しくなるまでDPM37の抵抗値の調整を繰り返し実施する。なお、実際の動作では、A/D値と補正目標値とが全く等しくなることは極めて困難であり、時間を要するため、補正目標値にある程度の幅を持たせることで補正時間の短縮化を図るようにするとよい。すなわち、A/D値と補正目標値との差が小さくなるように、具体的には、その差が所定の範囲内となるようにすればよい。

10

【0056】

時刻t17～t18のように補正期間で読み取ったA/D値と補正目標値とが略等しくなると、CPU15はDPM37の抵抗値調整が完了したと判断する。CPU15は、DPM37の抵抗値の調整が完了した直後のゼロクロス信号がローレベルとなっている期間、すなわち時刻t18～t21で、交流電源電圧値VACの演算を実行する。時刻t11～t12、時刻t14～t15のようにDPM37の抵抗値の調整が完了していない場合には、時刻t12～t14、時刻t15～t17のゼロクロス信号がローレベルの期間での交流電源電圧値VACの演算は実施しない。すなわち、実施例2では、交流電源10の1周期毎にA/D値と補正目標値との比較を行って、補正目標値とのずれが解消された後に、言い換えれば最適な補正值でもって交流電源電圧値VACを演算することができる。

20

【0057】

時刻t18～t21の期間における交流電源電圧値VACの演算の具体的方法は、実効値演算による方法とする。実施例2においても、実施例1で示したように、ピーク電圧Vopによるものでもよい。実施例2では実効値演算にすることで、歪んだ交流電源10の場合でも高精度な交流電源電圧値VACの演算が可能となる。交流電源電圧値VACの演算を実効値演算によって実施する場合には、(4)式を用いて検知電圧Voより実効値RMSを求める。

【数3】

30

$$RMS = \sqrt{\frac{1}{T} \int_0^T f(V_a - V_o)^2 dt} \cdots \cdots (4)$$

Va：検知電圧Voの基準電圧

T：交流電源10の1/2周期

【0058】

(4)式の1/2周期Tは図7のゼロクロス信号がローレベルとなる時刻t18～t21の期間となる。また、(4)式の実効値RMSをCPU15で演算する場合は、読み取ったA/D値から(5)式で演算する。

40

【数4】

$$RMS = \sqrt{\frac{(Vot[dec] - Vdec_0)^2 + (Vot[dec] - Vdec_1)^2 + \cdots + (Vot[dec] - Vdec_{n-1})^2 + (Vot[dec] - Vdec_n)^2}{n}} \cdots \cdots (5)$$

50

$V_{ot}[dec]$: 演算閾値に相当する A / D 値

V_{dec} : 所望のサンプリング周期で読み取った A / D 値

【 0 0 5 9 】

実施例 2 の場合の 0 ~ n は、A / D 値が演算閾値以下となる期間に取得した A / D 値の個数であり、図 7 の時刻 $t_{19} \sim t_{20}$ に取得した A / D 値となる。また、A / D 値のサンプリング周期は可能な限り短い方が交流電源電圧値 V_{AC} の検知精度を高めることができる。交流電源 10 に重畳するノイズ周波数にもよるが、少なくとも 5 kHz ~ 20 kHz のサンプリング周波数が必要となる。そして、CPU 15 は、図 3 の横軸 $V_{op}[dec]$ が実効値 RMS となった交流電源電圧 REF 特性のテーブルを記憶部 15 m に記憶しており、その REF 特性から交流電源電圧値 V_{AC} を演算する。これにより、交流電源 10 に高周波ノイズや低周波ノイズが重畳した場合であっても、交流電源 10 の正確な実効電圧を把握することが可能となる。

10

【 0 0 6 0 】

実施例 2 では、以上のような構成とすることで、更に高い分解能で交流電源電圧値 V_{AC} を検知することが可能となる。更には、交流電源 10 の 1 周期毎に補正值の見直しをかけることができるため、電圧検知装置 200 の温度条件が刻々と変化する場合であっても、高精度な交流電源の電圧検知ができる。

【 0 0 6 1 】

以上、実施例 2 によれば、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことができる。

20

【実施例 3】

【 0 0 6 2 】

〔電圧検知装置〕

実施例 3 の電圧検知装置の構成及び動作について、図 8、図 9 を用いて説明する。図 8 は実施例 3 の電圧検知装置 300 の回路構成を示したものである。図 8 において、図 1 に示した実施例 1 の電圧検知装置 100 の構成、及び図 6 に示した実施例 2 の電圧検知装置 200 の各部に付した符号と同一符号で示されるものは、同じ機能を有する構成要素を示している。実施例 1 で示した図 1 では、交流電源 10 の後に配置されたダイオード 11 a、ダイオード 11 b によって負電圧の整流を行っていた。図 8 では、ダイオード 38 a、ダイオード 38 b、ダイオード 38 c、ダイオード 38 d による整流手段であるブリッジダイオード 38 による全波整流に変わっている。また、フォトカプラ 13 の 2 次側は図 6 に記載の実施例 2 と同じ DPM 37 となっている。その他は実施例 1 の形態と同じ構成であり、説明を省略する。

30

【 0 0 6 3 】

〔電圧検知装置の動作〕

以下動作の詳細について図 9 を用いて説明する。図 9 は実施例 3 の特徴的な動作を時系列に説明するための参考波形である。図 9 (a) には交流電源 10 の電圧の波形を示し、(b) にはフォトカプラ 13 のダイオード 13 d に流れる電流の波形を示す。(c) には検知電圧 V_o の波形を示し、演算閾値の電圧換算値及び補正目標値の電圧換算値を点線で示す。(d) には検知電圧 V_o を読み取った A / D 値を示し、演算閾値及び補正目標値を点線で示す。いずれも横軸は、時間を示す。なお、図 9 に記載の演算閾値、補正目標値、及びピーク値 $V_{op}[dec]$ は図 2、図 7 に記載するものと同一であるため、説明は省略する。

40

【 0 0 6 4 】

実施例 3 の補正期間は、図 9 における時刻 $t_{31} \sim t_{33}$ であり、実施例 1 と同じく CPU 15 が $Relay_ctrl$ 信号を L o とし、 Ref_ctrl 信号を H i とする。これにより、フォトカプラ 13 のダイオード 13 d に基準電源 110 からの電流のみを流すようにする。そして補正方法は、CPU 15 が、実施例 2 と同じく、読み取った A / D 値と図 9 に記載の補正目標値とを比較し、比較結果に応じて DPM 37 の抵抗値を調整する。図 9 では時刻 $t_{31} \sim t_{32}$ で読み取った A / D 値と補正目標値とを比較し、CPU

50

15 が時刻 t_{32} で $DPM37$ の抵抗値を調整している。

【0065】

交流電源電圧値 VAC の演算は、図5で示した実施例1と同じく、変換された A/D 値が演算閾値を超える期間でピーク電圧 Vop を求める方法である。しかしながら、 $DPM37$ の抵抗値調整を実施しているため、実施例1で求めた補正係数 Z は実施例3では不要である。そのため $CPU15$ は、算出したピーク電圧 Vop と図3の REF 特性 (Ref 換算テーブル) とに基づいて交流電源電圧値 VAC の演算を行う。そして実施例3が他実施例と大きく異なるところは、検知電圧 Vo が全波波形であるという点である (図9(c) 参照)。図9に示す時刻 t_{34} 以降の交流電源電圧値 VAC の演算は、全波波形に対して実施する。

10

【0066】

よって $CPU15$ は、時刻 $t_{35} \sim t_{36}$ の期間で交流電源電圧値 VAC を演算し、その結果は時刻 t_{37} で更新されるまで保持される。つまり実施例1及び実施例2では、算出した交流電源電圧値 VAC は交流電源10の1周期毎に更新されていたのに対し、実施例3では交流電源10の半周期毎に更新される。そのため、実施例3では、交流電源10の正半波及び負半波のどちらか一方にのみ高周波ノイズや低周波ノイズが重畳した場合であっても、交流電源10の正確な実効値を把握することが可能となる。

【0067】

実施例3では、以上のような構成とすることで、交流電源10の全波波形に対して交流電源電圧値 VAC の演算が可能となる。交流電源10の正半波及び負半波のどちらか一方にのみ高周波ノイズや低周波ノイズが重畳した場合であっても、交流電源の正確な実効電圧を検知することができる。

20

【0068】

以上、実施例3によれば、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことができる。

【実施例4】

【0069】

〔電圧検知装置〕

実施例4の電圧検知装置の構成及び動作について、図10、図11、図12を用いて説明する。図10は実施例4の電圧検知装置400の回路構成を示したものである。図10において、図1に示した実施例1の回路構成、及び図6に示した実施例3の回路構成、図8に示した実施例3の回路構成各部に付した符号と同一符号で示されるものは、同じ機能を有する構成要素を示している。

30

【0070】

実施例1～実施例3では、交流電源10の電圧値 (VAC) を演算するために電圧を検知する電圧検知装置であったが、実施例4は温度を検知するための電圧検知装置である。以下、電圧検知装置400を温度検知装置400とする。温度検知装置400は、例えば画像形成装置等の1次側に配置された発熱体の温度を検知することを目的として利用される。すなわち、実施例4では、検知の対象は発熱体の温度である。したがって、実施例1では、2次側から検知したい1次情報として、交流電源10が接続され、その1次情報を電圧にするための回路部品であるダイオード11a、ダイオード11bが構成されていた。これに対し実施例4では、1次側には温度情報を検知するための温度検知部410が構成されている。

40

【0071】

〔温度検知部〕

温度検知部410は、基準電圧31を抵抗39と温度検知素子であるサーミスタ40で分圧した電圧を、バッファ回路420を介してフォトカプラ13へ接続するように構成している。温度検知部410は、サーミスタ40で検知した温度の情報を電圧に変換する電圧変換手段として機能する。バッファ回路420は、オペアンプ41、抵抗42、トランジスタ43、抵抗44で構成された電流増幅のためのバッファ回路である。抵抗39とサ

50

ーミスタ 40 の分圧値はオペアンプ 41 の非反転入力端子 (+ 端子) に入力される。オペアンプ 41 の出力端子は抵抗 42 を介してトランジスタ 43 のベース端子に接続される。トランジスタ 43 は、コレクタ端子に基準電圧 31 の + 側が接続され、エミッタ端子に抵抗 44 の一端が接続されている。抵抗 44 の他端は基準電圧 31 の - 端子に接続されている。トランジスタ 43 のエミッタ端子と抵抗 44 の一端との接続点は、オペアンプ 41 の反転入力端子 (- 端子) に入力されている。また、トランジスタ 43 のエミッタ端子と抵抗 44 の一端との接続点は、抵抗 12 を介してフォトカプラ 13 のダイオード 13 d のアノード側に接続されている。

【0072】

基準電圧 31 の抵抗 39 とサーミスタ 40 の分圧値は、発熱体近傍にサーミスタ 40 を配置することで温度に応じて変化する。バッファ回路 420 の出力である抵抗 44 の両端に発生する電圧は、オペアンプ 41 のオフセット電圧を無視すると、サーミスタ 40 の両端に発生する電圧と等しくなる。このバッファ回路 420 は、フォトカプラ 13 のダイオード 13 d に十分な電流を流すために備えられている。

【0073】

また、実施例 1 では、Relay__ctrl 信号と Ref__ctrl 信号によってフォトカプラ 13 への入力情報を切り替えていたのに対し、実施例 3 では Ref__ctrl 信号のみで切り替えを行えるよう、FET 46 を備えている。FET 46 は、ドレイン端子にオペアンプ 41 の出力端子が抵抗 42 を介して接続され、ゲート端子にフォトカプラ 21 のトランジスタ 21 t のエミッタ端子が抵抗 24 を介して接続されている。FET 46 のソース端子は接地されている。抵抗 45 は、FET 46 のゲート端子とソース端子との間に接続されている。Ref__ctrl 信号が Hi になると、フォトカプラ 21 がオンして FET 46 のゲート電圧が上昇する。これにより、トランジスタ 43 がオフ (オープン) となり、温度検知部 410 からの出力は停止する。FET 46 がオンするとともに、FET 26、FET 29 もオン状態となり、基準電源 110 からの電流がフォトカプラ 13 のダイオード 13 d に供給される。このようにしてフォトカプラ 13 への入力情報を切り替えている。また、Ref__ctrl 信号が Lo になると、FET 29 がオフし基準電源 110 からの電流のフォトカプラ 13 のダイオード 13 d への供給が遮断される。また、FET 46 もオフし、温度検知部 410 から抵抗 12 を介してフォトカプラ 13 に電流が供給される。

【0074】

FET 46 は、オン状態 (第 1 の接続状態) のとき、フォトカプラ 13 への温度検知部 410 により変換された電圧の供給を遮断し、かつ、フォトカプラ 13 へ基準電源 110 の電圧を供給する。FET 46 は、オフ状態 (第 2 の接続状態) のとき、フォトカプラ 13 に温度検知部 410 により変換された電圧を供給し、かつ、フォトカプラ 13 への基準電源 110 の電圧の供給を遮断する。そのほかの回路動作は実施例 1 と等しいため、説明を省略する。

【0075】

[温度検知装置の動作]

図 11 は実施例 4 における特徴的な動作を時系列に説明するための参考波形である。図 11 (a) には、加熱装置 (不図示) の温度を示し、(b) にはフォトカプラ 13 のダイオード 13 d に流れる電流の波形を示す。(c) には検知電圧 V_o を示し、補正目標値の電圧換算値を点線で示す。(d) は検知電圧 V_o を読み取った A/D 値を示し、補正目標値を点線で示す。横軸はいずれも時間を示す。なお、図 11 に記載の補正目標値は図 7、図 9 に記載するものと同一であるため、説明は省略する。

【0076】

図 11 に示す時刻 $t_{41} \sim t_{43}$ は、実施例 3 で説明した補正期間 (時刻 $t_{31} \sim t_{33}$) と同じである。すなわち、Ref__ctrl 信号を Hi として基準電源 110 からの電流をフォトカプラ 13 のダイオード 13 d に流した際の A/D 値が補正目標値と等しくなるように DPM 37 の抵抗値が調整されている。

10

20

30

40

50

【 0 0 7 7 】

(検知温度と A / D 値との関係)

図 1 2 は C P U 1 5 が記憶部 1 5 m に記憶している加熱装置の温度と温度検知装置 4 0 0 により読み取った A / D 値との関係を示している。図 1 2 は、横軸に A / D 値 [d e c] を示し、縦軸に加熱装置の温度 [] を示す。実施例 4 では、時刻 t 4 1 ~ t 4 3 の補正期間に読み取った A / D 値と、図 1 2 に示す加熱装置の温度が 1 5 0 度のときの A / D 値 (A / D [d e c]) とが等しくなるように設定されている。

【 0 0 7 8 】

すなわち、R e f _ c t r l 信号を H i としたとき、基準電源 1 1 0 からダイオード 1 3 d に流れる電流を I r e f とする。R e f _ c t r l 信号を L o としたとき、温度検知部 4 1 0 からダイオード 1 3 d に流れるピーク電流を I t e m p とする。このとき、電流 I r e f と加熱装置の温度が 1 5 0 度のときのピーク電流 I t e m p とが等しくなるようにしている。このことは、実施例 1 に記載した (1) 式と同様の考え方であり、実施例 4 における伝達率の補正効果を得るためである。

【 0 0 7 9 】

これら電流 I r e f とピーク電流 I t e m p の調整は、オペアンプ 4 1 の入力オフセット電圧、F E T 2 9 のオン抵抗を無視すると、(6) 式の関係にすることで実現できる。なお (6) 式では、基準電圧 3 1 を V 3 1、抵抗 3 0 を R 3 0、抵抗 1 2 を R 1 2、抵抗 3 9 を R 3 9、サーミスタ 4 0 の抵抗を T H 4 0 としている。

【 数 5 】

$$I_{temp} = \frac{V_{31} \times T_{H40}}{R_{12}(R_{39} + T_{H40})} = I_{ref} = \frac{V_{31}}{R_{30}} \dots \dots (6)$$

【 0 0 8 0 】

このようにして、サーミスタ 4 0 の抵抗値が予め定めた特定の温度における抵抗値のときに (6) 式が成り立つようにすることで、温度検知装置 4 0 0 の温度特性及び経年変化による検知ばらつきを補正することが可能となる。なお、補正期間における A / D 値の調整は、実施例 2 同様に許容される範囲を持って調整する。図 1 1 では、C P U 1 5 は、時刻 t 4 1 の補正期間の開始後に読み取った A / D 値の補正目標値からのズレを時刻 t 4 2 で D P M 3 7 の抵抗値を調整することで調整し、時刻 t 4 2 ~ t 4 3 で補正目標値と等しいことを確認している。

【 0 0 8 1 】

補正期間が終了すると、C P U 1 5 は実施例 1 同様に R e f _ c t r l 信号を L o とし、取得した A / D 値から記憶部 1 5 m に予め記憶しているテーブル値を使って所定の値を算出する。実施例 4 では、図 1 2 の特性を使って加熱装置 (不図示) の温度を算出する。実施例 4 の場合、2 次側から検知したい 1 次情報は、加熱装置 (不図示) の温度であり、その温度に応じて A / D 値が変動する。つまり、これまでの実施例 1 ~ 3 のように、A / D 値からピーク値や実効値を求める演算を行う必要はない。そのため、C P U 1 5 への入力情報である A / D 値そのものが図 1 2 のグラフの横軸 (A / D 値 [d e c]) となっている。以上のように、C P U 1 5 は、読み取った A / D 値から温度情報を演算し、加熱装置 (不図示) の発熱体の温度を制御する。

【 0 0 8 2 】

従来の技術では、温度条件や経時条件によってフォトカプラ等の 1 次 2 次の電流伝達が大きく変わるため、高精度な入力交流電源 1 0 の電圧検知ができなかった。以上のように、1 次側の温度情報を 2 次側で検知する温度検知装置においても、実施例 4 のような補正機能を備える。これにより、電圧検知回路の温度特性及び経年変化による検知ばらつき補正することが可能となり、従来よりも高精度に温度情報を検知することができる。

【 0 0 8 3 】

以上、実施例 4 によれば、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことができる。

【実施例 5】

【 0 0 8 4 】

〔 レーザビームプリンタの説明 〕

図 1 3 に、上述した電圧検知装置 1 0 0 ~ 4 0 0 を備える画像形成装置の一例として、レーザビームプリンタの概略構成を示す。レーザビームプリンタ 1 0 0 0 (以下、プリンタ 1 0 0 0 という) は、感光ドラム 1 0 0 1、帯電部 1 0 0 2、現像部 1 0 0 3 を備えている。感光ドラム 1 0 0 1 は、静電潜像が形成される像担持体である。帯電部 1 0 0 2 は、感光ドラム 1 0 0 1 を一様に帯電する。現像部 1 0 0 3 は、感光ドラム 1 0 0 1 に形成された静電潜像をトナーにより現像することでトナー像を形成する。感光ドラム 1 0 0 1 上 (像担持体上) に形成されたトナー像をカセット 1 0 0 4 から供給された記録材としてのシート P に転写部 1 0 0 5 によって転写する。シート P に転写した未定着のトナー像を定着手段である定着器 1 0 0 6 によって定着してトレイ 1 0 0 7 に排出する。この感光ドラム 1 0 0 1、帯電部 1 0 0 2、現像部 1 0 0 3、転写部 1 0 0 5 が未定着のトナー像を形成する画像形成部 (画像形成手段) である。また、プリンタ 1 0 0 0 は、電源装置 1 0 0 8 を備え、電源装置 1 0 0 8 からモータ等の駆動部と制御部 1 5 0 0 へ電力を供給している。制御部 1 5 0 0 は、C P U (不図示) を有しており、画像形成部による画像形成動作やシート P の搬送動作等を制御している。なお、制御部 1 5 0 0 が C P U 1 5 を有して

10

20

【 0 0 8 5 】

プリンタ 1 0 0 0 は、プリント動作を終了させると所定時間が経過した後、プリント動作をすぐに実行できるスタンバイ状態に遷移する。更に所定時間が経過した後、プリンタ 1 0 0 0 は待機時の消費電力を低減するため、スタンバイ状態から低消費電力モードであるスリープ状態に遷移する。プリンタ 1 0 0 0 はスリープ状態、スタンバイ状態、プリント状態の 3 つの状態を持ち、制御部 1 5 0 0 がそれぞれの状態に遷移させる。なお、本発明の電源装置を適用することができる画像形成装置は、図 1 に例示された構成に限定されない。

【 0 0 8 6 】

プリンタ 1 0 0 0 が備える C P U は、実施例 1 (又は実施例 2 ~ 4) の C P U 1 5 であってもよい。実施例 1 (又は実施例 2、3) の電圧検知装置 1 0 0 (又は 2 0 0、3 0 0) を備えるプリンタ 1 0 0 0 は、電圧検知装置 1 0 0 (又は 2 0 0、3 0 0) によって交流電源 1 0 の入力電圧値を検知する。C P U 1 5 は、例えば、電圧検知装置 1 0 0 (又は 2 0 0、3 0 0) により検知した補正後の交流電源電圧値 V A C と定着処理の目標温度とに基づいて、定着器 1 0 0 6 が有する発熱体 (不図示) に投入する電力を決定する。また、実施例 4 の電圧検知装置 (又は温度検知装置) 4 0 0 を備えるプリンタ 1 0 0 0 は、電圧検知装置 4 0 0 によって定着器 1 0 0 6 が有する発熱体 (不図示) の温度を検知する。すなわち、定着器 1 0 0 6 が実施例 4 の加熱装置に相当する。

30

【 0 0 8 7 】

以上、実施例 5 によれば、温度変化や経年変化の影響を受けず、精度よく電圧検知を行うことができる。

40

【符号の説明】

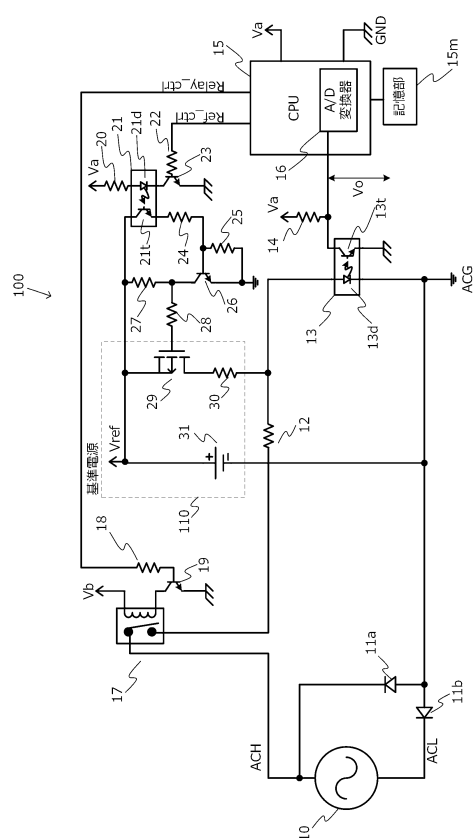
【 0 0 8 8 】

1 3 フォトカプラ
1 5 C P U
1 6 A / D 変換器
1 7 リレー
2 9 P - M O S F E T
1 1 0 基準電源

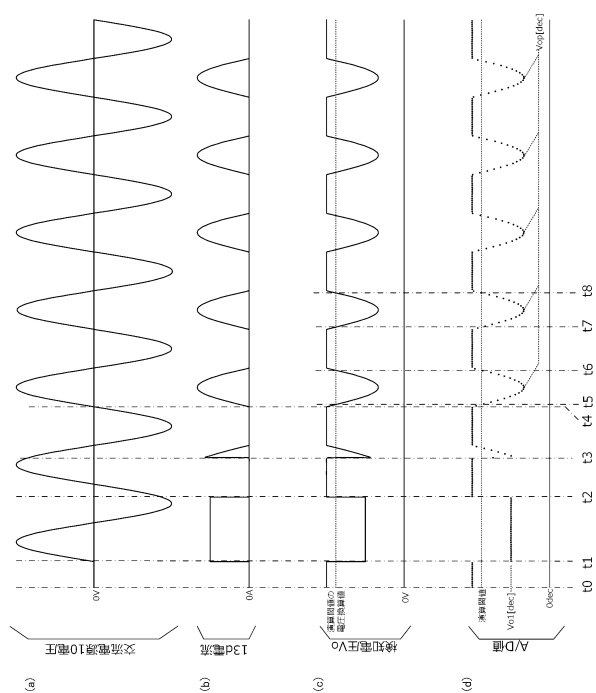
50

【図面】

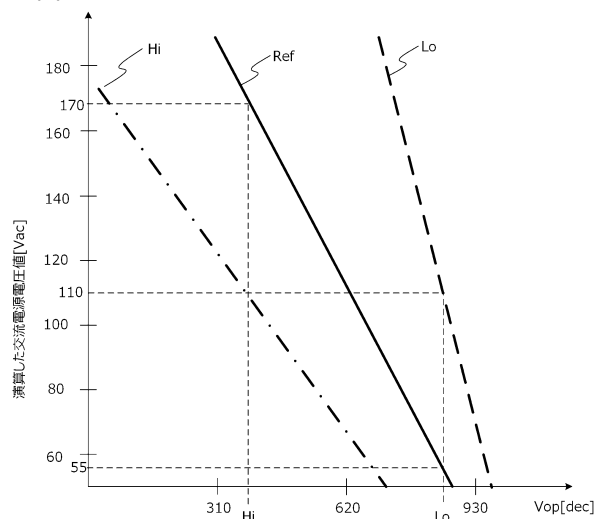
【 図 1 】



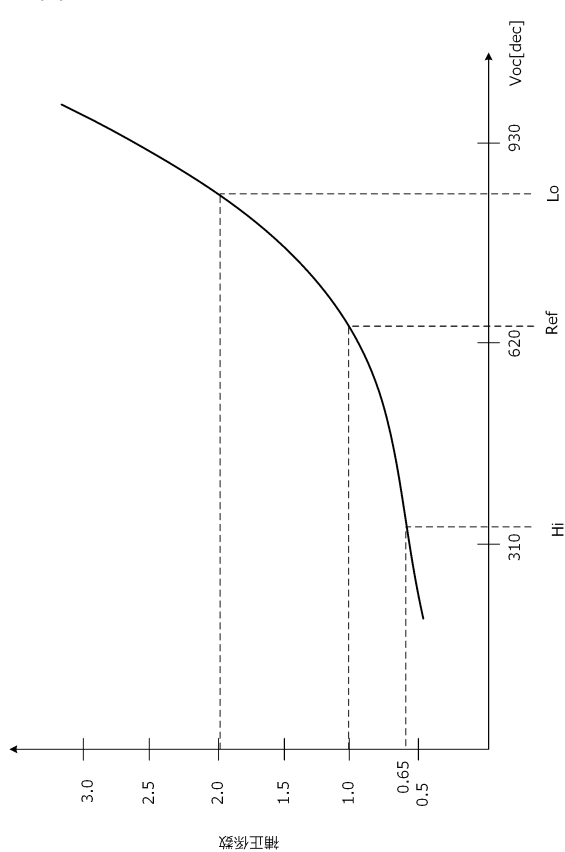
【圖 2】



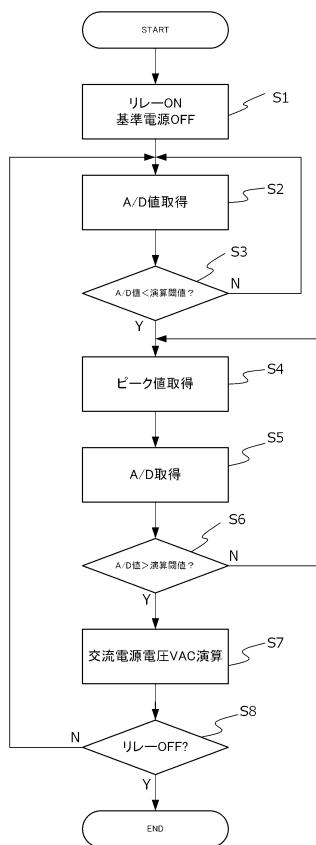
【圖 3】



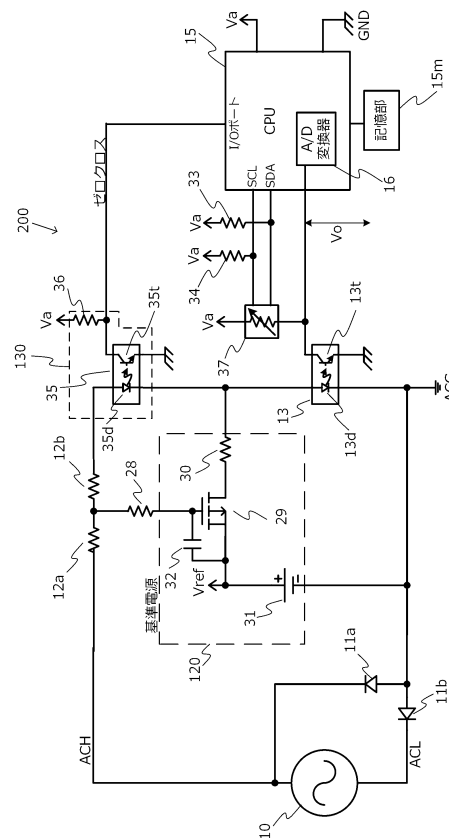
【 図 4 】



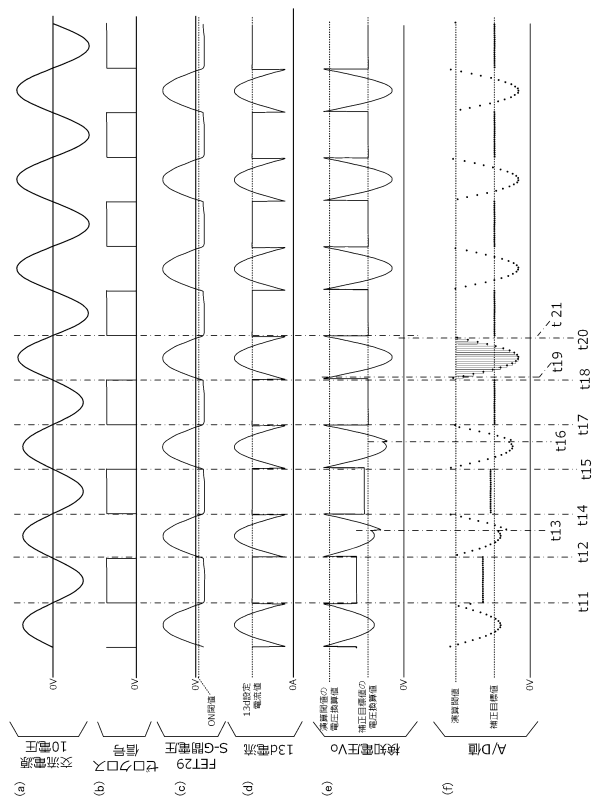
【 図 5 】



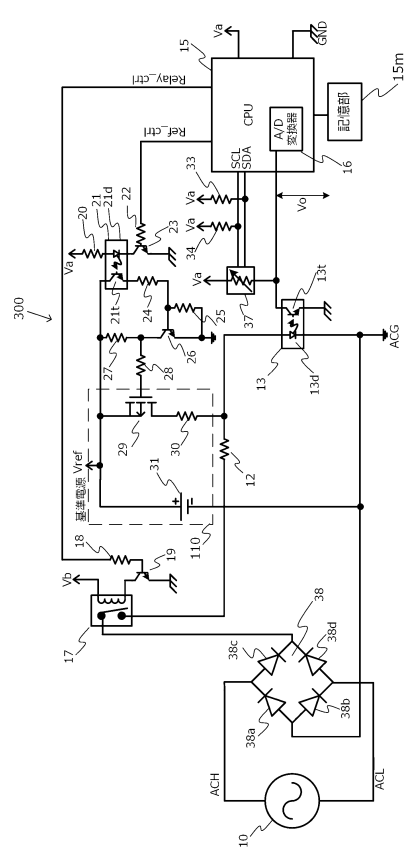
【 図 6 】



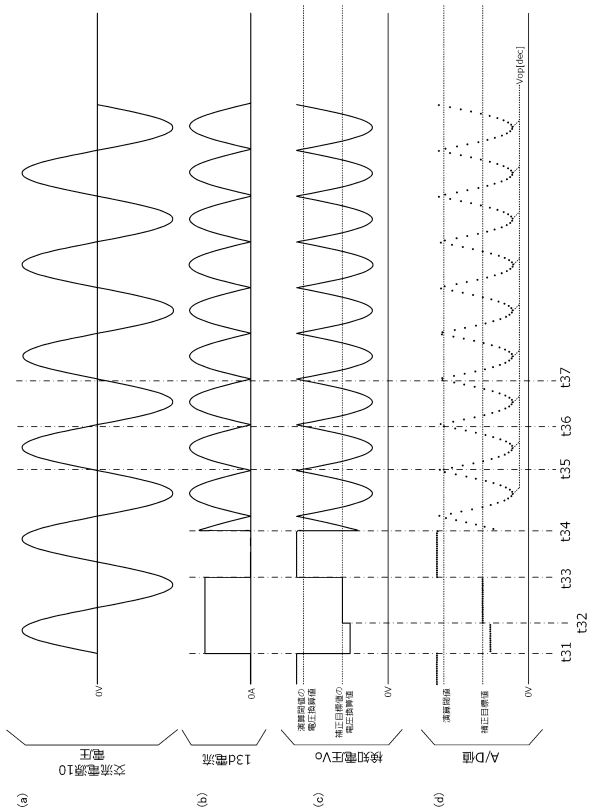
【圖 7】



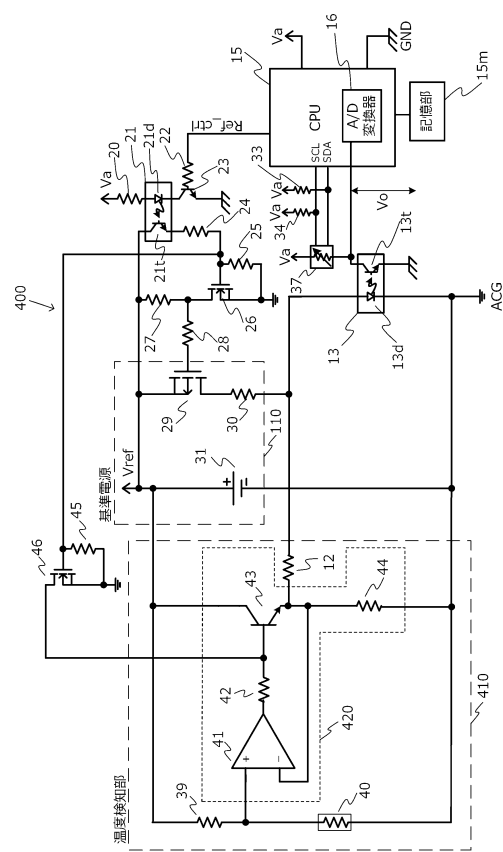
【圖 8】



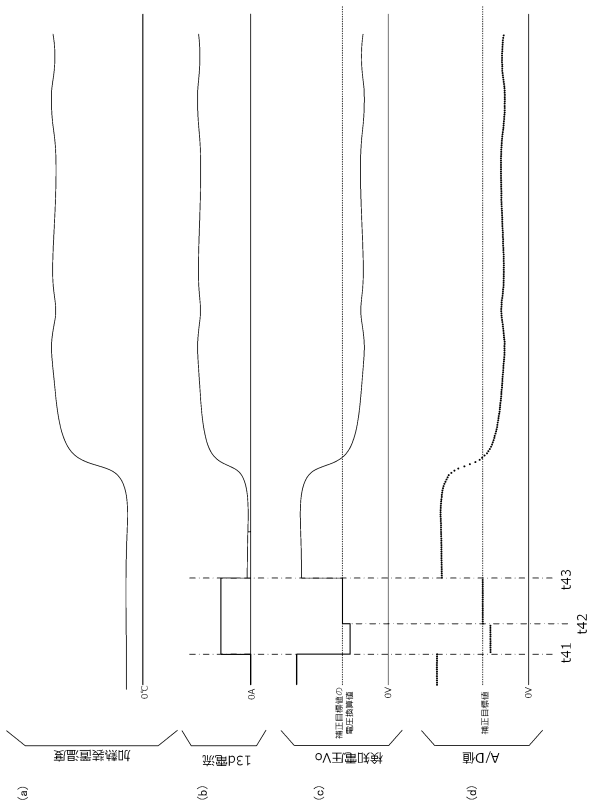
【図 9】



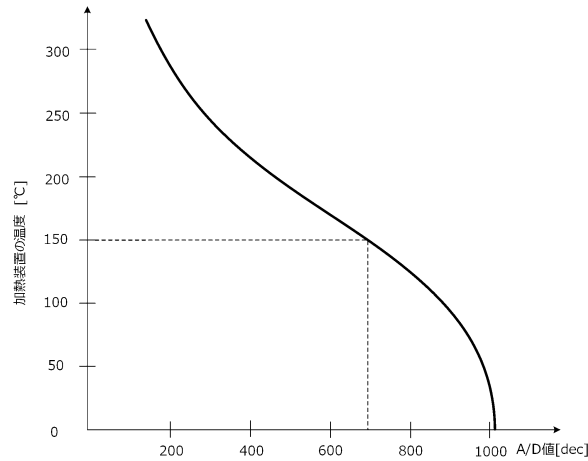
【図 10】



【図 11】



【図 12】



10

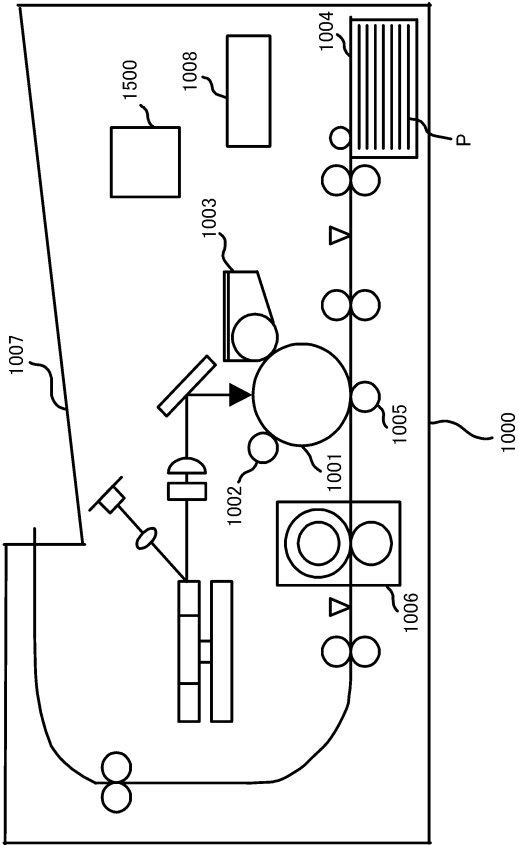
20

30

40

50

【図 13】



10

20

30

40

50

フロントページの続き

(56)参考文献 特開平 1 0 - 1 1 1 3 2 2 (J P , A)
特開 2 0 1 3 - 2 1 7 8 4 3 (J P , A)
特開 2 0 1 5 - 2 1 0 2 7 6 (J P , A)
特開 2 0 1 1 - 1 1 2 9 1 1 (J P , A)
特開 2 0 1 7 - 3 4 2 5 (J P , A)
特開 2 0 1 5 - 2 2 4 8 8 6 (J P , A)
特開 2 0 0 6 - 3 1 0 3 3 3 (J P , A)
特開 2 0 1 8 - 8 7 7 1 9 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
G 0 1 R 1 9 / 0 0
G 0 1 R 3 1 / 2 6
G 0 1 R 3 1 / 0 0
G 0 1 R 3 5 / 0 0
G 0 3 G 2 1 / 0 0
G 0 3 G 1 5 / 2 0