

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-510964

(P2024-510964A)

(43)公表日 令和6年3月12日(2024.3.12)

(51)国際特許分類	F I			
H 0 1 L 29/78 (2006.01)	H 0 1 L	29/78	6 5 2 K	
H 0 1 L 29/12 (2006.01)	H 0 1 L	29/78	6 5 2 T	
H 0 1 L 21/336 (2006.01)	H 0 1 L	29/78	6 5 2 S	
	H 0 1 L	29/78	6 5 2 Q	
	H 0 1 L	29/78	6 5 2 F	
審査請求 未請求 予備審査請求 未請求 (全26頁) 最終頁に続く				

(21)出願番号	特願2023-555123(P2023-555123)	(71)出願人	300057230
(86)(22)出願日	令和4年2月15日(2022.2.15)		セミコンダクター・コンポーネンツ・インダストリーズ・リミテッド・ライアビリティ・カンパニー
(85)翻訳文提出日	令和5年10月30日(2023.10.30)		アメリカ合衆国 アリゾナ 8 5 2 5 0 , スコッツデール , ノース ピマ ロード 5 7 0 1
(86)国際出願番号	PCT/US2022/070659	(74)代理人	110002077
(87)国際公開番号	WO2022/192830		園田・小林弁理士法人
(87)国際公開日	令和4年9月15日(2022.9.15)	(72)発明者	ナイヤー , トーマス
(31)優先権主張番号	17/194,846		ドイツ国 8 1 5 4 7 バヴェアリア , ミュンヘン , マングファルシュトラッセ 2
(32)優先日	令和3年3月8日(2021.3.8)	(72)発明者	デ ヴレーシューヴェル , ヘルベルト
(33)優先権主張国・地域又は機関	米国(US)		ベルギー国 9 8 7 0 オースト - フラン
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		最終頁に続く

(54)【発明の名称】 ゲート接続グリッドを有する縦型トランジスタ

(57)【要約】

一般的な態様において、半導体デバイス(100)は、半導体領域の活性領域(110)内に配置された複数の縦型トランジスタセグメント(200、300)を含むことができる。複数の縦型トランジスタセグメントは、それぞれのゲート電極(206b、306b)を含むことができる。活性領域上第1の誘電体(415、915、1015)を配置することができる。第1の誘電体上に導電性グリッド(130、230、330、430、630、930、1030)を配置することができる。導電性グリッドは、第1の誘電体を貫通して形成された複数の導電性コンタクト(430a、630a、930a、1030a)を使用して、それぞれのゲート電極と電気的に結合することができる。導電性グリッド及び第1の誘電体上に第2の誘電体(925)を配置することができる。第2の誘電体層上に導電性金属層を配置することができる。導電性金属層は、第2の誘電体を貫通して形成された導電性グリッドへの少なくとも1つの導電性コンタクト(930a)を使用して、導電性グリッドを介してそれぞれのゲート電極と電気的に結合された

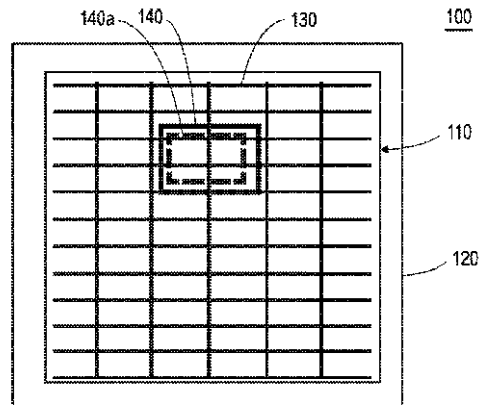


FIG. 1A

【特許請求の範囲】

【請求項 1】

半導体デバイスであって、

縦型トランジスタであって、

第 1 のボディ領域 (2 0 3 、 3 0 3) 、第 1 のソース領域 (2 0 4 、 3 0 4) 、及び第 1 のゲート電極 (2 0 6 b 、 3 0 6 b) を有する第 1 のトランジスタセグメント (2 0 0 、 3 0 0) と、

第 2 のボディ領域 (2 0 3 、 3 0 3) 、第 2 のソース領域 (2 0 4 、 3 0 4) 、及び第 2 のゲート電極 (2 0 6 b 、 2 0 6 b) を有する第 2 のトランジスタセグメント (2 0 0 、 3 0 0) と、を有する縦型トランジスタと、

前記縦型トランジスタ上に配置された第 1 の誘電体層 (4 1 5 、 9 1 5 、 1 0 1 5) と

、
前記第 1 の誘電体層上に配置された導電性グリッド (1 3 0 、 2 3 0 、 3 3 0 、 4 3 0 、 6 3 0 、 9 3 0 、 1 0 3 0) であって、前記第 1 の誘電体層を貫通して形成された少なくとも第 1 の導電性コンタクト (4 3 0 a 、 6 3 0 a 、 9 3 0 a 、 1 0 3 0 a) を使用して前記第 1 のゲート電極及び前記第 2 のゲート電極と電気的に結合される、導電性グリッドと、

前記導電性グリッド及び前記第 1 の誘電体層上に配置された第 2 の誘電体層 (9 2 5) と、

前記第 2 の誘電体層上に配置された金属層であって、

前記第 1 の誘電体層及び前記第 2 の誘電体層を貫通して形成された少なくとも第 2 の導電性コンタクト (9 6 5) を使用して、前記第 1 のボディ領域、前記第 1 のソース領域、前記第 2 のボディ領域、及び前記第 2 のソース領域と電気的に結合された第 1 の部分 (9 6 1) と、

前記第 2 の誘電体層を貫通して形成された少なくとも第 3 の導電性コンタクト (9 3 0 b) を使用して前記導電性グリッドと電気的に結合された第 2 の部分 (9 5 1) と、を含む金属層と、

を備える、半導体デバイス (1 0 0) 。

【請求項 2】

前記第 1 のゲート電極は、第 1 のプレーナゲート電極又は第 1 のトレンチゲート電極のうちの一つであり、

前記第 2 のゲート電極は、第 2 のプレーナゲート電極又は第 2 のトレンチゲート電極のうちの一つである、

請求項 1 に記載の半導体デバイス。

【請求項 3】

前記縦型トランジスタは、平面内に配置された半導体基板 (2 0 1 、 2 0 2 、 3 0 1 、 3 0 2 、 3 0 3) に含まれ、

前記導電性グリッドの少なくとも一部分及び前記縦型トランジスタの前記第 1 のトランジスタセグメントの一部分は、前記平面に直交する線に沿って配置される、

請求項 1 に記載の半導体デバイス。

【請求項 4】

前記金属層は第 1 の金属層であり、前記半導体デバイスは、

前記第 1 の金属層及び前記第 2 の誘電体層上に配置された第 3 の誘電体層 (9 4 5) と

、
前記第 3 の誘電体層上に配置された第 2 の金属層であって、

前記第 3 の誘電体層を介して前記第 1 の金属層の前記第 1 の部分と電気的に結合された第 1 の部分 (9 6 0) と、

前記第 3 の誘電体層を介して前記第 1 の金属層の前記第 2 の部分と電気的に結合された第 2 の部分 (9 5 0) と、を含む第 2 の金属層と、

を更に備える、請求項 1 に記載の半導体デバイス。

10

20

30

40

50

【請求項 5】

前記第 2 の金属層の前記第 1 の部分は、前記第 1 の金属層の前記第 1 の部分上に配置され、

前記第 2 の金属層の前記第 2 の部分は、前記第 3 の誘電体層を貫通して形成された少なくとも 1 つの導電性ビア (9 5 0 a) を使用して、前記第 1 の金属層の前記第 2 の部分と電氣的に結合される、

請求項 4 に記載の半導体デバイス。

【請求項 6】

前記導電性グリッド及び前記第 1 の導電性コンタクトは、タングステンを含み、

前記第 1 のゲート電極及び前記第 2 のゲート電極は、ドーパドポリシリコンを含む、

請求項 1 に記載の半導体デバイス。

10

【請求項 7】

前記縦型トランジスタは、炭化ケイ素 (S i C) 半導体領域に含まれる、請求項 1 に記載の半導体デバイス。

【請求項 8】

前記第 1 のボディ領域及び前記第 2 のボディ領域は、

第 1 の導電型であり、

前記 S i C 半導体領域内に配置され、

前記 S i C 半導体領域、前記第 1 のソース領域及び前記第 2 のソース領域は、前記第 1 の導電型の反対側にある第 2 の導電型であり、

20

前記第 1 のソース領域は、前記第 1 のボディ領域内に配置され、

前記第 2 のソース領域は、前記第 2 のボディ領域内に配置されている、

請求項 7 に記載の半導体デバイス。

【請求項 9】

前記縦型トランジスタは、縦型電界効果トランジスタ (F E T) を含み、

前記 S i C 半導体領域は、

前記縦型 F E T のドリフト領域と、

前記縦型 F E T のドレイン領域とを含む、

請求項 7 に記載の半導体デバイス。

【請求項 10】

前記縦型トランジスタは、縦型絶縁ゲートバイポーラトランジスタ (I G B T) を含み

30

、前記第 1 のソース領域は、縦型 I G B T の第 1 のエミッタ領域を含み、

前記第 2 のソース領域は、前記縦型 I G B T の第 2 のエミッタ領域を含み、

前記 S i C 半導体領域は、

前記縦型 I G B T のドリフト領域と、

前記縦型 I G B T のコレクタ領域と、を含む、

請求項 7 に記載の半導体デバイス。

【請求項 11】

前記第 1 のゲート電極は、ドーパドポリシリコンゲート電極の第 1 の部分であり、

前記第 2 のゲート電極は、前記ドーパドポリシリコンゲート電極の第 2 の部分である、

請求項 1 に記載の半導体デバイス。

40

【請求項 12】

前記第 1 のゲート電極は、第 1 のドーパドポリシリコンゲート電極であり、

前記第 2 のゲート電極は、第 2 のドーパドポリシリコンゲート電極であり、

前記第 1 のドーパドポリシリコンゲート電極は、前記導電性グリッド及び前記導電性グリッドへのそれぞれの電気コンタクトを介して、前記第 2 のドーパドポリシリコンゲート電極と電氣的に結合される、

請求項 1 に記載の半導体デバイス。

【請求項 13】

50

前記第 1 の誘電体層を貫通して形成された前記少なくとも第 1 の導電性コンタクトは、
前記第 1 の誘電体層を貫通して形成された第 1 の複数の導電性コンタクトを含み、

前記第 1 の誘電体層及び前記第 2 の誘電体層を貫通して形成された前記少なくとも第 2
の導電性コンタクトは、前記第 1 の誘電体層及び前記第 2 の誘電体層を貫通して形成され
た第 2 の複数の導電性コンタクトを含み、

前記第 2 の誘電体層を貫通して形成された前記少なくとも第 3 の導電性コンタクトは、
前記第 2 の誘電体層を貫通して形成された第 3 の複数の導電性コンタクトを含む、

請求項 1 に記載の半導体デバイス。

【請求項 1 4】

半導体デバイスであって、

半導体領域 (2 0 2 、 3 0 3) と、

前記半導体領域内に配置された活性領域 (1 1 0) と、

前記半導体領域内に配置され、前記活性領域を少なくとも部分的に取り囲む分離領域 (1 2 0) と、

前記活性領域に配置された複数の縦型トランジスタセグメントであって、それぞれのゲ
ート電極 (2 0 6 b 、 3 0 6 b) を含む、複数の縦型トランジスタセグメント (2 0 0 、
3 0 0) と、

前記活性領域上に配置された第 1 の誘電体層 (4 1 5 、 9 1 5 、 1 0 1 5) と、

前記第 1 の誘電体層上に配置された導電性グリッド (1 3 0 、 2 3 0 、 3 3 0 、 4 3 0
、 6 3 0 、 9 3 0 、 1 0 3 0) であって、前記第 1 の誘電体層を貫通して形成された複数
の導電性コンタクト (4 3 0 a 、 6 3 0 a 、 9 3 0 a 、 1 0 3 0 a) を使用して、前記そ
れぞれのゲート電極と電気的に結合される、導電性グリッドと、

前記導電性グリッド及び前記第 1 の誘電体層上に配置された第 2 の誘電体層 (9 2 5)
と、

前記第 2 の誘電体層上に配置された金属層であって、前記第 2 の誘電体層を貫通して形
成された前記導電性グリッドへの少なくとも 1 つの導電性コンタクト (9 3 0 b) を使用
して、前記導電性グリッドを介して前記それぞれのゲート電極と電気的に結合された部分
(9 5 1) を含む金属層と、

を備える半導体デバイス。

【請求項 1 5】

前記金属層は第 1 の金属層であり、前記半導体デバイスは、

前記第 1 の金属層及び前記第 2 の誘電体層上に配置された第 3 の誘電体層 (9 4 5) と

、
前記第 3 の誘電体層を介して前記第 1 の金属層の前記部分と電気的に結合された部分 (9 5 0) を含む第 2 の金属層と、

を更に備える、

請求項 1 4 に記載の半導体デバイス。

【請求項 1 6】

前記それぞれのゲート電極は、それぞれのプレーナゲート電極又はそれぞれのトレンチ
ゲート電極を含む、請求項 1 4 に記載の半導体デバイス。

【請求項 1 7】

前記導電性グリッドは、前記活性領域の活性区域を縮小しない、請求項 1 4 に記載の半
導体デバイス。

【請求項 1 8】

前記複数の縦型トランジスタセグメントは、

複数の縦型電界効果トランジスタセグメント、又は

複数の縦型絶縁ゲートバイポーラトランジスタセグメント

のうちの 1 つを含む、請求項 1 4 に記載の半導体デバイス。

【請求項 1 9】

半導体デバイスを作製する方法であって、前記方法は、

10

20

30

40

50

半導体領域（202、303）内に縦型トランジスタを形成することであって、前記縦型トランジスタが、

第1のボディ領域（203、303）、第1のソース領域（204、304）、及び第1のゲート電極（206b、306b）を有する第1のトランジスタセグメント（200、300）と、

第2のボディ領域（203、303）、第2のソース領域（204、304）、及び第2のゲート電極（206b、306b）を有する第2のトランジスタセグメント（200、300）と、を含む、縦型トランジスタを形成することと、

前記縦型トランジスタ上に第1の誘電体層（415、915、1015）を形成することと、

前記第1の誘電体層上に導電性グリッド（130、230、330、430、630、930、1030）を形成することであって、前記導電性グリッドが、前記第1の誘電体層を貫通して形成された少なくとも第1の導電性コンタクト（430a、630a、930a、1030a）を使用して、前記第1のゲート電極及び前記第2のゲート電極と電気的に結合されている、導電性グリッドを形成することと、

前記導電性グリッド及び前記第1の誘電体層上に第2の誘電体層（925）を形成することと、

前記第2の誘電体層上に金属層を形成することであって、前記金属層が、

前記第1の誘電体層及び前記第2の誘電体層を貫通して形成された少なくとも第2の導電性コンタクト（965）を使用して、前記第1のボディ領域、前記第1のソース領域、前記第2のボディ領域、及び前記第2のソース領域と電気的に結合された第1の部分（961）と、

前記第2の誘電体層を貫通して形成された少なくとも第3の導電性コンタクト（930b）を使用して前記導電性グリッドと電気的に結合された第2の部分（951）と

を含む、金属層を形成することと、

を含む方法。

【請求項20】

前記金属層は第1の金属層であり、前記方法は、

前記第1の金属層及び前記第2の誘電体層上に第3の誘電体層（945）を形成することと、

前記第3の誘電体層上に第2の金属層を形成することであって、前記第2の金属層が、

前記第3誘電体層を介して前記第1の金属層の前記第1の部分と電気的に結合された第1の部分（960）と、

前記第3の誘電体層を介して前記第1の金属層の前記第2の部分と電気的に結合された第2の部分（950）と

を含む、第2の金属層を形成することと、

を更に含む、請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2021年3月8日に出願された「VERTICAL TRANSISTORS WITH GATE CONNECTION GRID」と題する米国特許出願第17/194,846号の継続出願であり、その優先権を主張し、その開示は、参照によりその全体が本明細書に組み込まれる。

【背景技術】

【0002】

半導体ダイ内に実装される縦型パワートランジスタなどの縦型トランジスタは、多種多様な用途で使用される。これらの用途は、産業用途、家電用途などを含む。いくつかの実装形態では、パワートランジスタを含む半導体デバイスに金属トラック又は金属ランナー

10

20

30

40

50

が含まれていてもよく、そのような金属トラック又は金属ランナーをトランジスタのための制御信号（例えば、ゲート信号）をルーティングするために使用され得る。

【0003】

しかしながら、このような金属トラックの使用に関連するいくつかの欠点がある。例えば、金属トラックをルーティングするために使用される半導体ダイの区域は、デバイスの活性部分を実装するために使用されないことがあり、これは、いくつかの実装形態では、関連するトランジスタの活性区域を、利用可能な半導体ダイ区域に対して最大15%縮小し得る。炭化ケイ素（SiC）、窒化ガリウム（GaN）などのいくつかの技術においては、そのような活性区域の縮小は、少なくともそのようなトランジスタを作製するために使用される半導体ウェハのコストに起因して、製品コストを著しく増加させる可能性がある。また、ゲート接続のためのそのような金属トラックのルーティングは、縦型電界効果トランジスタ（FET）のためのソースの金属ルーティング、及び/又は絶縁ゲートバイポーラトランジスタ（IGBT）のためのエミッタの金属ルーティングなど、他のトランジスタ接続のための金属ルーティングを遮断することを必要とする可能性がある。金属ルーティングのこのような遮断は、関連する抵抗を増加させる可能性があり、かつ/又は関連する半導体ダイをパッキングするときに、ワイヤボンド又は導電性クリップなどの電気接続の形成を困難にする可能性がある。

【発明の概要】

【0004】

一般的な態様において、半導体デバイスは、第1のトランジスタセグメント及び第2のトランジスタセグメントを有する縦型トランジスタを含むことができる。第1のトランジスタセグメントは、第1のボディ領域、第1のソース領域、及び第1のゲート電極を含むことができる。第2のトランジスタセグメントは、第2のボディ領域、第2のソース領域、及び第2のゲート電極を含むことができる。半導体デバイスは、縦型トランジスタ上に配置された第1の誘電体層と、第1の誘電体層上に配置された導電性グリッドとを更に含むことができる。導電性グリッドは、第1の誘電体層を貫通して形成された少なくとも第1の導電性コンタクトを使用して、第1のゲート電極及び第2のゲート電極と電気的に結合することができる。半導体デバイスはまた、導電性グリッド及び第1の誘電体層上に配置された第2の誘電体層と、第2の誘電体層上に配置された導電性金属層とを含むことができる。導電性金属層は、第1の部分及び第2の部分を含むことができる。第1の部分は、第1の誘電体層及び第2の誘電体層を貫通して形成された少なくとも第2の導電性コンタクトを使用して、第1のボディ領域、第1のソース領域、第2のボディ領域、及び第2のソース領域と電気的に結合することができる。第2の部分は、第2の誘電体層を貫通して形成された少なくとも第3の導電性コンタクトを使用して導電性グリッドと電気的に結合することができる。

【0005】

別の一般的な態様において、半導体デバイスは、半導体領域と、半導体領域内に配置された活性領域と、半導体領域内に配置された分離領域とを含むことができる。分離領域は、活性領域を少なくとも部分的に取り囲むことができる。半導体デバイスはまた、活性領域内に配置された複数の縦型トランジスタセグメントを含むことができる。複数の縦型トランジスタセグメントは、それぞれのゲート電極を含むことができる。半導体デバイスはまた、活性領域上に配置された第1の誘電体層と、第1の誘電体層上に配置された導電性グリッドとを含むことができる。導電性グリッドは、第1の誘電体層を貫通して形成された複数の導電性コンタクトを使用して、それぞれのゲート電極と電気的に結合することができる。半導体デバイスは、導電性グリッド及び第1の誘電体層上に配置された第2の誘電体層と、第2の誘電体層上に配置された導電性金属層とを更に含むことができる。導電性金属層は、第2の誘電体層を貫通して形成された導電性グリッドへの少なくとも1つの導電性コンタクトを使用して、導電性グリッドを介してそれぞれのゲート電極と電気的に結合された部分を含むことができる。

【0006】

10

20

30

40

50

別の一般的な態様では、半導体デバイスを作製する方法は、半導体領域内に縦型トランジスタを形成することを含むことができる。縦型トランジスタは、第1のトランジスタセグメント及び第2のトランジスタセグメントを含むことができる。第1のトランジスタセグメントは、第1のボディ領域、第1のソース領域、及び第1のゲート電極を有することができる。第2のトランジスタセグメントは、第2のボディ領域、第2のソース領域、及び第2のゲート電極を有することができる。本方法は、縦型トランジスタ上に第1の誘電体層を形成することと、第1の誘電体層上に導電性グリッドを形成することとを更に含むことができる。導電性グリッドは、第1の誘電体層を貫通して形成された少なくとも第1の導電性コンタクトを使用して、第1のゲート電極及び第2のゲート電極と電氣的に結合することができる。本方法はまた、導電性グリッド及び第1の誘電体層上に第2の誘電体層を形成することと、第2の誘電体層上に導電性金属層を形成することとを含むことができる。導電性金属層は、第1の誘電体層及び第2の誘電体層を貫通して形成された少なくとも第2の導電性コンタクトを使用して、第1のボディ領域、第1のソース領域、第2のボディ領域、及び第2のソース領域と電氣的に結合することができる第1の部分を含むことができる。導電性金属層はまた、第2の誘電体層を貫通して形成された少なくとも第3の導電性コンタクトを使用して導電性グリッドと電氣的に結合され得る第2の部分を含むことができる。

10

【図面の簡単な説明】

【0007】

【図1A】ゲート接続グリッドを含む半導体デバイスを概略的に示す図である。

20

【図1B】ゲート接続グリッドを含む半導体デバイスを概略的に示す図である。

【図2】ゲート接続グリッドと結合されたプレーナゲート電極を有する縦型トランジスタセグメントの断面図を概略的に示す図である。

【図3】ゲート接続グリッドと結合されたトレンチゲート電極を有する縦型トランジスタセグメントの断面図を概略的に示す図である。

【図4】ゲート接続グリッドを含む縦型トランジスタを実装する半導体デバイスの一部分を示す図である。

【図5】縦型トランジスタのゲート電極と、関連するバルク/ボディ領域及びソース/エミッタ領域とを概略的に示す図である。

【図6】縦型トランジスタプレーナゲート電極並びに関連するバルク/ボディ領域及びソース/エミッタ領域の、様々な構成を概略的に示す図である。

30

【図7】縦型トランジスタプレーナゲート電極並びに関連するバルク/ボディ領域及びソース/エミッタ領域の、様々な構成を概略的に示す図である。

【図8】縦型トランジスタプレーナゲート電極並びに関連するバルク/ボディ領域及びソース/エミッタ領域の、様々な構成を概略的に示す図である。

【図9A】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

【図9B】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

【図9C】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

40

【図9D】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

【図9E】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

【図9F】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

【図9G】プレーナゲート電極を有する縦型トランジスタの製造プロセスを概略的に示す断面図である。

【図10】図9A～図9Gのプロセスと同様のプロセスを使用して作製することができる

50

トレンチゲート電極を有する縦型デバイスを概略的に示す断面図である。

【0008】

必ずしも一定の縮尺で描かれていない図面において、異なる図で同じ参照符号は、同じ及び/又は類似の構成要素(要素、構造など)を示してもよい。図面は、一般に、限定としてではなく、例として、本開示で論じられる種々の実装形態を図示する。1つの図面に示される参照符号は、関連する図において同じ及び/又は同様の要素について繰り返されない場合がある。複数の図面において繰り返される参照符号は、それらの図面の各々に関して具体的に論じられない場合があるが、関連する図間の文脈のために提供される。また、要素の複数の例が所与の図に示される場合、図面中の全ての同じ要素が1つの参照符号で特に参照されるわけではない。

10

【発明を実施するための形態】

【0009】

本開示は、縦型トランジスタ実装形態を対象とする。例示及び議論のために、本明細書に示される例は、概して、プレーナゲート電極を用いて実装されるnチャンネル縦型トランジスタに関して説明される。しかしながら、図3及び図10の実装形態などのいくつかの実装形態では、本明細書で説明する手法は、トレンチゲート電極を含む縦型トランジスタにおいて実装され得る。また、いくつかの実装形態では、本明細書で論じられる半導体導電型を逆転することができる(例えば、n型導電型とp型導電型とを逆転してpチャンネル縦型トランジスタを作製することができる)。

20

【0010】

本明細書で説明する実装形態は、上述の現在の実装形態の欠点のうちの少なくともいくつかに対処することができる。例えば、本明細書で説明する実装形態は、例えば、縦型パワートランジスタなどの関連するトランジスタのドーパドポリシリコンゲート電極に、低抵抗電気接続をゲート電極に提供するゲート接続グリッドを含む。そのようなゲート接続グリッドを利用することで、ゲート制御信号を搬送するための金属トラック又は金属ランナーを、半導体ダイ内に実装されるパワートランジスタから除外する又は省くことを可能にする。したがって、関連するトランジスタの活性区域を、利用可能な半導体ダイ領域と比べて1パーセント、又は利用可能な半導体ダイ領域のほぼ100パーセントまで増加させることができる。いくつかの実装形態では、利用可能な半導体ダイ区域は、対応する半導体ダイの分離領域又は終端領域内の半導体区域であり得る。そのような分離領域又は終端領域を、対応する半導体ダイの周囲の少なくとも一部分を囲んで配置することができ、関連するパワートランジスタの降伏電圧を調整するのを助けることができる。例えば、そのような分離領域は、例えば、トランジスタの動作中に高電界を終端させることによって、トランジスタの定格電圧未満で降伏が生じることを防止することができる。

30

【0011】

また、本明細書で説明する例示的な実装形態では、パワートランジスタの電気信号、例えばゲート制御信号を搬送するために金属トラック又は金属ランナーが使用されないので、ソース接続及び/又はエミッタ接続など、トランジスタへの他の接続のための信号金属は連続的であり得る。すなわち、そのような金属ランナーが使用されないため、本明細書で説明する実装形態では、そのような金属トラックのルーティングに適合する信号金属の途切れが回避される。これは、ソース信号金属及び/又はエミッタ信号金属の関連する区域が増大することを可能にし、ひいては、例えば、現在の実装形態と同じダイサイズに対して、電流搬送能力を増加させて関連するトランジスタの性能を改善することができ、また、デバイスの使用のための実装時における、電気クリップ又はワイヤボンダ接続などの信号金属への電気接続を簡素化することができる。

40

【0012】

また、本明細書で説明する手法は、他の利点を提供することもできる。例えば、いくつかの実装形態では、関連する半導体内部におけるゲート接続の抵抗を容易に調整する又はミリオーム範囲の精度でチューニングすることができる。そのような調整は、トランジスタのセグメントのうちのゲート接続グリッド(例えば、タングステン又は他の金属グリッ

50

ド)とゲート電極(例えば、ドープドポリシリコンゲート電極)との間に作られる電気コンタクト数の結果として達成し得る。また、ゲート接続グリッドを使用し、ゲートの金属トラック又は金属ランナーを省くことによって、関連する半導体処理においてフィールド酸化物を形成することを排除可能とすることができる。そのようなフィールド酸化物は、現在の手法において、金属ゲートトラックの電氣的絶縁のために使用することができる。本開示の目的のために、ゲート接続グリッドは、導電性グリッド(electrically conductive grid)又は導電グリッド(conductive grid)と呼ぶこともできる。

【0013】

図1A及び図1Bは、ゲート接続グリッド130を含む半導体デバイス100を概略的に示す図である。この例では、半導体デバイス100は、活性区域110と、分離領域又は終端領域120とを含む。この例では、終端領域120は、活性区域110を取り囲んでいる。すなわち、終端領域120は、活性区域110の外周を画定する。いくつかの実装形態では、終端領域120は、半導体デバイス100の活性区域110内に実装されたトランジスタの動作に関連する電界を終端するための被導入物(implant)及び/又はトレンチ構造を含むことができる。

10

【0014】

図1Aに示すように、半導体デバイス100は、活性区域110内に配置されたゲート接続グリッド130及びゲートパッド区域140を含む。この例では、ゲート接続グリッド130は、規則的に配置された、導電性材料の行と列を含み、タングステン又は他の金属材料で実装され得る。すなわち、本明細書で説明する実装形態では、ゲート接続グリッド(導電性グリッド)は、導電性材料の行と列のマトリクスを含むことができる。いくつかの実装形態では、ゲート接続グリッドは他の構成を有することができる。例えば、行と列は不規則に離間していてもよく、セグメント化されていてもよい。ゲート接続グリッド130などのゲート接続グリッドの具体的な構成は、特定の実装形態に依存する。図1Aに示すように、ゲート接続グリッド130は、関連する半導体処理のための活性区域110から適切な間隔を置いて、活性区域110の全て又はほぼ全てにわたって延びることができる。ゲート接続グリッド130の構成は、ゲート接続グリッド130からトランジスタセグメントのゲート電極への低抵抗接続を可能とする。トランジスタセグメントのゲート電極は、活性区域110に含まれる関連するトランジスタの、ゲート接続グリッド130の下方に配置されている。例えば、上述のように、ゲート接続グリッド130は、抵抗がドープドポリシリコンの約100分の1であるタングステンを使用して実装することができる。

20

30

【0015】

半導体デバイス100はまた、ゲートパッド区域140と、ゲートパッド接続区域140aとを有する。図1Aに示すように、ゲートパッド接続区域140aは、ゲートパッド区域140よりも小さい区域を有することができる。この例では、半導体デバイス100の信号分配層の一部であり得るゲートパッド金属150は、図1Bに示されるように、ゲートパッド区域140内に配置され得る。ゲートパッド金属150は、ゲートパッド接続区域140aにおいて、例えば、本明細書で説明する手法のように、別の金属層、導電性ビア、及び/又は導電性コンタクトを使用して、ゲート接続グリッド130と電氣的に結合され得る。したがって、この例では、ゲートパッド金属150は、ゲート接続グリッド130を介して、並びに、ゲート接続グリッド130とゲート電極との間の電氣的接続、及びゲートパッド金属150とゲート接続グリッド130との間の電氣的接続を介して、半導体デバイス100の関連するトランジスタのゲート電極と電氣的に結合され得る。また、この例では、図1Bに示すように、ゲートパッド金属150を含む分配層の一部であり得るソースパッド金属160を、活性区域110の、ゲートパッド金属150で覆われていない部分の上に、又はこれを覆って配置することができ、ソースパッド金属160は、ゲートパッド金属150及び終端領域120から適切に離間している。

40

【0016】

そのような手法では、金属ゲートトラックが省かれているので、終端領域120から適

50

切な間隔を置いた半導体デバイス100の活性区域110全体が、活性のトランジスタセグメントを含むことができる。したがって、金属ゲートトラックを実装するために以前に使用された区域を省いても、又は活性のトランジスタ区域のために使用してもよい。したがって、より小さい区域を有する半導体ダイを使用して、金属ゲートトラックを含む半導体デバイスのトランジスタ活性区域に等しいトランジスタ活性区域を有する半導体デバイスを作製することができる。すなわち、ゲート金属トラックを実装するための区域を省くことができ、対応するダイサイズを、そのようなゲート金属トラックを実装するのに使用される区域の量（例えば、関連する活性区域の最大15%）だけ縮小することができる。別の言い方をすれば、いくつかの実装形態では、本明細書で説明する例示的な実装形態などのゲート接続グリッドは、本明細書で説明する縦型トランジスタなどの、対応する半導体デバイスの活性領域内における活性区域を減少させないことが可能である。

10

【0017】

図2は、ゲート接続グリッド230と結合されたプレーナゲートを有する縦型トランジスタセグメント200の断面図を概略的に示す図である。縦型トランジスタセグメント200は、第3次元においてページの奥及び手前に延びることができる。いくつかの実装形態では、図2に示される複数の縦型トランジスタセグメント200は半導体ダイに含まれてもよく、ゲート接続グリッド230は、それぞれのゲート電極を互いに電気的に結合して、複数の縦型トランジスタセグメントを含む縦型トランジスタを実装するために使用され得る。縦型トランジスタセグメント200の要素の特定の構成、及び/又は縦型トランジスタセグメント200の要素のドーピングプロファイルに応じて、縦型トランジスタセグメント200は、縦型電界効果トランジスタ(FET)又は絶縁ゲートバイポーラトランジスタ(IGBT)を実装することができる。例として、縦型トランジスタセグメント200は、一般に縦型FETとして説明される。

20

【0018】

図2の例示的な実装形態では、縦型トランジスタセグメント200は、SiC基板などの高濃度ドーパドn型基板、又は別の半導体基板であり得る基板201を含む。縦型トランジスタセグメント200は、基板201のドーピング濃度よりも低いドーピング濃度を有するn型エピタキシャル層であり得るエピタキシャル層202もまた含む。この例示的な実装形態では、基板201は、縦型トランジスタセグメント200のドレイン端子(又はIGBT実装形態ではコレクタ端子)を含むか、又は実装することができる。エピタキシャル層202は、縦型トランジスタセグメント200のドリフト領域を実装することができる。図2の線270は、動作中でオン状態にあるときの縦型トランジスタセグメント200の多数キャリアの流れの方向を示す。この例では、多数キャリアの流れは電子であるが、縦型トランジスタセグメント200の導電型が逆転され、n型導電性とp型導電性とが切り替えられた場合には正孔となる。

30

【0019】

図2にも示されるように、縦型トランジスタセグメント200は、バルク領域と呼ぶこともできるp型ウェル領域であり得るボディ領域203を含み得る。ソース領域204(IGBT実装形態の場合にはエミッタ領域)は、ボディ領域203内にそれぞれ配置され得る。この例では、ソース領域204は、高濃度ドーパドn型被導入物であり得る。縦型トランジスタセグメント200は、ボディ領域203内にそれぞれ配置された高濃度ボディ領域205(又はサブコンタクト領域)を更に含むことができる。高濃度ボディ領域205は、ソース信号金属層(又はIGBT実装形態の場合にはエミッタ信号金属層)からボディ領域203へのオーミック接触の形成を容易にする高濃度ドーパドp型被導入物とすることができる。ソース信号金属はソース領域204へのオーミック接触もまた形成することができる。

40

【0020】

縦型トランジスタセグメント200は、ゲート構造206もまた含む。ゲート構造206は、ゲート誘電体206aとゲート電極206bとを含む。ゲート構造206は、図2に示すように、ソース領域204の間に延び、ソース領域204の各々を部分的に覆って

50

延びている。動作中、ゲート構造 206 のゲート電極 206 b に適切なバイアスを印加することにより、ソース領域 204 からボディ領域 203 を介してエピタキシャル層 202 への（例えば、縦型トランジスタセグメント 200 のドリフト領域への）伝導チャンネルが形成される。上述したように、ゲート構造 206、具体的にはゲート電極 206 b は、ゲート接続グリッド 230 と電気的に結合することができ、その例は本明細書で説明されている。また、ゲート接続グリッド 230 は、追加の縦型トランジスタセグメントのゲート構造、例えば、縦型トランジスタセグメント 200 の複製されたインスタンスのゲート構造に結合され得る。

【0021】

いくつかの実装形態では、縦型トランジスタセグメント 200 のインスタンスは、半導体デバイス 100 の活性区域 110 全体にわたって複製され得、その結果、活性区域 110 の全て又はほぼ全てが、複製された縦型トランジスタセグメントで占有される。この例では、終端領域 120 に最も近い複製されたトランジスタセグメントは、終端領域 120 から適切に離間することができる。そのような縦型トランジスタセグメント間の電気的相互接続を本明細書で説明する手法を使用して実装することができる。例えば、そのようなトランジスタセグメントのゲート構造（ゲート構造 206）は、ゲート接続グリッド 230 を介して相互接続することができ、一方、ボディ領域 203、ソース領域 204、及び高濃度ボディ領域 205 は、導電性金属層を介して相互接続することができる。

【0022】

図 3 は、ゲート接続グリッド 330 と結合されたトレンチゲートを有する縦型トランジスタセグメント 300 の断面図を概略的に示す図である。縦型トランジスタセグメント 300 は、縦型トランジスタセグメント 200 と同様に、第 3 次元においてページの奥及び手前に延びることができる。いくつかの実装形態では、図 3 に示される複数の縦型トランジスタセグメント 300 は半導体ダイに含まれてもよく、ゲート接続グリッド 330 は、それぞれのゲート電極を互いに電気的に結合して、複数の縦型トランジスタセグメントを含む縦型トランジスタを実装するために使用され得る。縦型トランジスタセグメント 300 の要素の具体的な構成、及び / 又は縦型トランジスタセグメント 300 の要素のドーピングプロファイルに応じて、縦型トランジスタセグメント 300 は、縦型電界効果トランジスタ（FET）又は絶縁ゲートバイポーラトランジスタ（IGBT）を実装することができる。例として、縦型トランジスタセグメント 300 は、一般に縦型 FET として説明される。

【0023】

図 3 の例示的な実装形態では、縦型トランジスタセグメント 300 は、SiC 基板などの高濃度ドーパド n 型基板、又は別の半導体基板であり得る基板 301 を含む。縦型トランジスタセグメント 300 は、基板 301 のドーピング濃度よりも低いドーピング濃度を有する n 型エピタキシャル層であり得るエピタキシャル層 302 もまた含む。この例示的な実装形態では、基板 301 は、縦型トランジスタセグメント 300 のドレイン端子（又は IGBT 実装形態ではコレクタ端子）を含むか、又は実装することができる。エピタキシャル層 302 は、縦型トランジスタセグメント 300 のドリフト領域を実装することができる。図 3 の線 370 は、動作中でオン状態にあるときの縦型トランジスタセグメント 300 の多数キャリアの流れ方向を示す。この例では、多数キャリアの流れは電子であるが、縦型トランジスタセグメント 300 の導電型が逆転され、n 型導電型と p 型導電型とが切り替えられた場合には正孔となる。

【0024】

また、図 3 にも示されるように、縦型トランジスタセグメント 300 は、エピタキシャル層 302 内に形成された p 型ウェル領域であり得るボディ領域 303 を更に含むことができる。ボディ領域 303 は、バルク領域と呼ぶこともできる。ソース領域 304（IGBT 実装形態の場合にはエミッタ領域）は、ボディ領域 303 内に、トレンチゲート構造 306 に隣接してそれぞれ配置することができる。この例では、ソース領域 304 は、高濃度ドーパド n 型被導入物であり得る。縦型トランジスタセグメント 300 は、ボディ領

10

20

30

40

50

域 3 0 3 内に配置され、ソース領域 3 0 4 にそれぞれ隣接する高濃度ボディ領域 3 0 5 (又はサブコンタクト領域) を更に含むことができる。高濃度ボディ領域 3 0 5 は、ソース信号金属層 (又は I G B T 実装形態の場合にはエミッタ信号金属層) からボディ領域 3 0 3 へのオーミック接触の形成を容易にする高濃度ドーパド p 型被導入物とすることができる。ソース信号金属は、ソース領域 3 0 4 へのオーミック接触もまた形成することができる。

【 0 0 2 5 】

上述したように、縦型トランジスタセグメント 3 0 0 は、トレンチゲート構造 3 0 6 もまた含む。トレンチゲート構造 3 0 6 は、ゲート誘電体 3 0 6 a と、ゲート電極 3 0 6 b とを含み、ゲート誘電体 3 0 6 a はトレンチ 3 0 6 c の内側を覆い、3 0 6 b はゲート誘電体 3 0 6 a 内に配置される。ゲート構造 3 0 6、例えばトレンチ 3 0 6 c は、図 3 に示されるように、ボディ領域 3 0 3 を貫通してエピタキシャル層 3 0 2 の n 型部分内へと延びる。いくつかの実装形態では、トレンチは、基板 3 0 1 内へと延びることができる。動作中、ゲート構造 3 0 6 のゲート電極 3 0 6 b に適切なバイアスを印加することにより、ソース領域 3 0 4 からボディ領域 3 0 3 を介してエピタキシャル層 3 0 2 の n 型部分への (例えば、縦型トランジスタセグメント 3 0 0 のドリフト領域への) 伝導チャンネルが形成される。上述したように、ゲート構造 3 0 6、具体的にはゲート電極 3 0 6 b は、ゲート接続グリッド 3 3 0 と電氣的に結合することができ、その例は本明細書で説明されている。また、ゲート接続グリッド 3 3 0 は、追加の縦型トランジスタセグメントのゲート構造、例えば、縦型トランジスタセグメント 3 0 0 の複製されたインスタンスのゲート構造に結合され得る。

10

20

【 0 0 2 6 】

いくつかの実装形態では、縦型トランジスタセグメント 3 0 0 のインスタンスは、半導体デバイス 1 0 0 の活性区域 1 1 0 全体にわたって複製され得、その結果、活性区域 1 1 0 の全て又はほぼ全てが、複製された縦型トランジスタセグメントで占有される。この例では、末端領域 1 2 0 に最も近い複製トランジスタセグメントは、末端領域 1 2 0 から適切に離間することができる。そのような縦型トランジスタセグメント間の電氣的相互接続を本明細書で説明する手法を使用して実装することができる。例えば、そのようなトランジスタセグメントのゲート構造 (ゲート構造 3 0 6) は、ゲート接続グリッド 3 3 0 を介して相互接続することができ、一方、ボディ領域 (ボディ領域 3 0 3)、ソース領域 3 0 4、及び高濃度ボディ領域 3 0 5 は、導電性金属層を介して相互接続することができる。

30

【 0 0 2 7 】

図 4 は、ゲート接続グリッド 4 3 0 を含む縦型トランジスタを実装する半導体デバイス 4 0 0 の一部分を示す等角図である。図 4 に示された半導体デバイス 4 0 0 の一部分は、ゲート接続グリッド 4 3 0 の例示的な構成、及び対応する縦型トランジスタセグメントのゲート構造 4 0 6 へのゲート接続グリッド 4 3 0 の接続を示すために、例として与えられている。図 4 の例では、基板及び / 又はエピタキシャル層などの、基礎をなす半導体領域は具体的に示されていない。更に、半導体デバイス 4 0 0 の他の要素は、図示された構造を不明瞭にしないように、図 4 に示されていない。そのような要素は、誘電体層、金属層、ピアなどを含むことができ、それらは、半導体デバイス 4 0 0 の縦型トランジスタセグメント間の相互接続を実装するために使用することができ、図 4 に示すように半導体デバイス 4 0 0 の一部分の表面上に配置することができる。また、図 4 では、例示の目的のために、ボディ領域、高濃度ボディ領域、及びソース (又はエミッタ) 領域が、単一の領域としてそれぞれ示されており、本明細書ではソース / ボディ領域 4 0 5 と呼ばれる。ソース / ボディ領域 4 0 5 内のそれぞれのソース (又はエミッタ) 領域の構成は、ボディ領域 2 0 3 内のソース領域 2 0 4 について図 2 に示す構成と同様であり得る。

40

【 0 0 2 8 】

図 4 に示すように、半導体デバイス 4 0 0 はゲート構造 4 0 6 を含み、ゲート構造 4 0 6 は、図 2 に示すゲート構造 2 0 6 と同様であり得、ソース / ボディ領域 4 0 5 が配置される半導体領域上に配置され得る。半導体デバイス 4 0 0 では、ゲート構造 4 0 6 上に誘

50

電体層 4 1 5 を配置することができる。誘電体層 4 1 5 は、ゲート構造 4 0 6 とゲート接続グリッド 4 3 0 との間にコンタクト 4 3 0 a が形成される場所を除いて、ゲート構造 4 0 6 をゲート接続グリッド 4 3 0 から電氣的に絶縁することができる。いくつかの実装形態では、ゲート構造 4 0 6 は全て、ゲート接続グリッド 4 3 0 及びコンタクト 4 3 0 a を介して、かつ / 又はゲート構造 4 0 6 のゲート電極を形成するために使用されるドーパドポリシリコンを介して、のいずれかによって互いに電氣的に結合され得る。そのような実装形態では、ゲート構造 4 0 6 は、対応するトランジスタセグメントを含むトランジスタのための単一のトランジスタゲートとして機能することができる。

【 0 0 2 9 】

この例では、ゲート接続グリッド 4 3 0 は、誘電体層 4 1 5 上に（例えば、誘電体層 4 1 5 の上面上に）、又は誘電体層 4 1 5 内に形成された凹部に配置することができる。このような凹パターンは、フォトリソグラフィ技術を使用して形成することができる。また、図 4 にも示されるように、コンタクト 4 3 0 a は誘電体層 4 1 5 を貫通して形成して、ゲート接続グリッド 4 3 0 をゲート構造 4 0 6 のうちの 1 つ以上と電氣的に結合することができる。上記で論じたように、いくつかの実装形態では、ゲート接続グリッド 4 3 0 及びコンタクト 4 3 0 a は、タングステン、及び / 又は他の導電性の低抵抗金属材料を使用して形成され得る。半導体デバイス 4 0 0 のトランジスタセグメントの他の要素と同様に、コンタクト 4 3 0 a は、ページの奥及び手前に延びることができる。更に、ゲート接続グリッド 4 3 0 とゲート構造 4 0 6 との間のコンタクト 4 3 0 a は、ゲート接続グリッド 4 3 0 の異なる場所、例えば、図 4 のページの奥又は手前に位置する場所に形成され得る。したがって、そのようなコンタクトは図 4 では見えない。

【 0 0 3 0 】

図 4 に更に示すように、ソース / ボディ領域 4 0 5 への電気コンタクト 4 6 5 は、誘電体層 4 1 5 を貫通して作ることができ、コンタクト 4 6 5 は、ゲート接続グリッド 4 3 0 の開口部を通して延びて、ゲート接続グリッド 4 3 0 から離間している。半導体デバイス 4 0 0 において、電気コンタクト 4 6 5 は、半導体デバイス 4 0 0 の図示された部分から、例えば第 2 の誘電体層を貫通して上向きに延びることができる。例えば、図 9 E ~ 図 9 G の電気コンタクト 9 6 5 について示されるように、電気コンタクト 4 6 5 は、ソース / ボディ信号金属層をボディ領域 4 0 5 と電氣的に結合することができる。

【 0 0 3 1 】

図 5 は、縦型トランジスタのゲート電極 5 0 6 と、ソース / ボディ領域 5 0 5 と呼ばれる、関連するバルク / ボディ領域及びソース / エミッタ領域とを概略的に示す断面図である。図 4 と同様に、基礎をなす半導体領域（例えば、基板及び / 又はエピタキシャル層）は図に示されていない。また、ソース / ボディ領域 4 0 5 と同様に、ボディ領域 2 0 3、ソース領域 2 0 4、及び高濃度ボディ領域 2 0 5 が縦型トランジスタセグメント 2 0 0 のゲート構造 2 0 6 とともに配置されるので、図 5 におけるソース / ボディ領域 5 0 5 は、同様にゲート電極 5 0 6 とともに配置され得る。図 5 の断面図はまた、これらの図の各々に示される切断線 5 - 5 に沿った図 6 ~ 図 8 の例示的な実装形態のゲート電極及びソース / ボディ領域の断面図を概略的に示しており、これらの各々は以下で説明される。

【 0 0 3 2 】

具体的には、図 6 ~ 図 8 は、縦型トランジスタプレーナゲート電極並びに縦型トランジスタに含まれ得る関連するバルク / ボディ領域及びソース / エミッタ領域の、様々な構成を概略的に示す図である。図 6 ~ 図 8 の各々において、図 4 及び図 5 と同様に、2 0 0 のボディ領域 2 0 3、ソース領域 2 0 4、及び高濃度ボディ領域 2 0 5 がゲート電極 2 0 6 に対して配置されるので、同様に、対応するゲート電極とともに配置することができるソース / ボディ領域が示されている。

【 0 0 3 3 】

例えば、図 6 は、ゲート電極 6 0 6（ワッフル形状のゲート電極）の、ソース / ボディ領域 6 0 5 が露出される開口部を含む部分を示す。図 6 のゲート電極 6 0 6 は、ゲート電極 6 0 6 が連続するドーパドポリシリコン特徴部から形成され得るので、完全接続ゲート

10

20

30

40

50

電極と呼ばれ得る。ソース/ボディ領域 605 への電気コンタクトは、ゲート電極 606 内の開口部を通して作ることができる。図 6 の切断線 5-5 は、ソース/ボディ領域 605 及びゲート電極 606 の、図 5 の断面図に対応する部分を示す。また、図 6 には、ゲート接続グリッド 630 の一部分と、ゲート接続グリッド 630 からゲート電極 606 へのコンタクト 630a も示されている。したがって、ゲート電極 606 のセグメント同士は、この例示的な実装形態では、ゲート電極 606 のドーパドポリシリコンとゲート接続グリッド 630 の両方を介して、各々と電氣的に結合され得る。

【0034】

図 7 は、縦型トランジスタの一部分のゲート電極 706 を示す。図 7 に示すように、ゲート電極 706 は、一般にストライプ状に配置され、いくつかの隣接するストライプが相互接続される。すなわち、図 7 のゲート電極 706 のいくつかの隣接するストライプは、連続するドーパドポリシリコン特徴部を使用して形成することができ、一方、ゲート電極 706 の他の隣接するストライプは、独立したドーパドポリシリコン特徴部として形成することができる。図 7 に示すように、ソース/ボディ領域 705 は、隣接するストライプ間の空間を介して露出され、ソース/ボディ領域 605 への電気コンタクトは、ゲート電極 706 間の空間に沿って作ることができる。図 6 の切断線 5-5 と同様に、図 7 の切断線 5-5 は、ソース/ボディ領域 705 及びゲート電極 706 の、図 5 の断面図に対応する部分を示す。図 7 には具体的に示されていないが、ゲート電極 706 は、例えば本明細書で説明する手法を使用して、ゲート接続グリッドと結合することができる。

【0035】

図 8 は、ゲート電極 806 の、完全に接続された六角形のポリシリコン特徴部を含む部分を示す。六角形ポリシリコン特徴部は、例えば相互接続された六角形であり、ソース/ボディ領域 805 が露出される六角形の開口部を有する。ソース/ボディ領域 805 への電気コンタクトは、ゲート電極 806 内の開口部を通して作ることができる。図 8 の切断線 5-5 は、ソース/ボディ領域 805 及びゲート電極 806 の、図 5 の断面図に対応する部分を示す。

【0036】

図 9A ~ 図 9G は、プレーナゲート電極を有する縦型トランジスタを作製するための製造プロセスの動作を概略的に示す断面図である。図 9A ~ 図 9G は、図 4 及び図 5 と同様に、基礎をなす半導体領域は具体的に示されていない。また、図 9A ~ 図 9G によって示される処理動作のシーケンスは、バック・オブ・ライン (BOL) 処理動作と呼ばれることがある。すなわち、図 9A ~ 図 9G の処理動作は、半導体領域内に配置された縦型トランジスタのセグメントの相互接続を示しており、トランジスタセグメントを作製するための処理動作は、フロント・オブ・ライン (FOL) 処理と呼ぶことができる。具体的には、図 9A を参照すると、(図 4 ~ 図 8 に関して上記で論じたような) ソース/ボディ領域 905 及び対応するゲート電極 906 は、例えば FOL 処理動作の結果として既に存在する。いくつかの実装形態では、図 9A ~ 図 9G のトランジスタは、縦型トランジスタセグメント 200 などのトランジスタセグメントを使用して実装することができる。トランジスタセグメント 200 は、半導体デバイス 100 の活性区域 110 などの活性区域に含まれる。例えば図 2 に関して上記で論じたように、ゲート電極 906 は、図 9A ~ 図 9G には具体的に示されていない、基礎をなすゲート誘電体層を有することができる。

【0037】

図 9A を参照すると、BOL 処理は、FOL 処理中に作製された縦型トランジスタセグメント上に誘電体層 915 を形成することを最初を含むこと、例えば、誘電体層 915 の形成で開始することができる。誘電体層 915 (並びに、本明細書で論じる他の誘電体層) は、ホウリンケイ酸ガラス (BPSG) などのガラス材料、堆積酸化物、又は他の誘電体材料を含むことができる。図 9B に示すように、誘電体層 915 を形成した後、対応するゲート電極 906 の 1 つ以上への少なくとも 1 つの電気コンタクト 930a が、誘電体層である誘電体層 915 を貫通して形成され得る。図 9B (及び関連する図) では単一の電気コンタクト 930a のみが見えるが、上述したように、ゲート電極 906 への他の電

10

20

30

40

50

気コンタクト 930 a は、関連するトランジスタデバイス内の他の場所、例えば、第 3 次元において、ページの奥若しくは手前の場所、又は、図 9 B の表示の側方の場所、例えば、図示されたセグメントの左及び / 若しくは右に実装されたトランジスタセグメント内、のいずれかに作られ得る。

【0038】

図 9 C を参照すると、電気コンタクト 930 a 及び他のそのようなコンタクトを形成した後、ゲート接続グリッド 930 を誘電体層 915 及び電気コンタクト 930 a などの関連する電気コンタクト上に形成して、ゲート接続グリッド 930 をゲート電極 906 と電氣的に結合することができる。図 9 D に移ると、ゲート接続グリッド 930 及び誘電体層 915 上に誘電体層 935 を形成することができる。この例のようないくつかの実装形態では、（電気コンタクト 930 a 及びゲート接続グリッド 930 を形成する前に、誘電体層 915 とともに平坦化され得るので）誘電体層 935 を平坦化することができる。このような平坦化は、化学機械研磨動作を含み得る。

10

【0039】

図 9 E を参照すると、誘電体層 935 を平坦化した後、ゲート接続グリッド 930 への電気コンタクト 930 b、及びボディ領域 905 への電気コンタクト 965 を形成することができる。この場合も、単一の電気コンタクト 930 b と電気コンタクト 965 のみが図 9 E 並びに 1 つ以上の関連する表示に示されているが、他のそのような電気コンタクトを、関連するトランジスタデバイス内の他の位置、例えば、第 3 次元において、ページの奥若しくは手前の場所又は図 9 E の表示の側方の場所のいずれかに形成することができる。いくつかの実装形態では、コンタクトは、同じフォトリソグラフィマスクを使用して形成され得る、又は異なるフォトリソグラフィマスクを使用して形成され得る。実装形態では、電気コンタクト 930 b と電気コンタクト 965 とが形成される順序は、特定の処理実装形態に依存する。

20

【0040】

図 9 F に示すように、コンタクト 930 b 及び 965 を形成した後、電気コンタクト 930 b と電氣的に結合された第 1 の部分 951 を含む信号金属層（第 1 の信号金属層）を形成することができ、かつ、他のそのようなコンタクトとも電氣的に結合して、第 1 の信号金属層の第 1 の部分 951 をゲート接続グリッド 930 に電氣的に結合することができる。したがって、第 1 の部分 951 は、電気コンタクト 930 b、ゲート接続グリッド 930、及び電気コンタクト 930 a を介してゲート電極 906 に電氣的に結合される。第 1 の信号金属層は、電気コンタクト 965 と電氣的に結合された第 2 の部分 961 もまた含むことができ、他のそのようなコンタクトと電氣的に結合することもできる。したがって、第 2 の部分 961 は、電気コンタクト 965 を介してソース / ボディ領域 905 に電氣的に結合される。

30

【0041】

図 9 G を参照すると、第 1 の信号金属層を形成した後、誘電体層 945 を第 1 の信号金属層及び誘電体層 935 上に形成することができ、第 2 の信号金属層を第 1 の信号金属層及び誘電体層 945 上に形成することができる。図 9 G に示すように、第 2 の信号金属層は、第 1 信号金属層の第 1 部分 951 と電氣的に結合された第 1 の部分 950 を含む。この例では、第 2 の信号金属層の第 1 の部分 950 は、導電性ビア 950 a を介して第 1 の信号金属層の第 1 の部分 951 と電氣的に結合されるが、他の手法も可能である。例えば、第 2 の信号金属層の第 1 の部分 950 は、少なくとも部分的に、第 1 の信号金属層の第 1 の部分 951 上に直接配置され得る。この例では、第 2 の信号金属層の第 1 の部分 950 は、ゲートパッド金属と呼ぶことができ、図 9 G に示し、上記で説明したように、ゲート接続グリッド 930 を含む相互接続構造を介してゲート電極 906 に電氣的に結合されている。

40

【0042】

また、図 9 G にも示されるように、第 2 の信号金属層は、第 1 の信号金属層の第 1 の部分 961 と電氣的に結合された第 2 の部分 960 を含む。この例では、第 2 の信号金属層

50

の第2の部分960は、第1の信号金属層の第2の部分961上に少なくとも部分的に直接配置されている結果として、第1の信号金属層の第2の部分961と電氣的に結合される。この例では、第2の信号金属層の第2の部分960は、ソースパッド金属（又はエミッタパッド金属）と呼ぶことができ、図9Gに示し、上記で説明した相互接続構造を介してボディ領域905に電氣的に結合されている。

【0043】

図9Gでは、FOL処理中に作製された第2の複製されたトランジスタセルが、図9A～図9Fに示されたセルの左側又は側方に示されている。したがって、図9Fは、関連する半導体デバイスの活性区域における縦型トランジスタセルの複製を示す。図9Gに示すように、複製されたセルは、ゲート接続グリッド930の、複製されたセル内の部分が、ソース金属、例えば、第1の信号金属層の第2の部分961の下方に配置されるので、ゲート信号金属へのコンタクト930bを含むものとして示されていない。しかしながら、本明細書で説明するように、ゲート接続グリッド930は、図1に示すように、関連付けられた活性区域にわたって延びることができるので、複製されたセルに含まれるゲート電極906は、ゲート接続グリッド930を介して第1の信号金属層の第1の部分951と電氣的に結合することができる。

10

【0044】

また、図9Gに示すように、第1の信号金属層の第1の部分951は、第2の信号金属層の第1の部分950の下に延びることができ、これは、ソース信号金属（又はエミッタ信号）金属の量を増加させ、関連するトランジスタの電流搬送能力を増加させることができる。上述したように、第2の信号金属層（第1の部分950及び第2の部分960を含む）は、信号分配層又は再分配層と呼ぶことができる。

20

【0045】

図10は、図9A～図9Gのプロセスと同様のBOLプロセスを使用して作製することができるトレンチゲート電極を有する縦型デバイスを概略的に示す断面図である。図10の縦型トランジスタを作製するプロセスは、図9A～図9Gのプロセスと同様であるので、ここではそのプロセスの詳細を再度詳細に説明しない。代わりに、図9Gのトランジスタと比較した場合の図10のトランジスタの構造の違いを以下に説明する。簡潔には、図10のトランジスタは、ソース/ボディ領域1005（又はエミッタ/ボディ領域）、トレンチゲート構造1006、誘電体層1015、ゲート接続グリッド1030、コンタクト1030a、コンタクト1030b、コンタクト1065、第1の信号金属層の第1の部分1051、第1の信号金属層の第2の部分1061、第2の信号金属層1050の第1の部分、導電性ビア1050a、及び第2の信号金属層1061の第2の部分1060を含む。図10に示されるトランジスタはまた、図9Gのトランジスタと同様の他の要素を含み、これらの要素は図10では特に参照されない。また、図10において1000番台の番号で参照された要素は、それぞれ、図9における同様の900番台の番号で参照された要素に対応する。

30

【0046】

図10を参照し、更に図9Gを参照すると、図10のゲート構造1006は、図9A～図9Gに示される、ゲート電極906を含むプレーナゲート構造と比較し、トレンチゲート構造である。また、図10において、誘電体層1015は、トレンチゲート構造1006の実装及び/又は誘電体層1015の平坦化の結果であり得る平坦な上面を有する。したがって、ゲート接続グリッド1030は、ゲート接続グリッド930の誘電体層915の表面に共形の形状（conformal shape）と比較して平坦である。

40

【0047】

図10にも示されるように、半導体デバイス1000が実装された半導体基板又は半導体領域は、平面Pに沿って配置され得る。図10の例では、少なくともゲート接続グリッド1030の一部分及び活性区域Aの一部分（例えば、縦型トランジスタの1つ以上のセグメントのそれぞれの部分）は、平面Pに直交する線Lに沿って配置され得る。すなわち、ゲート接続グリッド1030に含まれる導体は、線Lに沿って、半導体デバイス100

50

0の縦型トランジスタの活性部分の真上に配置され得る。

【0048】

一般的な態様において、半導体デバイスは、第1のトランジスタセグメント及び第2のトランジスタセグメントを有する縦型トランジスタを含むことができる。第1のトランジスタセグメントは、第1のボディ領域、第1のソース領域、及び第1のゲート電極を含むことができる。第2のトランジスタセグメントは、第2のボディ領域、第2のソース領域、及び第2のゲート電極を含むことができる。半導体デバイスは、縦型トランジスタ上に配置された第1の誘電体層と、第1の誘電体層上に配置された導電性グリッドとを更に含むことができる。導電性グリッドは、第1の誘電体層を貫通して形成された少なくとも第1の導電性コンタクトを使用して、第1のゲート電極及び第2のゲート電極と電気的に結合することができる。半導体デバイスはまた、導電性グリッド及び第1の誘電体層上に配置された第2の誘電体層と、第2の誘電体層上に配置された導電性金属層とを含むことができる。導電性金属層は、第1の部分及び第2の部分を含むことができる。第1の部分は、第1の誘電体層及び第2の誘電体層を貫通して形成された少なくとも第2の導電性コンタクトを使用して、第1のボディ領域、第1のソース領域、第2のボディ領域、及び第2のソース領域と電気的に結合することができる。第2の部分は、第2の誘電体層を貫通して形成された少なくとも第3の導電性コンタクトを使用して導電性グリッドと電気的に結合することができる。

10

【0049】

実装形態は、以下の特徴のうちの1つ以上を含むことができる。例えば、第1のゲート電極は第1のプレーナゲート電極であり得、第2のゲート電極は第2のプレーナゲート電極であり得る。第1のゲート電極は第1のトレンチゲート電極であり得、第2のゲート電極は第2のトレンチゲート電極であり得る。

20

【0050】

縦型トランジスタは、半導体基板に含まれ得る。半導体基板は、平面内に配置することができる。ゲート接続グリッドの少なくとも一部分及び縦型トランジスタの第1のセグメントの一部分は、平面に直交する線に沿って配置され得る。

【0051】

金属層は第1の金属層とすることができ、半導体デバイスは、第1の金属層及び第2の誘電体層上に配置された第3の誘電体層と、第3の誘電体層上に配置された第2の金属層とを含むことができる。第2の金属層は、第3の誘電体層を介して第1の金属層の第1の部分と電気的に結合された第1の部分を含むことができる。第2の金属層は、第3の誘電体層を介して第1の金属層の第2の部分と電気的に結合された第2の部分を含むことができる。第2の金属層の第1の部分は、第1の金属層の第1の部分上に配置され得る。第2の金属層の第2の部分は、第3の誘電体層を貫通して形成された少なくとも1つの導電性ビアを使用して、第1の金属層の第2の部分と電気的に結合され得る。

30

【0052】

導電性グリッド及び第1の導電性コンタクトは、タングステンを含むことができる。第1のゲート電極及び第2のゲート電極は、ドーパドポリシリコンを含むことができる。

【0053】

縦型トランジスタは、炭化ケイ素(SiC)半導体領域に含まれ得る。第1のボディ領域及び第2のボディ領域は、第1の導電型であってよく、SiC半導体領域内に配置されてよい。SiC半導体領域、第1のソース領域及び第2のソース領域は、第1の導電型とは反対の第2の導電型であり得る。第1のソース領域は第1のボディ領域内に配置することができる。第2のソース領域は第2のボディ領域内に配置することができる。

40

【0054】

縦型トランジスタは、縦型電界効果トランジスタ(FET)を含むことができる。SiC半導体領域は、縦型FETのドリフト領域と、縦型FETのドレイン領域とを含むことができる。

【0055】

50

縦型トランジスタは、縦型絶縁ゲートバイポーラトランジスタ（IGBT）を含むことができる。第1のソース領域は縦型IGBTの第1のエミッタ領域であり得、第2のソース領域は縦型IGBTの第2のエミッタ領域であり得る。SiC半導体領域は、縦型IGBTのドリフト領域と、縦型IGBTのコレクタ領域とを含み得る。

【0056】

第1のゲート電極は、ドーパドポリシリコンゲート電極の第1の部分であり得、第2のゲート電極は、ドーパドポリシリコンゲート電極の第2の部分であり得る。第1のゲート電極は第1のドーパドポリシリコンゲート電極であり、第2のゲート電極は第2のドーパドポリシリコンゲート電極であり得る。第1のドーパドポリシリコンゲート電極は、導電性グリッド及び導電性グリッドへのそれぞれの電気コンタクトを介して、第2のドーパドポリシリコンゲート電極と電氣的に結合され得る。

10

【0057】

第1の誘電体層を貫通して形成された少なくとも第1の導電性コンタクトは、第1の誘電体層を貫通して形成された第1の複数の導電性コンタクトを含むことができる。第1の誘電体層及び第2の誘電体層を貫通して形成された少なくとも第2の導電性コンタクトは、第1の誘電体層及び第2の誘電体層を貫通して形成された第2の複数の導電性コンタクトを含むことができる。第2の誘電体層を貫通して形成された少なくとも第3の導電性コンタクトは、第2の誘電体層を貫通して形成された第3の複数の導電性コンタクトを含むことができる。

【0058】

別の一般的な態様において、半導体デバイスは、半導体領域と、半導体領域内に配置された活性領域と、半導体領域内に配置された分離領域とを含むことができる。分離領域は、活性領域を少なくとも部分的に取り囲むことができる。半導体デバイスはまた、活性領域内に配置された複数の縦型トランジスタセグメントを含むことができる。複数の縦型トランジスタセグメントは、それぞれのゲート電極を含むことができる。半導体デバイスはまた、活性領域上に配置された第1の誘電体層と、第1の誘電体層上に配置された導電性グリッドとを含むことができる。導電性グリッドは、第1の誘電体層を貫通して形成された複数の導電性コンタクトを使用して、それぞれのゲート電極と電氣的に結合することができる。半導体デバイスは、導電性グリッド及び第1の誘電体層上に配置された第2の誘電体層と、第2の誘電体層上に配置された導電性金属層とを更に含むことができる。導電性金属層は、第2の誘電体層を貫通して形成された導電性グリッドへの少なくとも1つの導電性コンタクトを使用して、導電性グリッドを介してそれぞれのゲート電極と電氣的に結合された部分を含むことができる。

20

30

【0059】

実装形態は、以下の特徴のうちの1つ以上を含むことができる。例えば、金属層は第1の金属層であり得る。半導体デバイスは、第1の金属層及び第2の誘電体層上に配置された第3の誘電体層を含むことができ、第2の金属層は、第3の誘電体層を介して第1の金属層の一部と電氣的に結合された部分を含むことができる。

【0060】

それぞれのゲート電極は、それぞれのプレーナゲート電極を含むことができる。それぞれのゲート電極は、それぞれのトレンチゲート電極を含むことができる。複数の縦型トランジスタセグメントは、複数の縦型電界効果トランジスタセグメント、又は複数の縦型絶縁ゲートバイポーラトランジスタセグメントのうちの1つを含むことができる。ゲート接続グリッドは、活性領域の活性区域を縮小しなくてもよいことがある。

40

【0061】

別の一般的な態様では、半導体デバイスを作製する方法は、半導体領域内に縦型トランジスタを形成することを含むことができる。縦型トランジスタは、第1のトランジスタセグメント及び第2のトランジスタセグメントを含むことができる。第1のトランジスタセグメントは、第1のボディ領域、第1のソース領域、及び第1のゲート電極を有することができる。第2のトランジスタセグメントは、第2のボディ領域、第2のソース領域、及

50

び第2のゲート電極を有することができる。本方法は、縦型トランジスタ上に第1の誘電体層を形成することと、第1の誘電体層上に導電性グリッドを形成することとを更に含むことができる。導電性グリッドは、第1の誘電体層を貫通して形成された少なくとも第1の導電性コンタクトを使用して、第1のゲート電極及び第2のゲート電極と電氣的に結合することができる。本方法はまた、導電性グリッド及び第1の誘電体層上に第2の誘電体層を形成することと、第2の誘電体層上に導電性金属層を形成することとを含むことができる。導電性金属層は、第1の誘電体層及び第2の誘電体層を貫通して形成された少なくとも第2の導電性コンタクトを使用して、第1のボディ領域、第1のソース領域、第2のボディ領域、及び第2のソース領域と電氣的に結合することができる第1の部分を含むことができる。導電性金属層はまた、第2の誘電体層を貫通して形成された少なくとも第3の導電性コンタクトを使用して導電性グリッドと電氣的に結合され得る第2の部分を含むことができる。

10

【0062】

実装形態は、以下の特徴のうちの1つ以上を含むことができる。例えば、金属層は第1の金属層であり得る。この方法は、第1の金属層及び第2の誘電体層上に第3の誘電体層を形成することと、第3の誘電体層上に第2の金属層を形成することとを含むことができる。第2の金属層は、第3の誘電体層を貫通して第1の金属層の第1の部分と電氣的に結合された第1の部分と、第3の誘電体層を介して第1の金属層の第2の部分と電氣的に結合された第2の部分とを含むことができる。

【0063】

本開示の目的のために、層、領域、又は基板などの要素が、別の要素上にある、別の要素上に配置される、別の要素に接続される、別の要素に電氣的に接続する、別の要素に結合される、あるいは、別の要素に電氣的に結合されると称される場合、その要素が、その別の要素の直接上にあっても、その別の要素に接続されても、又はその別の要素に結合されてもよく、あるいは1つ以上の介在する要素が存在し得ることが理解されよう。一方、要素が、別の要素又は層の直接上にある、別の要素又は層上に直接配置される、別の要素又は層に直接接続される、あるいは別の要素又は層に直接結合されると称される場合、介在する要素又は層は存在しない。本発明の詳細な説明を通じて、直接上にある、直接接続される、又は、直接結合されるという用語が使用されないこともあるが、直接上にある、直接接続される、又は、直接結合されるものとして図示される要素は、そのようなものとして言及され得る。本出願の請求項は、本明細書記載の、あるいは、図示される例示関係を述べるよう補正される場合がある。

20

30

【0064】

本明細書において使用される際、単数形は、文脈の観点において、特定の事例を明確に示さない限り、複数形を含み得る。空間的相対性を示す用語（例えば、を覆って、の上方、の上側、の下、のすぐ下、の下方、の下側など）は、図面で示す配向に加えて、使用中、又は、動作中のデバイスの異なる配向を包含することを意図している。いくつかの実装形態では、の上方及びの下方という相対的な用語はそれぞれ、の垂直方向に上方及びの垂直方向に下方を含むことができる。いくつかの実装形態では、隣接するという用語は、横方向に隣接するか、垂直方向に隣接するか、又は、水平方向に隣接することを含むことができる。

40

【0065】

いくつかの実装形態は、様々な半導体処理及び/又はパッケージング技術を使用して実装され得る。いくつかの実装形態は、例えば、シリコン(Si)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、炭化ケイ素(SiC)、及び/又はそれらなどを含むが、それらに限定されない半導体基板に関連する様々なタイプの半導体処理技術を使用して実装されてもよい。

【0066】

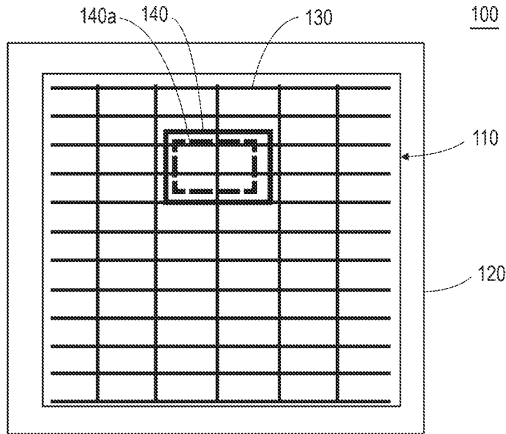
本明細書に記載されているように、様々な例示的な実装形態のいくつかの特徴を説明したが、これから、当業者は、多くの変形形態、代替え、変更、及び等価物を発見するであ

50

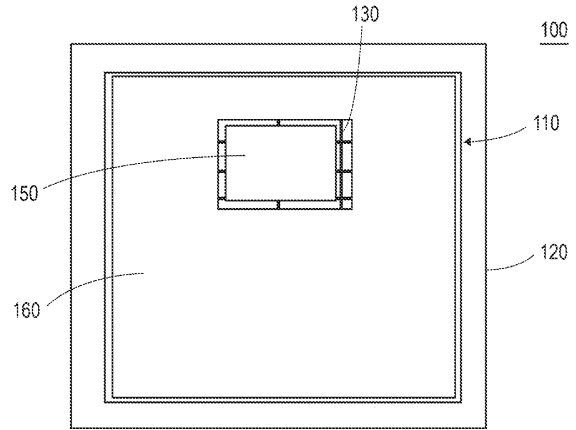
ろう。それ故、添付の特許請求の範囲は、そのような修正及び変更の全てを実装形態の範囲内に収まるよう網羅することを意図することが、理解されよう。これらは、限定ではなく、単なる例として提示されており、形態及び細部に様々な変更がなされ得ることは、理解しているはずである。本明細書において説明される装置及び／又は方法のいずれの部分も、相互に排他的な組み合わせを除き、任意の組み合わせで組み合わせられ得る。本明細書において説明される実装形態は、説明される異なる実装形態の機能の様々な組み合わせ及び／又は部分組み合わせ、構成要素及び／又は特徴を含み得る。

【図面】

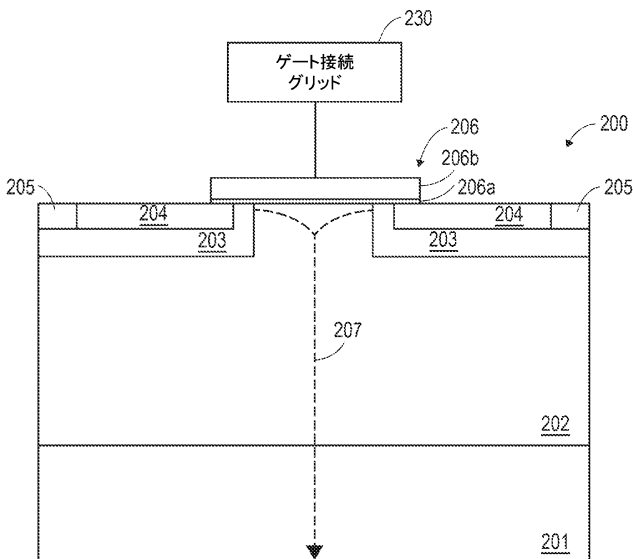
【図 1 A】



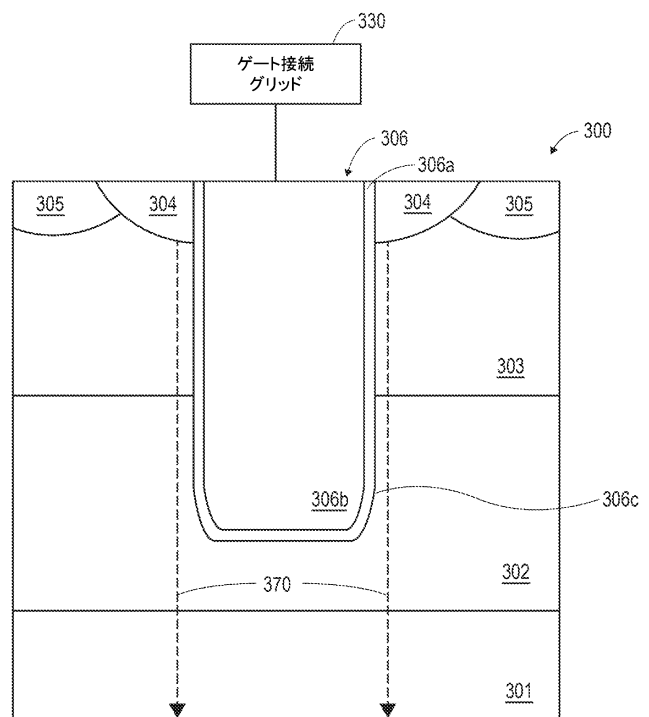
【図 1 B】



【図 2】



【図 3】



10

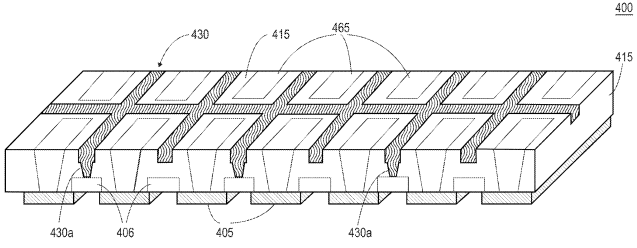
20

30

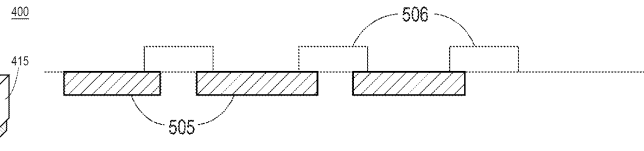
40

50

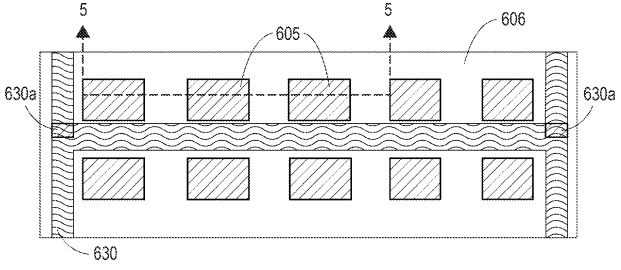
【 図 4 】



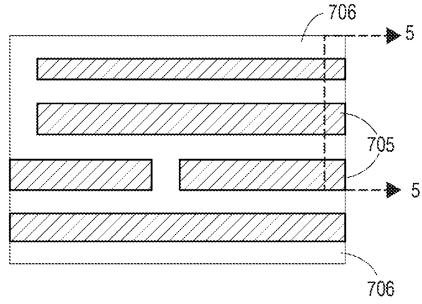
【 図 5 】



【 図 6 】



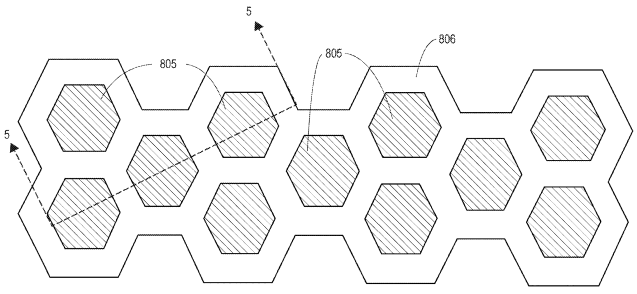
【 図 7 】



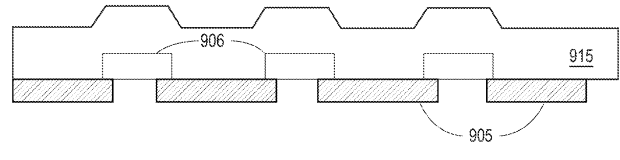
10

20

【 図 8 】



【 図 9 A 】



30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/070659

A. CLASSIFICATION OF SUBJECT MATTER		
INV. H01L29/739 H01L29/78 H01L29/423		
ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009/166731 A1 (MARUOKA MICHIYAKI [JP]) 2 July 2009 (2009-07-02) paragraph [0036] - paragraph [0052]; figures 1-3 paragraph [0057] - paragraph [0075]; figures 4-18	1-20
A	----- CN 111 403 341 A (UNIV CHINA ELECTRONIC SCI & TECHNOLOGY) 10 July 2020 (2020-07-10) abstract; figures 3, 4A, 4B associated text; figures 7, 8	1-20
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 10 May 2022	Date of mailing of the international search report 19/05/2022	
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Lantier, Roberta	

10

20

30

40

2

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/070659

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	<p>& US 2021/305051 A1 (QIAO MING [CN] ET AL) 30 September 2021 (2021-09-30) paragraph [0036] - paragraph [0050]; figures 3, 4A, 4B paragraph [0052] - paragraph [0054]; figures 7, 8 -----</p>	
A	<p>US 2013/069143 A1 (YEH TENG-HAO [TW] ET AL) 21 March 2013 (2013-03-21) paragraph [0018] - paragraph [0022]; figures 1-3 -----</p>	1-20

10

20

30

40

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/070659

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009166731 A1	02-07-2009	JP 2009158717 A US 2009166731 A1	16-07-2009 02-07-2009
CN 111403341 A	10-07-2020	CN 111403341 A US 2021305051 A1	10-07-2020 30-09-2021
US 2013069143 A1	21-03-2013	CN 103022104 A US 2013069143 A1	03-04-2013 21-03-2013

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 8 F

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JM,JO,J
P,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,N
A,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,
TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

ダース , ズルテ , メーレルシュトラーツ 1 3 ヘー

(72)発明者

アラースタム , フレデリク

スウェーデン国 1 7 0 6 9 ストックホルムス ラン , ソルナ , ホノーシュガータン 5

【要約の続き】

部分 (9 5 1) を含むことができる。

【選択図】 図 1 A