

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7475282号
(P7475282)

(45)発行日 令和6年4月26日(2024.4.26)

(24)登録日 令和6年4月18日(2024.4.18)

(51)国際特許分類		F I		
H O 1 L	29/786(2006.01)	H O 1 L	29/78	6 1 7 K
H O 1 L	21/336(2006.01)	H O 1 L	29/78	6 1 6 A
		H O 1 L	29/78	6 1 7 L
		H O 1 L	29/78	6 1 7 T
		H O 1 L	29/78	6 1 7 U
請求項の数 15 (全108頁) 最終頁に続く				
(21)出願番号	特願2020-554606(P2020-554606)	(73)特許権者	000153878	
(86)(22)出願日	令和1年10月23日(2019.10.23)		株式会社半導体エネルギー研究所	
(86)国際出願番号	PCT/IB2019/059035		神奈川県厚木市長谷398番地	
(87)国際公開番号	WO2020/089733	(72)発明者	山崎 舜平	
(87)国際公開日	令和2年5月7日(2020.5.7)		神奈川県厚木市長谷398番地 株式会	
審査請求日	令和4年10月17日(2022.10.17)		社半導体エネルギー研究所内	
(31)優先権主張番号	特願2018-207399(P2018-207399)	(72)発明者	岡崎 健一	
(32)優先日	平成30年11月2日(2018.11.2)		神奈川県厚木市長谷398番地 株式会	
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内	
(31)優先権主張番号	特願2018-209953(P2018-209953)	(72)発明者	神長 正美	
(32)優先日	平成30年11月7日(2018.11.7)		神奈川県厚木市長谷398番地 株式会	
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内	
(31)優先権主張番号	特願2018-237471(P2018-237471)	(72)発明者	島 行徳	
	最終頁に続く		神奈川県厚木市長谷398番地 株式会	
			社半導体エネルギー研究所内	
			最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

トランジスタを有する半導体装置であって、

半導体層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、金属酸化物層と、導電層と、を有し、

前記半導体層、前記第2の絶縁層、前記金属酸化物層、及び前記導電層は、前記第1の絶縁層上にこの順に積層され、

前記トランジスタのチャンネル長方向の断面視において、前記第2の絶縁層の端部は、前記半導体層の端部よりも内側に位置し、

前記断面視において、前記導電層及び前記金属酸化物層の端部はそれぞれ、前記第2の絶縁層の端部よりも内側に位置し、

前記第2の絶縁層は、第1の層と、前記第1の層上の第2の層と、前記第2の層上の第3の層と、を有し、

前記第1の層の膜密度は、前記第2の層の膜密度と異なり、

前記第2の層の膜密度は、前記第3の層の膜密度と異なり、

前記第3の絶縁層は、前記第1の絶縁層の上面と接する領域と、前記半導体層の上面及び側面と接する領域と、前記第3の層の側面と接する領域と、前記第2の層の上面及び側面と接する領域と、前記第3の層の側面と接する領域と、前記金属酸化物層の側面と接する領域と、前記導電層の上面及び側面と接する領域とを有し、

前記半導体層は、第1の領域と、一對の第2の領域と、一對の第3の領域と、を有し、

前記第 1 の領域は、前記第 1 の絶縁層及び前記金属酸化物層と重なり、

前記一対の第 2 の領域は、前記第 1 の領域を挟み、前記第 2 の絶縁層と重なり、且つ前記金属酸化物層と重ならず、

前記一対の第 3 の領域は、前記第 1 の領域及び前記一対の前記第 2 の領域を挟み、且つ前記第 2 の絶縁層と重ならず、

前記一対の第 3 の領域は、前記第 3 の絶縁層と接し、

前記一対の第 3 の領域は、前記第 1 の領域よりも低抵抗である部分を含み、

前記一対の第 2 の領域は、前記第 3 の領域よりも高抵抗である部分を含む半導体装置。

【請求項 2】

請求項 1 において、

前記トランジスタのチャンネル長方向の断面における透過型電子顕微鏡像において、前記第 1 の層と前記第 2 の層の境界においてコントラストの違いが観察され、且つ、前記第 2 の層と前記第 3 の層の境界においてコントラストの違いが観察される半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 2 の領域は、シート抵抗が $1 \times 10^3 \Omega / \square$ 以上 $1 \times 10^9 \Omega / \square$ 以下である部分を含む半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記第 1 の領域の電気抵抗は、前記第 2 の領域の電気抵抗の 1×10^0 倍以上 1×10^9 倍以下である半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記第 2 の領域の電気抵抗は、前記第 3 の領域の電気抵抗の 1×10^0 倍以上 1×10^9 倍以下である半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記断面視において、前記第 2 の領域の幅が、 100 nm 以上 $2 \mu\text{m}$ 以下である半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、

前記第 1 の絶縁層は、窒化物を含み、

前記第 3 の絶縁層は、窒化物を含む半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

さらに第 4 の絶縁層を有し、

前記第 4 の絶縁層は、前記第 3 の絶縁層の上面と接し、

前記第 4 の絶縁層は、窒化物を含む半導体装置。

【請求項 9】

請求項 8 において、

前記第 3 の絶縁層は、前記第 4 の絶縁層より水素濃度が低い領域を有する半導体装置。

【請求項 10】

請求項 8 または請求項 9 において、

前記第 3 の絶縁層は、前記第 4 の絶縁層より膜密度が高い領域を有する半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一において、

前記導電層と、前記金属酸化物層とは上面形状が概略一致する半導体装置。

【請求項 12】

請求項 1 乃至請求項 10 のいずれか一において、

前記断面視において、前記導電層の端部は、前記金属酸化物層の端部より内側に位置する

10

20

30

40

50

半導体装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一において、
前記第 2 の絶縁層の端部、及び前記金属酸化物層の端部は、それぞれテーパ形状を有する半導体装置。

【請求項 14】

請求項 1 乃至請求項 13 のいずれか一において、
前記半導体層及び前記金属酸化物層は、それぞれ同じ金属元素を含む半導体装置。

【請求項 15】

請求項 14 において、
前記金属元素は、インジウム及び亜鉛のいずれか一以上である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、半導体装置、または表示装置の作製方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

【背景技術】

【0003】

トランジスタに適用可能な半導体材料として、金属酸化物を用いた酸化物半導体が注目されている。例えば、特許文献 1 では、複数の酸化物半導体層を積層し、当該複数の酸化物半導体層の中で、チャンネルとなる酸化物半導体層がインジウム及びガリウムを含み、且つインジウムの割合をガリウムの割合よりも大きくすることで、電界効果移動度（単に移動度、または $\mu F E$ という場合がある）を高めた半導体装置が開示されている。

【0004】

半導体層に用いることのできる金属酸化物は、スパッタリング法などを用いて形成できるため、大型の表示装置を構成するトランジスタの半導体層に用いることができる。また、多結晶シリコンや非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能なため、設備投資を抑えられる。また、金属酸化物を用いたトランジスタは、非晶質シリコンを用いた場合に比べて高い電界効果移動度を有するため、駆動回路を設けた高性能の表示装置を実現できる。

【0005】

表示装置においては、画面サイズが大型化する傾向にあり、対角 60 インチ以上さらには、対角 120 インチ以上の画面サイズも視野に入れた開発が行われている。加えて、画面の解像度もフルハイビジョン（画素数 1920×1080 、または「2K」などとも言われる）、ウルトラハイビジョン（画素数 3840×2160 、または「4K」などとも言われる）、スーパーハイビジョン（画素数 7680×4320 、または「8K」などとも言われる）と高精細化の傾向にある。

【0006】

画面サイズの大型化や高精細化は、表示部内の配線抵抗を増大させる傾向にある。特許文献 2 では、非晶質シリコントランジスタを用いた液晶表示装置において、配線抵抗の増大を抑えるために、銅（Cu）を使用して低抵抗の配線層を形成する技術が開示されている。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0007】

【文献】特開2014-7399号公報

【文献】特開2004-163901号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、電気特性の良好な半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

【課題を解決するための手段】

【0010】

本発明の一態様は、半導体層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、金属酸化物層と、導電層と、を有する半導体装置である。半導体層、第2の絶縁層、金属酸化物層、及び導電層は、第1の絶縁層上にこの順に積層される。チャンネル長方向の断面において、第2の絶縁層の端部は、半導体層の端部よりも内側に位置し、導電層及び金属酸化物層の端部はそれぞれ、第2の絶縁層の端部よりも内側に位置する。第3の絶縁層は、第1の絶縁層の上面、半導体層の上面及び側面、第2の絶縁層の上面及び側面、金属酸化物層の側面、並びに導電層の上面及び側面と接する。半導体層は、第1の領域と、一对の第2の領域と、一对の第3の領域と、を有する。第1の領域は、第1の絶縁層及び金属酸化物層と重なる。第2の領域は、第1の領域を挟み、第2の絶縁層と重なり、且つ金属酸化物層と重ならない。第3の領域は、第1の領域及び一对の第2の領域を挟み、且つ第2の絶縁層と重ならない。また、第3の領域は、第3の絶縁層と接し、第1の領域よりも低抵抗である部分を含む。第2の領域は、第3の領域よりも高抵抗である部分を含む。

【0011】

前述の半導体装置において、第2の絶縁層は、金属酸化物層と重なる領域の膜厚より金属酸化物層と重ならない領域の膜厚が薄い部分を有することが好ましい。

【0012】

前述の半導体装置において、第2の領域は、シート抵抗が $1 \times 10^3 \Omega/\square$ 以上 $1 \times 10^9 \Omega/\square$ 以下である部分を含むことが好ましい。

【0013】

前述の半導体装置において、第1の領域の電気抵抗は、第2の領域の電気抵抗の 1×10^0 倍以上 1×10^9 倍以下であることが好ましい。

【0014】

前述の半導体装置において、第2の領域の電気抵抗は、第3の領域の電気抵抗の 1×10^0 倍以上 1×10^9 倍以下であることが好ましい。

【0015】

前述の半導体装置において、チャンネル長方向の断面で第2の領域の幅が、 100 nm 以上 $2 \mu\text{m}$ 以下であることが好ましい。

【0016】

前述の半導体装置において、第1の絶縁層は、窒化物を含み、第3の絶縁層は、窒化物を含むことが好ましい。

【0017】

前述の半導体装置において、さらに第4の絶縁層を有することが好ましい。第4の絶縁層は、第3の絶縁層の上面と接し、かつ窒化物を含むことが好ましい。

【0018】

前述の半導体装置において、第3の絶縁層は、第4の絶縁層より水素濃度が低い領域を

10

20

30

40

50

有することが好ましい。

【0019】

前述の半導体装置において、第3の絶縁層は、第4の絶縁層より膜密度が高い領域を有することが好ましい。

【0020】

前述の半導体装置において、導電層と、金属酸化物層とは上面形状が概略一致することが好ましい。または、導電層の端部は、金属酸化物層の端部より内側に位置することが好ましい。

【0021】

前述の半導体装置において、第2の絶縁層の端部、及び金属酸化物層の端部は、それぞれテーパ形状を有することが好ましい。

【0022】

前述の半導体装置において、半導体層及び金属酸化物層は、それぞれ同じ金属元素を含むことが好ましい。

【0023】

前述の半導体装置において、金属元素は、インジウム及び亜鉛のいずれか一以上であることが好ましい。

【発明の効果】

【0024】

本発明の一態様によれば、電気特性の良好な半導体装置を提供できる。または、信頼性の高い半導体装置を提供できる。または、新規な半導体装置を提供できる。

【0025】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

【図面の簡単な説明】

【0026】

図1Aは半導体装置の上面図である。図1B、図1Cは半導体装置の断面図である。

図2A、図2B、図2Cは半導体装置の断面図である。

図3A、図3B、図3Cは半導体装置の断面図である。

図4A、図4B、図4Cは半導体装置の断面図である。

図5Aは半導体装置の上面図である。図5B、図5Cは半導体装置の断面図である。

図6A、図6Bは半導体装置の断面図である。

図7Aは半導体装置の上面図である。図7B、図7Cは半導体装置の断面図である。

図8A、図8B、図8Cは半導体装置の断面図である。

図9Aは半導体装置の上面図である。図9B、図9Cは半導体装置の断面図である。

図10A、図10B、図10C、図10Dは半導体装置の作製方法を説明する断面図である。

図11A、図11B、図11Cは半導体装置の作製方法を説明する断面図である。

図12A、図12B、図12Cは半導体装置の作製方法を説明する断面図である。

図13A、図13B、図13Cは半導体装置の作製方法を説明する断面図である。

図14A、図14Bは半導体装置の作製方法を説明する図である。

図15A、図15B、図15Cは表示装置の上面図である。

図16は表示装置の断面図である。

図17は表示装置の断面図である。

図18は表示装置の断面図である。

図19は表示装置の断面図である。

図20Aは表示装置のブロック図である。図20B、図20Cは表示装置の回路図である。

図21A、図21C、図21Dは表示装置の回路図である。図21Bは表示装置のタイミングチャートである。

10

20

30

40

50

図 2 2 A は表示モジュールの構成例である。図 2 2 B は表示モジュールの断面概略図である。

図 2 3 A は電子機器の構成例である。図 2 3 B は電子機器の断面概略図である。

図 2 4 A、図 2 4 B、図 2 4 C、図 2 4 D、図 2 4 E は電子機器の構成例である。

図 2 5 A、図 2 5 B、図 2 5 C、図 2 5 D、図 2 5 E、図 2 5 F、図 2 5 G は電子機器の構成例である。

図 2 6 A、図 2 6 B、図 2 6 C、図 2 6 D は電子機器の構成例である。

図 2 7 はトランジスタの $I_d - V_d$ 特性を示す図である。

図 2 8 はトランジスタの $I_d - V_d$ 特性を示す図である。

図 2 9 は金属酸化物膜の抵抗を示す図である。

10

図 3 0 A、図 3 0 B は断面 STEM 像である。

図 3 1 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 3 2 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 3 3 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 3 4 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 3 5 はトランジスタの信頼性評価結果を示す図である。

図 3 6 は金属酸化物膜の抵抗を示す図である。

図 3 7 はトランジスタの $I_d - V_d$ 特性を示す図である。

図 3 8 はゲートドライバの動作結果を示す図である。

図 3 9 A、図 3 9 B、図 3 9 C、図 3 9 D、図 3 9 E は試料構造を示す断面図である。

20

図 4 0 A、図 4 0 B は試料構造を示す断面図である。

図 4 1 は試料構造を示す断面図である。

図 4 2 は TDS 測定結果を示す図である。

図 4 3 は TDS 測定結果を示す図である。

図 4 4 は TDS 測定結果を示す図である。

図 4 5 は TDS 測定結果を示す図である。

図 4 6 は TDS 測定結果を示す図である。

図 4 7 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 4 8 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 4 9 はトランジスタの $I_d - V_g$ 特性を示す図である。

30

図 5 0 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 5 1 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 5 2 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 5 3 はトランジスタの $I_d - V_g$ 特性を示す図である。

図 5 4 A、図 5 4 B はトランジスタの信頼性評価結果を示す図である。

図 5 5 A、図 5 5 B はトランジスタの断面の TEM 像である。

【発明を実施するための形態】

【0027】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

40

【0028】

本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【0029】

本明細書等で用いる「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

【0030】

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成要素同士の位

50

置関係を、図面を参照して説明するために、便宜上用いている。また、構成要素同士の位置関係は、各構成要素を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0031】

本明細書等において、トランジスタが有するソースとドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0032】

本明細書等において、トランジスタのチャンネル長方向とは、ソース領域とドレイン領域間を最短距離で結ぶ直線に平行な方向のうちの1つをいう。すなわち、チャンネル長方向は、トランジスタがオン状態のときに半導体層を流れる電流の方向のうちの1つに相当する。また、チャンネル幅方向とは、当該チャンネル長方向に直交する方向をいう。なお、トランジスタの構造や形状によっては、チャンネル長方向及びチャンネル幅方向は1つに定まらない場合がある。

【0033】

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0034】

本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」や「絶縁層」という用語は、「導電膜」や「絶縁膜」という用語に相互に交換することが可能な場合がある。

【0035】

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層の端部が下層の端部より内側に位置することや、上層の端部が下層の端部より外側に位置することもあり、この場合も「上面形状が概略一致」という。

【0036】

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャンネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャンネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

【0037】

本明細書等において、表示装置の一態様である表示パネルは表示面に画像等を表示（出力）する機能を有するものである。したがって表示パネルは出力装置の一態様である。

【0038】

本明細書等では、表示パネルの基板に、例えばFPC（Flexible Printed Circuit）もしくはTCP（Tape Carrier Package）などのコネクタが取り付けられたもの、または基板にCOG（Chip On Glass）方式等によりICが実装されたものを、表示パネルモジュール、表示モジュール、または単に表示パネルなどと呼ぶ場合がある。

【0039】

なお、本明細書等において、表示装置の一態様であるタッチパネルは表示面に画像等を表示する機能と、表示面に指やスタイラスなどの被検知体が触れる、押圧する、または近

10

20

30

40

50

づくことなどを検出するタッチセンサとしての機能と、を有する。したがってタッチパネルは入出力装置の一態様である。

【0040】

タッチパネルは、例えばタッチセンサ付き表示パネル（または表示装置）、タッチセンサ機能つき表示パネル（または表示装置）とも呼ぶことができる。タッチパネルは、表示パネルとタッチセンサパネルとを有する構成とすることもできる。または、表示パネルの内部または表面にタッチセンサとしての機能を有する構成とすることもできる。

【0041】

本明細書等では、タッチパネルの基板に、コネクタやICが実装されたものを、タッチパネルモジュール、表示モジュール、または単にタッチパネルなどと呼ぶ場合がある。

【0042】

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置について説明する。以下では半導体装置の一例として、トランジスタの構成例及びその作製方法例について説明する。

【0043】

本発明の一態様は、第1の絶縁層上に、チャンネルが形成される半導体層と、ゲート絶縁層として機能する第2の絶縁層と、ゲート電極として機能する導電層と、を有する半導体装置である。半導体層は、半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）を含んで構成されることが好ましい。

【0044】

第2の絶縁層と導電層との間に、金属酸化物層を有する。金属酸化物層は導電性を有することが好ましく、このとき当該金属酸化物層は、ゲート電極の一部として機能する。

【0045】

チャンネル長方向の断面において、第2の絶縁層の端部（輪郭）は、半導体層の端部（輪郭）よりも内側に位置することが好ましい。さらに、チャンネル長方向の断面において、導電層及び金属酸化物層の端部（輪郭）は、第2の絶縁層の端部（輪郭）よりも内側に位置することが好ましい。

【0046】

本発明の一態様である半導体装置は、さらに第3の絶縁層を有する。第3の絶縁層は、第1の絶縁層の上面、半導体層の上面及び側面、第2の絶縁層の上面及び側面、金属酸化物層の側面、並びに導電層の上面及び側面と接するように設けられることが好ましい。第1の絶縁層及び第3の絶縁層はそれぞれ、不純物の拡散を抑制する材料を用いることができる。例えば、第1の絶縁層及び第3の絶縁層はそれぞれ、窒化物を用いることができる。また、第1の絶縁層と第3の絶縁層が接する領域を設けることで、トランジスタに不純物が拡散することを抑制でき、高い信頼性を備えるトランジスタとすることができる。

【0047】

半導体層は、チャンネルが形成される第1の領域と、第1の領域を挟む一対の第2の領域と、第1の領域及び第2の領域を挟み、ソース領域及びドレイン領域として機能する一対の第3の領域と、を有する。第1の領域は、第1の絶縁層及び金属酸化物層と重なる領域である。第2の領域は、第2の絶縁層と重なり、且つ金属酸化物層と重ならない領域である。第3の領域は、第2の絶縁層と重ならない領域である。また、第3の領域は、第3の絶縁層と接し、第1の領域よりも低抵抗である部分を含むことが好ましい。第2の領域は、第3の領域よりも高抵抗である部分を含むことが好ましい。

【0048】

第2の領域は、LDD（Lightly Doped Drain）領域として機能する。第2の領域を有することによりドレイン電界を緩和することができ、高電圧で駆動する場合であっても高い信頼性を備えるトランジスタとすることができる。

【0049】

以下では、より具体的な例について、図面を参照して説明する。

【0050】

<構成例 1>

図 1 A は、トランジスタ 100 の上面図であり、図 1 B は、図 1 A に示す一点鎖線 A 1 - A 2 における切断面の断面図に相当し、図 1 C は、図 1 A に示す一点鎖線 B 1 - B 2 における切断面の断面図に相当する。なお、図 1 A において、トランジスタ 100 の構成要素の一部（保護層等）を省略して図示している。また、一点鎖線 A 1 - A 2 方向はチャネル長方向、一点鎖線 B 1 - B 2 方向はチャネル幅方向に相当する。また、トランジスタの上面図については、以降の図面においても図 1 A と同様に、構成要素の一部を省略して図示するものとする。

【0051】

トランジスタ 100 は、基板 102 上に設けられ、絶縁層 103、半導体層 108、絶縁層 110、金属酸化物層 114、導電層 112、絶縁層 116、絶縁層 118 等を有する。島状の半導体層 108 は、絶縁層 103 上に設けられる。絶縁層 110 は、絶縁層 103 の上面の一部、及び半導体層 108 の一部を覆って設けられる。金属酸化物層 114 及び導電層 112 は、絶縁層 110 上にこの順に積層して設けられ、半導体層 108 と重畳する部分を有する。図 1 B 中の一点鎖線で囲った領域 P の拡大図を、図 2 A に示す。

【0052】

導電層 112 及び金属酸化物層 114 の端部は、絶縁層 110 の端部よりも内側に位置する。言い換えると、絶縁層 110 は、少なくとも半導体層 108 上において、導電層 112 及び金属酸化物層 114 の端部よりも外側に突出した部分を有する。

【0053】

半導体層 108 は、チャネル形成領域として機能する領域 108 C と、領域 108 C を挟む一対の領域 108 L と、その外側に一対の領域 108 N とを有する。領域 108 L は、半導体層 108 のうち、絶縁層 110 と重なり、且つ導電層 112 とは重ならない領域である。図 2 A では、トランジスタ 100 のチャネル長方向における領域 108 C の幅を L1、領域 108 L の幅を L2 で示している。

【0054】

領域 108 C は、チャネル形成領域として機能する。ここで、金属酸化物層 114 が導電性を有する場合、ゲート電極の一部として機能するため、ゲート絶縁層として機能する絶縁層 110 を介して、ゲート電極から領域 108 C に電界が与えられ、チャネルが形成される。

【0055】

領域 108 L は、ドレイン電界を緩和するためのバッファ領域としての機能を有する。領域 108 L は、導電層 112 及び金属酸化物層 114 とは重畳しない領域であるため、導電層 112 にゲート電圧が与えられた場合にもチャネルはほとんど形成されない領域である。領域 108 L は、キャリア濃度が領域 108 C よりも高いことが好ましい。これにより、領域 108 L を LDD 領域として機能させることができる。

【0056】

領域 108 L は、領域 108 C と比較して、抵抗が同程度または低い領域、キャリア濃度が同程度または高い領域、酸素欠陥密度が同程度または高い領域、不純物濃度が同程度または高い領域ともいうことができる。

【0057】

領域 108 L は、領域 108 N と比較して、抵抗が同程度または高い領域、キャリア濃度が同程度または低い領域、酸素欠陥密度が同程度または低い領域、不純物濃度が同程度または低い領域ともいうことができる。

【0058】

このように、チャネル形成領域である領域 108 C と、ソース領域またはドレイン領域である領域 108 N との間に、LDD 領域として機能する領域 108 L を設けることにより、高いドレイン耐圧と、高いオン電流とを兼ね備え、信頼性の高いトランジスタを実現することができる。

【0059】

10

20

30

40

50

領域 108N は、ソース領域またはドレイン領域として機能し、半導体層 108 の他の領域と比較して、最も低抵抗な領域である。または、領域 108N は、半導体層 108 の他の領域と比較して、最もキャリア濃度の高い領域、酸素欠陥密度の高い領域、または最も不純物濃度の高い領域とも言うことができる。

【0060】

領域 108N の電気抵抗は低いほど好ましく、例えば領域 108N のシート抵抗の値は、 $1\Omega/\square$ 以上 $1 \times 10^3\Omega/\square$ 未満、好ましくは $1\Omega/\square$ 以上 $8 \times 10^2\Omega/\square$ 以下とすることが好ましい。

【0061】

チャネルが形成されていない状態における領域 108C の電気抵抗は高いほど好ましい。例えば領域 108C のシート抵抗の値は、 $1 \times 10^9\Omega/\square$ 以上、好ましくは $5 \times 10^9\Omega/\square$ 以上、より好ましくは $1 \times 10^{10}\Omega/\square$ 以上であることが好ましい。

10

【0062】

チャネルが形成されていない状態における領域 108C の電気抵抗は高いほど好ましいため上限値を特に設ける必要はない。ただし、上限値を設けるなら、例えば領域 108C のシート抵抗の値は、 $1 \times 10^9\Omega/\square$ 以上 $1 \times 10^{12}\Omega/\square$ 以下、好ましくは $5 \times 10^9\Omega/\square$ 以上 $1 \times 10^{12}\Omega/\square$ 以下、より好ましくは $1 \times 10^{10}\Omega/\square$ 以上 $1 \times 10^{12}\Omega/\square$ 以下であることが好ましい。

【0063】

領域 108L のシート抵抗の値は、例えば $1 \times 10^3\Omega/\square$ 以上 $1 \times 10^9\Omega/\square$ 以下、好ましくは $1 \times 10^3\Omega/\square$ 以上 $1 \times 10^8\Omega/\square$ 以下、より好ましくは $1 \times 10^3\Omega/\square$ 以上 $1 \times 10^7\Omega/\square$ とすることができる。このような抵抗の範囲とすることで、電気特性が良好でかつ信頼性の高いトランジスタとすることができる。なお、シート抵抗は、抵抗の値から算出できる。このような領域 108L を、領域 108N と領域 108C との間に設けることで、トランジスタ 100 のソースドレイン耐圧を高めることができる。

20

【0064】

チャネルが形成されていない状態における領域 108C の電気抵抗は、領域 108N の電気抵抗の 1×10^6 倍以上 1×10^{12} 倍以下、好ましくは 1×10^6 倍以上 1×10^{11} 倍以下、より好ましくは 1×10^6 倍以上 1×10^{10} 倍以下とすることができる。

【0065】

チャネルが形成されていない状態における領域 108C の電気抵抗は、領域 108L の電気抵抗の 1×10^0 倍以上 1×10^9 倍以下、好ましくは 1×10^1 倍以上 1×10^8 倍以下、より好ましくは 1×10^2 倍以上 1×10^7 倍以下とすることができる。

30

【0066】

領域 108L の電気抵抗は、領域 108N の電気抵抗の 1×10^0 倍以上 1×10^9 倍以下、好ましくは 1×10^1 倍以上 1×10^8 倍以下、より好ましくは 1×10^1 倍以上 1×10^7 倍以下とすることができる。

【0067】

前述の抵抗を有する領域 108L を、領域 108N とチャネル形成領域との間に設けることで、トランジスタ 100 のソースドレイン耐圧を高めることができる。

40

【0068】

半導体層 108 におけるキャリア濃度は、領域 108C が最も低く、領域 108L、領域 108N の順に高くなるような分布を有していることが好ましい。領域 108C と領域 108N との間に領域 108L が設けられることで、例えば作製工程中に領域 108N から水素などの不純物が拡散する場合であっても、領域 108C のキャリア濃度を極めて低く保つことができる。

【0069】

チャネル形成領域として機能する領域 108C におけるキャリア濃度は低いほど好ましく、 $1 \times 10^{18}\text{cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17}\text{cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16}\text{cm}^{-3}$ 以下であることがさらに好ましく、 1×10^{13}

50

cm^{-3} 以下であることがさらに好ましく、 $1 \times 10^{12} \text{cm}^{-3}$ 以下であることがさらに好ましい。なお、領域 108C のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{cm}^{-3}$ とすることができる。

【0070】

一方、領域 108N におけるキャリア濃度は、例えば $5 \times 10^{18} \text{cm}^{-3}$ 以上、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以上、より好ましくは $5 \times 10^{19} \text{cm}^{-3}$ 以上とすることができる。領域 108N におけるキャリア濃度の上限値については、特に限定は無いが、例えば $5 \times 10^{21} \text{cm}^{-3}$ 、または $1 \times 10^{22} \text{cm}^{-3}$ 等とすることができる。

【0071】

領域 108L におけるキャリア濃度は、領域 108C と領域 108N の間の値とすることができる。例えば、 $1 \times 10^{14} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 未満の範囲の値とすればよい。

【0072】

なお、領域 108L 中のキャリア濃度は均一でなくてもよく、領域 108N 側からチャネル形成領域にかけてキャリア濃度が小さくなるような勾配を有している場合がある。例えば、領域 108L 中の水素濃度または酸素欠損の濃度のいずれか一方、または両方が、領域 108N 側からチャネル形成領域側にかけて濃度が小さくなるような勾配を有しているもよい。

【0073】

半導体層 108 は、金属酸化物を含むことが好ましい。また、半導体層 108 のチャネル形成領域に接する絶縁層 103 と絶縁層 110 には、酸化物膜を用いることが好ましい。例えば、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜などの酸化物膜を用いることができる。これにより、トランジスタ 100 の作製工程における熱処理などで、絶縁層 103 や絶縁層 110 から脱離した酸素を半導体層 108 のチャネル形成領域に供給し、半導体層 108 中の酸素欠損を低減できる。

【0074】

絶縁層 110 の端部の一部は、半導体層 108 上に位置している。絶縁層 110 は、導電層 112 と重畳し、ゲート絶縁層として機能する部分と、導電層 112 及び金属酸化物層 114 と重ならない部分（すなわち、領域 108L と重なる部分）とを有する。

【0075】

絶縁層 110 は 2 層以上の積層構造としてもよい。図 1B、図 1C 及び図 2A には、絶縁層 110 が絶縁層 110a と、絶縁層 110a 上の絶縁層 110b と、絶縁層 110b 上の絶縁層 110c との 3 層構造である例を示している。なお、絶縁層 110a、絶縁層 110b 及び絶縁層 110c は同種の材料の絶縁膜を用いることができるため、絶縁層 110a、絶縁層 110b 及び絶縁層 110c それぞれの界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁層 110a、絶縁層 110b 及び絶縁層 110c それぞれの界面を破線で図示している。

【0076】

絶縁層 110a は、半導体層 108 のチャネル形成領域と接する領域を有する。絶縁層 110c は、金属酸化物層 114 と接する領域を有する。絶縁層 110b は、絶縁層 110a と絶縁層 110c の間に位置する。

【0077】

絶縁層 110a、絶縁層 110b、及び絶縁層 110c は、それぞれ酸化物を含む絶縁膜であることが好ましい。このとき、絶縁層 110a、絶縁層 110b 及び絶縁層 110c は、それぞれ同じ成膜装置で連続して成膜されることが好ましい。

【0078】

例えば、絶縁層 110a、絶縁層 110b、及び絶縁層 110c として、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶

10

20

30

40

50

縁層を用いることができる。

【0079】

半導体層108と接する絶縁層110は、酸化物絶縁膜の積層構造を有することが好ましく、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層110は、酸素を放出することが可能な絶縁膜を有する。例えば、酸素雰囲気下にて絶縁層110を形成すること、成膜後の絶縁層110に対して酸素雰囲気下での熱処理、プラズマ処理等を行うこと、または、絶縁層110上に酸素雰囲気下で酸化物膜を成膜することなどにより、絶縁層110中に酸素を供給することもできる。

【0080】

例えば、絶縁層110a、絶縁層110b及び絶縁層110cは、スパッタリング法、化学気相堆積（CVD：Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法等を用いて形成することができる。また、CVD法は、プラズマ化学気相堆積（PECVD：Plasma Enhanced CVD）法や、熱CVD法などがある。

10

【0081】

特に、絶縁層110a、絶縁層110b及び絶縁層110cは、プラズマCVD法により形成することが好ましい。

【0082】

絶縁層110aは、半導体層108上に成膜されるため、出来るだけ半導体層108にダメージを与えない条件で成膜された膜であることが好ましい。例えば、成膜速度（成膜レートともいう）が十分に低い条件で成膜することができる。

20

【0083】

例えば、プラズマCVD法により絶縁層110aを形成する場合、低電力の条件で形成することにより、半導体層108に与えるダメージを極めて小さくすることができる。

【0084】

絶縁層110a、絶縁層110b及び絶縁層110cとして酸化窒化シリコン膜を用いる場合、酸化窒化シリコン膜の成膜に用いる成膜ガスには、例えばシラン、ジシランなどのシリコンを含む堆積性ガスと、酸素、オゾン、一酸化二窒素、二酸化窒素などの酸化性ガスと、を含む原料ガスを用いることができる。また原料ガスに加えて、アルゴンやヘリウム、窒素などの希釈ガスを含んでもよい。

30

【0085】

例えば、成膜ガスの全流量に対する堆積性ガスの流量の割合（以下、単に流量比ともいう）を小さくすることで、成膜速度を低くでき、緻密で欠陥の少ない膜を成膜することができる。

【0086】

絶縁層110bは、絶縁層110aよりも成膜速度の高い条件で成膜された膜であることが好ましい。これにより、生産性を向上させることができる。

【0087】

例えば絶縁層110bは、絶縁層110aよりも堆積性ガスの流量比を増やした条件とすることで、成膜速度を高めた条件で成膜することができる。

40

【0088】

絶縁層110cは、その表面の欠陥が低減され、水などの大気中に含まれる不純物が吸着しにくい、極めて緻密な膜であることが好ましい。例えば、絶縁層110aと同様に、成膜速度が十分に低い条件で成膜することができる。

【0089】

絶縁層110cは絶縁層110b上に成膜するため、絶縁層110aと比較して絶縁層110cの成膜時に半導体層108へ与える影響は小さい。そのため、絶縁層110cは、絶縁層110aよりも高い電力の条件で成膜することができる。堆積性ガスの流量比を減らし、比較的高い電力で成膜することで、緻密で表面の欠陥が低減された膜とすること

50

ができる。

【0090】

すなわち、成膜速度が高い方から、絶縁層110b、絶縁層110a、絶縁層110cの順となるような条件で成膜された積層膜を、絶縁層110に用いることができる。また、絶縁層110は、絶縁層110b、絶縁層110a、絶縁層110cの順で、ウェットエッチングまたはドライエッチングに対する同一条件下でのエッチング速度が高い。

【0091】

絶縁層110bは、絶縁層110a及び絶縁層110cよりも厚く形成することが好ましい。成膜速度の最も速い絶縁層110bを厚く形成することで、絶縁層110の成膜工程に係る時間を短縮することができる。

【0092】

ここで、絶縁層110aと絶縁層110bの境界、及び絶縁層110bと絶縁層110cの境界は不明瞭である場合があるため、図1A等では、これらの境界を破線で図示している。なお、絶縁層110aと絶縁層110bは、膜密度が異なるため、絶縁層110の断面における透過型電子顕微鏡（TEM：Transmission Electron Microscopy）像などにおいて、これらの境界をコントラストの違いとして観察することができる場合がある。同様に、絶縁層110bと絶縁層110cの境界も観察することができる場合がある。

【0093】

導電層112及び金属酸化物層114を形成する際に、導電層112と重ならない領域の絶縁層110の膜厚が薄くなる場合がある。図1B、図1C及び図2Aには、導電層112と重ならない領域の絶縁層110cが除去され、絶縁層110a及び絶縁層110bが残存する構成を示している。また、導電層112と重なる領域の絶縁層110bと比較して、導電層112と重ならない領域の絶縁層110bの厚さが薄くなる場合がある。

【0094】

導電層112と重ならない領域の絶縁層110の膜厚を薄くすることにより、絶縁層116から供給される水素が多くなり、領域108Lの抵抗を低くすることができる。また、導電層112と重ならない領域の絶縁層110の膜厚を調整することにより、絶縁層116から供給される水素の量を調整し、領域108Lの抵抗を制御することができる。

【0095】

導電層112と重ならない領域の絶縁層110の膜厚を薄くすることにより、絶縁層110端部の段差が小さくなり、絶縁層110上に形成される層（例えば、絶縁層116）の段差被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

【0096】

図2Bには、導電層112と重ならない領域に絶縁層110a、絶縁層110b及び絶縁層110cが残存する構成を示している。また、導電層112と重なる領域の絶縁層110cと比較して、導電層112と重ならない領域の絶縁層110cの厚さが薄くなる場合がある。図2Bに示すように、導電層112と重ならない領域に、絶縁層110cが残存すると特に好ましい。導電層112と重ならない領域に絶縁層110cが残存する構成とすることで、絶縁層110に水が吸着することを抑制できる。導電層112と重なる領域の絶縁層110cの厚さは1nm以上50nm以下、好ましくは2nm以上40nm以下、さらに好ましくは3nm以上30nm以下とする。

【0097】

図2Cには、導電層112と重ならない領域に絶縁層110a、絶縁層110b及び絶縁層110cが残存し、導電層112と重なる領域の絶縁層110cと導電層112と重ならない領域の絶縁層110cの厚さが概略等しい例を示している。

【0098】

なお、絶縁層110は、絶縁層110aと、絶縁層110a上の絶縁層110cとの2層構造としてもよい。または、絶縁層110は単層構造としてもよい。絶縁層110として、目的に応じて前述の絶縁層110a、絶縁層110b又は絶縁層110cのいずれか

10

20

30

40

50

を適宜選択することができる。

【0099】

絶縁層116は、導電層112の上面及び側面、金属酸化物層114の側面、絶縁層110の上面及び側面、半導体層108の上面及び側面、並びに絶縁層103の上面を覆って設けられている。絶縁層118は、絶縁層116を覆って設けられる。絶縁層116及び絶縁層118は、保護層として機能し、外部からの不純物元素の拡散を抑制できる。

【0100】

絶縁層116は、絶縁層116より上からの不純物が半導体層108に拡散することを抑制する機能を有する。また、絶縁層116は、成膜時に絶縁層116と接する半導体層108の抵抗を低下させる機能を有する。絶縁層116は、領域108Nの上面及び側面と接して設けられる。絶縁層116は、絶縁層116の成膜時、または成膜後に加熱することにより、領域108N中に不純物を供給することのできる絶縁膜を用いることができる。または、絶縁層116の成膜時、または成膜後に加熱することにより、領域108N中に酸素欠損を生じさせることのできる絶縁膜を用いることができる。

10

【0101】

絶縁層116は、成膜の際に用いる成膜ガスに、水素などの不純物元素を含むガスを用いて成膜される膜であることが好ましい。例えば、水素を含むガスとして、シラン、アンモニア等を用いることができる。また絶縁層116の成膜温度を低くすることで、半導体層108に効果的に多くの不純物元素を供給することができる。絶縁層116の成膜温度は、例えば200℃以上500℃以下が好ましく、さらには220℃以上450℃以下が好ましく、さらには230℃以上430℃以下が好ましく、さらには250℃以上400℃以下とすることが好ましい。

20

【0102】

絶縁層116の成膜を減圧下で、且つ加熱して行うことで、半導体層108中の領域108Nとなる領域の酸素の脱離を促進することができる。酸素欠損が多く形成された半導体層108に、水素などの不純物を供給することで、領域108N中のキャリア濃度が高まり、より効果的に領域108Nを低抵抗化させることができる。

【0103】

絶縁層116は、例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの、窒化物を含む絶縁膜を好適に用いることができる。特に窒化シリコンは、水素や酸素に対するブロッキング性を有するため、外部から半導体層108への水素の拡散と、半導体層108から外部への酸素の脱離の両方を防ぐことができ、信頼性の高いトランジスタを実現できる。

30

【0104】

絶縁層116は、半導体層108中の酸素を吸引し、酸素欠損を生成する機能を有する絶縁膜としてもよい。特に、絶縁層116には、例えば窒化アルミニウムなどの金属窒化物を用いることが特に好ましい。

【0105】

絶縁層116に金属窒化物を用いる場合、アルミニウム、チタン、タンタル、タングステン、クロム、またはルテニウムの窒化物を用いることが好ましい。特に、アルミニウムまたはチタンを含むことが特に好ましい。例えば、アルミニウムをスパッタリングターゲットに用い、成膜ガスとして窒素を含むガスを用いた反応スパッタリング法により形成した窒化アルミニウム膜は、成膜ガスの全流量に対する窒素ガスの流量を適切に制御することで、極めて高い絶縁性と、水素や酸素に対する極めて高いブロッキング性とを兼ね備えた膜とすることができる。そのため、このような金属窒化物を含む絶縁膜を、半導体層108に接して設けることで、半導体層108を低抵抗化できるだけでなく、半導体層108から酸素が脱離すること、及び半導体層108へ水素が拡散することを好適に防ぐことができる。

40

【0106】

金属窒化物として、窒化アルミニウムを用いた場合、当該窒化アルミニウムを含む絶縁

50

層の厚さを5 nm以上とすることが好ましい。このように薄い膜であっても、水素及び酸素に対する高いブロッキング性と、半導体層の低抵抗化の機能とを両立できる。なお、当該絶縁層の厚さの上限は特にないが、生産性を考慮し、500 nm以下、好ましくは200 nm以下、より好ましくは50 nm以下とすることが好ましい。

【0107】

絶縁層116に窒化アルミニウム膜を用いる場合、組成式が AlN_x （ x は0より大きく2以下の実数、好ましくは、 x は0.5より大きく1.5以下の実数）を満たす膜を用いることが好ましい。これにより、絶縁性に優れ、且つ熱伝導性に優れた膜とすることができるため、トランジスタ100を駆動したときに生じる熱の放熱性を高めることができる。

【0108】

または、絶縁層116として、窒化アルミニウムチタン膜、窒化チタン膜などを用いることができる。

【0109】

このような絶縁層116を領域108Nに接して設けることで、絶縁層116が領域108N中の酸素を吸引し、領域108N中に酸素欠損を形成させることができる。またこのような絶縁層116を形成した後に、加熱処理を行うことで、領域108Nに、より多くの酸素欠損を形成することができ、低抵抗化を促進することができる。また、絶縁層116に金属酸化物を含む膜を用いた場合、絶縁層116が半導体層108中の酸素を吸引した結果、絶縁層116と領域108Nとの間に、絶縁層116に含まれる金属元素（例えばアルミニウム）の酸化物を含む層が形成される場合がある。

【0110】

領域108Lは、絶縁層110が間に存在することで絶縁層116と接しないため、絶縁層116から供給される水素は領域108Nよりも少ない。さらに、不純物濃度も領域108Nよりも小さいため、領域108Lは、領域108Nよりも高抵抗な状態とすることができる。

【0111】

後述するように、領域108Lを自己整合的に形成することが可能となるため、領域108Lを形成するためのフォトリソを必要とせず、作製コストを低減できる。また、自己整合的に領域108Lを形成することにより、領域108Lと導電層112の相対的な位置ずれが生じることがないため、半導体層108中の領域108Lの幅を概略一致させることができる。

【0112】

半導体層108中のチャネル形成領域と低抵抗な領域108Nの間に、ゲートの電界が掛からない（またはチャネル形成領域よりも掛かりにくい）オフセット領域として機能する領域108Lをばらつきなく安定して形成できる。その結果、トランジスタのソースドレイン耐圧を向上させることができ、信頼性の高いトランジスタを実現できる。

【0113】

領域108Lの幅L2は、100 nm以上2 μ m以下が好ましく、さらには150 nm以上1 μ m以下が好ましく、さらに200 nm以上1 μ m以下が好ましい。領域108Lを設けることにより、ドレイン付近に電界が集中することが緩和され、特にドレイン電圧が高い状態でのトランジスタの劣化を抑制できる。また、特に、領域108Lの幅L2を、絶縁層110の厚さよりも大きくすることで、効果的にドレイン付近への電界集中を抑制することができる。一方、幅L2が2 μ mよりも長いとソースドレイン抵抗が高まり、トランジスタの駆動速度が遅くなる場合がある。幅L2を前述の範囲とすることで、信頼性が高く、かつ駆動速度の速いトランジスタ、半導体装置とすることができる。なお、領域108Lの幅L2は、半導体層108の厚さ、絶縁層110の厚さ、トランジスタ100を駆動する際のソースドレイン間に印加する電圧の大きさに応じて決定することができる。

【0114】

チャネル形成領域と低抵抗な領域 108N の間に領域 108L を設けることにより、チャネル形成領域と領域 108N の境界での電流密度を緩和でき、チャネルとソース又はドレインの境界における発熱が抑制され、信頼性の高いトランジスタ、半導体装置とすることができる。

【0115】

絶縁層 103 は積層構造とすることができる。図 1 には、絶縁層 103 は、基板 102 側から、絶縁層 103a、絶縁層 103b、絶縁層 103c、及び絶縁層 103d がこの順に積層された構造を有する例を示している。絶縁層 103a は基板 102 と接する。また、絶縁層 103d は半導体層 108 と接する。

【0116】

絶縁層 103 は、耐圧が高いこと、膜の応力が小さいこと、水素や水を放出しにくいこと、膜中の欠陥が少ないこと、基板 102 に含まれる不純物の拡散を抑制すること、のうち、1つ以上を満たすことが好ましく、これら全てを満たすことが最も好ましい。

【0117】

絶縁層 103 が有する 4 つの絶縁膜のうち、基板 102 側に位置する絶縁層 103a、絶縁層 103b、及び絶縁層 103c には、窒素を含む絶縁膜を用いることが好ましい。一方、半導体層 108 と接する絶縁層 103d には、酸素を含む絶縁膜を用いることが好ましい。また、絶縁層 103 が有する 4 つの絶縁膜は、それぞれプラズマ CVD 装置を用いて、大気に触れることなく連続して成膜することが好ましい。

【0118】

絶縁層 103a、絶縁層 103b、及び絶縁層 103c は、例えば窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化ハフニウム膜などの窒素を含む絶縁膜を好適に用いることができる。また、絶縁層 103d は、絶縁層 110 に用いることのできる絶縁膜の記載を援用することができる。

【0119】

絶縁層 103a と絶縁層 103c は、これよりも下側からの不純物の拡散を防止できる、緻密な膜であることが好ましい。絶縁層 103a は、基板 102 に含まれる不純物を、絶縁層 103c は、絶縁層 103b に含まれる水素や水を、それぞれブロックできる膜であることが好ましい。そのため、絶縁層 103a 及び絶縁層 103c には、絶縁層 103b よりも成膜速度の低い条件で成膜した絶縁膜を適用することができる。

【0120】

一方、絶縁層 103b は、応力が小さく、成膜速度の高い条件で成膜された絶縁膜を用いることが好ましい。また、絶縁層 103b は、絶縁層 103a 及び絶縁層 103c よりも厚く形成されていることが好ましい。

【0121】

例えば絶縁層 103a、絶縁層 103b、及び絶縁層 103c のそれぞれに、プラズマ CVD 法で成膜した窒化シリコン膜を用いた場合であっても、絶縁層 103b が、他の 2 つの絶縁膜よりも膜密度が小さい膜となる。したがって、絶縁層 103 の断面における透過型電子顕微鏡像などにおいて、コントラストの違いとして観察することができる場合がある。なお、絶縁層 103a と絶縁層 103b の境界、及び絶縁層 103b と絶縁層 103c の境界は不明瞭である場合があるため、図 1 等では、これらの境界を破線で明示している。

【0122】

半導体層 108 と接する絶縁層 103d は、その表面に水などの不純物が吸着しにくい、緻密な絶縁膜とすることが好ましい。また、可能な限り欠陥が少なく、水や水素などの不純物が低減された絶縁膜を用いることが好ましい。例えば、絶縁層 103d として、上記絶縁層 110 が有する絶縁層 110c と同様の絶縁膜を用いることができる。

【0123】

このような積層構造を有する絶縁層 103 により、極めて信頼性の高いトランジスタを実現することができる。

10

20

30

40

50

【0124】

図1B及び図1Cに示すように、トランジスタ100は絶縁層103cと、絶縁層116が接する領域を有することが好ましい。図1B中の一点鎖線で囲った領域Qの拡大図を図3Aに、図1C中の一点鎖線で囲った領域Rの拡大図を図3Bに示す。

【0125】

図1B及び図3Aに示すように、チャネル長方向において、半導体層108と重ならない領域の絶縁層116は絶縁層103cと接して設けられる。また、絶縁層103dの端部は、半導体層108の端部と概略一致する。

【0126】

図3Bに示すように、チャネル幅方向において、絶縁層110と重ならない領域の絶縁層116は絶縁層103cと接して設けられる。また、絶縁層103dの端部は、絶縁層110の端部と概略一致する。例えば、絶縁層110を形成する際に、絶縁層110と重ならない領域の絶縁層103dとなる絶縁膜も除去することで、絶縁層103dの端部と絶縁層110の端部を概略一致させることができる。

【0127】

絶縁層103cと、絶縁層116が接する領域を有することで、トランジスタ100の外からの不純物がトランジスタ100に拡散することを抑制できる。特に、絶縁層116及び絶縁層103cとして、それぞれ窒素を含む絶縁膜を好適に用いることができる。

【0128】

図3Cに示すように、絶縁層103dの端部は、半導体層108の端部と概略一致する構成としてもよい。例えば、半導体層108を形成する際に、半導体層108と重ならない領域の絶縁層103dとなる絶縁膜も除去することで、絶縁層103dの端部と半導体層108の端部を概略一致させることができる。

【0129】

チャネル長方向において、半導体層108と重なる領域の絶縁層103cの膜厚より、半導体層108と重ならない領域の絶縁層103cの膜厚が薄くなる場合がある。図1B中の一点鎖線で囲った領域Qの拡大図を図4Aに示す。図4Aは、半導体層108と重なる領域の絶縁層103cの膜厚より、半導体層108と重ならない領域の絶縁層103cの膜厚が薄く、また、絶縁層103cの膜厚が薄い領域において、絶縁層103cと絶縁層116が接する例を示している。

【0130】

チャネル幅方向において、絶縁層110と重なる領域の絶縁層103cの膜厚より、絶縁層110と重ならない領域の絶縁層103cの膜厚が薄くなる場合がある。図1C中の一点鎖線で囲った領域Rの拡大図を図4B及び図4Cに示す。図4B及び図4Cは、絶縁層110と重なる領域の絶縁層103cの膜厚より、絶縁層110と重ならない領域の絶縁層103cの膜厚が薄く、また、絶縁層103cの膜厚が薄い領域において、絶縁層103cと絶縁層116が接する例を示している。また、図4Bにおいて、絶縁層103dの端部は絶縁層110の端部と概略一致する。図4Cにおいて、絶縁層103dの端部は半導体層108の端部と概略一致する。

【0131】

なお、図4A、図4B及び図4Cでは、絶縁層103cと絶縁層116が接する例を示したが、本発明の一態様はこれに限られない。絶縁層103bが露出し、絶縁層103bと絶縁層116が接する構成とすることができる。また、絶縁層103aが露出し、絶縁層103aと絶縁層116が接する構成とすることができる。

【0132】

絶縁層110の端部、及び金属酸化物層114の端部は、それぞれテーパ形状を有することが好ましい。このような構成とすることで、絶縁層110及び金属酸化物層114上に形成される層（例えば、絶縁層116）の被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

【0133】

導電層 112 の一部は、ゲート電極として機能する。絶縁層 110 の一部は、ゲート絶縁層として機能する。トランジスタ 100 は、半導体層 108 上にゲート電極が設けられる、いわゆるトップゲート型のトランジスタである。

【0134】

図 1A 及び図 1B に示すように、トランジスタ 100 は、絶縁層 118 上に導電層 120a 及び導電層 120b を有していてもよい。導電層 120a 及び導電層 120b はソース電極またはドレイン電極として機能する。導電層 120a 及び導電層 120b は、それぞれ絶縁層 118 及び絶縁層 116 に設けられた開口部 141a または開口部 141b を介して、領域 108N に電氣的に接続される。

【0135】

半導体層 108 は、金属酸化物を含むことが好ましい。

【0136】

例えば半導体層 108 は、インジウムと、元素 M（元素 M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムから選ばれた一種または複数種）と、亜鉛と、を有することが好ましい。特に元素 M はアルミニウム、ガリウム、イットリウム、またはスズから選ばれた一種または複数種とすることが好ましい。

【0137】

特に、半導体層 108 として、インジウム、ガリウム、及び亜鉛を含む酸化物を用いることが好ましい。

【0138】

半導体層 108 として、組成の異なる層、または結晶性の異なる層、または不純物濃度の異なる層を積層した積層構造としてもよい。

【0139】

導電層 112 には、低抵抗な材料を用いることが好ましい。導電層 112 に低抵抗な材料を用いることにより寄生抵抗を低減し、高いオン電流を有するトランジスタとすることができ、オン電流が高い半導体装置とすることができる。また、大型の表示装置、高精細の表示装置において配線抵抗を低減することにより信号遅延を抑制し、高速駆動が可能となる。導電層 112 として、銅、銀、金、またはアルミニウム等を用いることができる。特に、銅は低抵抗であることに加え、量産性に優れるため好ましい。

【0140】

導電層 112 は積層構造としてもよい。導電層 112 を積層構造とする場合には、低抵抗な第 1 導電層の上または下、またはその両方に、第 2 の導電層を設ける。第 2 の導電層として、第 1 の導電層よりも酸化されにくい（耐酸化性を有する）導電性材料を用いることが好ましい。また、第 2 の導電層として、第 1 の導電層の成分の拡散を抑制する材料を用いることが好ましい。第 2 の導電層として、例えば、酸化インジウム、インジウム亜鉛酸化物、インジウムスズ酸化物（ITO）、シリコンを含有したインジウムスズ酸化物（ITSO）、酸化亜鉛等の金属酸化物、または窒化チタン、窒化タンタル、窒化モリブデン、窒化タングステン等の金属窒化物を好適に用いることができる。

【0141】

絶縁層 110 と導電層 112 との間に位置する金属酸化物層 114 は、絶縁層 110 に含まれる酸素が導電層 112 側に拡散することを防ぐバリア膜として機能する。さらに金属酸化物層 114 は、導電層 112 に含まれる水素や水が絶縁層 110 側に拡散することを防ぐバリア膜としても機能する。金属酸化物層 114 は、例えば少なくとも絶縁層 110 よりも酸素及び水素を透過しにくい材料を用いることができる。

【0142】

金属酸化物層 114 により、導電層 112 にアルミニウムや銅などの酸素を吸引しやすい金属材料を用いた場合であっても、絶縁層 110 から導電層 112 へ酸素が拡散することを防ぐことができる。また、導電層 112 が水素を含む場合であっても、導電層 112

10

20

30

40

50

から絶縁層 110 を介して半導体層 108 へ水素が拡散することを防ぐことができる。その結果、半導体層 108 のチャネル形成領域におけるキャリア濃度を極めて低いものとすることができる。

【0143】

金属酸化物層 114 は、絶縁性材料または導電性材料を用いることができる。金属酸化物層 114 が絶縁性を有する場合には、ゲート絶縁層の一部として機能する。一方、金属酸化物層 114 が導電性を有する場合には、ゲート電極の一部として機能する。

【0144】

金属酸化物層 114 として、酸化シリコンよりも誘電率の高い絶縁性材料を用いることが好ましい。特に、酸化アルミニウム膜、酸化ハフニウム膜、またはハフニウムアルミネート膜等を用いると、駆動電圧を低減できるため好ましい。

【0145】

金属酸化物層 114 として、金属酸化物を用いることができる。例えば、酸化インジウム、インジウム亜鉛酸化物、インジウムスズ酸化物（ITO）、シリコンを含有したインジウムスズ酸化物（ITSO）等のインジウムを有する酸化物を用いることができる。インジウムを含む導電性酸化物は、導電性が高いため好ましい。また、ITSO はシリコンを含有することにより結晶化しづらく、平坦性が高いことから、ITSO 上に形成される膜との密着性が高くなる。金属酸化物層 114 として、酸化亜鉛、ガリウムを含有した酸化亜鉛等の金属酸化物を用いることができる。また、金属酸化物層 114 として、これらを積層した構造を用いてもよい。

【0146】

金属酸化物層 114 として、半導体層 108 と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、上記半導体層 108 に適用可能な酸化物半導体材料を用いることが好ましい。このとき、金属酸化物層 114 として、半導体層 108 と同じスパッタリングターゲットを用いて形成した金属酸化物膜を適用することで、装置を共通化できるため好ましい。

【0147】

または、半導体層 108 と金属酸化物層 114 の両方に、インジウム及びガリウムを含む金属酸化物材料を用いる場合、半導体層 108 よりもガリウムの組成（含有割合）が高い材料を用いると、酸素に対するブロッキング性をより高めることができるため好ましい。このとき、半導体層 108 には、金属酸化物層 114 よりもインジウムの組成が高い材料を用いることで、トランジスタ 100 の電界効果移動度を高めることができる。

【0148】

金属酸化物層 114 は、スパッタリング装置を用いて形成することが好ましい。例えば、スパッタリング装置を用いて酸化物膜を形成する場合、酸素ガスを含む雰囲気で形成することで、絶縁層 110 や半導体層 108 中に好適に酸素を添加できる。

【0149】

半導体層 108 は、絶縁層 110 を介して導電層 112 と重なる、チャネル形成領域を有する。また、半導体層 108 は、当該チャネル形成領域を挟む一対の領域 108N を有する。領域 108N は、半導体層 108 のうち、導電層 112 及び絶縁層 110 のいずれにも重ならない領域であって、絶縁層 116 と接する領域である。

【0150】

領域 108N は、チャネル形成領域よりも低抵抗な領域、キャリア濃度が高い領域、酸素欠陥密度の高い領域、不純物濃度の高い領域、または n 型である領域ともいうことができる。

【0151】

領域 108N は、不純物元素（第 1 の元素）を含む領域である。当該不純物元素として、例えば水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウムまたは希ガスなどが挙げられる。なお、希ガスの代表例として、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。特に、ホウ素、リン、マグネシウム、

10

20

30

40

50

またはアルミニウムを含むことが好ましい。またこれら元素を2以上含んでもよい。

【0152】

ここで、領域108Nにおける不純物濃度は、絶縁層116に近いほど濃度が高くなるような濃度勾配を有することが好ましい。これにより、領域108N全体に亘って均一な濃度とした場合に比べて、領域108N内の不純物元素の総量を低くできるため、作製工程中の熱などの影響によりチャネル形成領域に拡散しうる不純物の量を低く保つことができる。また、領域108Nの上部ほど低抵抗となるため、導電層120a（または導電層120b）との接触抵抗をより効果的に低減できる。

【0153】

後述するように、領域108Nに不純物元素を添加する処理は、絶縁層110をマスクとして行うことができる。これにより、領域108Nを自己整合的に形成できる。

【0154】

領域108Nは、不純物濃度が、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{23} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{22} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下である領域を含むことが好ましい。

【0155】

領域108Nに含まれる不純物の濃度は、例えば二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）や、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）等の分析法により分析できる。XPS分析を用いる場合には、表面側または裏面側からのイオンスパッタリングとXPS分析を組み合わせることで、深さ方向の濃度分布を知ることができる。

【0156】

領域108Nにおいて、不純物元素は酸化した状態で存在していることが好ましい。例えば不純物元素としてホウ素、リン、マグネシウム、アルミニウム、シリコンなどの酸化しやすい元素を用いることが好ましい。このような酸化しやすい元素は、半導体層108中の酸素と結合して酸化した状態で安定に存在しうるため、後の工程で高い温度（例えば400℃以上、600℃以上、または800℃以上）がかかった場合であっても、脱離することが抑制される。また、不純物元素が半導体層108中の酸素を奪うことで、領域108N中に多くの酸素欠損（ V_O ）が生成される。この酸素欠損（ V_O ）に膜中の水素が入った欠陥（以下、 V_OH と記す）はキャリア供給源となるため、領域108Nは極めて低抵抗な状態となる。

【0157】

なお、後の工程で高い温度がかかる処理を行なう際、外部や領域108Nの近傍の膜から多量の酸素が領域108Nに供給されてしまうと、抵抗が上昇してしまう場合がある。そのため、高い温度のかかる処理を行なう際には、酸素に対するバリア性の高い絶縁層116で半導体層108を覆った状態で処理することが好ましい。

【0158】

絶縁層116は、半導体層108の領域108Nに接して設けられている。

【0159】

絶縁層116は、領域108Nに対する水素の供給源として機能する。例えば、絶縁層116は、加熱により水素を放出する膜であることが好ましい。このような絶縁層116を領域108Nに接して設け、絶縁層116の形成後に加熱処理を行なうことで、領域108Nに水素を供給して抵抗を下げるができる。

【0160】

絶縁層116は、成膜の際に用いる成膜ガスに、水素を含むガスを用いて成膜される膜であることが好ましい。これにより、絶縁層116の成膜時にも、領域108Nに水素を効果的に供給できる。

【0161】

10

20

30

40

50

絶縁層 116 は、例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの絶縁膜を用いることができる。

【0162】

領域 108N は、上述のように不純物元素が添加されることで酸素欠損を多く含む状態である。したがって、半導体層 108 中に含まれる水素に加えて、絶縁層 116 からさらに水素を供給することで、よりキャリア濃度を高めることができる。

【0163】

絶縁層 118 は、トランジスタ 100 を保護する保護層として機能する。絶縁層 118 は、例えば、酸化物または窒化物などの無機絶縁材料を用いることができる。より具体的な例として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、ハフニウムアルミネートなどの無機絶縁材料を用いることができる。また、絶縁層 118 を平坦化層として用いることもできる。その場合、絶縁層 118 として有機樹脂材料を用いることができる。

【0164】

なお、ここでは保護層として絶縁層 116 と絶縁層 118 の積層構造とする場合を示したが、絶縁層 118 は不要であれば設けなくてもよい。また、絶縁層 118 を 2 層以上の積層構造としてもよい。

【0165】

ここで、半導体層 108 について、及び半導体層 108 中に形成されうる酸素欠損について説明する。

【0166】

半導体層 108 のチャネル形成領域に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、半導体層 108 中に酸素欠損が形成されると、該酸素欠損に水素が入り、キャリア供給源となりうる。チャネル形成領域中にキャリア供給源が生成されると、トランジスタ 100 の電気特性の変動、代表的にはしきい値電圧のシフトが生じる。したがって、チャネル形成領域においては、酸素欠損が少ないほど好ましい。

【0167】

そこで、本発明の一態様においては、半導体層 108 のチャネル形成領域近傍の絶縁膜、具体的には、チャネル形成領域の上方に位置する絶縁層 110、及び下方に位置する絶縁層 103 が、酸化物膜を含む構成とする。作製工程中の熱などにより絶縁層 103 及び絶縁層 110 からチャネル形成領域へ酸素を移動させることで、チャネル形成領域中の酸素欠損を低減することが可能となる。

【0168】

半導体層 108 は、元素 M に対する In の原子数比が 1 より大きい領域を有することが好ましい。In の含有率が高いほど、トランジスタの電界効果移動度を向上させることができる。

【0169】

ここで、In、Ga、Zn を含む金属酸化物の場合、In と酸素の結合力は、Ga と酸素の結合力よりも弱いいため、In の含有率が高い場合には、金属酸化物膜中に酸素欠損が形成されやすい。また、Ga に代えて、上記 M で示す金属元素を用いた場合でも同様の傾向がある。金属酸化物膜中に酸素欠損が多く存在すると、トランジスタの電気特性の低下や、信頼性の低下が生じる。

【0170】

しかしながら本発明の一態様では、金属酸化物を含む半導体層 108 のチャネル形成領域中に極めて多くの酸素を供給できるため、In の含有率が高い金属酸化物材料を用いることが可能となる。これにより、極めて高い電界効果移動度と、安定した電気特性と、高い信頼性とを兼ね備えたトランジスタを実現できる。

【0171】

例えば、元素 M に対する In の原子数比が 1.5 以上、または 2 以上、または 3 以上、または 3.5 以上、または 4 以上である金属酸化物を、好適に用いることができる。

10

20

30

40

50

【0172】

特に、半導体層108のIn、M、及びZnの原子数の比を、 $In:M:Zn=4:2:3$ またはその近傍とすることが好ましい。または、In、M、及びZnの原子数の比を、 $In:M:Zn=5:1:6$ またはその近傍とすることが好ましい。また、半導体層108の組成として、半導体層108のIn、元素M、及びZnの原子数の比を概略等しくしてもよい。すなわち、In、元素M、及びZnの原子数の比が、 $In:M:Zn=1:1:1$ またはその近傍の材料を含んでいてもよい。

【0173】

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバに用いることで、額縁幅の狭い（狭額縁ともいう）表示装置を提供できる。また、上記の電界効果移動度が高いトランジスタを、ソースドライバ（特に、ソースドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ）に用いることで、表示装置に接続される配線数が少ない表示装置を提供できる。

10

【0174】

なお、半導体層108が、元素Mに対するInの原子数比が1より大きい領域を有していても、半導体層108の結晶性が高い場合、電界効果移動度が低くなる場合がある。半導体層108の結晶性は、例えば、X線回折（XRD：X-Ray Diffraction）を用いて分析する、あるいは、透過型電子顕微鏡（TEM）を用いて分析することで解析できる。

【0175】

ここで、半導体層108のチャネル形成領域は、不純物濃度が低く、欠陥準位密度を低く（酸素欠損を少なく）することにより、膜中のキャリア濃度を低くすることができる。このような金属酸化物膜を半導体層のチャネル形成領域に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう）になることが少ない。また、このような金属酸化物膜を用いたトランジスタは、オフ電流が著しく小さい特性を得ることができる。

20

【0176】

半導体層108に結晶性の高い金属酸化物膜を用いると、半導体層108の加工時や、絶縁層110の成膜時のダメージを抑制することができ、信頼性の高いトランジスタを実現できる。一方、半導体層108に結晶性の比較的低い金属酸化物膜を用いることで、電気伝導性が向上し、電界効果移動度の高いトランジスタを実現できる。

30

【0177】

半導体層108は、後述するCAAC（c-axis aligned crystal）構造を有する金属酸化物膜、nc（nano crystal）構造を有する金属酸化物膜、またはCAAC構造とnc構造とが混在した金属酸化物膜を用いることが好ましい。

【0178】

半導体層108は、2層以上の積層構造を有していてもよい。

【0179】

例えば、組成の異なる2以上の金属酸化物膜を積層した半導体層108を用いることができる。例えば、In-M-Zn酸化物を用いた場合に、In、元素M、及びZnの原子数の比が、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=2:2:1$ 、 $In:M:Zn=1:3:4$ 、 $In:M:Zn=1:3:2$ 、またはそれらの近傍であるスパッタリングターゲットで形成する膜のうち、2以上を積層して用いることが好ましい。

40

【0180】

結晶性の異なる2以上の金属酸化物膜を積層した半導体層108を用いることができる。その場合、同じ酸化物ターゲットを用い、成膜条件を異ならせることで、大気に触れることなく連続して形成されることが好ましい。

【0181】

このとき、半導体層108として、nc構造を有する金属酸化物膜と、CAAC構造を

50

有する金属酸化物膜の積層構造とすることができる。または、 nc 構造を有する金属酸化物膜と、 nc 構造を有する金属酸化物膜の積層構造としてもよい。なお、当該金属酸化物膜に好適に用いることができる金属酸化物の機能、または材料の構成については、後述するCAC (Cloud-Aligned Composite) の記載を援用できる。

【0182】

例えば、先に形成する第1の金属酸化物膜の成膜時の酸素流量比を、後に形成する第2の金属酸化物膜の成膜時の酸素流量比よりも小さくする。または、第1の金属酸化物膜の成膜時に、酸素を流さない条件とする。これにより、第2の金属酸化物膜の成膜時に、酸素を効果的に供給できる。また、第1の金属酸化物膜は第2の金属酸化物膜よりも結晶性が低く、電気伝導性の高い膜とすることができる。一方、上部に設けられる第2の金属酸化物膜を第1の金属酸化物膜よりも結晶性の高い膜とすることで、半導体層108の加工時や、絶縁層110の成膜時のダメージを抑制できる。

【0183】

より具体的には、第1の金属酸化物膜の成膜時の酸素流量比を、0%以上50%未満、好ましくは0%以上30%以下、より好ましくは0%以上20%以下、代表的には10%とする。また第2の金属酸化物膜の成膜時の酸素流量比を、50%以上100%以下、好ましくは60%以上100%以下、より好ましくは80%以上100%以下、さらに好ましくは90%以上100%以下、代表的には100%とする。また、第1の金属酸化物膜と第2の金属酸化物膜とで、成膜時の圧力、温度、電力等の条件を異ならせてもよいが、酸素流量比以外の条件を同じとすることで、成膜工程にかかる時間を短縮できるため好ましい。

【0184】

このような構成とすることで、電気特性に優れ、且つ信頼性の高いトランジスタ100を実現できる。

【0185】

以下では、上記構成例1と一部の構成が異なるトランジスタの構成例について説明する。なお、以下では、上記構成例1と重複する部分は説明を省略する場合がある。また、以下で示す図面において、上記構成例と同様の機能を有する部分についてはハッチングパターンを同じくし、符号を付さない場合もある。

【0186】

<構成例2>

図5Aは、トランジスタ100Aの上面図であり、図5Bはトランジスタ100Aのチャネル長方向の断面図であり、図5Cはトランジスタ100Aのチャネル幅方向の断面図である。図5B中の一点鎖線で囲った領域Pの拡大図を、図6Aに示す。図5C中の一点鎖線で囲った領域Rの拡大図を、図6Bに示す。

【0187】

トランジスタ100Aは、導電層112の端部が金属酸化物層114の端部より内側に位置する点で、トランジスタ100と主に相違している。また、絶縁層116は、金属酸化物層の上面及び側面に接して設けられる。

【0188】

トランジスタ100Aにおいて、導電層112の端部が、金属酸化物層114の端部よりも内側に位置する。言い換えると、金属酸化物層114は、少なくとも絶縁層110上において、導電層112の端部よりも外側に突出した部分を有する。

【0189】

導電層112の端部が、金属酸化物層114の端部よりも内側に位置することで、導電層112及び金属酸化物層114の側面の段差が緩やかとなり、導電層112及び金属酸化物層114上に形成される層（例えば、絶縁層116）の段差被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

【0190】

導電層112及び金属酸化物層114の形成には、ウェットエッチング法を好適に用い

10

20

30

40

50

ることができる。また、金属酸化物層 114 に、導電層 112 よりエッチング速度が遅い材料を用いることにより、金属酸化物層 114 の端部より、導電層 112 の端部を内側にすることができる。さらに、同一の工程で金属酸化物層 114 及び導電層 112 を形成でき、生産性を高められる。

【0191】

以上が、構成例 2 についての説明である。

【0192】

<構成例 3>

図 7A は、トランジスタ 100B の上面図であり、図 7B はトランジスタ 100B のチャネル長方向の断面図であり、図 7C はトランジスタ 100B のチャネル幅方向の断面図である。図 7B 中の一点鎖線で囲った領域 P の拡大図を、図 8A に示す。図 7B 中の一点鎖線で囲った領域 Q の拡大図を、図 8B に示す。図 7C 中の一点鎖線で囲った領域 R の拡大図を、図 8C に示す。

10

【0193】

トランジスタ 100B は、絶縁層 116 が積層構造を有している点で、トランジスタ 100A と主に相違している。絶縁層 116 は 2 層以上の積層構造とすることができる。絶縁層 116 を積層構造とする場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0194】

図 7B、図 7C、図 8A、図 8B 及び図 8C は、絶縁層 116 が絶縁層 116a と、絶縁層 116a 上の絶縁層 116b の 2 層構造である例を示している。絶縁層 116a 及び絶縁層 116b として、絶縁層 116 に用いることができる材料を用いることができる。絶縁層 116a と絶縁層 116b は同じ材料を用いてもよいし、異なる材料を用いてもよい。なお、絶縁層 116a 及び絶縁層 116b は同種の材料の絶縁膜を用いることができるため、絶縁層 116a 及び絶縁層 116b それぞれの界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁層 116a 及び絶縁層 116b の界面を破線で図示している。

20

【0195】

図 8A 及び図 8B に示すように、絶縁層 116 は領域 108N と接し、領域 108N に対する水素の供給源として機能する。例えば、絶縁層 116 は、熱が加わることで水素を放出する膜であることが好ましい。

30

【0196】

絶縁層 116 は、水素を含む雰囲気中で形成することができる。例えば、絶縁層 116 は、水素を含む成膜ガスを用いたプラズマ CVD 法により形成することが好ましい。例えば、絶縁層 116 として、シランガスとアンモニアガスを含む成膜ガスを用いて、窒化シリコン膜を成膜することができる。シランガスに加えてアンモニアガスを用いることで、絶縁層 116 中に多くの水素を含有させることができる。また、絶縁層 116 の成膜時においても、半導体層 108 の露出した部分に水素を供給することが可能となる。

【0197】

しかしながら、水素を含む雰囲気中で絶縁層 116 を形成する場合、絶縁層 116 の形成時に半導体層 108 の露出した領域が還元されてしまう場合がある。半導体層 108 の表面が還元されると、半導体層 108 表面のラフネスが大きくなり、半導体層 108 の上に形成される層（例えば、絶縁層 116 など）に段切れや鬆といった不具合が発生する場合がある。

40

【0198】

そこで、半導体層 108 側に位置する絶縁層 116a の形成に用いる雰囲気に含まれる水素は、絶縁層 116b の形成に用いる雰囲気に含まれる水素より少ないことが好ましい。例えば、絶縁層 116a 及び絶縁層 116b それぞれの形成に、シラン、窒素及びアンモニアの混合ガスを用い、絶縁層 116a の形成に用いるアンモニアの流量を、絶縁層 116b の形成に用いるアンモニアの流量より少なくすることができる。または、絶縁層 1

50

1 6 a の形成にシラン及び窒素の混合ガスを用い、絶縁層 1 1 6 b の形成にシラン、窒素及びアンモニアの混合ガスを用いることができる。さらに、絶縁層 1 1 6 b と比較して、絶縁層 1 1 6 a は水素濃度が低い領域を有することが好ましい。このような構成とすることで、半導体層 1 0 8 の表面が還元されることを抑制できる。

【0199】

例えば、絶縁層 1 1 6 a 及び絶縁層 1 1 6 b に、プラズマ C V D 法で成膜した窒化シリコン膜を用いた場合であっても、膜密度が異なるため、絶縁層 1 1 0 の断面における透過型電子顕微鏡 (T E M) 像などにおいて、これらの境界をコントラストの違いとして観察することができる場合がある。例えば、絶縁層 1 1 6 b と比較して、絶縁層 1 1 6 a は膜密度が高い領域を有する場合がある。T E M 観察において、膜密度が高いと透過電子 (T E) 像が濃く (暗く)、膜密度が低いと透過電子 (T E) 像が淡く (明るく) なる。したがって、透過電子 (T E) 像で、絶縁層 1 1 6 b と比較して、絶縁層 1 1 6 a は濃い (暗い) 像となる場合がある。また、絶縁層 1 1 6 b と比較して、絶縁層 1 1 6 a は膜中の水素濃度が低い領域を有する場合がある。絶縁層 1 1 6 a 及び絶縁層 1 1 6 b の水素濃度の違いは、例えば、二次イオン質量分析法 (S I M S) で評価できる。

【0200】

絶縁層 1 1 6 b は、水素、水及び酸素に対するブロッキング性を有する材料を用いることが好ましい。また、絶縁層 1 1 6 b は、絶縁層 1 1 6 a より水素、水及び酸素に対するブロッキング性が高いことが好ましい。絶縁層 1 1 6 a の上に設けられる絶縁層 1 1 6 b が、水素、水及び酸素に対するブロッキング性を有することにより、外部から半導体層 1 0 8 への水素の拡散、及び水の拡散を抑制するとともに、半導体層 1 0 8 から外部への酸素の脱離を抑制でき、信頼性の高いトランジスタを実現できる。

【0201】

半導体層 1 0 8 と接する絶縁層 1 1 6 は、膜中の欠陥が少ないことが好ましい。例えば、絶縁層 1 1 6 として窒化シリコンを用いる場合、窒化シリコン膜中の欠陥として代表的には K センターなどがある。K センターはシリコンのダングリングボンドに起因し、電子スピン共鳴法 (E S R : E l e c t r o n S p i n R e s o n a n c e) で評価することができる。

【0202】

絶縁層 1 1 6 a の形成に用いる雰囲気に含まれる水素を、絶縁層 1 1 6 b の形成に用いる雰囲気に含まれる水素より少なくすることで、絶縁層 1 1 6 a 中の欠陥が絶縁層 1 1 6 b よりも多くなってしまう場合がある。したがって、絶縁層 1 1 6 を絶縁層 1 1 6 a のみの単層構造とした場合、絶縁層 1 1 6 全体としての膜中の欠陥が多くなってしまう。そこで、絶縁層 1 1 6 を絶縁層 1 1 6 a 及び絶縁層 1 1 6 b の積層構造とすることで、絶縁層 1 1 6 全体としての膜中の欠陥を少なくすることができる。

【0203】

絶縁層 1 1 6 b の膜厚は、絶縁層 1 1 6 a の膜厚の 0 . 5 倍以上 3 0 倍以下が好ましく、さらには 1 倍以上 2 5 倍以下が好ましく、さらには 2 倍以上 2 0 倍以下が好ましく、さらには 3 倍以上 1 0 倍以下が好ましく、さらには 4 倍以上 5 倍以下が好ましい。絶縁層 1 1 6 を積層構造とすることにより、絶縁層 1 1 6 が水素、水及び酸素に対するブロッキング性を有し、かつ絶縁層 1 1 6 形成の際に半導体層 1 0 8 の表面が還元されることを抑制するとともに、絶縁層 1 1 6 が有する欠陥の量を少なくすることができる。

【0204】

絶縁層 1 1 6 a 及び絶縁層 1 1 6 b は、それぞれプラズマ C V D 装置を用いて、大気に触れることなく連続して成膜することが好ましい。連続して成膜することにより、絶縁層 1 1 6 a と絶縁層 1 1 6 b の界面に不純物が付着することを抑制できる。さらに、絶縁層 1 1 6 a、絶縁層 1 1 6 b 及び絶縁層 1 1 8 は、それぞれプラズマ C V D 装置を用いて、大気に触れることなく連続して成膜することが好ましい。連続して成膜することにより、絶縁層 1 1 6 a と絶縁層 1 1 6 b の界面、及び絶縁層 1 1 6 b と絶縁層 1 1 8 の界面に不純物が付着することを抑制できる。

【0205】

以上が、構成例3についての説明である。

【0206】

<構成例4>

図9Aは、トランジスタ100Cの上面図であり、図9Bはトランジスタ100Cのチャンネル長方向の断面図であり、図9Cはトランジスタ100Cのチャンネル幅方向の断面図である。

【0207】

トランジスタ100Cは、基板102と絶縁層103との間に導電層106を有する点で、トランジスタ100と主に相違している。導電層106は、半導体層108のチャンネル形成領域、金属酸化物層114及び導電層112と重畳する領域を有する。

10

【0208】

トランジスタ100Cにおいて、導電層106は、第1のゲート電極（ボトムゲート電極ともいう）としての機能を有し、導電層112は、第2のゲート電極（トップゲート電極ともいう）としての機能を有する。また、絶縁層103の一部は第1のゲート絶縁層として機能し、絶縁層110の一部は、第2のゲート絶縁層として機能する。

【0209】

半導体層108の、導電層112及び導電層106の少なくとも一方と重畳する部分は、チャンネル形成領域として機能する。なお以下では説明を容易にするため、半導体層108の導電層112と重畳する部分をチャンネル形成領域と呼ぶ場合があるが、実際には導電層112と重畳せずに、導電層106と重畳する部分（領域108Nを含む部分）にもチャンネルが形成しうる。

20

【0210】

図9A及び図9Cに示すように、導電層106は、金属酸化物層114、絶縁層110、及び絶縁層103に設けられた開口部142を介して、導電層112と電氣的に接続されていてもよい。これにより、導電層106と、導電層112には、同じ電位を与えることができる。

【0211】

導電層106は、導電層112、導電層120a、または導電層120bと同様の材料を用いることができる。特に導電層106に銅を含む材料を用いると、配線抵抗を低減できるため好ましい。また、導電層106にタングステンやモリブデンなどの高融点金属を含む材料を用いると、後の工程において高い温度で処理を行なうことができる。

30

【0212】

図9A及び図9Cに示すように、チャンネル幅方向において、導電層112及び導電層106が、半導体層108の端部よりも外側に突出していることが好ましい。このとき、図9Cに示すように、半導体層108のチャンネル幅方向の全体が、絶縁層110と絶縁層103を介して、導電層112と、導電層106に覆われた構成となる。

【0213】

このような構成とすることで、半導体層108を一对のゲート電極によって生じる電界で、電氣的に取り囲むことができる。このとき特に、導電層106と導電層112に同じ電位を与えることが好ましい。これにより、半導体層108にチャンネルを誘起させるための電界を効果的に印加できるため、トランジスタ100Cのオン電流を増大させることができる。そのため、トランジスタ100Cを微細化することも可能となる。

40

【0214】

なお、導電層112と導電層106とを接続しない構成としてもよい。このとき、一对のゲート電極の一方に定電位を与え、他方にトランジスタ100Cを駆動するための信号を与えてもよい。このとき、一方の電極に与える電位により、トランジスタ100Cを他方の電極で駆動する際のしきい値電圧を制御することもできる。

【0215】

絶縁層103は、積層構造を有してもよい。図9B及び図9Cには、導電層106側か

50

ら、絶縁層103a、絶縁層103b、絶縁層103c、及び絶縁層103dがこの順に積層された構造を有する例を示している。絶縁層103aは導電層106と接する。絶縁層103aは、導電層106に含まれる金属元素をブロックできる膜であることが好ましい。絶縁層103a、絶縁層103b、絶縁層103c及び絶縁層103dについては前述の記載を参照できるため、詳細な説明は省略する。

【0216】

なお、導電層106として、絶縁層103に拡散しにくい金属膜または合金膜を用いる場合などでは、絶縁層103aを設けずに、絶縁層103b、絶縁層103c、及び絶縁層103dの3つの絶縁膜が積層された構成としてもよい。

【0217】

このような積層構造を有する絶縁層103により、極めて信頼性の高いトランジスタを実現することができる。

【0218】

以上が、構成例4についての説明である。

【0219】

<作製方法例1>

以下では、本発明の一態様の半導体装置の作製方法について、図面を参照して説明する。ここでは、上記構成例で例示したトランジスタ100Cを例に挙げて説明する。

【0220】

なお、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、パルスレーザー堆積（PLD）法、原子層堆積（ALD）法を用いて形成できる。CVD法は、プラズマ化学気相堆積（PECVD）法や、熱CVD法などがある。また、熱CVD法のひとつに、有機金属化学気相堆積（MOCVD: Metal Organic CVD）法がある。

【0221】

半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成できる。

【0222】

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法を用いて加工できる。それ以外に、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

【0223】

フォトリソグラフィ法は、代表的には以下の2つの方法がある。一つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう一つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

【0224】

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザー光、またはArFレーザー光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV: Extreme Ultra-violet）やX線を用いてもよい。また、露光に用いる光に代えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0225】

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

【0226】

図10乃至図14の各図には、トランジスタ100Cの作製工程の各段階における断面を示している。各図において、中央の破線より左側にチャンネル長方向、右側にチャンネル幅方向の断面を並べて示している。

【0227】

〔導電層106の形成〕

基板102上に導電膜を成膜し、これをエッチングにより加工して、第1のゲート電極として機能する導電層106を形成する(図10A)。

【0228】

〔絶縁層103の形成〕

続いて、基板102及び導電層106を覆って絶縁層103を形成する(図10B)。絶縁層103は、PECVD法、ALD法、スパッタリング法等を用いて形成できる。

【0229】

ここでは、絶縁層103として、絶縁層103a、絶縁層103b、絶縁層103c、及び絶縁層103dを積層して形成する。特に、絶縁層103を構成する各絶縁層は、PECVD法により形成することが好ましい。

【0230】

絶縁層103aは不純物をブロッキングする機能を有することが好ましい。絶縁層103aを設けることにより、絶縁層103より下層からの不純物が絶縁層103より上層へ拡散することを抑制できる。絶縁層103bは応力が小さく、かつ絶縁耐圧が高いことが好ましい。絶縁層103bを設けることにより、応力が小さく、かつ絶縁耐圧が高い絶縁層103とすることができる。絶縁層103cは水素を有する不純物の放出が少なく、かつ水素を有する不純物をブロッキングする機能を有することが好ましい。絶縁層103cを設けることにより、チャンネル形成領域に水素が拡散することを抑制できる。絶縁層103dは欠陥密度が低く、かつ水素を有する不純物の放出が少ないことが好ましい。

【0231】

絶縁層103a、絶縁層103b及び絶縁層103cに窒化シリコン膜を用い、絶縁層103dに酸化窒化シリコン膜を用いる場合について説明する。絶縁層103aは、シラン、窒素及びアンモニアの混合ガスを用いたプラズマCVD法により形成する。次に、絶縁層103aよりアンモニア流量が多い混合ガスを用い、応力が小さく、かつ絶縁耐圧が高い絶縁層103bを形成する。次に、絶縁層103bよりアンモニア流量が少ない混合ガスを用い、水素を有する不純物の放出が少なく、かつ水素を有する不純物をブロッキングする機能を有する絶縁層103cを成膜する。次に、シラン及び一酸化二窒素の混合ガスを用い、欠陥密度が低く、かつ水素を有する不純物の放出が少ない絶縁層103dを形成し、絶縁層103を形成できる。また、同一チャンバーで成膜条件を切り替えることにより、絶縁層103a、絶縁層103b、絶縁層103c及び絶縁層103dを真空中で連続して成膜することができ、生産性高く絶縁層103を形成できる。

【0232】

または、絶縁層103cを成膜した後に、酸素を含む雰囲気中でプラズマ処理を行い、絶縁層103cの表面を酸化させることで、絶縁層103c上に絶縁層103dを形成することが出来る。

【0233】

絶縁層103a及び絶縁層103cと比較して、絶縁層103bは膜密度が低くなる場合がある。絶縁層103a、絶縁層103b及び絶縁層103cの膜密度の違いは、例えば、TEM像の濃度(輝度)で評価できる。また、絶縁層103a及び絶縁層103cと比較して、絶縁層103bは膜中の水素濃度が高くなる場合がある。絶縁層103a、絶縁層103b及び絶縁層103cの水素濃度の違いは、例えば、二次イオン質量分析法(SIMS)で評価できる。

10

20

30

40

50

【0234】

絶縁層103を形成した後に、絶縁層103に対して酸素を供給する処理を行なってもよい。例えば、酸素雰囲気下でのプラズマ処理または加熱処理などを行うことができる。または、プラズマイオンドーピング法やイオン注入法などにより、絶縁層103に酸素を供給してもよい。

【0235】

〔半導体層108の形成〕

続いて、絶縁層103上に、半導体層108となる金属酸化物膜108fを成膜する（図10C）。

【0236】

金属酸化物膜108fは、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。

【0237】

金属酸化物膜108fを成膜する際に、酸素ガスの他に、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）を混合させてもよい。なお、金属酸化物膜を成膜する際の成膜ガス全体に占める酸素ガスの割合（以下、酸素流量比ともいう）が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比が低いほど、金属酸化物膜の結晶性が低くなり、オン電流が高められたトランジスタとすることができる。

【0238】

半導体層108を積層構造とする場合、同じスパッタリングターゲットを用いて同じ成膜室で連続して成膜することで、界面を良好なものとすることができるため好ましい。特に、各金属酸化物膜の成膜条件として、成膜時の圧力、温度、電力等の条件を異ならせてもよいが、酸素流量比以外の条件を同じとすることで、成膜工程にかかる時間を短縮するため好ましい。また、異なる組成の金属酸化物膜を積層する場合には、大気に暴露することなく、連続して成膜することが好ましい。

【0239】

金属酸化物膜108fは、CAAC構造を有する金属酸化物膜、nc構造を有する金属酸化物膜、またはCAAC構造とnc構造とが混在した金属酸化物膜となるように、成膜条件を設定することが好ましい。なお、成膜される金属酸化物膜がCAAC構造となる成膜条件、及びnc構造となる成膜条件は、それぞれ使用するスパッタリングターゲットの組成によって異なるため、その組成に応じて、基板温度や酸素流量比の他、圧力や電力などを適宜設定すればよい。

【0240】

金属酸化物膜108fの成膜は、基板温度を室温以上450℃以下、好ましくは室温以上300℃以下、より好ましくは室温以上200℃以下、さらに好ましくは室温以上140℃以下とすればよい。例えば基板102に大型のガラス基板や、樹脂基板を用いた場合には、成膜温度を室温以上140℃未満とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または加熱しない状態で、金属酸化物膜を成膜することで、結晶性を低くすることができる。

【0241】

金属酸化物膜108fを成膜する前に、絶縁層103の表面に吸着した水や水素、有機物成分等を脱離させるための処理や、絶縁層103中に酸素を供給する処理を行うことが好ましい。例えば、減圧雰囲気下にて70℃以上200℃以下の温度で加熱処理を行うことができる。または、酸素を含む雰囲気下におけるプラズマ処理を行ってもよい。また、一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層103の表面の有機物を好適に除去できる。このような処理の後、絶縁層103の表面を大気に暴露することなく、連続して金属酸化物膜を成膜することが好ましい。

【0242】

続いて、金属酸化物膜108fを加工し、島状の半導体層108を形成する（図10D）

10

20

30

40

50

）。

【0243】

金属酸化物膜の加工には、ウェットエッチング法及びドライエッチング法のいずれか一方または双方を用いればよい。このとき、半導体層108と重ならない絶縁層103dの一部をエッチングし、除去してもよい。絶縁層103dの一部を除去することにより、半導体層108と絶縁層103dは、上面形状が概略一致する。また、絶縁層103dの一部を除去することにより絶縁層103cの一部が露出し、後に形成される絶縁層116と絶縁層103cが接する構成とすることができる。

【0244】

金属酸化物膜の成膜後、または半導体層108に加工した後、金属酸化物膜または半導体層108中の水素または水を除去するために加熱処理を行ってもよい。加熱処理の温度は、代表的には、150℃以上基板の歪み点未満、または250℃以上450℃以下、または300℃以上450℃以下とすることができる。なお、金属酸化物膜の成膜後、または半導体層108に加工した後に、加熱処理を行わなくてもよい。また、加熱処理は金属酸化物膜の成膜後であればどの段階で行ってもよい。また、後の加熱処理または熱が加わる工程と兼ねてもよい。

【0245】

加熱処理は、希ガス、または窒素を含む雰囲気で行うことができる。または、当該雰囲気で加熱した後、酸素を含む雰囲気中で加熱してもよい。窒素を含む雰囲気、又は酸素を含む雰囲気として、超乾燥空気(CDA: Clean Dry Air)を用いてもよい。なお、上記加熱処理の雰囲気に水素、水などが含まれないことが好ましい。露点が-60℃以下、好ましくは-100℃以下にまで高純度化したガスを用いることで半導体層108に水素、水などが取り込まれることを可能な限り防ぐことができる。該加熱処理は、電気炉、急速加熱(RTA: Rapid Thermal Annealing)装置等を用いることができる。RTA装置を用いることで、加熱処理時間を短縮できる。

【0246】

なお、半導体層108の形成後は速やかに絶縁膜110fを形成することが好ましい。半導体層108の表面が露出した状態では、半導体層108の表面に水が吸着する場合がある。半導体層108の表面に水が吸着すると、その後の加熱処理等により半導体層108中に水素が拡散し、VOHが形成される場合がある。VOHはキャリア発生源となりうることから、半導体層108の吸着水は少ないことが好ましい。

【0247】

〔絶縁膜110fの形成〕

続いて、絶縁層103及び半導体層108を覆って、絶縁膜110fを形成する(図11A)。

【0248】

絶縁膜110fは、後に絶縁層110となる膜である。絶縁膜110fは、例えば酸化シリコン膜または酸化窒化シリコン膜などの酸化物膜を、プラズマ化学気相堆積装置(PECVD装置、または単にプラズマCVD装置という)を用いて形成することが好ましい。また、マイクロ波を用いたPECVD法を用いて形成してもよい。

【0249】

ここでは、絶縁層110aとなる絶縁膜110A、絶縁層110bとなる絶縁膜110B、及び絶縁層110cとなる絶縁膜110Cをこの順に積層して形成する。特に、絶縁膜110fを構成する各絶縁膜は、PECVD法により形成することが好ましい。

【0250】

絶縁膜110A、絶縁膜110B及び絶縁膜110Cに酸化窒化シリコン膜を用いる場合について説明する。例えば、シラン及び一酸化二窒素の混合ガスを用いたプラズマCVD法により、絶縁膜110Aを形成する。次に、絶縁膜110Aより一酸化二窒素流量に対するシラン流量比が高い混合ガスを用い、パワーが高い条件で絶縁膜110Bを成膜する。次に、絶縁膜110Bより一酸化二窒素流量に対するシラン流量比が低い混合ガスを

用い、圧力が低い条件で絶縁膜 110C を成膜し、絶縁膜 110f を形成できる。また、同一チャンバーで成膜条件を切り替えることにより、絶縁膜 110A、絶縁膜 110B 及び絶縁膜 110C を真空中で連続して成膜することができ、生産性高く絶縁膜 110f を形成できる。

【0251】

絶縁膜 110f の形成後に、加熱処理を行ってもよい。加熱処理を行うことで、絶縁膜 110f 中の不純物及び絶縁膜 110f 表面の吸着水を除去できる。加熱処理は、窒素、酸素、希ガスのうち一以上を含む雰囲気下にて、200℃以上400℃以下の温度で行うことができる。なお、絶縁膜 110f の形成後に、加熱処理を行わなくてもよい。また、加熱処理は絶縁膜 110f の形成後であればどの段階で行ってもよい。また、後の加熱処理または熱が加わる工程と兼ねてもよい。

10

【0252】

絶縁膜 110f の成膜前に、半導体層 108 の表面に対してプラズマ処理を行なうことが好ましい。当該プラズマ処理により、半導体層 108 の表面に吸着する水などの不純物を低減することができる。そのため、半導体層 108 と絶縁膜 110f との界面における不純物を低減できるため、信頼性の高いトランジスタを実現できる。特に、半導体層 108 の形成から、絶縁膜 110f の成膜までの間に半導体層 108 の表面が大気に曝される場合には好適である。プラズマ処理は、例えば酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気下で行うことができる。また、プラズマ処理と絶縁膜 110f の成膜とは、大気に曝すことなく連続して行われることが好ましい。

20

【0253】

ここで、絶縁膜 110f を成膜した後に、加熱処理を行うことが好ましい。加熱処理により、絶縁膜 110f 中に含まれる、または表面に吸着した水素または水を除去することができる。また、絶縁膜 110f 中の欠陥を低減することができる。

【0254】

加熱処理の条件は、上記を援用することができる。

【0255】

絶縁膜 110f を形成した後、または、上記水素または水を除去する加熱処理を行なった後に、絶縁膜 110f に対して酸素を供給する処理を行なってもよい。例えば、プラズマ処理または加熱処理などを、酸素を含む雰囲気下で行うことができる。または、プラズマイオンドーピング法やイオン注入法などにより、絶縁膜 110f に酸素を供給してもよい。プラズマ処理には、例えば、PECVD 装置を好適に用いることができる。PECVD 装置を用いて絶縁膜 110f を形成する場合、絶縁膜 110f の形成の後に、真空中で連続してプラズマ処理を行うことが好ましい。絶縁膜 110f の形成と、プラズマ処理を真空中で連続して行うことにより、生産性を高めることができる。

30

【0256】

絶縁膜 110f に酸素を供給する処理を行った後に加熱処理を行う場合は、絶縁膜 110f 上に膜（例えば、金属酸化物膜 114f）が形成された後に加熱処理を行うことが好ましい。絶縁膜 110f が露出した状態で加熱処理を行うと、絶縁膜 110f に供給された酸素が絶縁膜 110f より外へ脱離してしまう場合がある。絶縁膜 110f 上に膜（例えば、金属酸化物膜 114f）が形成した後に加熱処理を行うことで、絶縁膜 110f に供給された酸素が絶縁膜 110f より外へ脱離することを抑制できる。

40

【0257】

〔金属酸化物膜 114f の形成〕

続いて、絶縁膜 110f を覆って、金属酸化物膜 114f を形成する（図 11B）。

【0258】

金属酸化物膜 114f は、後に金属酸化物層 114 となる膜である。金属酸化物膜 114f は、例えば酸素を含む雰囲気下でスパッタリング法により形成することが好ましい。これにより、金属酸化物膜 114f の成膜時に絶縁膜 110f に酸素を供給できる。

【0259】

50

金属酸化物膜 114f を、上記半導体層 108 の場合と同様の金属酸化物を含む酸化物ターゲットを用いたスパッタリング法により形成する場合には、上記を援用できる。

【0260】

金属酸化物膜 114f は、成膜ガスに酸素を用い、金属ターゲットを用いた反応性スパッタリング法により、金属酸化物膜を形成してもよい。金属ターゲットにアルミニウムを用いた場合には、酸化アルミニウム膜を成膜できる。

【0261】

金属酸化物膜 114f の成膜時に、成膜装置の成膜室内に導入する成膜ガスの全流量に対する酸素流量の割合（酸素流量比）、または成膜室内の酸素分圧が高いほど、絶縁層 110 中に供給される酸素を増やすことができ、好ましい。酸素流量比または酸素分圧は、例えば、0%より高く 100%以下、好ましくは 10%以上 100%以下、より好ましくは 20%以上 100%以下、さらに好ましくは 30%以上 100%以下、さらに好ましくは 40%以上 100%以下とする。特に、酸素流量比 100%とし、酸素分圧を 100%にできるだけ近づけることが好ましい。

10

【0262】

このように、酸素を含む雰囲気下でスパッタリング法により金属酸化物膜 114f を形成することにより、金属酸化物膜 114f の成膜時に、絶縁膜 110f へ酸素を供給するとともに、絶縁膜 110f から酸素が脱離することを防ぐことができる。その結果、絶縁膜 110f に極めて多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層 108 のチャネル形成領域に多くの酸素が供給され、チャネル形成領域中の酸素欠損を低減でき、信頼性の高いトランジスタを実現できる。

20

【0263】

金属酸化物膜 114f は、基板温度を室温以上 450℃以下、好ましくは基板温度を室温以上 300℃以下、より好ましくは室温以上 200℃以下、さらに好ましくは室温以上 140℃以下とすればよい。例えば基板 102 に大型のガラス基板や、樹脂基板を用いた場合には、成膜温度を室温以上 140℃未満とすると、生産性が高くなり好ましい。また、金属酸化物膜 114f の成膜温度を高いと金属酸化物膜 114f の結晶性が高くなり、エッチング速度が遅くなる場合がある。金属酸化物膜 114f の成膜温度を低いと金属酸化物膜 114f の結晶性が低くなり、エッチング速度が速くなる場合がある。金属酸化物膜 114f を加工する際に用いるエッチャントに対して望ましいエッチング速度となるよう、金属酸化物膜 114f の成膜温度を適宜選択してもよい。

30

【0264】

金属酸化物膜 114f の形成後に、加熱処理を行うことで、絶縁膜 110f から半導体層 108 に酸素を供給してもよい。加熱処理は、窒素、酸素、希ガスのうち一以上を含む雰囲気下にて、200℃以上 400℃以下の温度で行うことができる。なお、金属酸化物膜 114f の形成後に、加熱処理を行わなくてもよい。また、加熱処理は金属酸化物膜 114f の成膜後であればどの段階で行ってもよい。また、後の加熱処理または熱が加わる工程と兼ねてもよい。

【0265】

〔導電膜 112f の形成〕

続いて、金属酸化物膜 114f、絶縁膜 110f、及び絶縁層 103 の一部をエッチングし、導電層 106 に達する開口部 142 を形成する。これにより、後に形成する導電層 112 と、導電層 106 とを、開口部 142 を介して電氣的に接続できる。

40

【0266】

続いて、金属酸化物膜 114f 上に、導電層 112 となる導電膜 112f を成膜する（図 11C）。導電膜 112f は、金属または合金のスパッタリングターゲットを用いたスパッタリング法により成膜することが好ましい。

【0267】

〔絶縁層 110、金属酸化物層 114、導電層 112 の形成〕

続いて、導電膜 112f 上にレジストマスク 115 を形成する（図 12A）。その後、

50

レジストマスク 115 に覆われていない領域において、導電膜 112 f 及び金属酸化物膜 114 f を除去し、導電層 112 及び金属酸化物層 114 を形成する（図 12 B）。

【0268】

導電層 112 及び金属酸化物層 114 の形成には、ウェットエッチング法を好適に用いることができる。ウェットエッチング法には、例えば、過酸化水素を有するエッチャントを用いることができる。例えば、リン酸、酢酸、硝酸、塩酸又は硫酸の一以上を有するエッチャントを用いることができる。特に、導電層 112 に銅を有する材料を用いる場合は、リン酸、酢酸及び硝酸を有するエッチャントを好適に用いることができる。

【0269】

導電層 112 及び金属酸化物層 114 の端部が、レジストマスク 115 の輪郭よりも内側に位置するように加工する。導電層 112 及び金属酸化物層 114 の形成には、ウェットエッチング法を用いると好適である。エッチング時間を調整することにより、領域 108 L の幅 L2 を制御できる。

【0270】

導電層 112 及び金属酸化物層 114 の形成には、異方性のエッチング法を用いて導電膜 112 f 及び金属酸化物膜 114 f をエッチングした後に、等方性のエッチング法を用いて導電膜 112 f 及び金属酸化物膜 114 f の側面をエッチングして、端面を後退させてもよい（サイドエッチングともいう）。これにより、平面視において、絶縁層 110 よりも内側に位置する導電層 112 及び金属酸化物層 114 を形成できる。

【0271】

図 12 B に示すように、導電層 112 及び金属酸化物層 114 の形成の際に、導電層 112 と重なる領域の絶縁膜 110 f の膜厚より、導電層 112 と重ならない領域の絶縁膜 110 f の膜厚が薄くなる場合がある。

【0272】

なお、導電層 112 及び金属酸化物層 114 の形成には異なるエッチング条件または手法を用いて、少なくとも 2 回に分けてエッチングしてもよい。例えば、導電膜 112 f を先にエッチングし、続いて異なるエッチング条件で金属酸化物膜 114 f をエッチングしてもよい。

【0273】

続いて、レジストマスク 115 に覆われていない領域において、絶縁膜 110 f を除去し、絶縁層 110 を形成する（図 12 C）。絶縁層 110 の形成には、ウェットエッチング法及びドライエッチング法のいずれか一方または双方を用いることができる。なお、レジストマスク 115 を除去した状態で絶縁層 110 を形成してもよいが、レジストマスク 115 を残しておくことにより、導電層 112 の膜厚が薄くなることを抑制できる。また、絶縁層 110 を形成する際に、レジストマスク 115 に覆われていない領域の絶縁層 103 d も除去されてもよい。

【0274】

絶縁層 110 の形成条件を調整することにより、領域 108 L の幅 L2 を制御できる。例えば、絶縁層 110 の形成の際にレジストマスク 115 が後退する条件を用いることで、レジストマスク 115 の幅が小さくする。レジストマスク 115 の幅を小さくすることで、レジストマスク 115 の端部と導電層 112 の端部との距離が近くなり、その結果、領域 108 L の幅 L2 を小さくできる。

【0275】

絶縁層 110 の形成後、レジストマスク 115 を除去する。

【0276】

ここで、不純物を除去するために洗浄を行ってもよい。洗浄を行うことにより絶縁層 110 及び半導体層 108 の露出した領域に付着した不純物を除去し、トランジスタの電気特性、信頼性が低下することを抑制できる。不純物として、例えば絶縁膜 110 f のエッチング時に付着する、エッチングガスまたはエッチャントの成分、もしくは導電膜 112 f の成分、金属酸化物膜 114 f の成分などがある。

10

20

30

40

50

【0277】

洗浄方法は、洗浄液など用いたウェット洗浄、またはプラズマ処理などを用いることができる。また、これらの洗浄を適宜組み合わせて行ってもよい。ウェット洗浄は、シュウ酸、リン酸、アンモニア水、またはフッ化水素酸などを含む洗浄液を用いることができる。

【0278】

〔絶縁層116、領域108Nの形成（水素の供給処理）〕

続いて、半導体層108の露出した領域に、水素を供給する処理を行なう。ここでは、半導体層108の露出した領域に接して、水素を含む絶縁層116を成膜することで水素を供給する（図13A）。

【0279】

絶縁層116は、水素を含む成膜ガスを用いたプラズマCVD法により形成することが好ましい。例えば、シランガスとアンモニアガスとを含む成膜ガスを用いて、窒化シリコン膜を成膜する。シランガスに加えてアンモニアガスを用いることで、膜中に多くの水素を含有させることができる。また、成膜時においても、半導体層108の露出した部分に水素を供給することが可能となる。

【0280】

絶縁層116の成膜後に、加熱処理を行なうことで、絶縁層116から放出される水素の一部を、半導体層108の一部に供給することが好ましい。加熱処理は、窒素、酸素、希ガスのうち一以上を含む雰囲気下にて、150℃以上450℃以下、好ましくは200℃以上400℃以下の温度で行うことが好ましい。

【0281】

このように水素を供給することで、半導体層108中に極めて低抵抗な領域108Nを形成できる。

【0282】

加熱処理により、絶縁層110から半導体層108のチャネル形成領域に酸素を供給できる。

【0283】

〔絶縁層118の形成〕

続いて、絶縁層116上に絶縁層118を形成する（図13B）。

【0284】

絶縁層118をプラズマCVD法により形成する場合、成膜温度が高すぎると、領域108N等に含まれる不純物によっては、当該不純物が半導体層108のチャネル形成領域を含む周辺部に拡散する恐れがある。その結果、チャネル形成領域の抵抗が低下することや、領域108Nの抵抗が上昇してしまうなどの恐れがある。絶縁層116または絶縁層118の成膜温度は、例えば150℃以上400℃以下、好ましくは180℃以上360℃以下、より好ましくは200℃以上250℃以下とすることが好ましい。絶縁層118を低温で成膜することにより、チャネル長の短いトランジスタであっても、良好な電気特性を付与できる。

【0285】

絶縁層118の形成後に加熱処理を行なってもよい。

【0286】

〔開口部141a、開口部141bの形成〕

続いて、絶縁層118の所望の位置にリソグラフィによりマスクを形成した後、絶縁層118及び絶縁層116の一部をエッチングすることで、領域108Nに達する開口部141a及び開口部141bを形成する。

【0287】

〔導電層120a、導電層120bの形成〕

続いて、開口部141a及び開口部141bを覆うように、絶縁層118上に導電膜を成膜し、当該導電膜を所望の形状に加工することで、導電層120a及び導電層120bを形成する（図13C）。

10

20

30

40

50

【0288】

以上の工程により、トランジスタ100Cを作製できる。

【0289】

<作製方法例2>

以下では、上記構成例のトランジスタ100Aで例示した、導電層112の端部が金属酸化物層114の端部より内側に位置する構成を例に挙げて説明する。

【0290】

導電膜112f上にレジストマスク115を形成するところまでは、前述の<作製方法例1>と同様である（図12A参照）。

【0291】

〔絶縁層110、金属酸化物層114、導電層112の形成〕

続いて、レジストマスク115に覆われていない領域において、導電膜112f及び金属酸化物膜114fを除去し、導電層112及び金属酸化物層114を形成する（図14A）。

【0292】

導電層112及び金属酸化物層114の形成には、ウェットエッチング法を好適に用いることができる。この時、金属酸化物層114の端部がレジストマスク115の輪郭よりも内側に位置し、また導電層112の端部が金属酸化物層114の輪郭より内側に位置するように加工する。また、エッチング時間を調整することにより、領域108Lの幅L2を制御できる。

【0293】

導電層112及び金属酸化物層114の形成には、異方性のエッチング法を用いて導電膜112f及び金属酸化物膜114fをエッチングした後に、等方性のエッチング法を用いて導電膜112f及び金属酸化物膜114fの側面をエッチングして、端面を後退させてもよい。

【0294】

図14Aに示すように、導電層112及び金属酸化物層114の形成の際に、金属酸化物層114と重なる領域の絶縁膜110fの膜厚より、金属酸化物層114と重ならない領域の絶縁膜110fの膜厚が薄くなる場合がある。

【0295】

導電層112及び金属酸化物層114の形成の際に、導電層112の端部が金属酸化物層114の端部より後退するとともに、導電層112と重なる領域の金属酸化物層114の膜厚より、導電層112と重ならない領域の金属酸化物層114の膜厚が薄くなる場合がある。

【0296】

続いて、レジストマスク115に覆われていない領域において、絶縁膜110fを除去し、絶縁層110を形成する（図14B）。絶縁層110の形成には、ウェットエッチング法及びドライエッチング法のいずれか一方または双方を用いることができる。なお、レジストマスク115を除去した状態で絶縁層110を形成してもよいが、レジストマスク115を残しておくことにより、導電層112の膜厚が薄くなることを抑制できる。

【0297】

絶縁層110の形成後、レジストマスク115を除去する。

【0298】

以降、絶縁層116の形成より後の工程は、<作製方法例1>の記載を参照できるため、詳細は省略する。

【0299】

<半導体装置の構成要素>

次に、本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

【0300】

〔基板〕

10

20

30

40

50

基板 102 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 102 として用いてもよい。また、これらの基板上に半導体素子が設けられたものを、基板 102 として用いてもよい。

【0301】

基板 102 として、可撓性基板を用い、可撓性基板上に直接、トランジスタ 100 等を形成してもよい。または、基板 102 とトランジスタ 100 等の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板 102 より分離し、他の基板に転載するために用いることができる。その際、トランジスタ 100 等は耐熱性の劣る基板や可撓性の基板にも転載できる。

【0302】

〔絶縁層 103〕

絶縁層 103 は、スパッタリング法、CVD 法、蒸着法、パルスレーザー堆積 (PLD) 法等を適宜用いて形成できる。また、絶縁層 103 は、例えば、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成できる。なお、半導体層 108 との界面特性を向上させるため、絶縁層 103 において少なくとも半導体層 108 と接する領域は酸化物絶縁膜で形成することが好ましい。また、絶縁層 103 には、加熱により酸素を放出する膜を用いることが好ましい。

【0303】

絶縁層 103 として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga-Zn 酸化物などを用いればよく、単層または積層で設けることができる。

【0304】

絶縁層 103 の半導体層 108 に接する側に窒化シリコン膜などの酸化物膜以外の膜を用いた場合、半導体層 108 と接する表面に対して酸素プラズマ処理などの前処理を行い、当該表面、または表面近傍を酸化することが好ましい。

【0305】

〔導電膜〕

導電層 106、ソース電極として機能する導電層 120a、ドレイン電極として機能する導電層 120b は、クロム、銅、アルミニウム、金、銀、亜鉛、モリブデン、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルトから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成できる。

【0306】

導電層 106、導電層 120a、及び導電層 120b には、In-Sn 酸化物、In-W 酸化物、In-W-Zn 酸化物、In-Ti 酸化物、In-Ti-Sn 酸化物、In-Zn 酸化物、In-Sn-Si 酸化物、In-Ga-Zn 酸化物等の酸化物導電体または金属酸化物膜を適用することもできる。

【0307】

ここで、酸化物導電体 (OC: Oxide Conductor) について説明を行う。例えば、半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

【0308】

導電層 106 等として、上記酸化物導電体 (金属酸化物) を含む導電膜と、金属または合金を含む導電膜の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。このとき、ゲート絶縁膜として機能する絶縁層と接する側には酸化物導電体を含む導電膜を適用することが好ましい。

【0309】

導電層106、導電層120a、導電層120bには、上述の金属元素の中でも、特にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると好適である。特に、窒化タンタル膜を用いると好適である。当該窒化タンタル膜は、導電性を有し、且つ、銅、酸素、または水素に対して、高いバリア性を有し、且つ自身からの水素の放出が少ないため、半導体層108と接する導電膜、または半導体層108の近傍の導電膜として、好適に用いることができる。

【0310】

〔絶縁層110〕

トランジスタ100等のゲート絶縁膜として機能する絶縁層110は、PECVD法、スパッタリング法等により形成できる。絶縁層110は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。なお、絶縁層110を、2層の積層構造または3層以上の積層構造としてもよい。

【0311】

半導体層108と接する絶縁層110は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層110は、酸素を放出することが可能な絶縁膜である。例えば、酸素雰囲気下にて絶縁層110を形成すること、成膜後の絶縁層110に対して酸素雰囲気下での熱処理、プラズマ処理等を行うこと、または、絶縁層110上に酸素雰囲気下で酸化物膜を成膜することなどにより、絶縁層110中に酸素を供給することもできる。

【0312】

絶縁層110として、酸化シリコンや酸化窒化シリコンと比べて比誘電率の高い酸化ハフニウム等の材料を用いることもできる。これにより絶縁層110の膜厚を厚くしトンネル電流によるリーク電流を抑制できる。特に結晶性を有する酸化ハフニウムは、非晶質の酸化ハフニウムと比べて高い比誘電率を備えるため好ましい。

【0313】

〔半導体層〕

半導体層108がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットは、元素Mに対するInの原子数比が1以上であることが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5等が挙げられる。

【0314】

スパッタリングターゲットに多結晶の酸化物を含むターゲットを用いると、結晶性を有する半導体層108を形成しやすくなるため好ましい。なお、成膜される半導体層108の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、半導体層108に用いるスパッタリングターゲットの組成がIn:Ga:Zn=4:2:4.1〔原子数比〕の場合、成膜される半導体層108の組成は、In:Ga:Zn=4:2:3〔原子数比〕の近傍となる場合がある。

【0315】

なお、原子数比がIn:Ga:Zn=4:2:3またはその近傍と記載する場合、Inを4としたとき、Gaが1以上3以下であり、Znが2以上4以下である場合を含む。また、原子数比がIn:Ga:Zn=5:1:6またはその近傍であると記載する場合、Inを5としたときに、Gaが0.1より大きく2以下であり、Znが5以上7以下である

場合を含む。また、原子数比が $I n : G a : Z n = 1 : 1 : 1$ またはその近傍であると記載する場合、 $I n$ を 1 としたときに、 $G a$ が 0.1 より大きく 2 以下であり、 $Z n$ が 0.1 より大きく 2 以下である場合を含む。

【0316】

半導体層 108 は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上である。このように、シリコンよりもエネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

【0317】

半導体層 108 には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物は、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0318】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

【0319】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

【0320】

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法 (SIMS) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0321】

チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0322】

半導体層 108 は、非単結晶構造であることが好ましい。非単結晶構造は、例えば、後述する CAAC 構造、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC 構造は最も欠陥準位密度が低い。

【0323】

以下では、CAAC (c-axis aligned crystal) について説明す

10

20

30

40

50

る。C A A C は結晶構造の一例を表す。

【0324】

C A A C 構造とは、複数のナノ結晶（最大径が10 nm未満である結晶領域）を有する薄膜などの結晶構造の一つであり、各ナノ結晶はc軸が特定の方向に配向し、かつa軸及びb軸は配向性を有せずに、ナノ結晶同士が粒界を形成することなく連続的に連結しているといった特徴を有する結晶構造である。特にC A A C 構造を有する薄膜は、各ナノ結晶のc軸が、薄膜の厚さ方向、被形成面の法線方向、または薄膜の表面の法線方向に配向しやすいといった特徴を有する。

【0325】

C A A C - O S (O x i d e S e m i c o n d u c t o r) は結晶性の高い酸化物半導体である。一方、C A A C - O S は、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、C A A C - O S を有する酸化物半導体は、物理的性質が安定する。そのため、C A A C - O S を有する酸化物半導体は熱に強く、信頼性が高い。

【0326】

ここで、結晶学において、単位格子を構成するa軸、b軸、及びc軸の3つの軸（結晶軸）について、特異的な軸をc軸とした単位格子を取ることが一般的である。特に層状構造を有する結晶では、層の面方向に平行な2つの軸をa軸及びb軸とし、層に交差する軸をc軸とすることが一般的である。このような層状構造を有する結晶の代表的な例として、六方晶系に分類されるグラファイトがあり、その単位格子のa軸及びb軸は劈開面に平行であり、c軸は劈開面に直交する。例えば層状構造であるY b F e ₂ O ₄ 型の結晶構造をとるI n G a Z n O ₄ の結晶は六方晶系に分類することができ、その単位格子のa軸及びb軸は層の面方向に平行となり、c軸は層（すなわちa軸及びb軸）に直交する。

【0327】

微結晶構造を有する酸化物半導体膜（微結晶酸化物半導体膜）は、T E Mによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（n c : n a n o c r y s t a l）を有する酸化物半導体膜を、n c - O S (n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜と呼ぶ。また、n c - O S 膜は、例えば、T E Mによる観察像では、結晶粒界を明確に確認できない場合がある。

【0328】

n c - O S 膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、n c - O S 膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、n c - O S 膜に対し、結晶部よりも大きい径のX線を用いるX R D 装置を用いて構造解析を行うと、o u t - o f - p l a n e 法による解析では、結晶面を示すピークが検出されない。また、n c - O S 膜に対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう）を行うと、円を描くように（リング状に）輝度の高い領域が観測され、当該領域内に複数のスポットが観測される場合がある。

【0329】

n c - O S 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低い。ただし、n c - O

10

20

30

40

50

S膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。従って、nc-OS膜はCAAC-OS膜と比べて、キャリア濃度が高く、電子移動度が高くなる場合がある。従って、nc-OS膜を用いたトランジスタは、高い電界効果移動度を示す場合がある。

【0330】

nc-OS膜は、CAAC-OS膜と比較して、成膜時の酸素流量比を小さくすることで形成できる。また、nc-OS膜は、CAAC-OS膜と比較して、成膜時の基板温度を低くすることでも形成できる。例えば、nc-OS膜は、基板温度を比較的低温（例えば130℃以下の温度）とした状態、または基板を加熱しない状態でも成膜できるため、大型のガラス基板や、樹脂基板などを使う場合に適しており、生産性を高めることができる。

10

【0331】

金属酸化物の結晶構造の一例について説明する。なお、以下では、In-Ga-Zn酸化物ターゲット（In：Ga：Zn＝4：2：4、1〔原子数比〕）を用いて、スパッタリング法にて成膜された金属酸化物を一例として説明する。上記ターゲットを用いて、基板温度を100℃以上130℃以下として、スパッタリング法により形成した金属酸化物は、nc（nano crystal）構造及びCAAC構造のいずれか一方の結晶構造、またはこれらが混在した構造をとりやすい。一方、基板温度を室温（R.T.）として、スパッタリング法により形成した金属酸化物は、ncの結晶構造をとりやすい。なお、ここでいう室温（R.T.）とは、基板を加熱しない場合の温度を含む。

20

【0332】

<金属酸化物の構成>

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

【0333】

なお、本明細書等において、CAAC（c-axis aligned crystal）、及びCAC（Cloud-Aligned Composite）と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

【0334】

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与できる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

30

【0335】

CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

40

【0336】

CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

50

【0337】

CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

10

【0338】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0339】

以上が、構成要素についての説明である。

【0340】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

20

【0341】

(実施の形態2)

本実施の形態では、先の実施の形態で例示したトランジスタを有する表示装置の一例について説明する。

【0342】

<構成例>

図15Aに、表示装置700の上面図を示す。表示装置700は、シール材712により貼り合された第1の基板701と第2の基板705を有する。また第1の基板701、第2の基板705、及びシール材712で封止される領域において、第1の基板701上に画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706が設けられる。また画素部702には、複数の表示素子が設けられる。

30

【0343】

第1の基板701の第2の基板705と重ならない部分に、FPC716(FPC:Flexible printed circuit)が接続されるFPC端子部708が設けられている。FPC716によって、FPC端子部708及び信号線710を介して、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706のそれぞれに各種信号等が供給される。

【0344】

ゲートドライバ回路部706は、複数設けられていてもよい。また、ゲートドライバ回路部706及びソースドライバ回路部704は、それぞれ半導体基板等に別途形成され、パッケージされたICチップの形態であってもよい。当該ICチップは、第1の基板701上、またはFPC716に実装できる。

40

【0345】

画素部702、ソースドライバ回路部704及びゲートドライバ回路部706が有するトランジスタに、本発明の一態様の半導体装置であるトランジスタを適用できる。

【0346】

画素部702に設けられる表示素子は、液晶素子、発光素子などが挙げられる。液晶素子は、透過型の液晶素子、反射型の液晶素子、半透過型の液晶素子などを用いることができる。また、発光素子は、LED(Light Emitting Diode)、OLED(Organic LED)、QLED(Quantum-dot LED)、半導体レ

50

ーザなどの、自発光性の発光素子が挙げられる。また、シャッター方式または光干渉方式のMEMS (Micro Electro Mechanical Systems) 素子や、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、または電子粉流体 (登録商標) 方式等を適用した表示素子などを用いることもできる。

【0347】

図15Bに示す表示装置700Aは、第1の基板701に代えて、可撓性を有する樹脂層743が適用され、フレキシブルディスプレイとして用いることのできる表示装置の例である。

【0348】

表示装置700Aは、画素部702が矩形形状でなく、角部が円弧状の形状を有している。また、図15B中の領域P1に示すように、画素部702、及び樹脂層743の一部が切りかかれた切欠き部を有する。一対のゲートドライバ回路部706は、画素部702を挟んで両側に設けられる。またゲートドライバ回路部706は、画素部702の角部において、円弧状の輪郭に沿って設けられている。

【0349】

樹脂層743は、FPC端子部708が設けられる部分が突出した形状を有している。また樹脂層743のFPC端子部708を含む一部は、図15B中の領域P2で裏側に折り返すことができる。樹脂層743の一部を折り返すことで、FPC716を画素部702の裏側に重ねて配置した状態で、表示装置700Aを電子機器に実装することができ、電子機器の省スペース化を図ることができる。

【0350】

表示装置700Aに接続されるFPC716には、IC717が実装されている。IC717は、例えばソースドライバ回路としての機能を有する。このとき、表示装置700Aにおけるソースドライバ回路部704は、保護回路、バッファ回路、デマルチプレクサ回路等の少なくとも一を含む構成とすることができる。

【0351】

図15Cに示す表示装置700Bは、大型の画面を有する電子機器に好適に用いることのできる表示装置である。表示装置700Bは、例えばテレビジョン装置、モニタ装置、パーソナルコンピュータ (ノート型またはデスクトップ型を含む)、タブレット端末、デジタルサイネージなどに好適に用いることができる。

【0352】

表示装置700Bは、複数のソースドライバIC721と、一対のゲートドライバ回路部722を有する。

【0353】

複数のソースドライバIC721は、それぞれFPC723に取り付けられている。また、複数のFPC723は、一方の端子が第1の基板701に、他方の端子がプリント基板724にそれぞれ接続されている。FPC723を折り曲げることで、プリント基板724を画素部702の裏側に配置して、電子機器に実装することができ、電子機器の省スペース化を図ることができる。

【0354】

一方、ゲートドライバ回路部722は、第1の基板701上に形成されている。これにより、狭額縁の電子機器を実現できる。

【0355】

このような構成とすることで、大型で且つ高解像度の表示装置を実現できる。例えば画面サイズが対角30インチ以上、40インチ以上、50インチ以上、または60インチ以上の表示装置を実現できる。また、解像度が4K2K、または8K4Kなどといった極めて高解像度の表示装置を実現できる。

【0356】

<断面構成例>

以下では、表示素子として液晶素子を用いる構成、及びEL素子を用いる構成について

10

20

30

40

50

、図16乃至図19を用いて説明する。なお、図16乃至図18は、それぞれ図15Aに示す一点鎖線Q-Rにおける断面図である。また図19は、図15Bに示した表示装置700A中の一点鎖線S-Tにおける断面図である。図16及び図17は、表示素子として液晶素子を用いた構成であり、図18及び図19は、EL素子を用いた構成である。

【0357】

〔表示装置の共通部分に関する説明〕

図16乃至図19に示す表示装置は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。引き回し配線部711は、信号線710を有する。画素部702は、トランジスタ750及び容量素子790を有する。ソースドライバ回路部704は、トランジスタ752を有する。図17では、容量素子790が無い場合を示している。

【0358】

トランジスタ750及びトランジスタ752は、実施の形態1で例示したトランジスタを適用できる。

【0359】

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ電流を低くできる。よって、画像信号等の電気信号の保持時間を長くでき、画像信号等の書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくできるため、消費電力を低減する効果を奏する。

【0360】

本実施の形態で用いるトランジスタは、比較的高い電界効果移動度を得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成できる。すなわち、シリコンウェハ等により形成された駆動回路を適用しない構成も可能であり、表示装置の部品点数を削減できる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供できる。

【0361】

図16、図18、及び図19に示す容量素子790は、トランジスタ750が有する第1のゲート電極と同一の膜を加工して形成される下部電極と、半導体層と同一の金属酸化物を加工して形成される上部電極と、を有する。上部電極は、トランジスタ750のソース領域及びドレイン領域と同様に低抵抗化されている。また、下部電極と上部電極との間には、トランジスタ750の第1のゲート絶縁層として機能する絶縁膜の一部が設けられる。すなわち、容量素子790は、一对の電極間に誘電体膜として機能する絶縁膜が挟持された積層型の構造である。また、上部電極には、トランジスタのソース電極及びドレイン電極と同一の膜を加工して得られる配線が接続されている。

【0362】

トランジスタ750、トランジスタ752、及び容量素子790上には平坦化絶縁膜770が設けられている。

【0363】

画素部702が有するトランジスタ750と、ソースドライバ回路部704が有するトランジスタ752とは、異なる構造のトランジスタを用いてもよい。例えば、いずれか一方にトップゲート型のトランジスタを適用し、他方にボトムゲート型のトランジスタを適用した構成としてもよい。なお、上記ゲートドライバ回路部706についてもソースドライバ回路部704と同様である。

【0364】

信号線710は、トランジスタ750、752のソース電極及びドレイン電極等と同じ導電膜で形成されている。このとき、銅元素を含む材料等の低抵抗な材料を用いると、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となるため好ましい。

【0365】

FPC端子部708は、一部が接続電極として機能する配線760、異方性導電膜78

10

20

30

40

50

0、及びFPC716を有する。配線760は、異方性導電膜780を介してFPC716が有する端子と電氣的に接続される。ここでは、配線760は、トランジスタ750、752のソース電極及びドレイン電極等と同じ導電膜で形成されている。

【0366】

第1の基板701及び第2の基板705は、例えばガラス基板、またはプラスチック基板等の可撓性を有する基板を用いることができる。第1の基板701に可撓性を有する基板を用いる場合には、第1の基板701とトランジスタ750等との間に、水や水素に対するバリア性を有する絶縁層を設けることが好ましい。

【0367】

第2の基板705側には、遮光膜738と、着色膜736と、これらに接する絶縁膜734と、が設けられる。

【0368】

〔液晶素子を用いる表示装置の構成例〕

図16に示す表示装置700は、液晶素子775及びスペーサ778を有する。液晶素子775は、導電層772、導電層774、及びこれらの間に液晶層776を有する。導電層774は、第2の基板705側に設けられ、共通電極としての機能を有する。また、導電層772は、トランジスタ750が有するソース電極またはドレイン電極と電氣的に接続される。導電層772は、平坦化絶縁膜770上に形成され、画素電極として機能する。

【0369】

導電層772には、可視光に対して透光性の材料、または反射性の材料を用いることができる。透光性の材料は、例えば、インジウム、亜鉛、スズ等を含む酸化物材料を用いるとよい。反射性の材料は、例えば、アルミニウム、銀等を含む材料を用いるとよい。

【0370】

導電層772に反射性の材料を用いると、表示装置700は反射型の液晶表示装置となる。一方、導電層772に透光性の材料を用いると、透過型の液晶表示装置となる。反射型の液晶表示装置の場合、視認側に偏光板を設ける。一方、透過型の液晶表示装置の場合、液晶素子を挟むように一對の偏光板を設ける。

【0371】

図17に示す表示装置700は、横電界方式（例えば、FFSモード）の液晶素子775を用いる例を示す。導電層772上に絶縁層773を介して、共通電極として機能する導電層774が設けられる。導電層772と導電層774との間に生じる電界によって、液晶層776の配向状態を制御できる。

【0372】

図17において、導電層774、絶縁層773、導電層772の積層構造により保持容量を構成できる。そのため、別途容量素子を設ける必要がなく、開口率を高めることができる。

【0373】

図16及び図17には図示しないが、液晶層776と接する配向膜を設ける構成としてもよい。また、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）、及びバックライト、サイドライトなどの光源を適宜設けることができる。

【0374】

液晶層776には、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC：Polymer Dispersed Liquid Crystal）、高分子ネットワーク型液晶（PNLC：Polymer Network Liquid Crystal）、強誘電性液晶、反強誘電性液晶等を用いることができる。また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。

【0375】

液晶素子のモードは、TN（Twisted Nematic）モード、VA（Vertical Alignment）モード、IPS（In-Plane-Switching）モード、

10

20

30

40

50

ng) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、ゲストホストモードなどを用いることができる。

【0376】

液晶層 776 に高分子分散型液晶や、高分子ネットワーク型液晶などを用いた、散乱型の液晶を用いることもできる。このとき、着色膜 736 を設けずに白黒表示を行う構成としてもよいし、着色膜 736 を用いてカラー表示を行う構成としてもよい。

【0377】

液晶素子の駆動方法として、継時加法混色法に基づいてカラー表示を行う、時間分割表示方式（フィールドシーケンシャル駆動方式ともいう）を適用してもよい。その場合、着色膜 736 を設けない構成とすることができる。時間分割表示方式を用いた場合、例えば R（赤色）、G（緑色）、B（青色）のそれぞれの色を呈する副画素を設ける必要がないため、画素の開口率を向上させることや、精細度を高められるなどの利点がある。

【0378】

〔発光素子を用いる表示装置〕

図 18 に示す表示装置 700 は、発光素子 782 を有する。発光素子 782 は、導電層 772、EL 層 786、及び導電膜 788 を有する。EL 層 786 は、有機化合物、または量子ドットなどの無機化合物を有する。

【0379】

有機化合物に用いることのできる材料として、蛍光性材料または燐光性材料などが挙げられる。また、量子ドットに用いることのできる材料として、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料、などが挙げられる。

【0380】

図 18 に示す表示装置 700 には、平坦化絶縁膜 770 上に導電層 772 の一部を覆う絶縁膜 730 が設けられる。ここで、発光素子 782 は透光性の導電膜 788 を有し、トップエミッション型の発光素子である。なお、発光素子 782 は、導電層 772 側に光を射出するボトムエミッション構造や、導電層 772 側及び導電膜 788 側の双方に光を射出するデュアルエミッション構造としてもよい。

【0381】

着色膜 736 は発光素子 782 と重なる位置に設けられ、遮光膜 738 は絶縁膜 730 と重なる位置、引き回し配線部 711、及びソースドライバ回路部 704 に設けられている。また、着色膜 736 及び遮光膜 738 は、絶縁膜 734 で覆われている。また、発光素子 782 と絶縁膜 734 の間は封止膜 732 で充填されている。なお、EL 層 786 を画素毎に島状または画素列毎に縞状に形成する、すなわち塗り分けにより形成する場合においては、着色膜 736 を設けない構成としてもよい。

【0382】

図 19 には、フレキシブルディスプレイに好適に適用できる表示装置の構成を示している。図 19 は、図 15 B に示した表示装置 700 A 中の一点鎖線 S-T における断面図である。

【0383】

図 19 に示す表示装置 700 A は、図 18 で示した第 1 の基板 701 に代えて、支持基板 745、接着層 742、樹脂層 743、及び絶縁層 744 が積層された構成を有する。トランジスタ 750 や容量素子 790 等は、樹脂層 743 上に設けられた絶縁層 744 上に設けられている。

【0384】

支持基板 745 は、有機樹脂やガラス等を含み、可撓性を有する程度に薄い基板である。樹脂層 743 は、ポリイミド樹脂やアクリル樹脂などの有機樹脂を含む層である。絶縁

10

20

30

40

50

層 744 は、酸化シリコン、酸化窒化シリコン、窒化シリコン等の無機絶縁膜を含む。樹脂層 743 と支持基板 745 とは、接着層 742 によって貼りあわされている。樹脂層 743 は、支持基板 745 よりも薄いことが好ましい。

【0385】

図 19 に示す表示装置 700 は、図 18 で示した基板 705 に代えて保護層 740 を有する。保護層 740 は、封止膜 732 と貼りあわされている。保護層 740 は、ガラス基板や樹脂フィルムなどを用いることができる。また、保護層 740 として、偏光板、散乱板などの光学部材や、タッチセンサパネルなどの入力装置、またはこれらを 2 つ以上積層した構成を適用してもよい。

【0386】

発光素子 782 が有する EL 層 786 は、絶縁膜 730 及び導電層 772 上に島状に設けられている。EL 層 786 を、副画素毎に発光色が異なるように作り分けることで、着色膜 736 を用いずにカラー表示を実現できる。また、発光素子 782 を覆って、保護層 741 が設けられている。保護層 741 は発光素子 782 に水などの不純物が拡散することを防ぐ機能を有する。保護層 741 は、無機絶縁膜を用いることが好ましい。また、無機絶縁膜と有機絶縁膜をそれぞれ一以上含む積層構造とすることがより好ましい。

【0387】

図 19 では、折り曲げ可能な領域 P2 を示している。領域 P2 では、支持基板 745、接着層 742 のほか、絶縁層 744 等の無機絶縁膜が設けられていない部分を有する。また、領域 P2 において、配線 760 を覆って樹脂層 746 が設けられている。折り曲げ可能な領域 P2 に無機絶縁膜をできるだけ設けず、且つ、金属または合金を含む導電層と、有機材料を含む層のみを積層した構成とすることで、曲げた際にクラックが生じることを防ぐことができる。また、領域 P2 に支持基板 745 を設けないことで、極めて小さい曲率半径で、表示装置 700A の一部を曲げることができる。

【0388】

〔表示装置に入力装置を設ける構成例〕

図 16 乃至図 19 に示す表示装置に入力装置を設けてもよい。当該入力装置として、例えば、タッチセンサ等が挙げられる。

【0389】

例えばセンサの方式は、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。または、これら 2 つ以上を組み合わせ用いてもよい。

【0390】

なお、タッチパネルの構成は、入力装置を一对の基板の間に形成する、所謂インセル型のタッチパネル、入力装置を表示装置上に形成する、所謂オンセル型のタッチパネル、または表示装置に貼り合わせて用いる、所謂アウトセル型のタッチパネルなどがある。

【0391】

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせ実施できる。

【0392】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施できる。

【0393】

(実施の形態 3)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図 20 を用いて説明を行う。

【0394】

図 20A に示す表示装置は、画素部 502 と、駆動回路部 504 と、保護回路 506 と、端子部 507 と、を有する。なお、保護回路 506 は、設けない構成としてもよい。

【0395】

10

20

30

40

50

画素部 502 や駆動回路部 504 が有するトランジスタに、本発明の一態様のトランジスタを適用できる。また保護回路 506 にも、本発明の一態様のトランジスタを適用してもよい。

【0396】

画素部 502 は、X 行 Y 列（X、Y はそれぞれ独立に 2 以上の自然数）に配置された複数の表示素子を駆動する複数の画素回路 501 を有する。

【0397】

駆動回路部 504 は、走査線 GL__1 乃至 GL__X に走査信号を出力するゲートドライバ 504a、データ線 DL__1 乃至 DL__Y にデータ信号を供給するソースドライバ 504b などの駆動回路を有する。ゲートドライバ 504a は、少なくともシフトレジスタを有する構成とすればよい。またソースドライバ 504b は、例えば複数のアナログスイッチなどを用いて構成される。また、シフトレジスタなどを用いてソースドライバ 504b を構成してもよい。

【0398】

端子部 507 は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分をいう。

【0399】

保護回路 506 は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図 20A に示す保護回路 506 は、例えば、ゲートドライバ 504a と画素回路 501 の間の配線である走査線 GL__1 乃至 GL__X、またはソースドライバ 504b と画素回路 501 の間の配線であるデータ線 DL__1 乃至 DL__Y 等の各種配線に接続される。

【0400】

ゲートドライバ 504a とソースドライバ 504b は、それぞれ画素部 502 と同じ基板上に設けられていてもよいし、ゲートドライバ回路またはソースドライバ回路が別途形成された基板（例えば、単結晶半導体または多結晶半導体で形成された駆動回路基板）を COG や TAB（Tape Automated Bonding）によって基板に実装する構成としてもよい。

【0401】

図 20A に示す複数の画素回路 501 は、例えば、図 20B 及び図 20C に示す構成とすることができる。

【0402】

図 20B に示す画素回路 501 は、液晶素子 570 と、トランジスタ 550 と、容量素子 560 と、を有する。また画素回路 501 には、データ線 DL__n、走査線 GL__m、電位供給線 VL 等が接続されている。

【0403】

液晶素子 570 の一対の電極の一方の電位は、画素回路 501 の仕様に依じて適宜設定される。液晶素子 570 は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路 501 のそれぞれが有する液晶素子 570 の一対の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路 501 の液晶素子 570 の一対の電極の一方に異なる電位を与えてもよい。

【0404】

図 20C に示す画素回路 501 は、トランジスタ 552、トランジスタ 554 と、容量素子 562 と、発光素子 572 と、を有する。また画素回路 501 には、データ線 DL__n、走査線 GL__m、電位供給線 VL__a、電位供給線 VL__b 等が接続されている。

【0405】

なお、電位供給線 VL__a 及び電位供給線 VL__b の一方には、高電源電位 VDD が与えられ、他方には、低電源電位 VSS が与えられる。トランジスタ 554 のゲートに与えられる電位に応じて、発光素子 572 に流れる電流が制御されることにより、発光素子 572 からの発光輝度が制御される。

10

20

30

40

50

【0406】

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせて実施できる。

【0407】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

【0408】

(実施の形態4)

以下では、画素に表示される階調を補正するためのメモリを備える画素回路と、これを有する表示装置について説明する。実施の形態1で例示したトランジスタは、以下で例示する画素回路に用いられるトランジスタに適用できる。

【0409】

<回路構成>

図21Aに、画素回路400の回路図を示す。画素回路400は、トランジスタM1、トランジスタM2、容量C1、及び回路401を有する。また画素回路400には、配線S1、配線S2、配線G1、及び配線G2が接続される。

【0410】

トランジスタM1は、ゲートが配線G1と、ソース及びドレインの一方が配線S1と、ソース及びドレインの他方が容量C1の一方の電極と、それぞれ接続する。トランジスタM2は、ゲートが配線G2と、ソース及びドレインの一方が配線S2と、ソース及びドレインの他方が容量C1の他方の電極、及び回路401と、それぞれ接続する。

【0411】

回路401は、少なくとも一の表示素子を含む回路である。表示素子は様々な素子を用いることができるが、代表的には有機EL素子やLED素子などの発光素子、液晶素子、またはMEMS (Micro Electro Mechanical Systems) 素子等を適用できる。

【0412】

トランジスタM1と容量C1とを接続するノードをノードN1、トランジスタM2と回路401とを接続するノードをノードN2とする。

【0413】

画素回路400は、トランジスタM1をオフ状態とすることで、ノードN1の電位を保持できる。また、トランジスタM2をオフ状態とすることで、ノードN2の電位を保持できる。また、トランジスタM2をオフ状態とした状態で、トランジスタM1を介してノードN1に所定の電位を書き込むことで、容量C1を介した容量結合により、ノードN1の電位の変位に応じてノードN2の電位を変化させることができる。

【0414】

ここで、トランジスタM1、トランジスタM2のうち的一方または両方に、実施の形態1で例示した、酸化物半導体が適用されたトランジスタを適用できる。そのため極めて低いオフ電流により、ノードN1及びノードN2の電位を長期間に亘って保持できる。なお、各ノードの電位を保持する期間が短い場合（具体的には、フレーム周波数が30Hz以上である場合等）には、シリコン等の半導体を適用したトランジスタを用いてもよい。

【0415】

<駆動方法例>

続いて、図21Bを用いて、画素回路400の動作方法の一例を説明する。図21Bは、画素回路400の動作に係るタイミングチャートである。なおここでは説明を容易にするため、配線抵抗などの各種抵抗や、トランジスタや配線などの寄生容量、及びトランジスタのしきい値電圧などの影響は考慮しない。

【0416】

図21Bに示す動作では、1フレーム期間を期間T1と期間T2とに分ける。期間T1はノードN2に電位を書き込む期間であり、期間T2はノードN1に電位を書き込む期間

10

20

30

40

50

である。

【0417】

〔期間T1〕

期間T1では、配線G1と配線G2の両方に、トランジスタをオン状態にする電位を与える。また、配線S1には固定電位である電位 V_{ref} を供給し、配線S2には第1データ電位 V_w を供給する。

【0418】

ノードN1には、トランジスタM1を介して配線S1から電位 V_{ref} が与えられる。また、ノードN2には、トランジスタM2を介して配線S2から第1データ電位 V_w が与えられる。したがって、容量C1には電位差 $V_w - V_{ref}$ が保持された状態となる。

10

【0419】

〔期間T2〕

続いて期間T2では、配線G1にはトランジスタM1をオン状態とする電位を与え、配線G2にはトランジスタM2をオフ状態とする電位を与える。また、配線S1には第2データ電位 V_{data} を供給する。配線S2には所定の定電位を与える、またはフローティング状態としてもよい。

【0420】

ノードN1には、トランジスタM1を介して配線S1から第2データ電位 V_{data} が与えられる。このとき、容量C1による容量結合により、第2データ電位 V_{data} に応じてノードN2の電位が電位 dV だけ変化する。すなわち、回路401には、第1データ電位 V_w と電位 dV を足した電位が入力されることとなる。なお、図21Bでは電位 dV が正の値であるように示しているが、負の値であってもよい。すなわち、第2データ電位 V_{data} が電位 V_{ref} より低くてもよい。

20

【0421】

ここで、電位 dV は、容量C1の容量値と、回路401の容量値によって概ね決定される。容量C1の容量値が回路401の容量値よりも十分に大きい場合、電位 dV は第2データ電位 V_{data} に近い電位となる。

【0422】

このように、画素回路400は、2種類のデータ信号を組み合わせて表示素子を含む回路401に供給する電位を生成できるため、画素回路400内で階調の補正を行うことが可能となる。

30

【0423】

画素回路400は、配線S1及び配線S2に供給可能な最大電位を超える電位を生成することも可能となる。例えば発光素子を用いた場合では、ハイダイナミックレンジ(HDR)表示等を行うことができる。また、液晶素子を用いた場合では、オーバードライブ駆動等を実現できる。

【0424】

<適用例>

〔液晶素子を用いた例〕

図21Cに示す画素回路400LCは、回路401LCを有する。回路401LCは、液晶素子LCと、容量C2とを有する。

40

【0425】

液晶素子LCは、一方の電極が容量C1の他方の電極、トランジスタM2のソース及びドレインの他方の電極、及び容量C2の一方の電極と接続され、他方の電極が電位 V_{com2} が与えられる配線と接続する。容量C2は、他方の電極が電位 V_{com1} が与えられる配線と接続する。

【0426】

容量C2は保持容量として機能する。なお、容量C2は不要であれば省略できる。

【0427】

画素回路400LCは、液晶素子LCに高い電圧を供給できるため、例えばオーバード

50

ライブ駆動により高速な表示を実現すること、駆動電圧の高い液晶材料を適用することなどができる。また、配線S1または配線S2に補正信号を供給することで、使用温度や液晶素子LCの劣化状態等に応じて階調を補正することもできる。

【0428】

〔発光素子を用いた例〕

図21Dに示す画素回路400ELは、回路401ELを有する。回路401ELは、発光素子EL、トランジスタM3、及び容量C2を有する。

【0429】

トランジスタM3は、ゲートが容量C2の一方の電極と、ソース及びドレインの一方が電位VHが与えられる配線と、他方が発光素子ELの一方の電極と、それぞれ接続される。容量C2は、他方の電極が電位Vcomが与えられる配線と接続する。発光素子ELは、他方の電極が電位VLが与えられる配線と接続する。

【0430】

トランジスタM3は、発光素子ELに供給する電流を制御する機能を有する。容量C2は保持容量として機能する。容量C2は不要であれば省略できる。

【0431】

なお、ここでは発光素子ELのアノード側がトランジスタM3と接続する構成を示しているが、カソード側にトランジスタM3を接続してもよい。そのとき、電位VHと電位VLの値を適宜変更できる。

【0432】

画素回路400ELは、トランジスタM3のゲートに高い電位を与えることで、発光素子ELに大きな電流を流すことができるため、例えばHDR表示などを実現できる。また、また、配線S1または配線S2に補正信号を供給することで、トランジスタM3や発光素子ELの電気特性のばらつきの補正を行うこともできる。

【0433】

なお、図21C及び図21Dで例示した回路に限られず、別途トランジスタや容量などを追加した構成としてもよい。

【0434】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

【0435】

(実施の形態5)

本実施の形態では、本発明の一態様を用いて作製できる表示モジュールについて説明する。

【0436】

図22Aに示す表示モジュール6000は、上部カバー6001と下部カバー6002との間に、FPC6005が接続された表示装置6006、フレーム6009、プリント基板6010、及びバッテリー6011を有する。

【0437】

例えば、本発明の一態様を用いて作製された表示装置を、表示装置6006に用いることができる。表示装置6006により、極めて消費電力の低い表示モジュールを実現できる。

【0438】

上部カバー6001及び下部カバー6002は、表示装置6006のサイズに合わせて、形状や寸法を適宜変更できる。

【0439】

表示装置6006はタッチパネルとしての機能を有していてもよい。

【0440】

フレーム6009は、表示装置6006の保護機能、プリント基板6010の動作により発生する電磁波を遮断する機能、放熱板としての機能等を有していてもよい。

10

20

30

40

50

【0441】

プリント基板6010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路、バッテリー制御回路等を有する。

【0442】

図22Bは、光学式のタッチセンサを備える表示モジュール6000の断面概略図である。

【0443】

表示モジュール6000は、プリント基板6010に設けられた発光部6015及び受光部6016を有する。また、上部カバー6001と下部カバー6002により囲まれた領域に一对の導光部（導光部6017a、導光部6017b）を有する。

【0444】

表示装置6006は、フレーム6009を間に介してプリント基板6010やバッテリー6011と重ねて設けられている。表示装置6006とフレーム6009は、導光部6017a、導光部6017bに固定されている。

【0445】

発光部6015から発せられた光6018は、導光部6017aにより表示装置6006の上部を経由し、導光部6017bを通して受光部6016に達する。例えば指やスタイラスなどの被検知体により、光6018が遮られることにより、タッチ操作を検出できる。

【0446】

発光部6015は、例えば表示装置6006の隣接する2辺に沿って複数設けられる。受光部6016は、発光部6015と対向する位置に複数設けられる。これにより、タッチ操作がなされた位置の情報を取得できる。

【0447】

発光部6015は、例えばLED素子などの光源を用いることができ、特に、赤外線を発する光源を用いることが好ましい。受光部6016は、発光部6015が発する光を受光し、電気信号に変換する光電素子を用いることができる。好適には、赤外線を受光可能なフォトダイオードを用いることができる。

【0448】

光6018を透過する導光部6017a、導光部6017bにより、発光部6015と受光部6016とを表示装置6006の下側に配置することができ、外光が受光部6016に到達してタッチセンサが誤動作することを抑制できる。特に、可視光を吸収し、赤外線を透過する樹脂を用いると、タッチセンサの誤動作をより効果的に抑制できる。

【0449】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

【0450】

(実施の形態6)

本実施の形態では、本発明の一態様の表示装置を適用可能な、電子機器の例について説明する。

【0451】

図23Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

【0452】

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

【0453】

表示部6502に、本発明の一態様の表示装置を適用できる。

【0454】

10

20

30

40

50

図 2 3 B は、筐体 6 5 0 1 のマイク 6 5 0 6 側の端部を含む断面概略図である。

【 0 4 5 5 】

筐体 6 5 0 1 の表示面側には透光性を有する保護部材 6 5 1 0 が設けられ、筐体 6 5 0 1 と保護部材 6 5 1 0 に囲まれた空間内に、表示パネル 6 5 1 1、光学部材 6 5 1 2、タッチセンサパネル 6 5 1 3、プリント基板 6 5 1 7、バッテリー 6 5 1 8 等が配置されている。

【 0 4 5 6 】

保護部材 6 5 1 0 には、表示パネル 6 5 1 1、光学部材 6 5 1 2、及びタッチセンサパネル 6 5 1 3 が図示しない接着層により固定されている。

【 0 4 5 7 】

表示部 6 5 0 2 よりも外側の領域において、表示パネル 6 5 1 1 の一部が折り返されている。また、当該折り返された部分に、F P C 6 5 1 5 が接続されている。F P C 6 5 1 5 には、I C 6 5 1 6 が実装されている。また F P C 6 5 1 5 は、プリント基板 6 5 1 7 に設けられた端子に接続されている。

【 0 4 5 8 】

表示パネル 6 5 1 1 には本発明の一態様のフレキシブルディスプレイパネルを適用できる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 6 5 1 1 が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 6 5 1 8 を搭載することもできる。また、表示パネル 6 5 1 1 の一部を折り返して、画素部の裏側に F P C 6 5 1 5 との接続部を配置することにより、狭額縁の電子機器を実現できる。

【 0 4 5 9 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

【 0 4 6 0 】

(実施の形態 7)

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。

【 0 4 6 1 】

以下で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い解像度が実現された電子機器である。また高い解像度と、大きな画面が両立された電子機器とすることができる。

【 0 4 6 2 】

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、4 K 2 K、8 K 4 K、1 6 K 8 K、またはそれ以上の解像度を有する映像を表示させることができる。

【 0 4 6 3 】

電子機器は、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機、ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

【 0 4 6 4 】

本発明の一態様が適用された電子機器は、家屋やビルの内壁または外壁、自動車等の内装または外装等有する平面または曲面に沿って組み込むことができる。

【 0 4 6 5 】

図 2 4 A は、ファインダー 8 1 0 0 を取り付けけた状態のカメラ 8 0 0 0 の外観を示す図である。

【 0 4 6 6 】

カメラ 8 0 0 0 は、筐体 8 0 0 1、表示部 8 0 0 2、操作ボタン 8 0 0 3、シャッターボタン 8 0 0 4 等を有する。またカメラ 8 0 0 0 には、着脱可能なレンズ 8 0 0 6 が取り付けられている。

【 0 4 6 7 】

なおカメラ８０００は、レンズ８００６と筐体とが一体となってもよい。

【０４６８】

カメラ８０００は、シャッターボタン８００４を押す、またはタッチパネルとして機能する表示部８００２をタッチすることにより撮像できる。

【０４６９】

筐体８００１は、電極を有するマウントを有し、ファインダー８１００のほか、ストロボ装置等を接続できる。

【０４７０】

ファインダー８１００は、筐体８１０１、表示部８１０２、ボタン８１０３等を有する。

【０４７１】

筐体８１０１は、カメラ８０００のマウントと係合するマウントにより、カメラ８０００に取り付けられている。ファインダー８１００はカメラ８０００から受信した映像等を表示部８１０２に表示させることができる。

【０４７２】

ボタン８１０３は、電源ボタン等としての機能を有する。

【０４７３】

カメラ８０００の表示部８００２、及びファインダー８１００の表示部８１０２に、本発明の一態様の表示装置を適用できる。なお、ファインダーが内蔵されたカメラ８０００であってもよい。

【０４７４】

図２４Ｂは、ヘッドマウントディスプレイ８２００の外観を示す図である。

【０４７５】

ヘッドマウントディスプレイ８２００は、装着部８２０１、レンズ８２０２、本体８２０３、表示部８２０４、ケーブル８２０５等を有している。また装着部８２０１には、バッテリー８２０６が内蔵されている。

【０４７６】

ケーブル８２０５は、バッテリー８２０６から本体８２０３に電力を供給する。本体８２０３は無線受信機等を備え、受信した映像情報を表示部８２０４に表示させることができる。また、本体８２０３はカメラを備え、使用者の眼球やまぶたの動きの情報を入力手段として用いることができる。

【０４７７】

装着部８２０１には、使用者に触れる位置に、使用者の眼球の動きに伴って流れる電流を検知可能な複数の電極が設けられ、視線を認識する機能を有していてもよい。また、当該電極に流れる電流により、使用者の脈拍をモニタする機能を有していてもよい。また、装着部８２０１には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部８２０４に表示する機能や、使用者の頭部の動きに合わせて表示部８２０４に表示する映像を変化させる機能を有していてもよい。

【０４７８】

表示部８２０４に、本発明の一態様の表示装置を適用できる。

【０４７９】

図２４Ｃ、図２４Ｄ及び図２４Ｅは、ヘッドマウントディスプレイ８３００の外観を示す図である。ヘッドマウントディスプレイ８３００は、筐体８３０１と、表示部８３０２と、バンド状の固定具８３０４と、一對のレンズ８３０５と、を有する。

【０４８０】

使用者は、レンズ８３０５を通して、表示部８３０２の表示を視認できる。なお、表示部８３０２を湾曲して配置させると、使用者が高い臨場感を感じることができるため好ましい。また、表示部８３０２の異なる領域に表示された別の画像を、レンズ８３０５を通して視認することで、視差を用いた３次元表示等を行うこともできる。なお、表示部８３０２を１つ設ける構成に限られず、表示部８３０２を２つ設け、使用者の片方の目につき１つの表示部を配置してもよい。

10

20

30

40

50

【0481】

なお、表示部8302に、本発明の一態様の表示装置を適用できる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図24Eのようにレンズ8305を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示できる。

【0482】

図25A乃至図25Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、又は操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9008、等を有する。

10

【0483】

図25A乃至図25Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画や動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

20

【0484】

図25A乃至図25Gに示す電子機器の詳細について、以下説明を行う。

【0485】

図25Aは、テレビジョン装置9100を示す斜視図である。テレビジョン装置9100は、大画面、例えば、50インチ以上、または100インチ以上の表示部9001を組み込むことが可能である。

【0486】

図25Bは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示できる。図25Bでは3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例として、電子メール、SNS、電話などの着信の通知、電子メールやSNSなどの題名、送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置にはアイコン9050などを表示してもよい。

30

【0487】

図25Cは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

40

【0488】

図25Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことがで

50

きる。また、携帯情報端末 9200 は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末 9200 は、接続端子 9006 により、他の情報端末と相互にデータ伝送を行うことや、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

【0489】

図 25 E、図 25 F 及び図 25 G は、折り畳み可能な携帯情報端末 9201 を示す斜視図である。また、図 25 E は携帯情報端末 9201 を展開した状態、図 25 G は折り畳んだ状態、図 25 F は図 25 E と図 25 G の一方から他方に変化する途中の状態の斜視図である。携帯情報端末 9201 は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末 9201 が有する表示部 9001 は、ヒンジ 9055 によって連結された 3 つの筐体 9000 に支持されている。例えば、表示部 9001 は、曲率半径 1 mm 以上 150 mm 以下で曲げることができる。

【0490】

図 26 A にテレビジョン装置の一例を示す。テレビジョン装置 7100 は、筐体 7101 に表示部 7500 が組み込まれている。ここでは、スタンド 7103 により筐体 7101 を支持した構成を示している。

【0491】

図 26 A に示すテレビジョン装置 7100 の操作は、筐体 7101 が備える操作スイッチや、別体のリモコン操作機 7111 により行うことができる。または、表示部 7500 にタッチパネルを適用し、これに触れることでテレビジョン装置 7100 を操作してもよい。リモコン操作機 7111 は、操作ボタンの他に表示部を有していてもよい。

【0492】

なお、テレビジョン装置 7100 は、テレビ放送の受信機や、ネットワーク接続のための通信装置を有していてもよい。

【0493】

図 26 B に、ノート型パーソナルコンピュータ 7200 を示す。ノート型パーソナルコンピュータ 7200 は、筐体 7211、キーボード 7212、ポインティングデバイス 7213、外部接続ポート 7214 等を有する。筐体 7211 に、表示部 7500 が組み込まれている。

【0494】

図 26 C 及び図 26 D に、デジタルサイネージ (Digital Signage : 電子看板) の一例を示す。

【0495】

図 26 C に示すデジタルサイネージ 7300 は、筐体 7301、表示部 7500、及びスピーカ 7303 等を有する。さらに、LED ランプ、操作キー (電源スイッチ、または操作スイッチを含む)、接続端子、各種センサ、マイクロフォン等を有することができる。

【0496】

図 26 D は円柱状の柱 7401 に取り付けられたデジタルサイネージ 7400 である。デジタルサイネージ 7400 は、柱 7401 の曲面に沿って設けられた表示部 7500 を有する。

【0497】

表示部 7500 が広いほど、一度に提供できる情報量を増やすことができ、また人の目につきやすいため、例えば広告の宣伝効果を高める効果を奏する。

【0498】

表示部 7500 にタッチパネルを適用し、使用者が操作できる構成とすることが好ましい。これにより、広告用途だけでなく、路線情報や交通情報、商用施設の案内情報など、使用者が求める情報を提供するための用途にも用いることができる。

【0499】

図 26 C 及び図 26 D に示すように、デジタルサイネージ 7300 またはデジタルサイ

10

20

30

40

50

ネージ 7400 は、ユーザが所持するスマートフォン等の情報端末機 7311 と無線通信により連携可能であることが好ましい。例えば、表示部 7500 に表示される広告の情報を情報端末機 7311 の画面に表示させることや、情報端末機 7311 を操作することで、表示部 7500 の表示を切り替えることができる。

【0500】

デジタルサイネージ 7300 またはデジタルサイネージ 7400 に、情報端末機 7311 を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数のユーザが同時にゲームに参加し、楽しむことができる。

【0501】

図 26A 乃至図 26D における表示部 7500 に、本発明の一態様の表示装置を適用できる。

10

【0502】

本実施の形態の電子機器は表示部を有する構成としたが、表示部を有さない電子機器にも本発明の一態様を適用できる。

【0503】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

【実施例 1】

【0504】

本実施例では、図 9 に示すトランジスタ 100C に相当する試料（sample A1 乃至 sample A6）を作製し、トランジスタのドレイン電流－ドレイン電圧特性（ $I_d - V_d$ 特性）を評価した。

20

【0505】

<試料の作製>

まず、ガラス基板上に厚さ 30 nm のチタン膜と、厚さ 100 nm の銅膜をこの順にスパッタリング法により形成し、これを加工して第 1 のゲート電極（ボトムゲート）を得た。

【0506】

次に、第 1 のゲート絶縁層として、厚さ 50 nm の第 1 の窒化シリコン膜と、厚さ 150 nm の第 2 の窒化シリコン膜と、厚さ 100 nm の第 3 の窒化シリコン膜と、厚さ 3 nm の第 1 の酸化窒化シリコン膜をこの順に成膜した。

30

【0507】

第 1 の窒化シリコン膜及び第 3 の窒化シリコン膜はそれぞれ、流量 200 sccm のシランガス、流量 2000 sccm の窒素ガス及び流量 100 sccm のアンモニアガスの混合ガスを用いた PECVD 法により成膜した。成膜時の圧力を 100 Pa、成膜電力を 2000 W、基板温度を 350℃とした。なお、第 1 の窒化シリコン膜は、実施の形態 1 に示した絶縁層 103a に相当し、第 3 の窒化シリコン膜は、実施の形態 1 に示した絶縁層 103c に相当する。

【0508】

第 2 の窒化シリコン膜は、流量 290 sccm のシランガス、流量 2000 sccm の窒素ガス及び流量 2000 sccm のアンモニアガスの混合ガスを用いた PECVD 法により成膜した。成膜時の圧力を 200 Pa、成膜電力を 3000 W、基板温度を 350℃とした。なお、第 2 の窒化シリコン膜は、実施の形態 1 に示した絶縁層 103b に相当する。

40

【0509】

第 1 の酸化窒化シリコン膜は、流量 20 sccm のシランガス、及び流量 3000 sccm の一酸化二窒素ガスの混合ガスを用いた PECVD 法により成膜した。成膜時の圧力を 40 Pa、成膜電力を 3000 W、基板温度を 350℃とした。なお、第 1 の酸化窒化シリコン膜は、実施の形態 1 に示した絶縁層 103d に相当する。

【0510】

続いて、第 1 の酸化窒化シリコン膜上に、厚さ 25 nm の第 1 の金属酸化物膜を成膜し

50

た。第1の金属酸化物膜は、In-Ga-Zn酸化物ターゲット（In：Ga：Zn＝4：2：4.1〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.3Pa、電源電力を4.5kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、成膜ガスの総流量に対する酸素ガスの流量の割合（以下酸素流量比とよぶ）を10%とした。なお、In：Ga：Zn＝4：2：4.1〔原子数比〕の組成のターゲットを用いて形成された試料の膜組成は、概ねIn：Ga：Zn＝4：2：3〔原子数比〕となる。

【0511】

続いて、第1の金属酸化物膜を島状に加工し、第1の金属酸化物層を形成した。

【0512】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0513】

続いて、第2のゲート絶縁層として厚さ5nmの第2の酸化窒化シリコン膜と、厚さ130nmの第3の酸化窒化シリコン膜と、厚さ5nmの第4の酸化窒化シリコン膜をこの順に成膜した。

【0514】

第2の酸化窒化シリコン膜は、流量24sccmのシランガス、及び流量18000sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200Pa、成膜電力を130W、基板温度を350℃とした。なお、第2の酸化窒化シリコン膜は、実施の形態1に示した絶縁層110aに相当する。

【0515】

第3の酸化窒化シリコン膜は、流量200sccmのシランガス、及び流量10000sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を300Pa、成膜電力を750W、基板温度を350℃とした。なお、第3の酸化窒化シリコン膜は、実施の形態1に示した絶縁層110bに相当する。

【0516】

第4の酸化窒化シリコン膜は、流量20sccmのシランガス、及び流量3000sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を40Pa、成膜電力を500W、基板温度を350℃とした。なお、第4の酸化窒化シリコン膜は、実施の形態1に示した絶縁層110cに相当する。

【0517】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0518】

続いて、第4の酸化窒化シリコン膜上に、厚さ20nmの第2の金属酸化物膜を成膜した。第2の金属酸化物膜は、In-Ga-Zn酸化物ターゲット（In：Ga：Zn＝4：2：4.1〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.8Pa、電源電力を3.5kW、基板温度を室温とした。成膜ガスとして酸素ガス（酸素流量比100%）を用いた。

【0519】

続いて、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0520】

続いて、第2の金属酸化物膜上に、厚さ10nmのITO膜と、厚さ100nmの銅膜をこの順に成膜した。ITO膜及び銅膜は、スパッタリング法により成膜した。ITO膜の成膜は、ITOターゲット（In₂O₃：SnO₂：SiO₂＝85：10：5〔重量比〕）を用いた。銅膜の成膜には、Cuターゲットを用いた。

【0521】

10

20

30

40

50

続いて、銅膜上にレジストマスクを形成し、第2の金属酸化物膜、ITSO膜及び銅膜を加工し、第2の金属酸化物層、ITSO層及び銅層を形成した。加工はウェットエッチング法を用いた。エッチャントとして薬液A及び薬液Bの2つの薬液を、使用直前に5:1〔体積比〕で混合した薬液を用いた。薬液Aは、リン酸（5weight%未満）、フッ化水素酸（1weight%未満）、硝酸（10weight%未満）、添加剤（22weight%未満）の水溶液を用いた。薬液Bは、過酸化水素（31weight%）の水溶液を用いた。エッチング時のエッチャント温度は30℃とした。

【0522】

sample A1乃至sample A6でそれぞれウェットエッチング処理時間を異ならせ、領域108Lの幅L2を異ならせた。sample A1はウェットエッチング処理時間を60sec、sample A2はウェットエッチング処理時間を75sec、sample A3はウェットエッチング処理時間を90sec、sample A4はウェットエッチング処理時間を105sec、sample A5はウェットエッチング処理時間を120sec、sample A6はウェットエッチング処理時間を135secとした。

【0523】

続いて、洗浄を行った。洗浄には、85weight%のリン酸を、500倍に希釈した水溶液を用いた。エッチング時のエッチャント温度は室温、処理時間は15secとした。

【0524】

続いて、前述のレジストマスクをマスクとして、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜を加工し、第2のゲート絶縁層を形成した。また、第2のゲート絶縁層の形成の際に、該レジストマスクと重ならない領域の第1の酸化窒化シリコン膜を除去し、第3の窒化シリコン膜の一部を露出させた。加工はドライエッチング法を用いた。この後に、レジストマスクを除去した。

【0525】

続いて、トランジスタを覆う保護層として、厚さ100nmの第4の窒化シリコン膜と、厚さ300nmの第5の酸化窒化シリコン膜をこの順に成膜した。

【0526】

第4の窒化シリコン膜は、流量150sccmのシランガス、流量5000sccmの窒素ガス及び流量100sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200Pa、成膜電力を2000W、基板温度を350℃とした。

【0527】

第5の酸化窒化シリコン膜は、流量290sccmのシランガス、及び流量4000sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を133Pa、成膜電力を1000W、基板温度を350℃とした。

【0528】

続いて、トランジスタを覆う保護層の一部を開口し、厚さ30nmのチタン膜と、厚さ100nmの銅膜と、厚さ50nmのチタン膜をこの順にスパッタリング法により成膜した後、これを加工してソース電極及びドレイン電極を得た。その後、平坦化層として厚さ約1.5μmのアクリル樹脂膜を形成し、窒素雰囲気下、温度250℃、1時間の条件で加熱処理を行った。

【0529】

以上の工程によりガラス基板上に形成されたトランジスタ（sample A1乃至sample A6）を得た。

【0530】

<Id-Vd特性評価>

続いて、上記で作製したトランジスタのId-Vd特性を測定した。

【0531】

10

20

30

40

50

トランジスタの I_d-V_d 特性は、ソース電位を接地電位（GND）とし、ドレイン電圧（ V_d ）を0 Vから30 Vの範囲で、0.25 V間隔で掃引することで測定した。ゲート電圧（ V_g ）を0 V、2 V、4 V及び6 Vの4条件にて、同じトランジスタを用いて連続して I_d-V_d 測定を行った。トランジスタはチャネル長が3 μm 、チャネル幅が10 μm のサイズとした。

【0532】

sample A1乃至sample A6の I_d-V_d 特性を図27及び図28に示す。図27及び図28において、横軸はドレイン電圧（ V_d ）を示し、縦軸はドレイン電流（ I_d ）を示す。

【0533】

図27及び図28では横方向にsample A1乃至sample A6の結果を示している。なお、sample A1は幅L2が約200 nm、sample A2は幅L2が約300 nm、sample A3は幅L2が約400 nm、sample A4は幅L2が約500 nm、sample A5は幅L2が約600 nm、sample A6は幅L2が約700 nmであった。

【0534】

図27及び図28では縦方向にトランジスタの構造が異なる条件を示している。Single Gateと記しているのは、導電層106を有さないトランジスタにおいて、導電層112にゲート電圧（ V_g ）を印加して I_d-V_d 測定を行った結果を示している。Source Sync.と記しているのは、導電層106を有するトランジスタにおいて、導電層106（ボトムゲート電極）がソース電極（GND）と電気的に接続し、導電層112（トップゲート電極）にゲート電圧（ V_g ）を印加して I_d-V_d 測定を行った結果を示している。Top Gate Sync.と記しているのは、導電層106を有するトランジスタにおいて、導電層106（ボトムゲート電極）が導電層112（トップゲート電極）と電気的に接続し、導電層112（トップゲート電極）にゲート電圧（ V_g ）を印加して I_d-V_d 測定を行った結果を示している。

【0535】

図27及び図28に示すように、Single Gateにおいては、いずれの条件においても良好な I_d-V_d 特性を示した。Source Sync.及びTop Gate Sync.においては、幅L2が約200 nm、約300 nm及び約400 nmではオン電流の低下が確認されたが、幅L2が約500 nm以上ではオン電流の低下は確認されず良好な I_d-V_d 特性を示した。幅L2を大きくすることで、高いドレイン電圧を印加した場合のオン電流低下を抑制できることを確認できた。

【実施例2】

【0536】

本実施例では、図2に示す領域108C、領域108L、領域108Nそれぞれに相当する試料（sample B1乃至sample B3）を作製し、領域108C、領域108L、領域108Nの抵抗を評価した。sample B1は領域108Cに相当し、sample B2は領域108Lに相当し、sample B3は領域108Nに相当する。

【0537】

<試料の作製sample B1>

まず、ガラス基板上に、厚さ25 nmの第1の金属酸化物膜を成膜した。第1の金属酸化物膜は、In-Ga-Zn酸化物ターゲット（In:Ga:Zn=4:2:4.1〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.6 Pa、電源電力を2.5 kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を10%とした。

【0538】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量=4:1）雰囲気下で、370℃で1時間の加熱処理

10

20

30

40

50

を行った。加熱処理にはオープン装置を用いた。

【0539】

続いて、厚さ5 nmの第1の酸化窒化シリコン膜と、厚さ130 nmの第2の酸化窒化シリコン膜と、厚さ5 nmの第3の酸化窒化シリコン膜をこの順に成膜した。

【0540】

第1の酸化窒化シリコン膜は、流量24 sccmのシランガス、及び流量18000 sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200 Pa、成膜電力を130 W、基板温度を350℃とした。

【0541】

第2の酸化窒化シリコン膜は、流量200 sccmのシランガス、及び流量10000 sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を300 Pa、成膜電力を750 W、基板温度を350℃とした。

【0542】

第3の酸化窒化シリコン膜の成膜は、流量20 sccmのシランガス、及び流量3000 sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を40 Pa、成膜電力を500 W、基板温度を350℃とした。

【0543】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0544】

続いて、第3の酸化窒化シリコン膜上に、厚さ20 nmの第2の金属酸化物膜を成膜した。第2の金属酸化物膜は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=4:2:4.1 [原子数比])を用いたスパッタリング法により成膜した。成膜時の圧力を0.8 Pa、電源電力を3.5 kW、基板温度を室温とした。成膜ガスとして酸素ガス(酸素流量比100%)を用いた。

【0545】

続いて、窒素と酸素との混合ガス(窒素ガス流量:酸素ガス流量=4:1)雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0546】

続いて、第2の金属酸化物膜上に、厚さ10 nmのITO膜と、厚さ100 nmの銅膜をこの順に成膜した。ITO膜及び銅膜は、スパッタリング法により成膜した。ITO膜の成膜は、ITOターゲット(In₂O₃:SnO₂:SiO₂=85:10:5 [重量比])を用いた。銅膜の成膜には、Cuターゲットを用いた。

【0547】

続いて、厚さ100 nmの窒化シリコン膜を成膜した。

【0548】

窒化シリコン膜は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200 Pa、成膜電力を2000 W、基板温度を350℃とした。

【0549】

続いて、窒化シリコン膜、銅膜、ITO膜及び第2の金属酸化物膜を除去し、第3の酸化窒化シリコン膜を露出させた。

【0550】

続いて、第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜及び第3の酸化窒化シリコン膜に、第1の金属酸化物膜に達する開口を形成し、端子を設けた。

【0551】

<試料の作製sample B2>

まず、ガラス基板上に、第1の金属酸化物膜、第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜、第3の酸化窒化シリコン膜、第2の金属酸化物膜、ITO膜及び銅膜を形成した。銅膜の形成までは、<試料の作製sample B1>の記載を参照できる

10

20

30

40

50

ため、詳細な説明は省略する。

【0552】

続いて、銅膜、ITO膜及び第2の金属酸化物膜を除去し、第3の酸化窒化シリコン膜を露出させた。

【0553】

続いて、厚さ100nmの窒化シリコン膜を成膜した。

【0554】

窒化シリコン膜は、流量150sccmのシランガス、流量5000sccmの窒素ガス及び流量100sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200Pa、成膜電力を2000W、基板温度を350℃とした。

【0555】

続いて、第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜、第3の酸化窒化シリコン膜及び窒化シリコン膜に、第1の金属酸化物膜に達する開口を形成し、端子を設けた。

【0556】

<試料の作製sample B3>

まず、ガラス基板上に、第1の金属酸化物膜、第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜、第3の酸化窒化シリコン膜、第2の金属酸化物膜、ITO膜及び銅膜を形成した。銅膜の形成までは、<試料の作製sample B1>の記載を参照できるため、詳細な説明は省略する。

【0557】

続いて、銅膜、ITO膜、第2の金属酸化物膜、第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜及び第3の酸化窒化シリコン膜を除去し、第1の金属酸化物膜を露出させた。

【0558】

続いて、厚さ100nmの窒化シリコン膜を成膜した。

【0559】

窒化シリコン膜は、流量150sccmのシランガス、流量5000sccmの窒素ガス及び流量100sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200Pa、成膜電力を2000W、基板温度を350℃とした。

【0560】

続いて、窒化シリコン膜に、第1の金属酸化物膜に達する開口を形成し、端子を設けた。

【0561】

<シート抵抗測定>

続いて、上記で作製した試料のシート抵抗を測定し、第1の金属酸化物膜の抵抗を評価した。

【0562】

sample B1乃至sample B3のシート抵抗の値を図29に示す。図29において、横軸は試料名を示し、縦軸はシート抵抗Rsを示す。

【0563】

図29に示すように、領域108Cに相当するsample B1のシート抵抗は、約 $1.5 \times 10^{11} \Omega/\square$ であった。領域108Lに相当するsample B2のシート抵抗は、 $4.6 \times 10^5 \Omega/\square$ であった。領域108Nに相当するsample B3のシート抵抗は、 $8.0 \times 10^2 \Omega/\square$ であった。

【実施例3】

【0564】

本実施例では、図5に示すトランジスタ100Aに相当する試料(sample C1及びsample C2)を作製し、断面形状を評価した。

【0565】

<試料の作製>

まず、ガラス基板の上に厚さ30nmのチタン膜と、厚さ100nmの銅膜をこの順にス

10

20

30

40

50

パタリング法により形成し、これを加工して第1のゲート電極（ボトムゲート）を得た。

【0566】

次に、第1のゲート絶縁層として、厚さ50nmの第1の窒化シリコン膜と、厚さ150nmの第2の窒化シリコン膜と、厚さ100nmの第3の窒化シリコン膜と、厚さ3nmの第1の酸化窒化シリコン膜をこの順に成膜した。第1の窒化シリコン膜乃至第3の窒化シリコン膜、第1の酸化窒化シリコン膜については実施例1の記載を参照できるため、詳細な説明は省略する。

【0567】

続いて、第1の酸化窒化シリコン膜上に、厚さ25nmの第1の金属酸化物膜を成膜した。第1の金属酸化物膜については実施例1の記載を参照できるため、詳細な説明は省略する。

10

【0568】

続いて、第1の金属酸化物膜を島状に加工し、第1の金属酸化物層を形成した。

【0569】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0570】

続いて、第2のゲート絶縁層として厚さ5nmの第2の酸化窒化シリコン膜と、厚さ130nmの第3の酸化窒化シリコン膜と、厚さ5nmの第4の酸化窒化シリコン膜をこの順に成膜した。第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜については実施例1の記載を参照できるため、詳細な説明は省略する。

20

【0571】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0572】

続いて、第4の酸化窒化シリコン膜上に、厚さ20nmの第2の金属酸化物膜を成膜した。第2の金属酸化物膜については実施例1の記載を参照できるため、詳細な説明は省略する。

【0573】

続いて、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

30

【0574】

続いて、第2の金属酸化物膜上に、厚さ10nmのITSO膜と、厚さ100nmの銅膜をこの順に成膜した。ITSO膜及び銅膜については実施例1の記載を参照できるため、詳細な説明は省略する。

【0575】

続いて、銅膜上にレジストマスクを形成し、第2の金属酸化物膜、ITSO膜及び銅膜を加工し、第2の金属酸化物層、ITSO層及び銅層を形成した。加工はウェットエッチング法を用いた。エッチャントについては実施例1の記載を参照できるため、詳細な説明は省略する。ウェットエッチング時間は、60secとした。

40

【0576】

続いて、前述のレジストマスクをマスクとして、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜を加工し、第2のゲート絶縁層を形成した。加工はドライエッチング法を用いた。ここで、sample C1とsample C2でドライエッチングの条件を異ならせた。

【0577】

sample C1は、エッチングガスにC₄F₈を用いた。ICP高周波電力を6000W、Bias高周波電力を1000W、圧力を0.67Pa、C₄F₈ガス流量を100sccm、エッチング時間を140sec、下部電極温度を10℃とした。

50

【0578】

sample C2は、エッチングガスにCF₄を用いた。ICP高周波電力を600W、Bias高周波電力を750W、圧力を0.67Pa、CF₄ガス流量を100sccm、エッチング時間を112sec、下部電極温度を10℃とした。

【0579】

続いて、レジストマスクを除去した。

【0580】

続いて、トランジスタを覆う保護層として、厚さ100nmの第4の窒化シリコン膜と、厚さ300nmの第5の酸化窒化シリコン膜をこの順に成膜した。第4の窒化シリコン膜及び第5の酸化窒化シリコン膜については実施例1の記載を参照できるため、詳細な説明は省略する。

10

【0581】

続いて、トランジスタを覆う保護層の一部を開口し、厚さ30nmのチタン膜と、厚さ100nmの銅膜と、厚さ50nmのチタン膜をこの順にスパッタリング法により成膜した後、これを加工してソース電極及びドレイン電極を得た。その後、平坦化層として厚さ約1.5μmのアクリル樹脂を塗布し、窒素雰囲気下、温度250℃、1時間の条件で加熱処理を行った。

【0582】

以上の工程によりガラス基板上に形成されたトランジスタ(sample C1乃至sample C2)を得た。

20

【0583】

<断面観察>

次に、sample C1及びsample C2を集束イオンビーム(FIB: Focused Ion Beam)により薄片化し、sample C1及びsample C2の断面をSTEMで観察した。

【0584】

<エッチング速度評価>

sample C1及びsample C2の作製において、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜のエッチングに用いたドライエッチングの条件について、エッチング速度を評価した。

30

【0585】

エッチング速度を表1に示す。表1において、上段にsample C1の作製に用いたC₄F₈ガスによるエッチング速度を示し、下段にsample C2の作製に用いたCF₄ガスによるエッチング速度を示す。また、横方向に被エッチング膜の種類を示している。SiONは酸化窒化シリコン膜を示し、SiNは窒化シリコン膜を示し、IGZOは金属酸化物膜を示し、PRはレジスト膜を示す。

【0586】

【表1】

	SiON [nm/min]	SiN [nm/min]	IGZO [nm/min]	PR [nm/min]
C ₄ F ₈	104	70	1	54
CF ₄	119	98	3	118

40

【0587】

sample C1の断面のSTEM像を図30Aに、sample C2の断面のSTEM像を図30Bに示す。図30A及び図30Bはそれぞれ、倍率8万倍の透過電子像(TE像: Transmission Electron Image)である。また、図3

50

0 A及び図30Bにおいて、酸化窒化シリコン層をSiON、窒化シリコン層をSiN、金属酸化物層をIGZO、ITSO層をITSO、銅層をCuと記している。

【0588】

図30Aに示すように、sample C1において領域108Lの幅L2は233nmであった。図30Bに示すように、sample C2において領域108Lの幅L2は157nmであった。

【0589】

表1に示すように、sample C1の作製に用いたC₄F₈ガスと比較して、sample C2の作製に用いたCF₄ガスはレジスト膜に対するエッチング速度が速く、第2のゲート絶縁層の形成の際に用いたレジストの後退量が大きいと推測される。CF₄ガスを用いたエッチングではレジストの後退量が大きいためにより、sample C2の幅L2が小さくなったと考えられる。つまり、第2のゲート絶縁層の形成条件を調整することにより、領域108Lの幅L2を制御できることが分かった。

【実施例4】

【0590】

本実施例では、図9に示すトランジスタ100Cに相当する試料(sample D1乃至sample D4)を作製し、トランジスタのドレイン電流-ドレイン電圧特性(I_d-V_d特性)及び信頼性を評価した。本実施例では、金属酸化物層114として、インジウム亜鉛酸化物層を用いた。また、導電層112として、銅層を用いた試料と、銅層と、銅層上のインジウム亜鉛酸化物層の積層構造を用いた試料を作製した。

【0591】

なお、本実施例では、導電層106(ボトムゲート電極)が導電層112(トップゲート電極)と電気的に接続するトランジスタを作製した。

【0592】

<試料の作製>

まず、ガラス基板上に厚さ30nmのチタン膜と、厚さ100nmの銅膜をこの順にスパッタリング法により形成し、これを加工して第1のゲート電極(ボトムゲート)を得た。

【0593】

次に、第1のゲート絶縁層として、厚さ50nmの第1の窒化シリコン膜と、厚さ150nmの第2の窒化シリコン膜と、厚さ100nmの第3の窒化シリコン膜と、厚さ3nmの第1の酸化窒化シリコン膜をこの順に成膜した。第1の窒化シリコン膜、第2の窒化シリコン膜、第3の窒化シリコン膜及び第1の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0594】

続いて、第1の酸化窒化シリコン膜上に、厚さ25nmの第1の金属酸化物膜を成膜した。第1の金属酸化物膜は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=4:2:4.1[原子数比])を用いたスパッタリング法により成膜した。成膜時の圧力を0.3Pa、電源電力を4.5kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を10%とした。

【0595】

続いて、第1の金属酸化物膜を島状に加工し、第1の金属酸化物層を形成した。

【0596】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス(窒素ガス流量:酸素ガス流量=4:1)雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0597】

続いて、第2のゲート絶縁層として厚さ5nmの第2の酸化窒化シリコン膜と、厚さ130nmの第3の酸化窒化シリコン膜と、厚さ5nmの第4の酸化窒化シリコン膜をこの順に成膜した。第2のゲート絶縁層、第3の酸化窒化シリコン膜及び第4の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0598】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0599】

続いて、第4の酸化窒化シリコン膜上に、厚さ20nmの第2の金属酸化物膜を成膜した。第2の金属酸化物膜は、インジウム亜鉛酸化物ターゲット（In：Zn=2：3〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.6Pa、電源電力を2.5kW、基板温度を室温とした。成膜ガスとして酸素ガス（酸素流量比100%）を用いた。

【0600】

続いて、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量=4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0601】

続いて、sample D1及びsample D2は、導電膜として、第2の金属酸化物膜上に厚さ100nmの銅膜を成膜した。sample D3及びsample D4は、導電膜として、第2の金属酸化物膜上に厚さ100nmの銅膜と、厚さ30nmのインジウム亜鉛酸化物膜とをこの順に成膜した。銅膜及びインジウム亜鉛酸化物膜は、スパッタリング法により成膜した。銅膜の成膜には、Cuターゲットを用いた。インジウム亜鉛酸化物膜は、インジウム亜鉛酸化物ターゲット（In：Zn=2：3〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.6Pa、電源電力を2.5kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を30%とした。

【0602】

続いて、導電膜上にレジストマスクを形成し、第2の金属酸化物膜及び導電膜を加工し、第2の金属酸化物層及び導電層を形成した。加工はウェットエッチング法を用いた。エッチャントについては、実施例1の記載を参照できるため、詳細な説明は省略する。いずれの試料も、ウェットエッチングの処理時間は55secとした。

【0603】

続いて、前述のレジストマスクをマスクとして、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜を加工し、第2のゲート絶縁層を形成した。また、第2のゲート絶縁層の形成の際に、該レジストマスクと重ならない領域の第1の酸化窒化シリコン膜を除去し、第3の窒化シリコン膜の一部を露出させた。加工はドライエッチング法を用いた。この後に、レジストマスクを除去した。

【0604】

続いて、sample D2及びsample D4は洗浄を行った。洗浄には、85weight%のリン酸を、500倍に希釈した水溶液を用いた。エッチング時のエッチャント温度は室温、処理時間は15secとした。sample D1及びsample D3は洗浄を行わなかった。

【0605】

続いて、トランジスタを覆う保護層として、厚さ100nmの第4の窒化シリコン膜と、厚さ300nmの第5の酸化窒化シリコン膜をこの順に成膜した。第4の窒化シリコン膜及び第5の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0606】

続いて、トランジスタを覆う保護層の一部を開口し、厚さ30nmのチタン膜と、厚さ100nmの銅膜と、厚さ50nmのチタン膜をこの順にスパッタリング法により成膜した後、これを加工してソース電極及びドレイン電極を得た。その後、平坦化層として厚さ約1.5μmのアクリル樹脂を塗布し、窒素雰囲気下、温度250℃、1時間の条件で加熱処理を行った。

【0607】

以上の工程によりガラス基板上に形成されたトランジスタ (sample D1乃至 sample D4) を得た。

【0608】

< $I_d - V_g$ 特性評価 >

続いて、上記で作製したトランジスタの $I_d - V_g$ 特性を測定した。

【0609】

トランジスタの $I_d - V_g$ 特性は、第1のゲート電極に印加する電圧 (以下、ゲート電圧 (V_g) ともいう)、及び第2のゲート電極に印加する電圧 (以下、ゲート電圧 (V_{bg}) ともいう) を、 -15 V から $+20\text{ V}$ まで 0.25 V のステップで印加して測定した。また、ソース電極に印加する電圧 (以下、ソース電圧 (V_s) ともいう) を 0 V (common) とし、ドレイン電極に印加する電圧 (以下、ドレイン電圧 (V_d) ともいう) を、 0.1 V 及び 5.1 V とした。

【0610】

sample E1乃至 sample E4のトランジスタの $I_d - V_g$ 特性をそれぞれ、図31乃至図34に示す。また、図31乃至図34ではそれぞれ、縦方向にトランジスタのチャネル長が異なる条件を示しており、チャネル長が $2\text{ }\mu\text{m}$ 、 $3\text{ }\mu\text{m}$ 、 $6\text{ }\mu\text{m}$ 、チャネル幅が $3\text{ }\mu\text{m}$ の3種類のトランジスタについて示している。また、図31乃至図34において、横軸にゲート電圧 (V_g) を示し、左の縦軸にドレイン電流 (I_d) を示し、右の縦軸に $V_d = 5.1\text{ V}$ での飽和移動度 (μ_{FE}) を示す。なお、それぞれの試料で20個のトランジスタの $I_d - V_g$ 特性を測定した。図31乃至図34では20個のトランジスタの $I_d - V_g$ 特性結果をそれぞれ重ねて示している。

【0611】

図31乃至図34には、設計チャネル長と、実効チャネル長との差 ($2\Delta L$) も示している。実効チャネル長については、TLM (Transmission Line Model) 解析により求めた。

【0612】

図31乃至図34に示すように、いずれの試料においても良好な電気特性を得ることができた。

【0613】

< 信頼性評価 >

続いて、上記で作製したトランジスタの信頼性を評価した。本実施例では、ソース電位及びドレイン電位に対して、ゲートに正の電位を与えた状態で、高温下で保持するPBT S (Positive Bias Temperature Stress) 試験と、光照射環境において、ゲートに負の電位を与えた状態で、高温下で保持するNB T I S (Negative Bias Temperature Illumination Stress) 試験を行った。

【0614】

PBT S 試験は、トランジスタが形成されている基板を 60°C に保持し、トランジスタのドレインに 0.1 V 、ゲートに 20 V の電圧を印加し、この状態を1時間保持した。試験はダーク環境で行った。

【0615】

NB T I S 試験は、トランジスタが形成されている基板を 60°C に保持し、トランジスタのドレインに 10 V 、ゲートに -20 V の電圧を印加し、この状態を1時間保持した。試験は光照射環境 (白色LEDにて約 3400 lux の光を照射) で行った。

【0616】

信頼性試験にはチャネル長を $2\text{ }\mu\text{m}$ 、チャネル幅を $3\text{ }\mu\text{m}$ としたトランジスタを用い、ゲートバイアスストレス試験前後でのしきい値電圧の変動量 (ΔV_{th}) を評価した。

【0617】

sample E1乃至 sample E4のしきい値電圧の変動量 (ΔV_{th}) を図35に示す。

【0618】

図35に示すように、保護層の形成前に洗浄を行わなかったsample D1及びsample D3と比較して、洗浄を行ったsample D2及びsample D4はPBT試験でのしきい値電圧の変動量(ΔV_{th})が小さいことが確認できた。保護層の形成前に洗浄を行うことにより、ゲート絶縁層及び半導体層に付着した不純物が除去され、トランジスタの信頼性が向上することを確認できた。

【実施例5】

【0619】

本実施例では、半導体膜と、半導体膜上の絶縁膜の積層構造において、酸素を含む雰囲気下でプラズマ処理を行い、半導体膜の抵抗を評価した。本実施例では、プラズマ処理の条件、及びプラズマ処理後の加熱処理の条件を異ならせた試料(sample E1乃至sample 7)を作製した。

【0620】

<試料の作製>

まず、ガラス基板上に、半導体膜として、厚さ25nmの金属酸化物膜を成膜した。金属酸化物膜は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=4:2:4.1[原子数比])を用いたスパッタリング法により成膜した。成膜時の圧力を0.6Pa、電源電力を2.5kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を10%とした。

【0621】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス(窒素ガス流量:酸素ガス流量=4:1)雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0622】

続いて、絶縁膜として、厚さ5nmの第1の酸化窒化シリコン膜と、厚さ130nmの第2の酸化窒化シリコン膜と、厚さ5nmの第3の酸化窒化シリコン膜をこの順に成膜した。第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜及び第3の酸化窒化シリコン膜については、実施例2の記載を参照できるため、詳細な説明は省略する。

【0623】

続いて、プラズマ処理を行った。プラズマ処理はPECVD装置を用い、前述の第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜及び第3の酸化窒化シリコン膜の成膜の後に連続して行った。プラズマ処理は、流量3000sccmの酸素ガスを用い、圧力を40Pa、電力を3000Wとした。プラズマ処理時の基板温度は350℃とした。sample E2及びsample E3は、プラズマ処理の時間を15sec、sample E4及びsample E5は30sec、sample E6及びsample E7は60secとした。sample E1はプラズマ処理を行わなかった。

【0624】

続いて、sample E1、sample E3、sample E5及びsample E7は、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。sample E2、sample E4及びsample E6は、加熱処理を行わなかった。

【0625】

続いて、第1の酸化窒化シリコン膜、第2の酸化窒化シリコン膜及び第3の酸化窒化シリコン膜に、金属酸化物膜に達する開口を形成し、端子を設けた。

【0626】

<シート抵抗測定>

続いて、上記で作製した試料のシート抵抗を測定し、金属酸化物膜の抵抗を評価した。

【0627】

sample E1乃至sample E7のシート抵抗の値を図36に示す。図36において、横軸はプラズマ処理時間を示し、縦軸はシート抵抗Rsを示す。

【0628】

図36に示すように、酸素を含む雰囲気下でプラズマ処理を行うことにより、金属酸化物膜の抵抗が高くなることを確認できた。また、プラズマ処理時間が長くなると金属酸化物膜の抵抗が高くなり、プラズマ処理後に加熱処理を行うことにより金属酸化物膜の抵抗が高くなる傾向となった。金属酸化物膜上の絶縁膜を形成した後に、酸素を含む雰囲気下でプラズマ処理を行うことにより、金属酸化物膜に酸素が供給され、金属酸化物膜の抵抗を高くできることが分かった。

【実施例6】

【0629】

本実施例では、前述の実施例1と異なる作製方法で作製したトランジスタ（sample F1乃至sample F3）について、評価した。

【0630】

なお、本実施例では、導電層106（ボトムゲート電極）が導電層112（トップゲート電極）と電気的に接続するトランジスタを作製した。

【0631】

＜試料の作製＞

まず、ガラス基板上に厚さ30nmのチタン膜と、厚さ100nmの銅膜をこの順にスパッタリング法により形成し、これを加工して第1のゲート電極（ボトムゲート）を得た。

【0632】

次に、第1のゲート絶縁層として、厚さ50nmの第1の窒化シリコン膜と、厚さ150nmの第2の窒化シリコン膜と、厚さ100nmの第3の窒化シリコン膜と、厚さ3nmの第1の酸化窒化シリコン膜をこの順に成膜した。第1の窒化シリコン膜、第2の窒化シリコン膜、第3の窒化シリコン膜及び第1の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0633】

続いて、第1の酸化窒化シリコン膜上に、厚さ25nmの第1の金属酸化物膜を成膜した。第1の金属酸化物膜は、In-Ga-Zn酸化物ターゲット（In：Ga：Zn＝4：2：4.1〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.3Pa、電源電力を4.5kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を10%とした。

【0634】

続いて、第1の金属酸化物膜を島状に加工し、第1の金属酸化物層を形成した。

【0635】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0636】

続いて、第2のゲート絶縁層として厚さ5nmの第2の酸化窒化シリコン膜と、厚さ130nmの第3の酸化窒化シリコン膜と、厚さ5nmの第4の酸化窒化シリコン膜をこの順に成膜した。第2のゲート絶縁層、第3の酸化窒化シリコン膜及び第4の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0637】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0638】

続いて、第4の酸化窒化シリコン膜上に、第2の金属酸化物膜を成膜した。第2の金属酸化物膜は、厚さ20nmのIn-Ga-Zn酸化物膜と、厚さ10nmのシリコンを含有したインジウムスズ酸化物（ITO）膜との積層構造とした。In-Ga-Zn酸化物膜は、In-Ga-Zn酸化物ターゲット（In：Ga：Zn＝4：2：4.1〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.8Pa、電源電

10

20

30

40

50

力を3.5 kW、基板温度を室温とした。成膜ガスとして酸素ガス（酸素流量比100%）を用いた。ITO膜は、ITOターゲット（ $\text{In}_2\text{O}_3:\text{SnO}_2:\text{SiO}_2=85:10:5$ [重量比]）を用いたスパッタリング法により成膜した。成膜時の圧力を0.15 Pa、電源電力を1 kW（直流）、基板温度を80℃とした。成膜ガスとしてアルゴンガスを用いた。

【0639】

続いて、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0640】

続いて、第2の金属酸化物膜上に厚さ100 nmの銅膜を成膜した。銅膜は、Cuターゲットを用いたスパッタリング法により成膜した。

【0641】

続いて、導電膜上にレジストマスクを形成し、第2の金属酸化物膜及び導電膜を加工し、第2の金属酸化物層及び導電層を形成した。加工はウェットエッチング法を用いた。エッチャントについては、実施例1の記載を参照できるため、詳細な説明は省略する。ここで、sample F1乃至sample F3でそれぞれウェットエッチング処理時間を異ならせ、領域108 Lの幅L2を異ならせた。sample F1は幅L2を約200 nm、sample F2は幅L2を約300 nm、sample F3は幅L2を約400 nmとした。

【0642】

続いて、前述のレジストマスクをマスクとして、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜を加工し、第2のゲート絶縁層を形成した。また、第2のゲート絶縁層の形成の際に、該レジストマスクと重ならない領域の第1の酸化窒化シリコン膜を除去し、第3の窒化シリコン膜の一部を露出させた。加工はドライエッチング法を用いた。この後に、レジストマスクを除去した。

【0643】

続いて、洗浄を行った。洗浄には、85 weight%のリン酸を、500倍に希釈した水溶液を用いた。エッチング時のエッチャント温度は室温、処理時間は15 secとした。

【0644】

続いて、トランジスタを覆う保護層として、厚さ100 nmの第4の窒化シリコン膜と、厚さ300 nmの第5の酸化窒化シリコン膜をこの順に成膜した。第4の窒化シリコン膜及び第5の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0645】

続いて、トランジスタを覆う保護層の一部を開口し、厚さ50 nmのチタン膜と、厚さ400 nmのアルミニウム膜と、厚さ100 nmのチタン膜をこの順にスパッタリング法により成膜した後、これを加工してソース電極及びドレイン電極を得た。その後、平坦化層として厚さ約1.5 μmのアクリル樹脂を塗布し、窒素雰囲気下、温度250℃、1時間の条件で加熱処理を行った。

【0646】

以上の工程によりガラス基板上に形成されたトランジスタ（sample F1乃至sample F3）を得た。

【0647】

<Id-Vd特性評価>

続いて、上記で作製したトランジスタのId-Vd特性を測定した。

【0648】

トランジスタのId-Vd特性は、ソース電位を接地電位（GND）とし、ドレイン電圧（Vd）を0 Vから30 Vの範囲で、0.25 V間隔で掃引することで測定した。ゲート電圧（Vg）を0 V、2 V、4 V及び6 Vの4条件にて、同じトランジスタを用いて連

10

20

30

40

50

続いて $I_d - V_d$ 測定を行った。トランジスタはチャネル長が $6\text{ }\mu\text{m}$ 、チャネル幅が $10\text{ }\mu\text{m}$ のサイズとした。

【0649】

sample F1乃至sample F3の $I_d - V_d$ 特性を図37に示す。図37において、横軸はドレイン電圧(V_d)を示し、縦軸はドレイン電流(I_d)を示す。

【0650】

図37に示すように、実施例1と同様、幅L2が大きいほどオン電流の低下が抑制される傾向となり、良好な $I_d - V_d$ 特性を示した。

【0651】

<ゲートドライバ回路の連続動作評価>

表示装置に用いることができるゲートドライバ回路を作製し、連続動作での評価を行った。なお、前述のsample F3(幅L2=約 400 nm)と同じ条件で作製したトランジスタを有するゲートドライバ回路を用いた。

【0652】

まず、駆動電圧 25 V (高電源電圧 $V_{DD}=+19\text{ V}$ 、低電源電圧 $=-6\text{ V}$)でゲートドライバ回路を動作させた。次に、駆動電圧 40 V (高電源電圧 $V_{DD}=+20\text{ V}$ 、低電源電圧 $=-20\text{ V}$)でゲートドライバ回路を動作させた。次に、駆動電圧 40 V (高電源電圧 $V_{DD}=+20\text{ V}$ 、低電源電圧 $=-20\text{ V}$)において57時間連続で動作させた。次に、駆動電圧 25 V (高電源電圧 $V_{DD}=+19\text{ V}$ 、低電源電圧 $=-6\text{ V}$)でゲートドライバ回路を動作させた。

【0653】

ゲートドライバ回路の入力波形及び出力波形を図38に示す。図38において、縦軸は電圧、横軸は時間を示す。また、各図の上段は入力信号の波形、下段は出力信号の波形を示す。

【0654】

図38に示すように、本発明の一態様であるトランジスタを用いたゲートドライバ回路において、駆動電圧 40 V の高い電圧で連続動作させた場合においても正常に動作することを確認できた。

【実施例7】

【0655】

本実施例では、実施の形態1に示した絶縁層116に用いることができる窒化シリコン膜について、水素の放出量などを評価した。

【0656】

<試料の作製1>

窒化シリコン膜を有する試料(sample G1乃至sample G6)を作製し、窒化シリコン膜からの水素の脱離を評価した。sample G1乃至sample G6の試料構造を、図39Aに示す。sample G1乃至sample G6は、ガラス基板200上に厚さ 100 nm の第1の窒化シリコン膜201を形成した。

【0657】

本実施例では、sample G1乃至sample G6で、第1の窒化シリコン膜201の成膜に用いる成膜ガス、及び成膜時の基板温度を異ならせた。

【0658】

sample G1の第1の窒化シリコン膜201は、流量 150 sccm のシランガス、流量 5000 sccm の窒素ガス及び流量 100 sccm のアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を 240°C とした。

【0659】

sample G2の第1の窒化シリコン膜201は、流量 150 sccm のシランガス及び流量 5000 sccm の窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を 240°C とした。

【0660】

10

20

30

40

50

sample G3の第1の窒化シリコン膜201は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を300℃とした。

【0661】

sample G4の第1の窒化シリコン膜201は、流量150 sccmのシランガス及び流量5000 sccmの窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を300℃とした。

【0662】

sample G5の第1の窒化シリコン膜201は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を350℃とした。

【0663】

sample G6の第1の窒化シリコン膜201は、流量150 sccmのシランガス及び流量5000 sccmの窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を350℃とした。

【0664】

なお、sample G1乃至sample G6はいずれも、第1の窒化シリコン膜201の成膜時の圧力を200 Pa、成膜電力を2000 Wとした。

【0665】

<試料の作製2>

窒化シリコン膜を有する試料(sample H1乃至sample H6)を作製し、窒化シリコン膜の水素に対するブロッキング性を評価した。sample H1乃至sample H6の試料構造を、図39Bに示す。sample H1乃至sample H6は、ガラス基板200上に、厚さ300 nmの第2の窒化シリコン膜203と、厚さ100 nmの第1の窒化シリコン膜201を形成した。また、参考試料として、ガラス基板200上に、厚さ300 nmの第2の窒化シリコン膜203を成膜した試料(sample J)を作製した。sample Jの試料構造を、図39Cに示す。

【0666】

まず、sample H1乃至sample H6、及びsample Jは、ガラス基板200上に、第2の窒化シリコン膜203を成膜した。第2の窒化シリコン膜203は、流量200 sccmのシランガス、流量2000 sccmの窒素ガス及び流量2000 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200 Pa、成膜電力を1000 W、基板温度を220℃とした。なお、第2の窒化シリコン膜203は、熱が加わるにより多くの水素を放出する成膜条件を用いた。

【0667】

次に、sample H1乃至sample H6は、第2の窒化シリコン膜203上に、第1の窒化シリコン膜201を成膜した。熱が加わるにより水素を放出する第2の窒化シリコン膜203上に、第1の窒化シリコン膜201を形成し、第1の窒化シリコン膜201の水素に対するブロッキング性を評価した。本実施例では、sample H1乃至sample H6で、第1の窒化シリコン膜201の成膜に用いる成膜ガス、及び成膜時の基板温度を異ならせた。

【0668】

sample H1の第1の窒化シリコン膜201の成膜は、前述のsample G1の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0669】

sample H2の第1の窒化シリコン膜201の成膜は、前述のsample G2の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0670】

sample H3の第1の窒化シリコン膜201の成膜は、前述のsample G3の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0671】

sample H4の第1の窒化シリコン膜201の成膜は、前述のsample G4の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0672】

sample H5の第1の窒化シリコン膜201の成膜は、前述のsample G5の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0673】

sample H6の第1の窒化シリコン膜201の成膜は、前述のsample G6の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0674】

<試料の作製3>

窒化シリコン膜を有する試料(sample K1乃至sample K4)を作製し、窒化シリコン膜の水に対するブロッキング性を評価した。sample K1乃至sample K4の試料構造を、図39Dに示す。sample K1乃至sample K4は、ガラス基板200上に、厚さ300nmの第1の酸化窒化シリコン膜205と、厚さ100nmの第1の窒化シリコン膜201を形成した。また、参考試料として、ガラス基板200上に、厚さ300nmの第1の酸化窒化シリコン膜205を成膜した試料(sample L)を作製した。sample Lの試料構造を、図39Eに示す。

【0675】

まず、sample K1乃至sample K4、及びsample Lは、ガラス基板200上に、第1の酸化窒化シリコン膜205を成膜した。第1の酸化窒化シリコン膜205は、流量160sccmのシランガス、及び流量4000sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200Pa、成膜電力を1500W、基板温度を220℃とした。なお、第1の酸化窒化シリコン膜205は、熱が加わるにより多くの水を放出する成膜条件を用いた。

【0676】

次に、sample K1乃至sample K4は、第1の酸化窒化シリコン膜205上に、第1の窒化シリコン膜201を成膜した。熱が加わるにより水を放出する第1の酸化窒化シリコン膜205上に、第1の窒化シリコン膜201を形成し、第1の窒化シリコン膜201の水に対するブロッキング性を評価した。本実施例では、sample K1乃至sample K4で、第1の窒化シリコン膜201の成膜に用いる成膜ガス、及び成膜時の基板温度を異ならせた。

【0677】

sample K1の第1の窒化シリコン膜201の成膜は、前述のsample G1の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0678】

sample K2の第1の窒化シリコン膜201の成膜は、前述のsample G2の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0679】

sample K3の第1の窒化シリコン膜201の成膜は、前述のsample G5の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0680】

sample K4の第1の窒化シリコン膜201の成膜は、前述のsample G6の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0681】

<試料の作製4>

窒化シリコン膜を有する試料(sample M1乃至sample M4)を作製し、窒化シリコン膜の酸素に対するブロッキング性を評価した。sample M1乃至sample M4の試料構造を、図40Aに示す。sample M1乃至sample M4は、ガラス基板200上に、厚さ100nmの第2の酸化窒化シリコン膜207と、厚

10

20

30

40

50

さ100nmの第1の窒化シリコン膜201を形成した。また、参考試料として、ガラス基板200上に、厚さ100nmの第2の酸化窒化シリコン膜207を成膜した試料（sample N）を作製した。sample Nの試料構造を、図40Bに示す。

【0682】

まず、sample M1乃至sample M4、及びsample Nは、ガラス基板200上に、第2の酸化窒化シリコン膜207を成膜した。第2の酸化窒化シリコン膜207は、流量20sccmのシランガス、及び流量18000sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を200Pa、成膜電力を100W、基板温度を350℃とした。

【0683】

次に、sample M1乃至sample M4、及びsample Nは第2の酸化窒化シリコン膜207上に、厚さ100nmの酸化物導電膜209を成膜した。酸化物導電膜209は、シリコンを含むインジウムスズ酸化物ターゲットを用いたスパッタリング法により成膜した。

【0684】

次に、sample M1乃至sample M4、及びsample Nは、アッシング装置を用いて酸素ラジカルドーブ処理を行った。酸素ラジカルドーブ処理は、ICP電力を0W、バイアス電力を4500W、圧力を15Pa、酸素流量比を100%、下部電極温度を40℃、処理時間を120秒とした。酸化物導電膜209を形成した後に酸素ラジカルドーブ処理を行うことにより、酸化物導電膜209を介して第2の酸化窒化シリコン膜207に酸素を供給した。

【0685】

次に、sample M1乃至sample M4、及びsample Nは、酸化物導電膜209を除去した。

【0686】

次に、sample M1乃至sample M4、及びsample Nは第2の酸化窒化シリコン膜207上に、厚さ20nmの金属酸化物膜211を成膜した。金属酸化物膜211は、In-Zn酸化物ターゲット（In：Zn=2：3〔原子数比〕）を用いたスパッタリング法により成膜した。成膜時の圧力を0.3Pa、電源電力を4.5kW、基板温度を室温とした。成膜ガスとして酸素ガス（酸素流量比100%）とした。第2の酸化窒化シリコン膜207上に、厚さ20nmの金属酸化物膜211を成膜することにより、第2の酸化窒化シリコン膜207に酸素を供給した。また、当該酸素は、熱が加わることにより、第2の酸化窒化シリコン膜207から脱離する。

【0687】

次に、sample M1乃至sample M4、及びsample Nは、金属酸化物膜211を除去した。

【0688】

次に、sample M1乃至sample M4は、第2の酸化窒化シリコン膜207上に、第1の窒化シリコン膜201を成膜した。熱が加わることにより酸素を放出する第2の酸化窒化シリコン膜207上に、第1の窒化シリコン膜201を形成し、第1の窒化シリコン膜201の酸素に対するブロッキング性を評価した。本実施例では、sample M1乃至sample M4で、第1の窒化シリコン膜201の成膜に用いる成膜ガス、及び成膜時の基板温度を異ならせた。

【0689】

sample M1の第1の窒化シリコン膜201の成膜は、前述のsample G1の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0690】

sample M2の第1の窒化シリコン膜201の成膜は、前述のsample G2の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0691】

10

20

30

40

50

sample M3の第1の窒化シリコン膜201の成膜は、前述のsample G5の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0692】

sample M4の第1の窒化シリコン膜201の成膜は、前述のsample G6の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0693】

<試料の作製5>

試料(sample P1乃至sample P4)を作製し、窒化シリコン膜の形成による下層からの酸素の脱離を評価した。sample P1乃至sample P4の試料構造を、図41に示す。sample P1乃至sample P4は、ガラス基板200上に、厚さ100nmの第2の酸化窒化シリコン膜207を形成した。

【0694】

まず、sample P1乃至sample P4は、ガラス基板200上に、第2の酸化窒化シリコン膜207を成膜した。第2の酸化窒化シリコン膜207については、前述の記載を参照できるため、詳細な説明は省略する。

【0695】

次に、sample P1乃至sample P4は第2の酸化窒化シリコン膜207上に、酸化物導電膜209を成膜した。酸化物導電膜209については、前述の記載を参照できるため、詳細な説明は省略する。

【0696】

次に、sample P1乃至sample P4は、アッシング装置を用いて酸素ラジカルドーブ処理を行った。酸素ラジカルドーブ処理については、前述の記載を参照できるため、詳細な説明は省略する。

【0697】

次に、sample P1乃至sample P4は、酸化物導電膜209を除去した。

【0698】

次に、sample P1乃至sample P4は第2の酸化窒化シリコン膜207上に、厚さ20nmの金属酸化物膜211を成膜した。金属酸化物膜211については、前述の記載を参照できるため、詳細な説明は省略する。

【0699】

次に、sample P1乃至sample P4は、金属酸化物膜211を除去した。

【0700】

次に、sample P1乃至sample P4は、第2の酸化窒化シリコン膜207上に、第1の窒化シリコン膜201を成膜した。本実施例では、sample P1乃至sample P4で、第1の窒化シリコン膜201の成膜に用いる成膜ガス、及び成膜時の基板温度を異ならせた。

【0701】

sample P1の第1の窒化シリコン膜201の成膜は、前述のsample G1の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0702】

sample P2の第1の窒化シリコン膜201の成膜は、前述のsample G2の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0703】

sample P3の第1の窒化シリコン膜201の成膜は、前述のsample G5の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0704】

sample P4の第1の窒化シリコン膜201の成膜は、前述のsample G6の第1の窒化シリコン膜201と同じ成膜条件を用いた。

【0705】

次に、sample P1乃至sample P4は、第1の窒化シリコン膜201を除

10

20

30

40

50

去した。ここで、第2の酸化窒化シリコン膜207上に第1の窒化シリコン膜201を形成する際の熱により、第2の酸化窒化シリコン膜207から酸素が脱離する場合がある。本実施例では、第1の窒化シリコン膜201の形成を経た後の、第2の酸化窒化シリコン膜207からの酸素の脱離を評価した。

【0706】

<TDS分析>

昇温脱離ガス分析法（TDS：Thermal Desorption Spectrometry）を用いて、各試料からの脱離ガスを評価した。TDS測定では、基板温度で30℃/minとなる昇温速度で、基板温度を約50℃から約520℃まで上昇させた。

【0707】

sample G1乃至sample G6のTDS分析結果を、図42に示す。図42は、縦方向に第1の窒化シリコン膜201の成膜時のアンモニアガスの流量を示し、横方向に第1の窒化シリコン膜201の成膜時の基板温度（ T_{sub} ）を示している。また、図42において、横軸は基板温度（ T_{sub} ）を示し、縦軸は質量電荷比2（ $m/z=2$ ）の検出強度（Intensity）を示す。質量電荷比2（ $m/z=2$ ）であるガスは、主に水素分子である。

【0708】

図42に示すように、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、水素の放出が多くなることを確認できた。また、第1の窒化シリコン膜201の成膜にアンモニアガスを用いると、水素の放出が少なくなることを確認できた。

【0709】

sample H1乃至sample H6、及びsample JのTDS分析結果を、図43に示す。図43は、縦方向に第1の窒化シリコン膜201の成膜時のアンモニアガスの流量を示し、横方向に第1の窒化シリコン膜201の成膜時の基板温度（ T_{sub} ）を示している。また、図43において、横軸は基板温度（ T_{sub} ）を示し、縦軸は質量電荷比2（ $m/z=2$ ）の検出強度（Intensity）を示す。質量電荷比2（ $m/z=2$ ）であるガスは、主に水素分子である。

【0710】

図43に示すように、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、水素の放出が多くなった。これは、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、第2の窒化シリコン膜203から放出される水素が第1の窒化シリコン膜201を透過しやすいことを示している。つまり、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、第1の窒化シリコン膜201の水素に対するブロッキング性が低くなる傾向となることを確認できた。また、第1の窒化シリコン膜201の成膜にアンモニアガスを用いると、第1の窒化シリコン膜201の水素に対するブロッキング性が高くなることを確認できた。

【0711】

sample K1乃至sample K4、及びsample LのTDS分析結果を、図44に示す。図44は、縦方向に第1の窒化シリコン膜201の成膜時のアンモニアガスの流量を示し、横方向に第1の窒化シリコン膜201の成膜時の基板温度（ T_{sub} ）を示している。また、図44において、横軸は基板温度（ T_{sub} ）を示し、縦軸は質量電荷比18（ $m/z=18$ ）の検出強度（Intensity）を示す。質量電荷比18（ $m/z=18$ ）であるガスは、主に水分子である。

【0712】

図44に示すように、いずれの試料も水の放出が少なく、第1の酸化窒化シリコン膜205から放出される水が第1の窒化シリコン膜201を透過しづらいことが分かった。つまり、第1の窒化シリコン膜201が水に対するブロッキング性を有することが分かった。

【0713】

sample M1乃至sample M4、及びsample NのTDS分析結果を、図45に示す。図45は、縦方向に第1の窒化シリコン膜201の成膜時のアンモニア

ガスの流量を示し、横方向に第1の窒化シリコン膜201の成膜時の基板温度 (T_{sub}) を示している。また、図45において、横軸は基板温度 (T_{sub}) を示し、縦軸は質量電荷比32 ($m/z=32$) の検出強度 ($Intensity$) を示す。質量電荷比32 ($m/z=32$) であるガスは、主に酸素分子である。

【0714】

図45に示すように、いずれの試料も酸素の放出は少なかった。これは、第1の窒化シリコン膜201の成膜時の基板温度が低くても、第2の酸化窒化シリコン膜207から放出される酸素が第1の窒化シリコン膜201を透過しにくいことを示している。つまり、第1の窒化シリコン膜201の成膜時の基板温度が低くても、第1の窒化シリコン膜201の酸素に対するブロッキング性が高いことを確認できた。また、第1の窒化シリコン膜201の成膜にアンモニアガスを用いる場合と用いない場合で、第1の窒化シリコン膜201の酸素に対するブロッキング性に差がないことを確認できた。

10

【0715】

sample P1乃至sample P4、及びsample NのTDS分析結果を、図46に示す。図46は、縦方向に第1の窒化シリコン膜201の成膜時のアンモニアガスの流量を示し、横方向に第1の窒化シリコン膜201の成膜時の基板温度 (T_{sub}) を示している。また、図46において、横軸は基板温度 (T_{sub}) を示し、縦軸は質量電荷比32 ($m/z=32$) の検出強度 ($Intensity$) を示す。質量電荷比32 ($m/z=32$) であるガスは、主に酸素分子である。

【0716】

20

図46に示すように、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、酸素の放出が多くなった。これは、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、第1の窒化シリコン膜201の成膜の際に、第2の酸化窒化シリコン膜207から放出される酸素が少なくなることを示している。つまり、第1の窒化シリコン膜201の成膜時の基板温度が低いほど、第2の酸化窒化シリコン膜207に残存する酸素が多くなる傾向となることを確認できた。また、第1の窒化シリコン膜201の成膜にアンモニアガスを用いる場合と用いない場合で、第2の酸化窒化シリコン膜207に残存する酸素の量に差はみられなかった。

【実施例8】

【0717】

30

本実施例では、図7に示すトランジスタ100Bに相当する試料 (sample Q1乃至sample Q7) を作製し、トランジスタのドレイン電流－ドレイン電圧特性 (I_d-V_d 特性) 及び信頼性を評価した。本実施例では、金属酸化物層114として、インジウム亜鉛酸化物層を用いた。また、導電層112として、銅層を用いた試料と、銅層と、銅層上のインジウム亜鉛酸化物層の積層構造を用いた試料を作製した。

【0718】

なお、本実施例では、図9に示す導電層106 (ボトムゲート電極) を設け、導電層106 (ボトムゲート電極) が導電層112 (トップゲート電極) と電氣的に接続するトランジスタを作製した。

【0719】

40

<試料の作製>

まず、ガラス基板上に厚さ30nmのチタン膜と、厚さ100nmの銅膜をこの順にスパッタリング法により形成し、これを加工して第1のゲート電極 (ボトムゲート) を得た。

【0720】

次に、第1のゲート絶縁層として、厚さ50nmの第1の窒化シリコン膜と、厚さ150nmの第2の窒化シリコン膜と、厚さ100nmの第3の窒化シリコン膜と、厚さ3nmの第1の酸化窒化シリコン膜をこの順に成膜した。第1の窒化シリコン膜、第2の窒化シリコン膜、第3の窒化シリコン膜及び第1の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0721】

50

続いて、第1の酸化窒化シリコン膜上に、厚さ25 nmの第1の金属酸化物膜を成膜した。第1の金属酸化物膜は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=1:1:1 [原子数比])を用いたスパッタリング法により成膜した。成膜時の圧力を0.6 Pa、電源電力を2.5 kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を30%とした。

【0722】

続いて、第1の金属酸化物膜を島状に加工し、第1の金属酸化物層を形成した。

【0723】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス(窒素ガス流量:酸素ガス流量=4:1)雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

10

【0724】

続いて、第2のゲート絶縁層として厚さ5 nmの第2の酸化窒化シリコン膜と、厚さ130 nmの第3の酸化窒化シリコン膜と、厚さ5 nmの第4の酸化窒化シリコン膜をこの順に成膜した。第2のゲート絶縁層、第3の酸化窒化シリコン膜及び第4の酸化窒化シリコン膜については、実施例1の記載を参照できるため、詳細な説明は省略する。

【0725】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0726】

20

続いて、第4の酸化窒化シリコン膜上に、厚さ20 nmの第2の金属酸化物膜を成膜した。第2の金属酸化物膜は、インジウム亜鉛酸化物ターゲット(In:Zn=2:3 [原子数比])を用いたスパッタリング法により成膜した。成膜時の圧力を0.6 Pa、電源電力を2.5 kW、基板温度を室温とした。本実施例では、第2の金属酸化物膜の成膜に用いる成膜ガスの条件を異ならせた。sample Q1乃至sample Q4は、成膜ガスとして酸素ガス(酸素流量比100%)を用いた。sample Q5乃至sample Q7は、成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を60%とした。sample Q1乃至sample Q4と比較して、sample Q5乃至sample Q7は第2の金属酸化物膜の成膜時の酸素流量比が低いことにより、第2のゲート絶縁層に供給される酸素の量が少なくなる。

30

【0727】

続いて、窒素と酸素との混合ガス(窒素ガス流量:酸素ガス流量=4:1)雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

【0728】

続いて、導電膜として、第2の金属酸化物膜上に厚さ100 nmの銅膜と、厚さ30 nmのインジウム亜鉛酸化物膜とをこの順に成膜した。銅膜及びインジウム亜鉛酸化物膜は、スパッタリング法により成膜した。銅膜の成膜には、Cuターゲットを用いた。インジウム亜鉛酸化物膜は、インジウム亜鉛酸化物ターゲット(In:Zn=2:3 [原子数比])を用いたスパッタリング法により成膜した。成膜時の圧力を0.6 Pa、電源電力を2.5 kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を30%とした。

40

【0729】

続いて、導電膜上にレジストマスクを形成し、第2の金属酸化物膜及び導電膜を加工し、第2の金属酸化物層及び導電層を形成した。加工はウェットエッチング法を用いた。エッチャントについては、実施例1の記載を参照できるため、詳細な説明は省略する。

【0730】

続いて、前述のレジストマスクをマスクとして、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜を加工し、第2のゲート絶縁層を形成した。また、第2のゲート絶縁層の形成の際に、該レジストマスクと重ならない領域の第1の酸化窒化シリコン膜を除去し、第3の窒化シリコン膜の一部を露出させた。加工はドライエッチング法を用いた。こ

50

の後に、レジストマスクを除去した。

【0731】

続いて、洗浄を行った。洗浄には、85 weight %のリン酸を、500倍に希釈した水溶液を用いた。エッチング時のエッチャント温度は室温、処理時間は15 secとした。

【0732】

続いて、トランジスタを覆う保護層として、厚さ100 nmの第1の保護層と、厚さ300 nmの第2の保護層をこの順に成膜した。本実施例では、sample Q1乃至sample Q7で第1の保護層の成膜条件を異ならせた。第2の保護層は、いずれの試料も酸化窒化シリコン膜を用いた。

【0733】

sample Q1の第1の保護層は、厚さ20 nmの第4の窒化シリコン膜と、第4の窒化シリコン膜上の厚さ80 nmの第5の窒化シリコン膜の積層構造とした。sample Q1の第4の窒化シリコン膜は、流量150 sccmのシランガス及び流量5000 sccmの窒素ガスの混合ガスを用いたPECVD法により成膜した。第4の窒化シリコン膜の成膜時の圧力を200 Pa、成膜電力を2000 W、基板温度を240℃とした。sample Q1の第5の窒化シリコン膜は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を240℃とした。第5の窒化シリコン膜の成膜時の圧力を200 Pa、成膜電力を2000 W、基板温度を240℃とした。第4の窒化シリコン膜の成膜後、大気に触れることなく連続して第5の窒化シリコン膜を成膜した。

【0734】

sample Q2及びsample Q5の第1の保護層はそれぞれ、厚さ100 nmの第4の窒化シリコン膜の単層構造とした。sample Q2及びsample Q5の第4の窒化シリコン膜は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を240℃とした。

【0735】

sample Q3及びsample Q6の第1の保護層はそれぞれ、厚さ100 nmの第4の窒化シリコン膜の単層構造とした。sample Q3及びsample Q6の第4の窒化シリコン膜は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を300℃とした。

【0736】

sample Q4及びsample Q7の第1の保護層はそれぞれ、厚さ100 nmの第4の窒化シリコン膜の単層構造とした。sample Q4及びsample Q7の第4の窒化シリコン膜は、流量150 sccmのシランガス、流量5000 sccmの窒素ガス及び流量100 sccmのアンモニアガスの混合ガスを用いたPECVD法により成膜した。成膜時の基板温度を350℃とした。

【0737】

第2の保護層はいずれの試料も、流量290 sccmのシランガス、及び流量4000 sccmの一酸化二窒素ガスの混合ガスを用いたPECVD法により成膜した。成膜時の圧力を133 Pa、成膜電力を1000 W、基板温度を350℃とした。

【0738】

続いて、トランジスタを覆う保護層の一部を開口し、厚さ30 nmのチタン膜と、厚さ100 nmの銅膜と、厚さ50 nmのチタン膜をこの順にスパッタリング法により成膜した後、これを加工してソース電極及びドレイン電極を得た。その後、平坦化層として厚さ約1.5 µmのアクリル樹脂を塗布し、窒素雰囲気下、温度250℃、1時間の条件で加熱処理を行った。

10

20

30

40

50

【0739】

以上の工程によりガラス基板上に形成されたトランジスタ (sample Q1乃至 sample Q7) を得た。

【0740】

<Id-Vg 特性評価>

続いて、上記で作製したトランジスタの Id-Vg 特性を測定した。

【0741】

トランジスタの Id-Vg 特性は、第1のゲート電極に印加する電圧 (以下、ゲート電圧 (Vg) ともいう)、及び第2のゲート電極に印加する電圧 (以下、ゲート電圧 (Vbg) ともいう) を、-15 V から +20 V まで 0.25 V のステップで印加して測定した。また、ソース電極に印加する電圧 (以下、ソース電圧 (Vs) ともいう) を 0 V (common) とし、ドレイン電極に印加する電圧 (以下、ドレイン電圧 (Vd) ともいう) を、0.1 V 及び 5.1 V とした。

【0742】

sample Q1 乃至 sample Q7 のトランジスタの Id-Vg 特性をそれぞれ、図47乃至図53に示す。図47乃至図53では、第1の保護層の構造、及び第1の保護層の成膜時の基板温度 (Tsub) について示している。sample Q1 は、第1の保護層を第4の窒化シリコン膜と第5の窒化シリコン膜の積層構造とし、第4の窒化シリコン膜の成膜にアンモニアガスを用いず、第5の窒化シリコン膜の成膜にアンモニアガスを用いたことを示している (SiN (w/o NH3) \ SiN (w/ NH3))。sample Q2 乃至 sample Q7 は、第1の保護層を第4の窒化シリコン膜の単層構造とし、第4の窒化シリコン膜の成膜にアンモニアガスを用いたことを示している (SiN (w/ NH3))。また、縦方向にトランジスタのチャネル長が異なる条件を示しており、チャネル長が 2 μm、3 μm、6 μm、チャネル幅が 50 μm の3種類のトランジスタについて示している。また、図47乃至図53において、横軸にゲート電圧 (Vg) を示し、左の縦軸にドレイン電流 (Id) を示し、右の縦軸に Vd = 5.1 V での飽和移動度 (μFE) を示す。なお、それぞれの試料で20個のトランジスタの Id-Vg 特性を測定した。図47乃至図53では20個のトランジスタの Id-Vg 特性結果をそれぞれ重ねて示している。

【0743】

図47乃至図53には、トランジスタのサイズ毎のしきい値電圧 (Vth) 及び飽和移動度 (μFE) の平均値 (ave) 及び 3σ を示している。σ は標準偏差を示す。また、図47乃至図53には、設計チャネル長と、実効チャネル長との差 (2ΔL) も示している。実効チャネル長については、TLM (Transmission Line Model) 解析により求めた。

【0744】

<信頼性評価>

続いて、上記で作製したトランジスタの信頼性を評価した。本実施例では、ソース電位及びドレイン電位に対して、ゲートに正の電位を与えた状態で、高温下で保持する PBT S (Positive Bias Temperature Stress) 試験と、光照射環境において、ゲートに負の電位を与えた状態で、高温下で保持する NBTIS (Negative Bias Temperature Illumination Stress) 試験を行った。

【0745】

PBT S 試験は、トランジスタが形成されている基板を 60℃ に保持し、トランジスタのドレインに 0.1 V、ゲートに 20 V の電圧を印加し、この状態を1時間保持した。試験はダーク環境で行った。

【0746】

NBTIS 試験は、トランジスタが形成されている基板を 60℃ に保持し、トランジスタのドレインに 10 V、ゲートに -20 V の電圧を印加し、この状態を1時間保持した。

試験は光照射環境（白色LEDにて約3400luxの光を照射）で行った。

【0747】

信頼性試験にはチャネル長を2μm、チャネル幅を3μmとしたトランジスタを用い、ゲートバイアスストレス試験前後でのしきい値電圧の変動量(ΔV_{th})を評価した。

【0748】

sample Q1乃至sample Q4のしきい値電圧の変動量(ΔV_{th})を図54Aに示す。sample Q5及びsample Q6のしきい値電圧の変動量(ΔV_{th})を図54Bに示す。図54A及び図54Bでは、横方向に第1の保護層の構造、及び第1の保護層の成膜時の基板温度について示している。また、図54A及び図54Bにおいて、縦軸にしきい値電圧の変動量(ΔV_{th})を示す。

10

【0749】

図47乃至図50に示すように、第2の金属酸化物膜の成膜時の酸素流量比を100%としたsample Q1乃至sample Q4では、第1の保護層の成膜時の基板温度が低いほど電気特性のばらつきが大きくなる傾向となった。第1の保護層の成膜時の基板温度が低くなることで、第1の保護層からの水素の脱離量が多くなり、電気特性のばらつき及びNBITS試験でのしきい値電圧の変動量が大きくなったと考えられる。また、第1の保護層を積層構造としたsample Q1は、第5の窒化シリコン膜の水素に対するブロッキング性が高いことにより、トランジスタへの水素の拡散を抑制できたと考えられる。

【0750】

20

図54Aに示すように、第2の金属酸化物膜の成膜時の酸素流量比を100%としたsample Q1乃至sample Q4では、第1の保護層の成膜時の基板温度が高いほど、NBITS試験でのしきい値電圧の変動量(ΔV_{th})が小さくなる傾向となった。第1の保護層の成膜時の基板温度が高くなるほど、第2のゲート絶縁層に供給された酸素が半導体層に拡散し、半導体層中のV_O及びV_OHが減少することで、NBITS試験でのしきい値電圧の変動量(ΔV_{th})が小さくなったと考えられる。また、第1の保護層を積層構造としたsample Q1はNBITS試験でのしきい値電圧の変動量(ΔV_{th})が小さいことを確認できた。

【0751】

図51乃至図53に示すように、第2の金属酸化物膜の成膜時の酸素流量比を60%としたsample Q5乃至sample Q7では、第1の保護層の成膜時の基板温度が高いほど電気特性のばらつきが大きくなる傾向となった。sample Q1乃至sample Q4と比較して、sample Q5乃至sample Q7は第2のゲート絶縁層に供給された酸素が少ない。さらに、第1の保護層の成膜時の基板温度が高いほど、第1の保護層の成膜の際に第2のゲート絶縁層から脱離する酸素が多くなり、半導体層へ拡散する酸素が少なくなることで、半導体層中のV_O及びV_OHが減少しづらくなったと考えられる。

30

【0752】

以上に示すように、第1の保護層の成膜時の基板温度を調整することで、良好な電気特性と、高い信頼性を両立できることが分かった。

40

【実施例9】

【0753】

本実施例では、図7に示すトランジスタ100Bに相当する試料(sample R)を作製し、絶縁層116が2層構造を有するトランジスタの断面形状を評価した。なお、本実施例では、図9に示す導電層106（ボトムゲート電極）を設けた。また、絶縁層103は、絶縁層103b及び絶縁層103cの2層構造とした。

【0754】

<試料の作製>

まず、ガラス基板上に厚さ100nmのタングステン膜をスパッタリング法により形成し、これを加工してタングステン層（第1のゲート電極）を得た。

50

【0755】

次に、第1のゲート絶縁層として、厚さ200nmの第1の窒化シリコン層と、厚さ50nmの第2の窒化シリコン層と、厚さ100nmの第1の酸化窒化シリコン層をこの順に成膜した。

【0756】

続いて、第1の酸化窒化シリコン層上に、厚さ25nmの金属酸化物膜をスパッタリング法により形成した。

【0757】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った後、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝4：1）雰囲気下で、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

10

【0758】

続いて、金属酸化物膜を加工して、金属酸化層を形成した。

【0759】

続いて、第2のゲート絶縁層として、厚さ5nmの第2の酸化窒化シリコン膜と、厚さ130nmの第3の酸化窒化シリコン膜と、厚さ5nmの第4の酸化窒化シリコン膜をこの順に成膜した。

【0760】

続いて、窒素雰囲気下、370℃で1時間の加熱処理を行った。加熱処理にはオープン装置を用いた。

20

【0761】

続いて、第4の酸化窒化シリコン膜上に、厚さ10nmのチタン膜と、厚さ100nmの銅膜をこの順に成膜した。

【0762】

続いて、銅膜上にレジストマスクを形成し、チタン膜及び銅膜を加工し、チタン層及び銅層を形成した。加工はウェットエッチング法を用いた。

【0763】

続いて、前述のレジストマスクをマスクとして、第2の酸化窒化シリコン膜乃至第4の酸化窒化シリコン膜を加工し、第2の酸化窒化シリコン層乃至第4の酸化窒化シリコン層（第2のゲート絶縁層）を形成した。加工はドライエッチング法を用いた。

30

【0764】

続いて、レジストマスクを除去した。

【0765】

続いて、トランジスタを覆う保護層として、厚さ20nmの第3の窒化シリコン層と、厚さ80nmの第4の窒化シリコン層と、厚さ300nmの第5の酸化窒化シリコン層をこの順に成膜した。

【0766】

第3の窒化シリコン層及び第4の窒化シリコン層は、PECVD法により成膜し、成膜時の基板温度を350℃とした。第3の窒化シリコン層の成膜は、流量150sccmのシランガス及び流量5000sccmの窒素ガスの混合ガスを用い、成膜時の圧力を200Pa、成膜電力を2000Wとした。第4の窒化シリコン層の成膜は、流量150sccmのシランガス、流量5000sccmの窒素ガス及び流量100sccmのアンモニアガスの混合ガスを用い、成膜時の圧力を200Pa、成膜電力を2000Wとした。第3の窒化シリコン層の成膜後、大気に触れることなく連続して第4の窒化シリコン層を成膜した。

40

【0767】

続いて、トランジスタを覆う保護層の一部を開口し、厚さ100nmのモリブデン膜をスパッタリング法により成膜した後、これを加工してソース電極及びドレイン電極を得た。その後、平坦化層として厚さ約1.5μmのアクリル樹脂を塗布し、窒素雰囲気下、温度250℃、1時間の条件で加熱処理を行った。

50

【0768】

以上の工程によりガラス基板上に形成されたトランジスタ（sample R）を得た。

【0769】

<断面観察>

次に、sample Rを集束イオンビーム（FIB：Focused Ion Beam）により薄片化し、sample Rの断面をSTEMで観察した。

【0770】

sample Rの断面のSTEM像を、図55Aに示す。図55Aはそれぞれ、倍率10万倍の透過電子像（TE像：Transmission Electron Image）である。また、図55Aにおいて、ガラス基板をGlass、タングステン層をW、第1の窒化シリコン層をSiN-1、第2の窒化シリコン層をSiN-2、第3の窒化シリコン層をSiN-3、第4の窒化シリコン層をSiN-4、第1の酸化窒化シリコン層をSiON-1、第2の酸化窒化シリコン層をSiON-2、第3の酸化窒化シリコン層をSiON-3、第4の酸化窒化シリコン層をSiON-4、第5の酸化窒化シリコン層をSiON-5、金属酸化物層をIGZOと記している。

【0771】

図55Aに示すように、保護層である第3の窒化シリコン層と第4の窒化シリコン層は、透過電子（TE）像の濃度が異なって観察された。図55Bには、第3の窒化シリコン層（図55B中のSiN-3）及び第4の窒化シリコン層（図55B中のSiN-4）において、TEM像の濃度が異なる境界を補助線として破線で示している。具体的には、形成にアンモニアガスを用いた第4の窒化シリコン層と比較して、形成にアンモニアガスを用いなかった第3の窒化シリコン層は透過電子（TE）像で濃く（暗く）観察された。したがって、第4の窒化シリコン層と比較して、第3の窒化シリコン層は膜密度が高いと考えられる。

【符号の説明】

【0772】

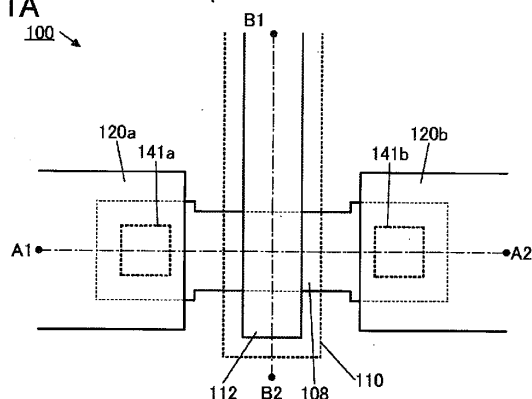
C1：容量、C2：容量、DL_Y：データ線、DL_1：データ線、G1：配線、G2：配線、GL_X：ゲート線、GL_1：ゲート線、M1：トランジスタ、M2：トランジスタ、M3：トランジスタ、N1：ノード、N2：ノード、P1：領域、P2：領域、S1：配線、S2：配線、T1：期間、T2：期間、100：トランジスタ、100A：トランジスタ、100B：トランジスタ、100C：トランジスタ、102：基板、103：絶縁層、103a：絶縁層、103b：絶縁層、103c：絶縁層、103d：絶縁層、106：導電層、108：半導体層、108C：領域、108f：金属酸化物膜、108L：領域、108N：領域、110：絶縁層、110a：絶縁層、110A：絶縁膜、110b：絶縁層、110B：絶縁膜、110c：絶縁層、110C：絶縁膜、110f：絶縁膜、112：導電層、112f：導電膜、114：金属酸化物層、114f：金属酸化物膜、115：レジストマスク、116：絶縁層、116a：絶縁層、116b：絶縁層、118：絶縁層、120a：導電層、120b：導電層、141a：開口部、141b：開口部、142：開口部、200：ガラス基板、201：窒化シリコン膜、203：窒化シリコン膜、205：酸化窒化シリコン膜、207：酸化窒化シリコン膜、209：酸化物導電膜、211：金属酸化物膜、400：画素回路、400EL：画素回路、400LC：画素回路、401：回路、401EL：回路、401LC：回路、501：画素回路、502：画素部、504：駆動回路部、504a：ゲートドライバ、504b：ソースドライバ、506：保護回路、507：端子部、550：トランジスタ、552：トランジスタ、554：トランジスタ、560：容量素子、562：容量素子、570：液晶素子、572：発光素子、700：表示装置、700A：表示装置、700B：表示装置、701：第1の基板、702：画素部、704：ソースドライバ回路部、705：第2の基板、706：ゲートドライバ回路部、708：FPC端子部、710：信号線、711：配線部、712：シール材、716：FPC、717：IC、721：ソースドライバIC、722：ゲートドライバ回路部、723：FPC、724：プリント基板

、730：絶縁膜、732：封止膜、734：絶縁膜、736：着色膜、738：遮光膜、740：保護層、741：保護層、742：接着層、743：樹脂層、744：絶縁層、745：支持基板、746：樹脂層、750：トランジスタ、752：トランジスタ、760：配線、770：平坦化絶縁膜、772：導電層、773：絶縁層、774：導電層、775：液晶素子、776：液晶層、780：異方性導電膜、782：発光素子、786：EL層、788：導電膜、790：容量素子、6000：表示モジュール、6001：上部カバー、6002：下部カバー、6005：FPC、6006：表示装置、6009：フレーム、6010：プリント基板、6011：バッテリー、6015：発光部、6016：受光部、6017a：導光部、6017b：導光部、6018：光、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6510：保護部材、6511：表示パネル、6512：光学部材、6513：タッチセンサパネル、6515：FPC、6516：IC、6517：プリント基板、6518：バッテリー、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7500：表示部、8000：カメラ、8001：筐体、8002：表示部、8003：操作ボタン、8004：シャッターボタン、8006：レンズ、8100：ファインダー、8101：筐体、8102：表示部、8103：ボタン、8200：ヘッドマウントディスプレイ、8201：装着部、8202：レンズ、8203：本体、8204：表示部、8205：ケーブル、8206：バッテリー、8300：ヘッドマウントディスプレイ、8301：筐体、8302：表示部、8304：固定具、8305：レンズ、9000：筐体、9001：表示部、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：アイコン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9100：テレビジョン装置、9101：携帯情報端末、9102：携帯情報端末、9200：携帯情報端末、9201：携帯情報端末

【図面】

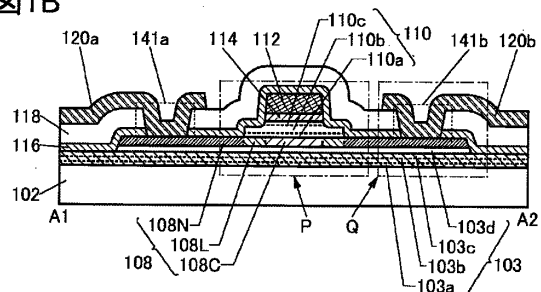
【図1A】

図1A



【図1B】

図1B



10

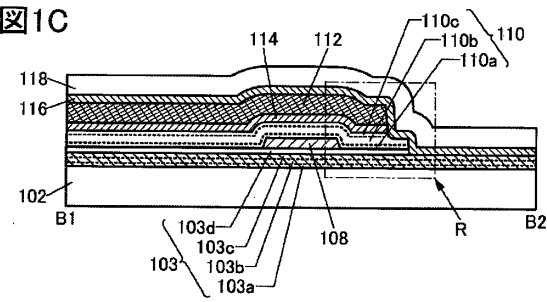
20

30

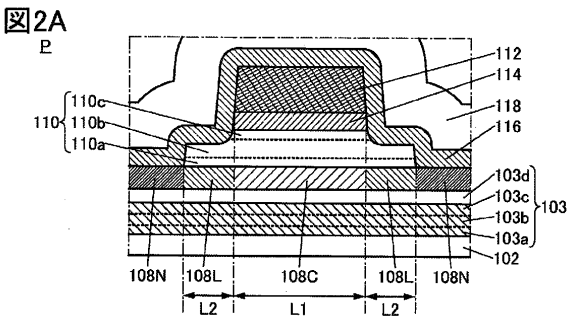
40

50

【図 1 C】

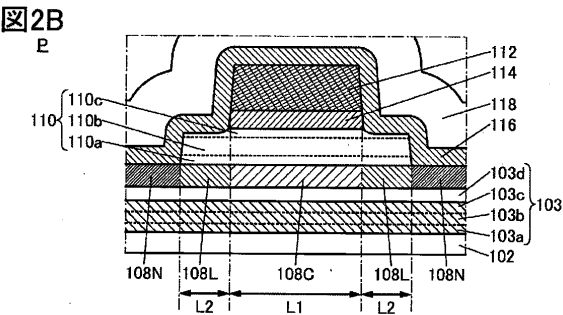


【図 2 A】

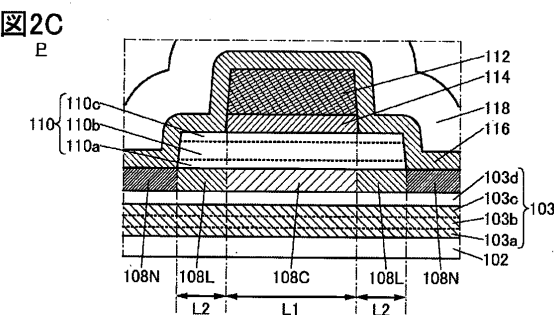


10

【図 2 B】

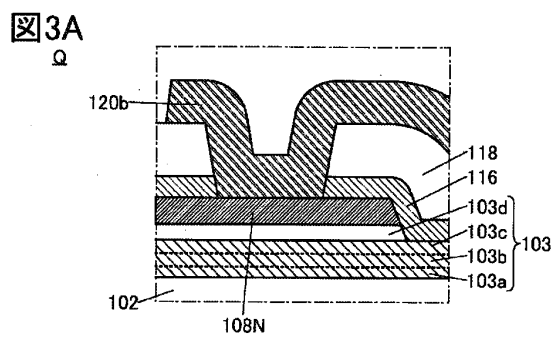


【図 2 C】

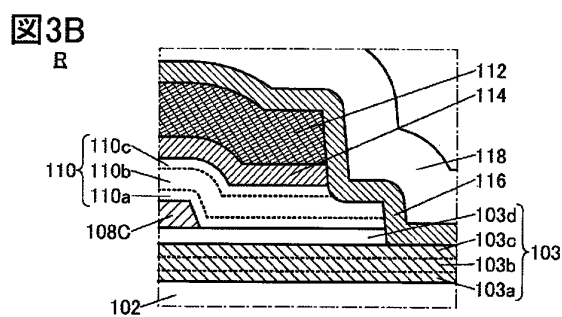


20

【図 3 A】



【図 3 B】

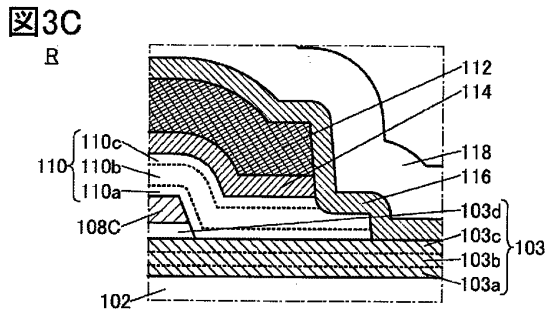


30

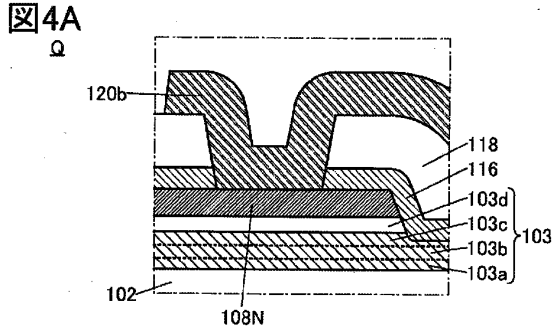
40

50

【図 3 C】

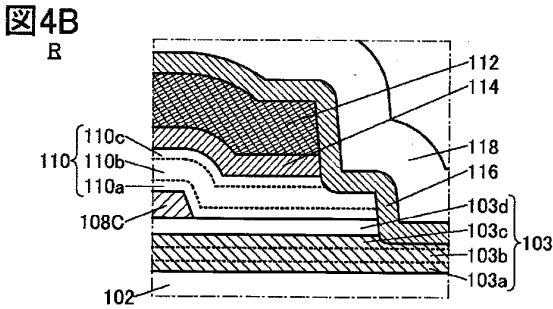


【図 4 A】

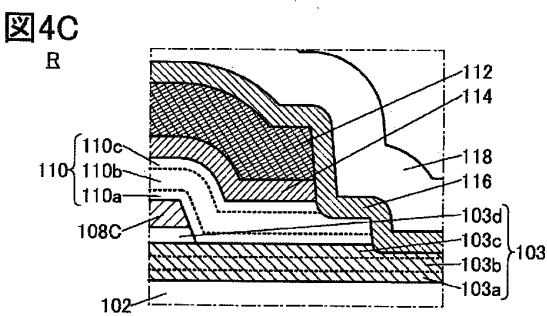


10

【図 4 B】

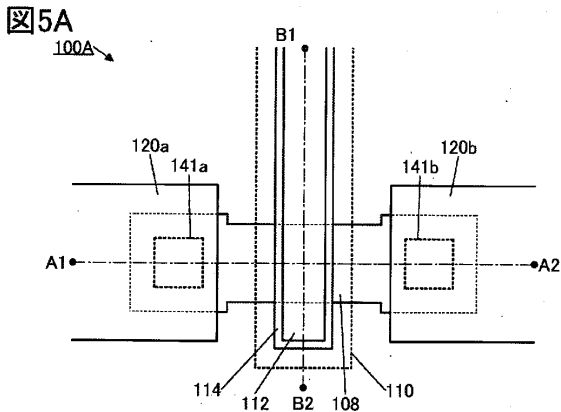


【図 4 C】

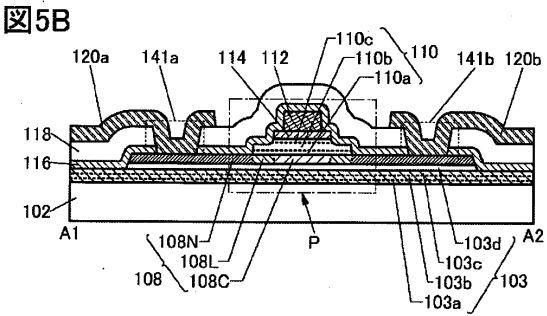


20

【図 5 A】



【図 5 B】



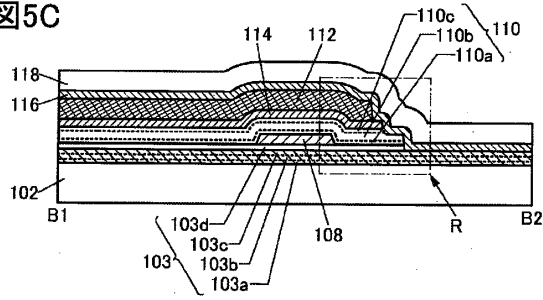
30

40

50

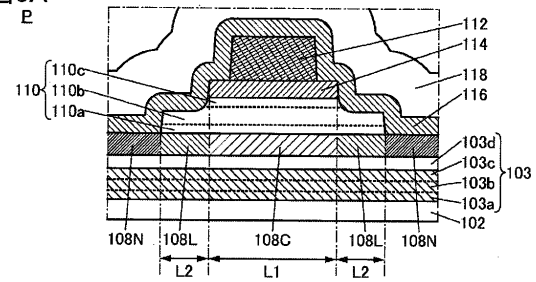
【図 5 C】

図5C



【図 6 A】

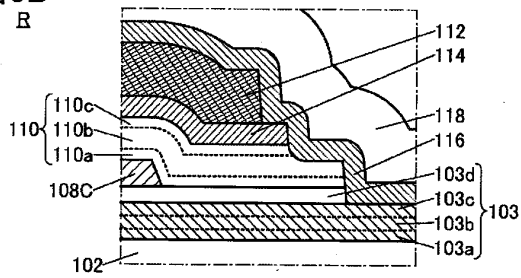
図6A



10

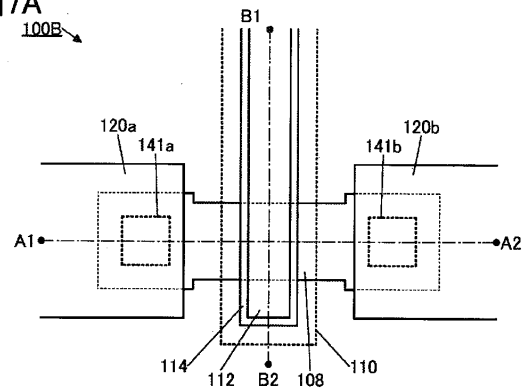
【図 6 B】

図6B



【図 7 A】

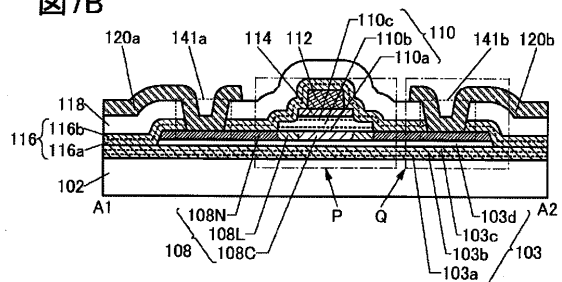
図7A



20

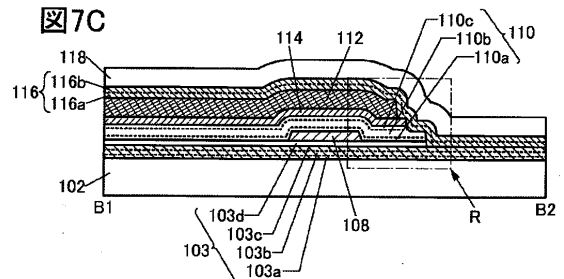
【図 7 B】

図7B



【図 7 C】

図7C

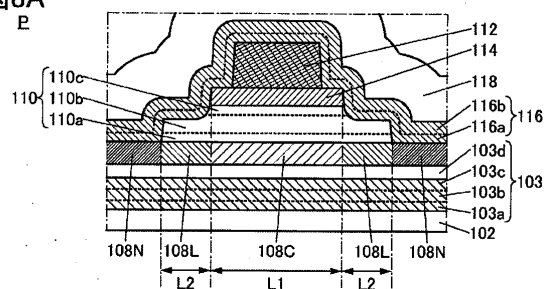


30

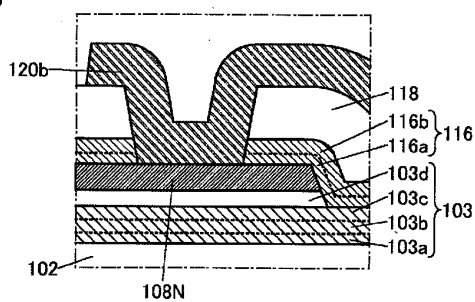
40

50

【図 8 A】

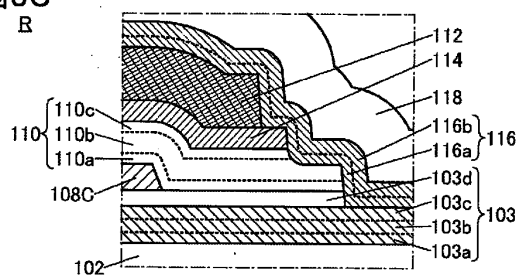


【図 8 B】

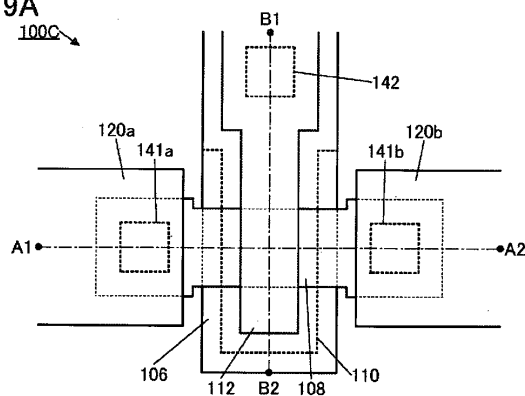


10

【図 8 C】

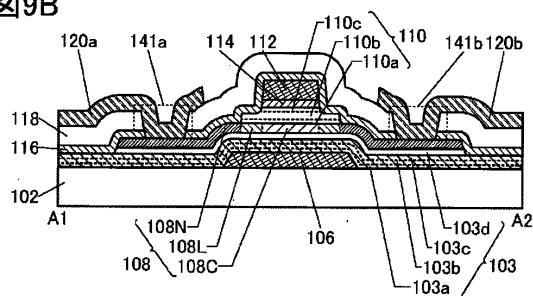


【図 9 A】

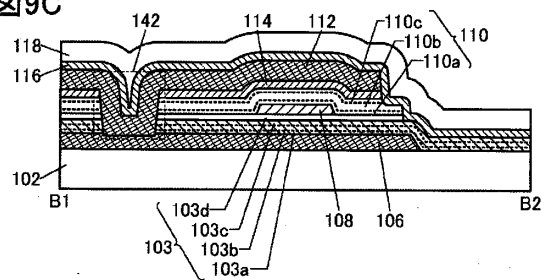


20

【図 9 B】



【図 9 C】



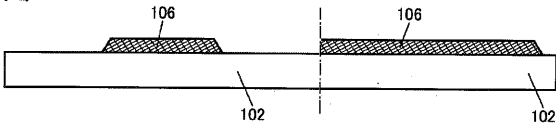
30

40

50

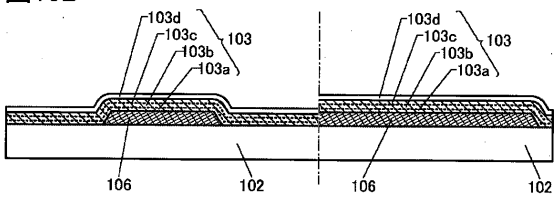
【図10A】

図10A



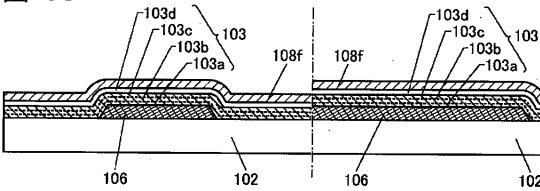
【図10B】

図10B



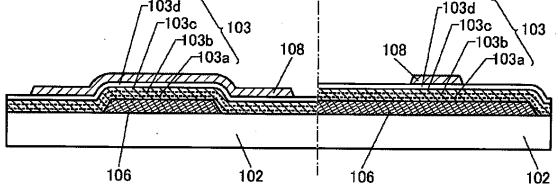
【図10C】

図10C



【図10D】

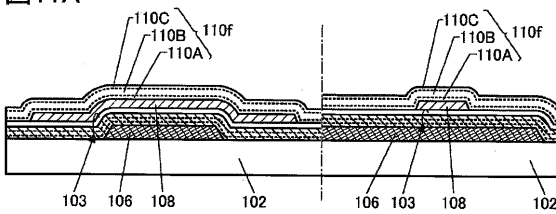
図10D



10

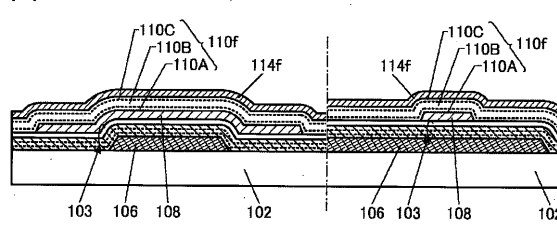
【図11A】

図11A



【図11B】

図11B



20

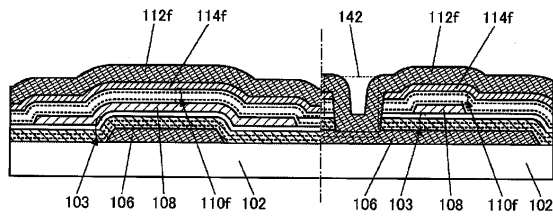
30

40

50

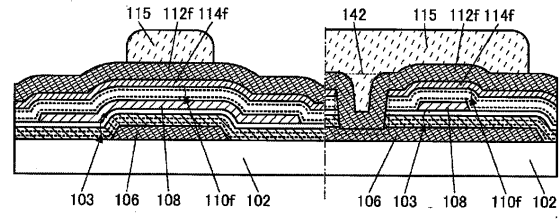
【図 1 1 C】

図11C



【図 1 2 A】

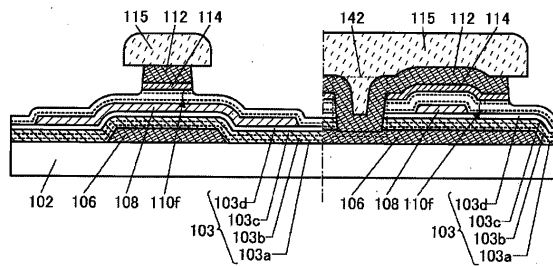
図12A



10

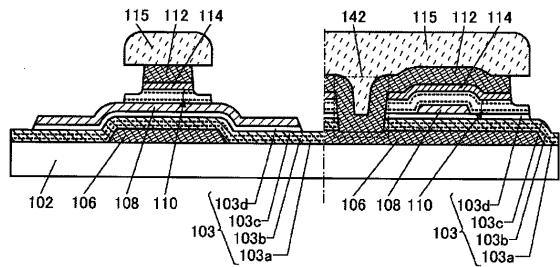
【図 1 2 B】

図12B



【図 1 2 C】

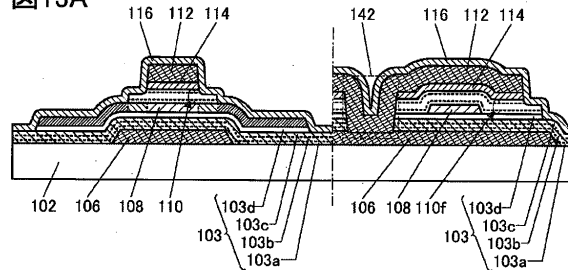
図12C



20

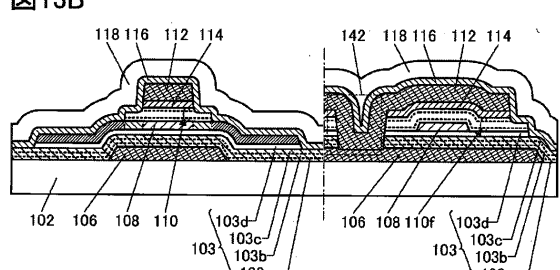
【図 1 3 A】

図13A



【図 1 3 B】

図13B



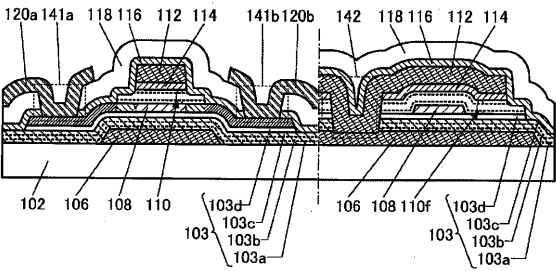
30

40

50

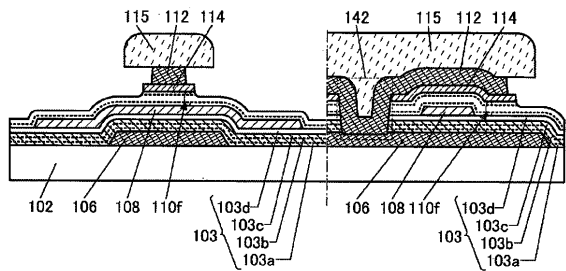
【図 1 3 C】

図13C



【図 1 4 A】

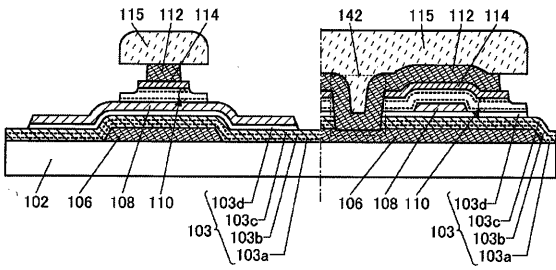
図14A



10

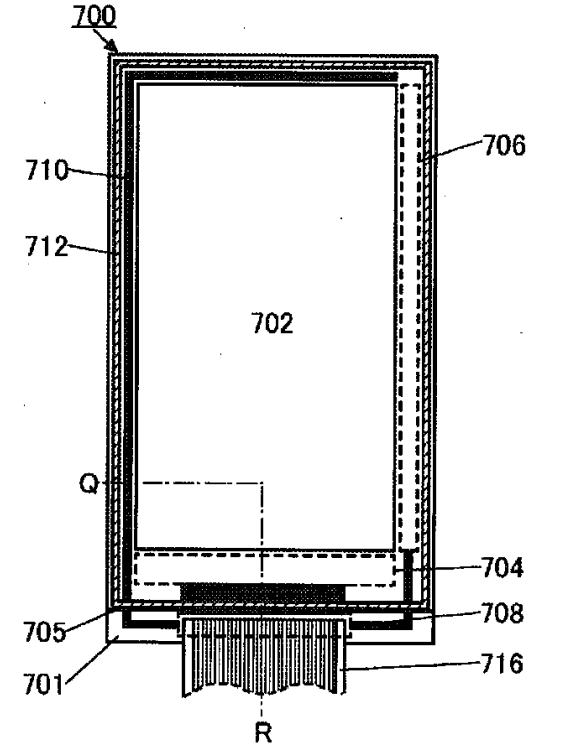
【図 1 4 B】

図14B



【図 1 5 A】

図15A



20

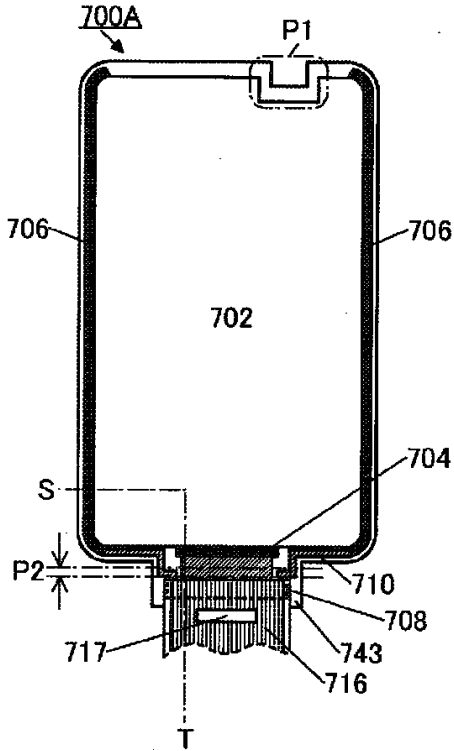
30

40

50

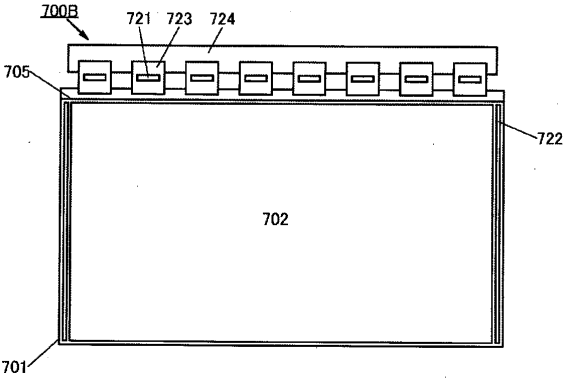
【図 15 B】

図 15B



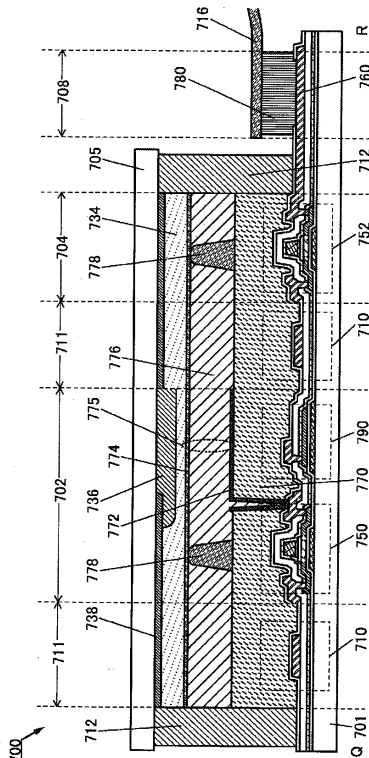
【図 15 C】

図 15C



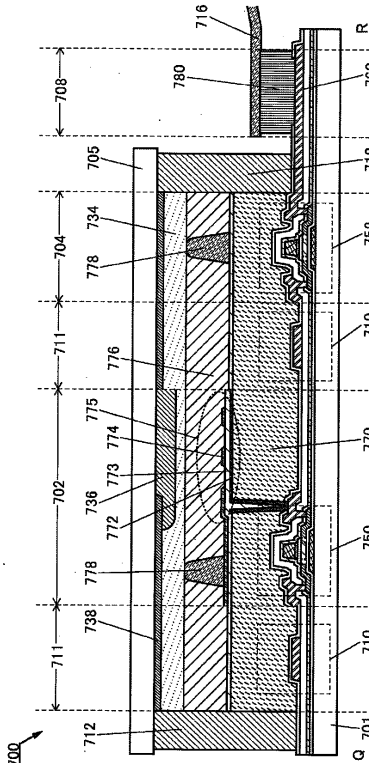
【図 16】

図 16



【図 17】

図 17



10

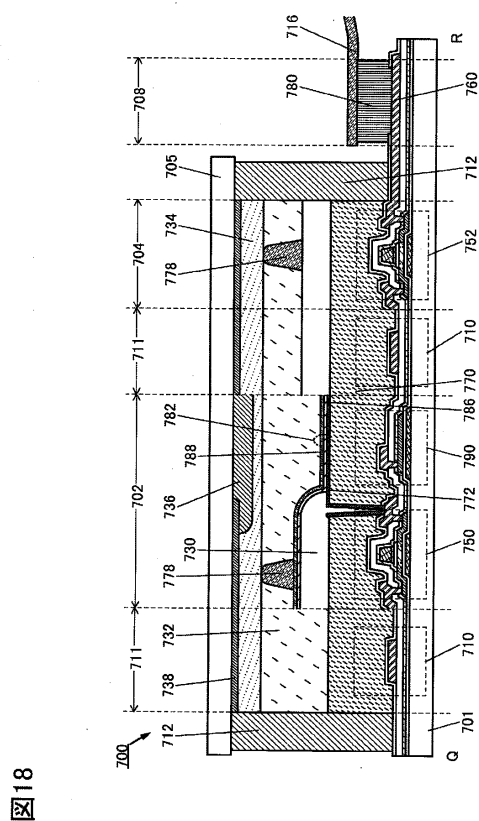
20

30

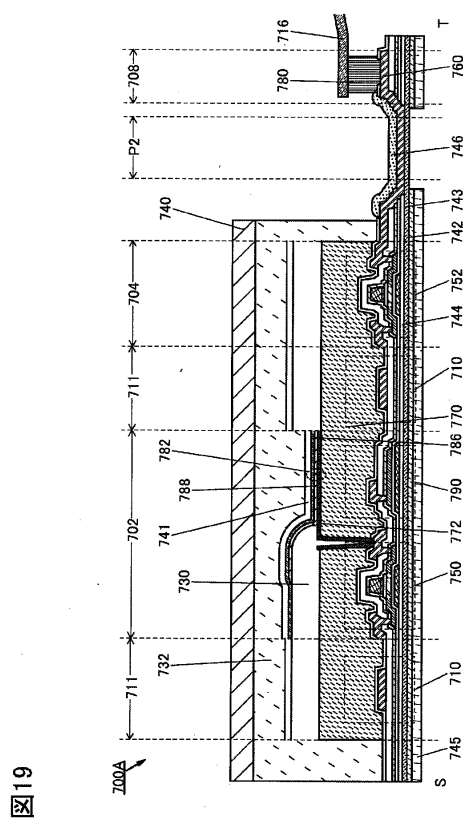
40

50

【図 18】

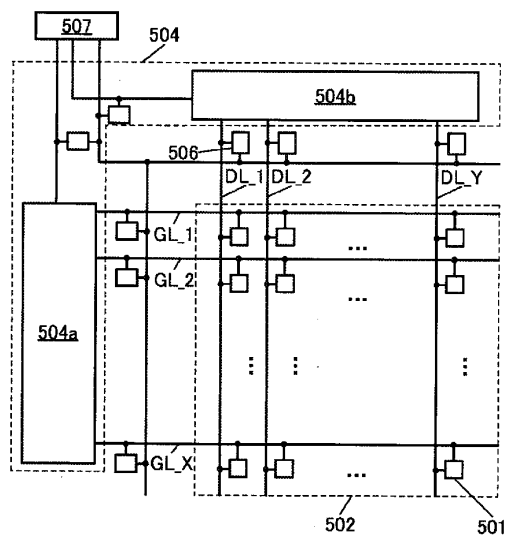


【図 19】



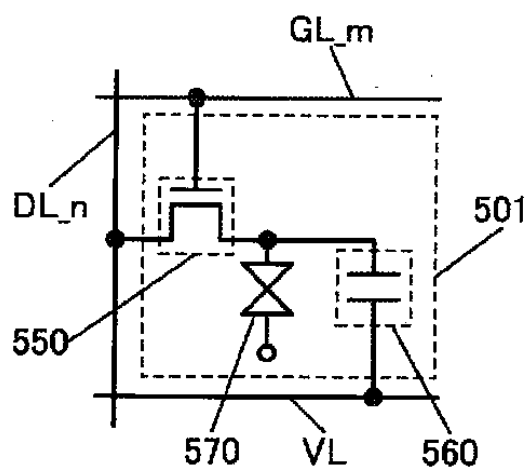
【図 20 A】

图20A



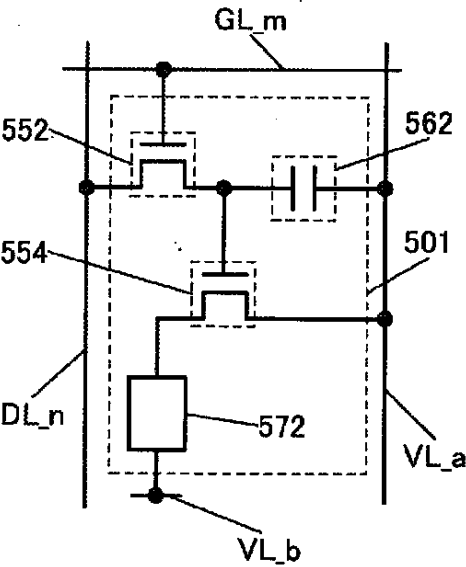
【図 20 B】

図 20B



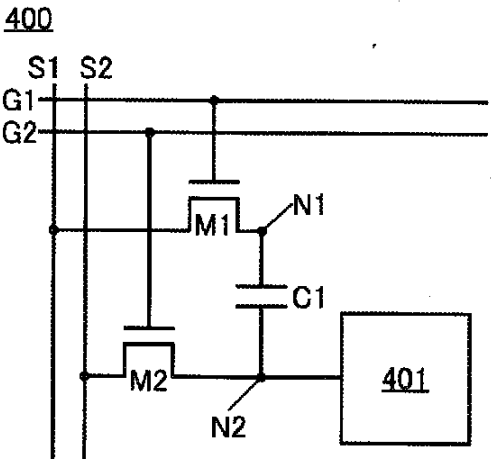
【図20C】

図20C



【図21A】

図21A

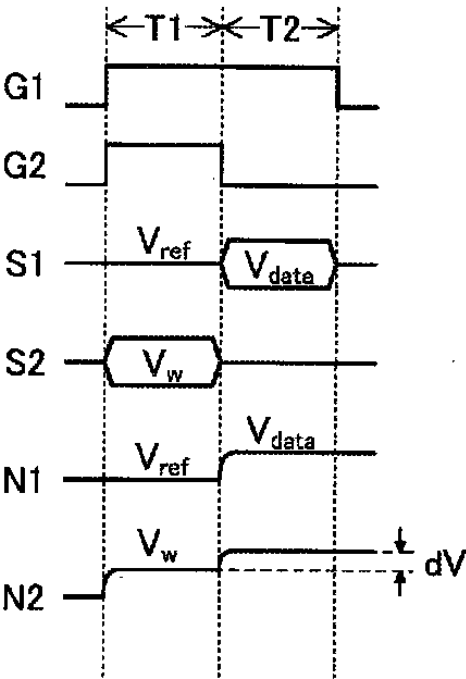


10

20

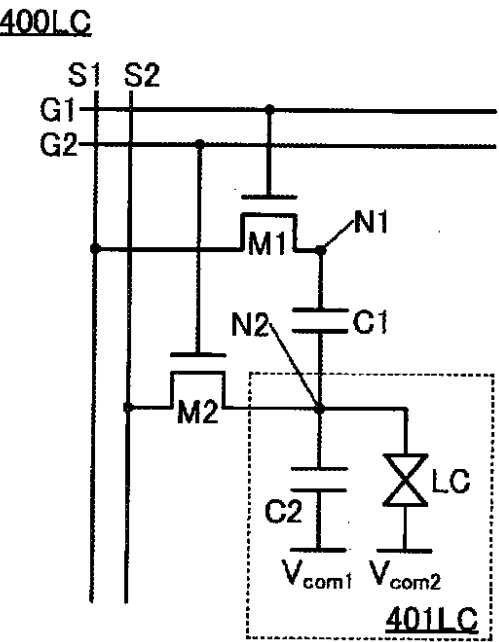
【図21B】

図21B



【図21C】

図21C



30

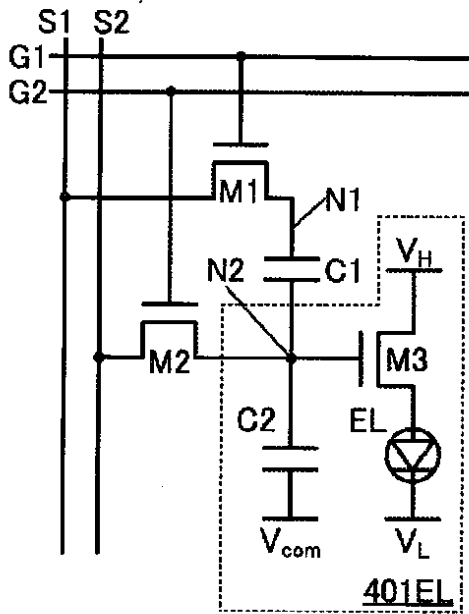
40

50

【図 2 1 D】

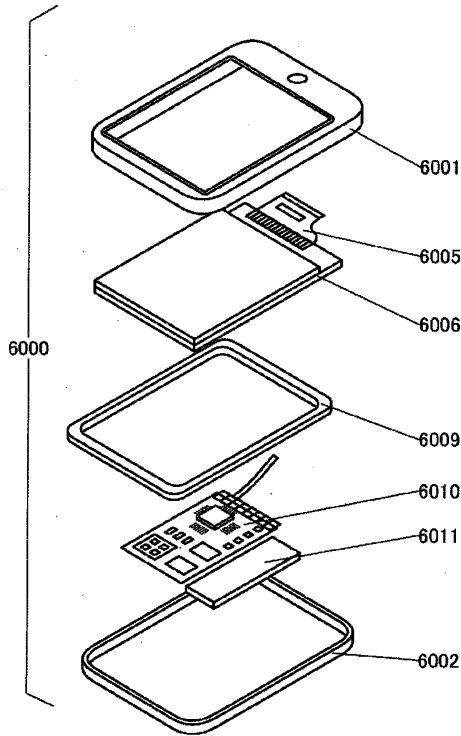
図21D

400EL



【図 2 2 A】

図22A

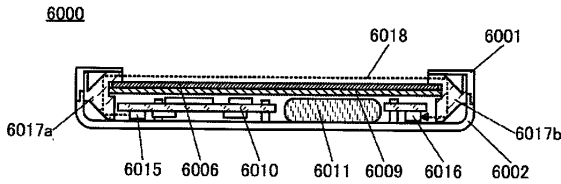


10

20

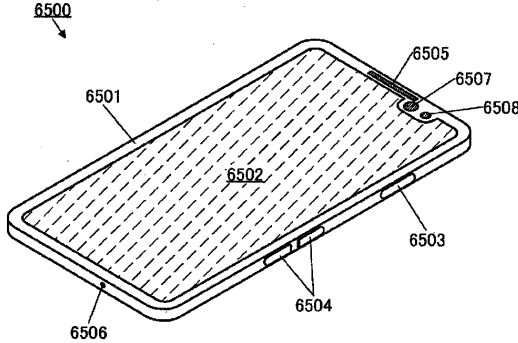
【図 2 2 B】

図22B



【図 2 3 A】

図23A



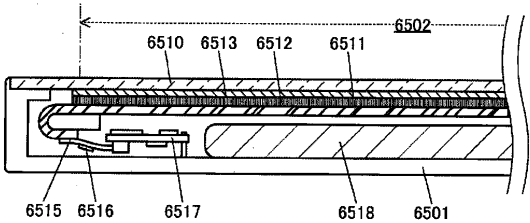
30

40

50

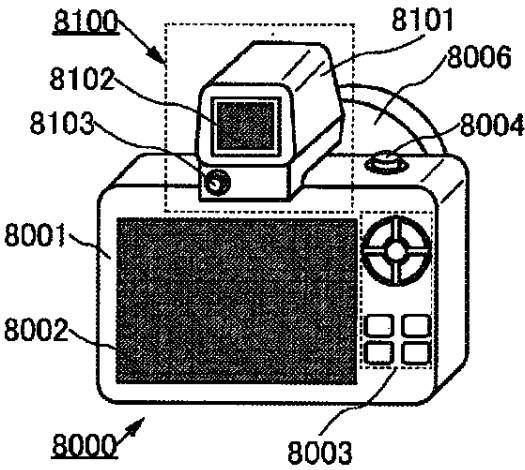
【図 2 3 B】

図23B



【図 2 4 A】

図24A

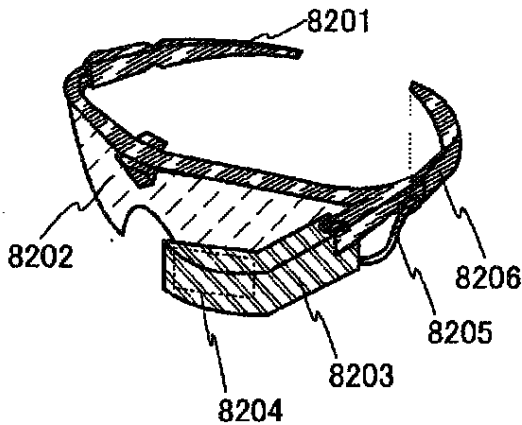


10

【図 2 4 B】

図24B

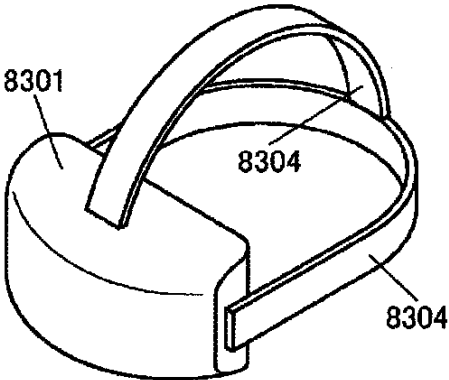
8200



【図 2 4 C】

図24C

8300



20

30

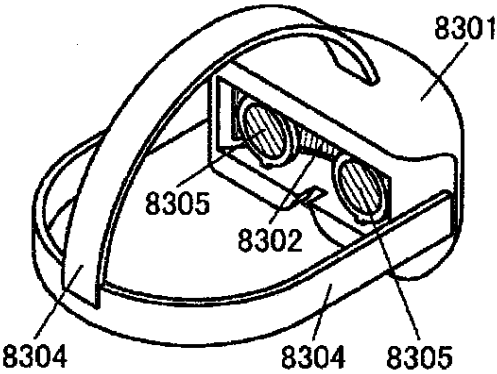
40

50

【図 2 4 D】

図24D

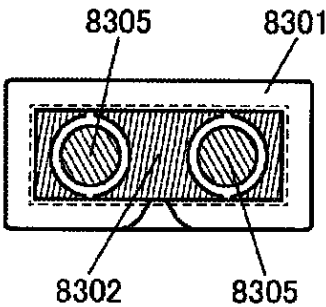
8300



【図 2 4 E】

図24E

8300

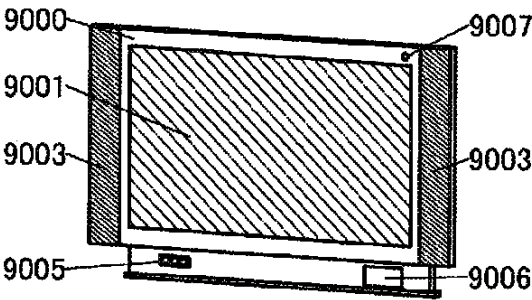


10

【図 2 5 A】

図25A

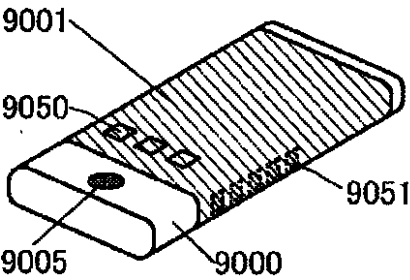
9100



【図 2 5 B】

図25B

9101



20

30

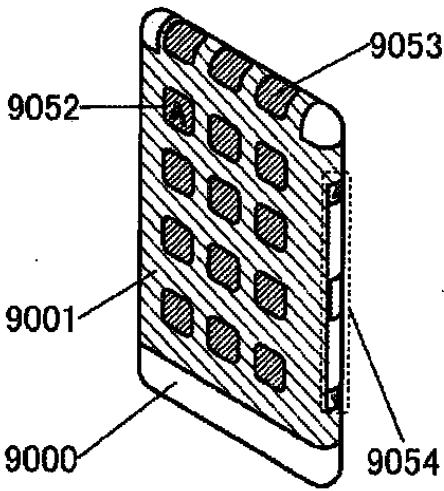
40

50

【図 2 5 C】

図25C

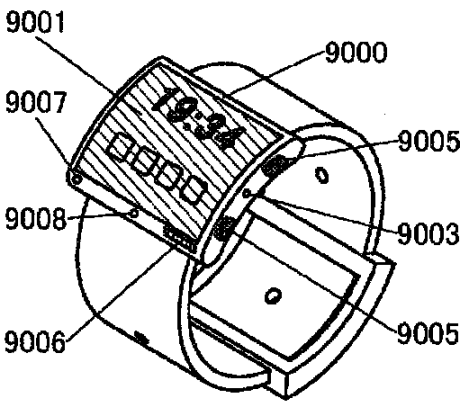
9102



【図 2 5 D】

図25D

9200



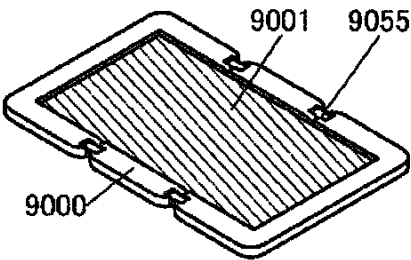
10

20

【図 2 5 E】

図25E

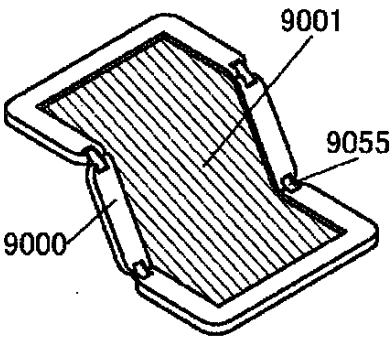
9201



【図 2 5 F】

図25F

9201



30

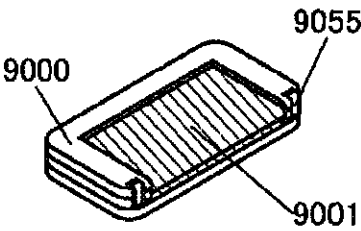
40

50

【図 2 5 G】

図25G

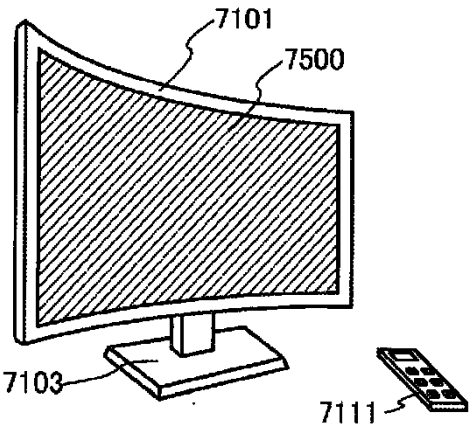
9201



【図 2 6 A】

図26A

7100



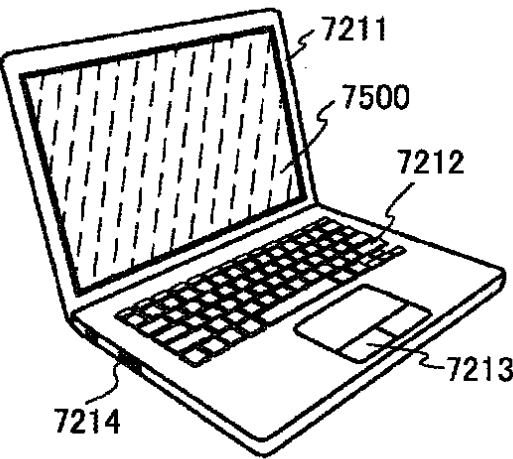
10

20

【図 2 6 B】

図26B

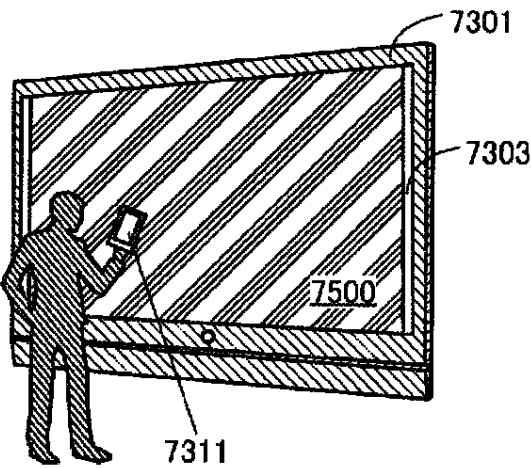
7200



【図 2 6 C】

図26C

7300



30

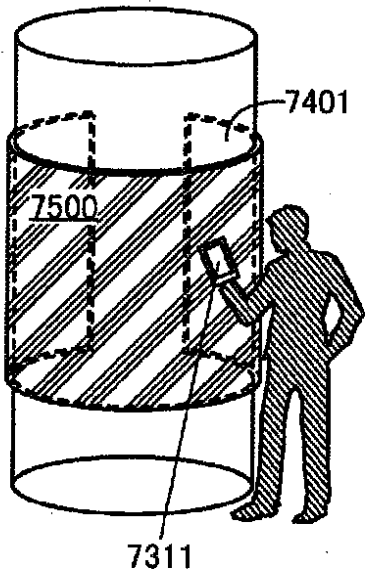
40

50

【図 26 D】

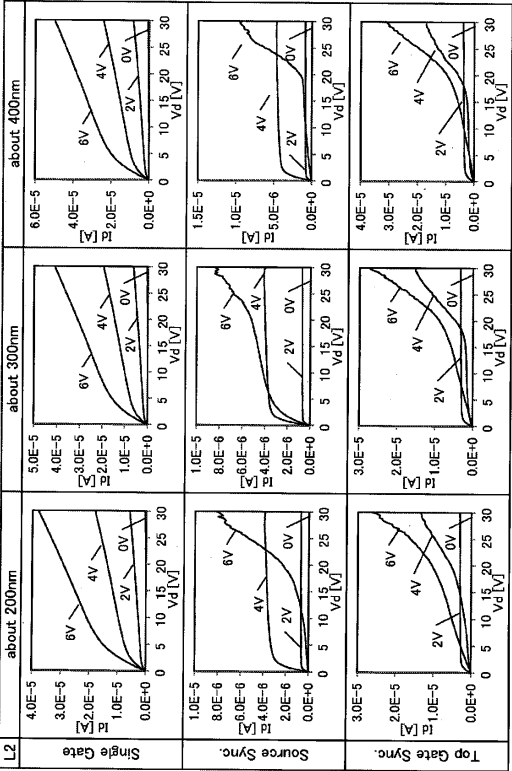
図26D

7400



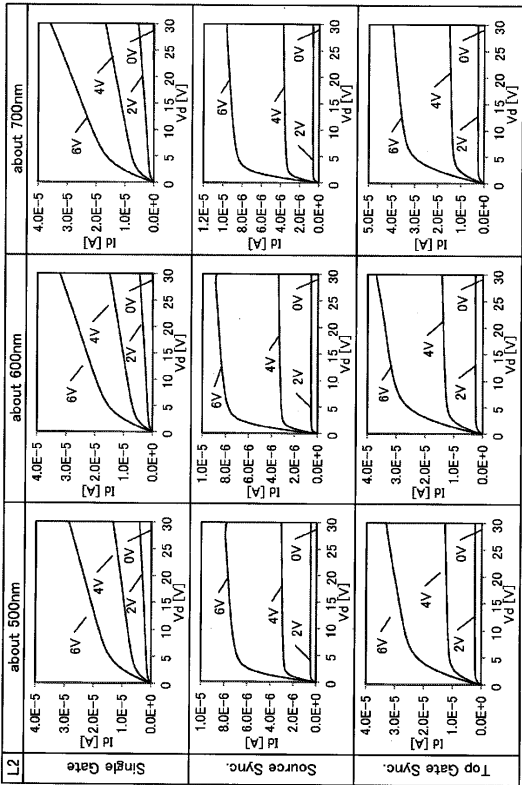
【図 27】

図27



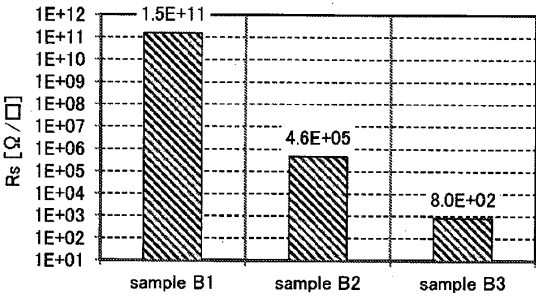
【図 28】

図28



【図 29】

図29



10

20

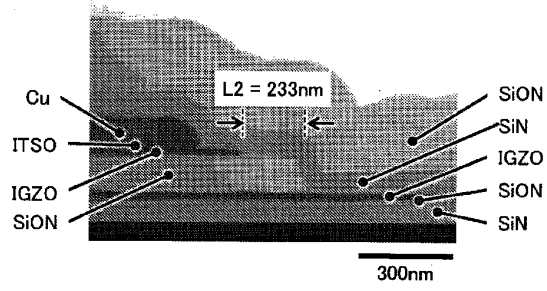
30

40

50

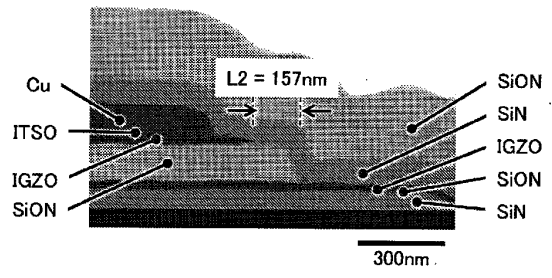
【図 3 0 A】

図30A



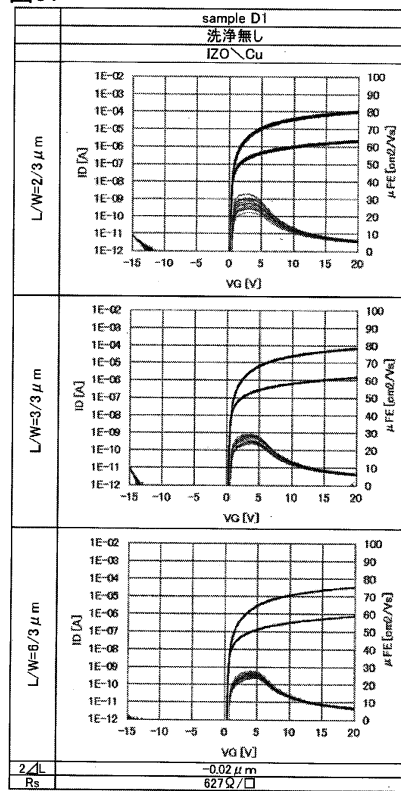
【図 3 0 B】

図30B



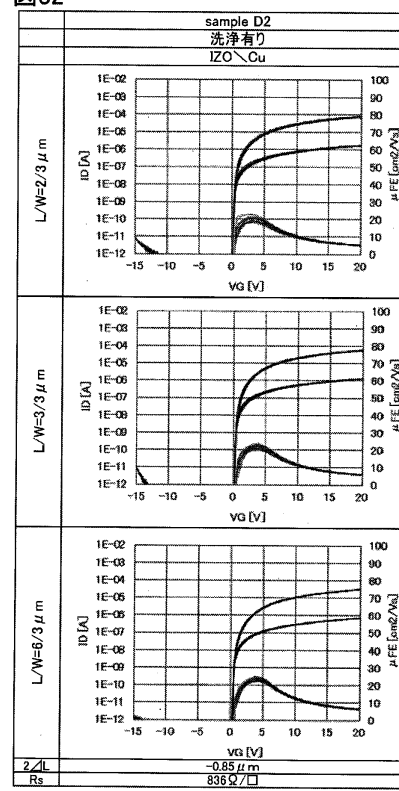
【図 3 1】

図31



【図 3 2】

図32



10

20

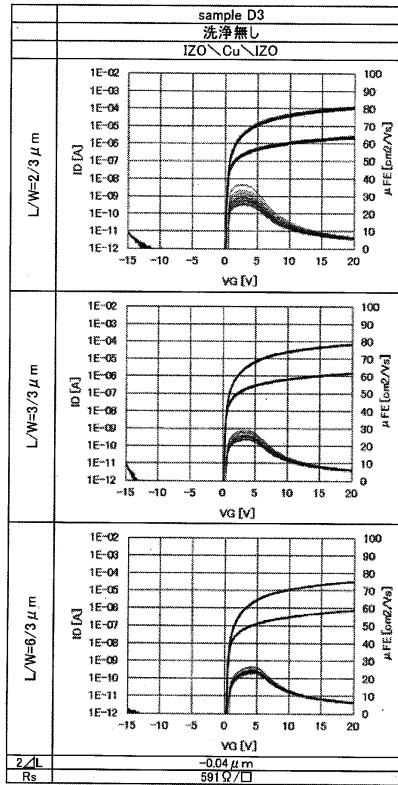
30

40

50

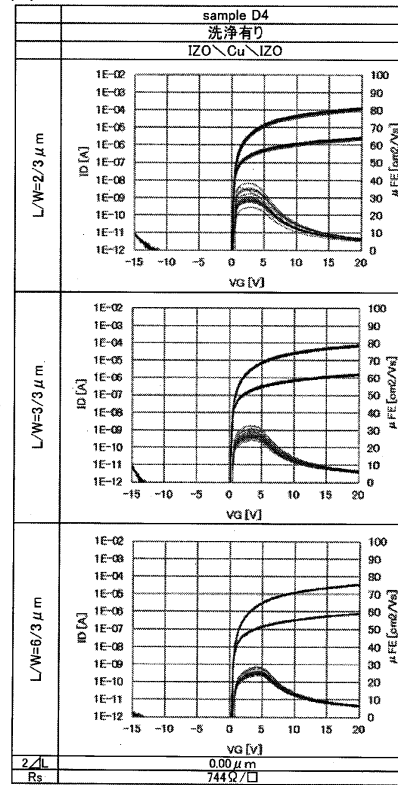
【図 3 3】

図33



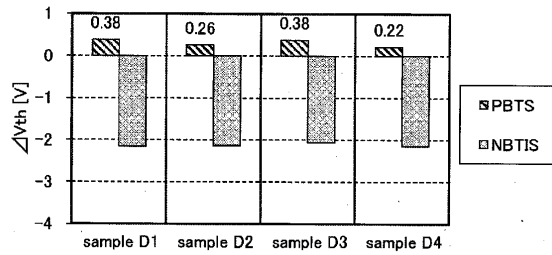
【図 3 4】

図34



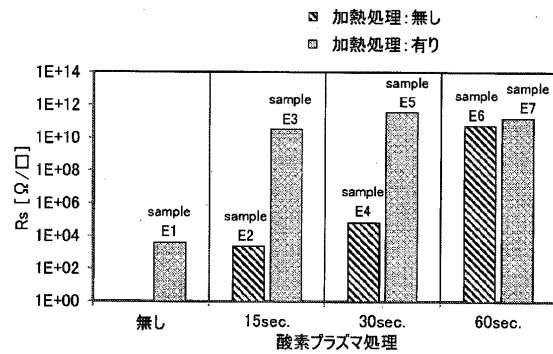
【図 3 5】

図35



【図 3 6】

図36



10

20

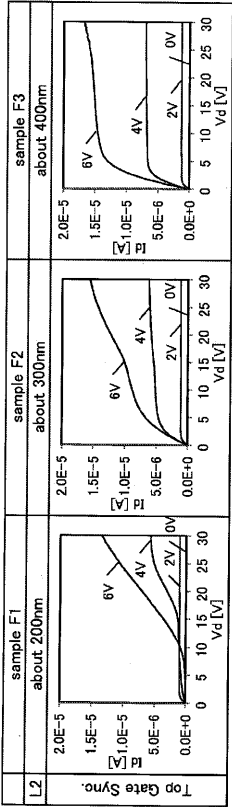
30

40

50

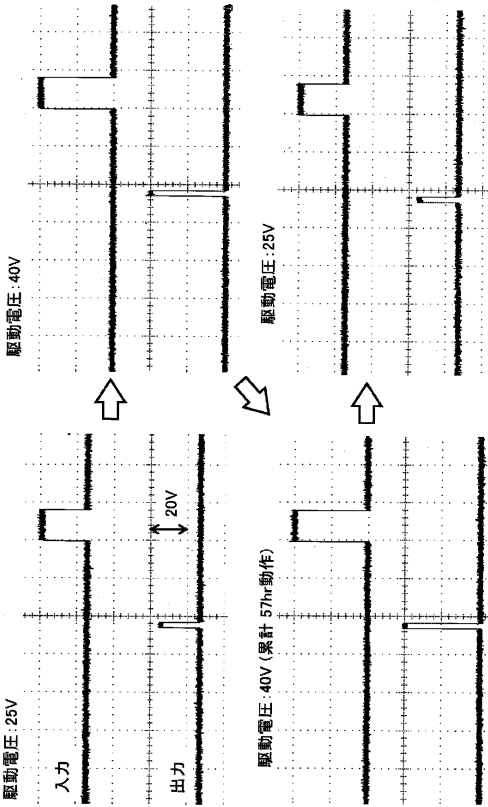
【図 37】

図37



【図 38】

図38



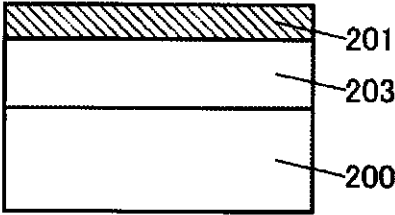
【図 39 A】

図39A



【図 39 B】

図39B



10

20

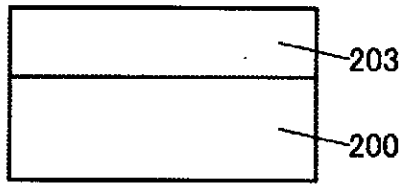
30

40

50

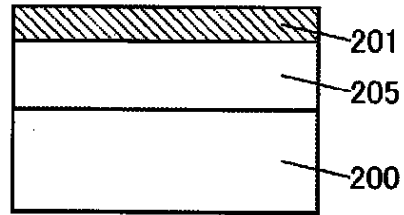
【図 39 C】

図39C



【図 39 D】

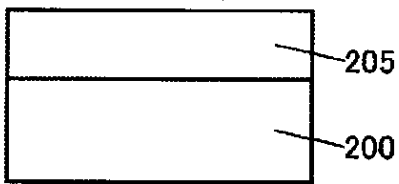
図39D



10

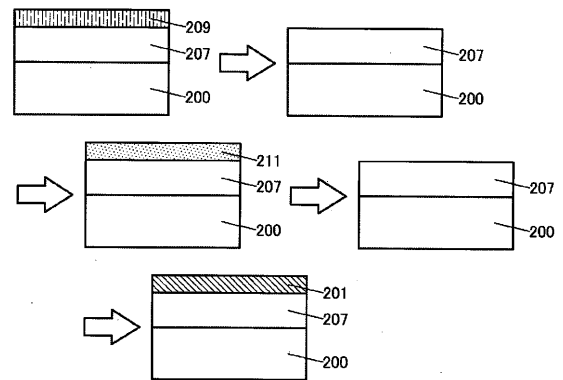
【図 39 E】

図39E



【図 40 A】

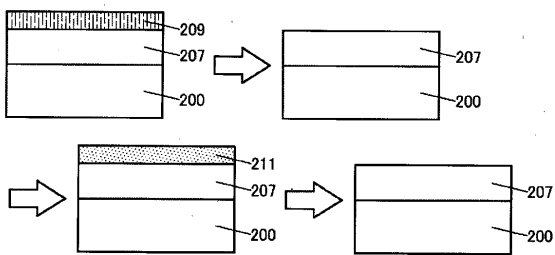
図40A



20

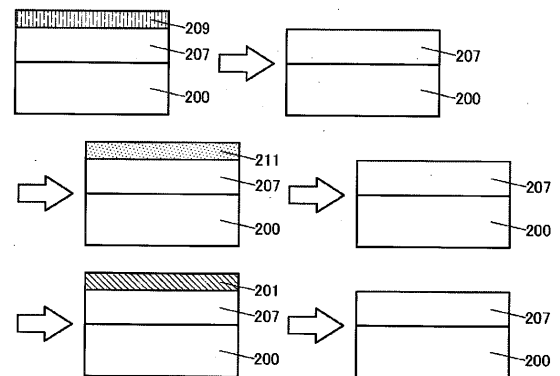
【図 40 B】

図40B



【図 41】

図41



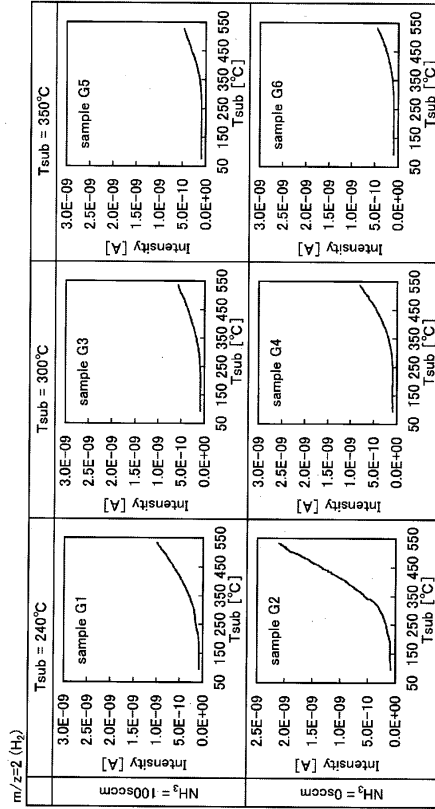
30

40

50

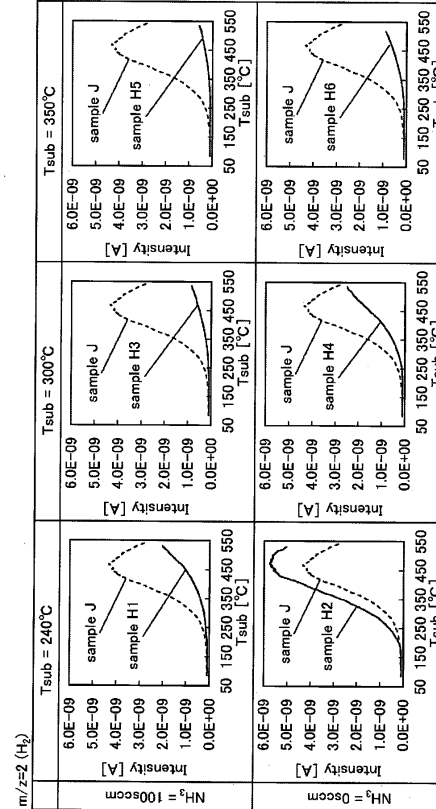
【図 4 2】

図 42



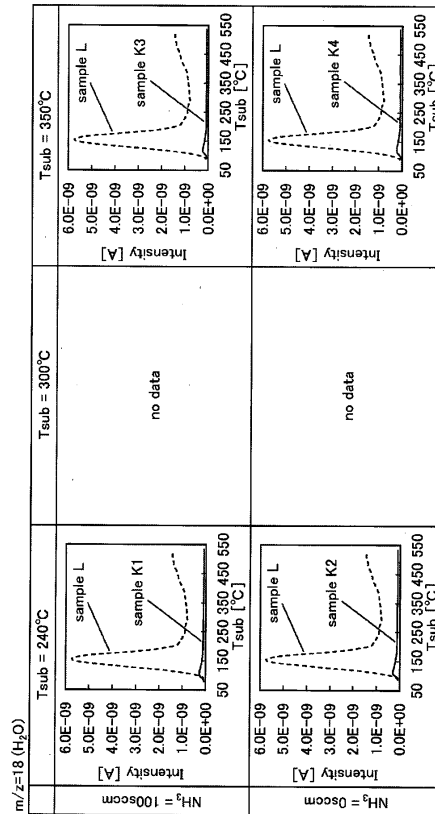
【図 4 3】

図 43



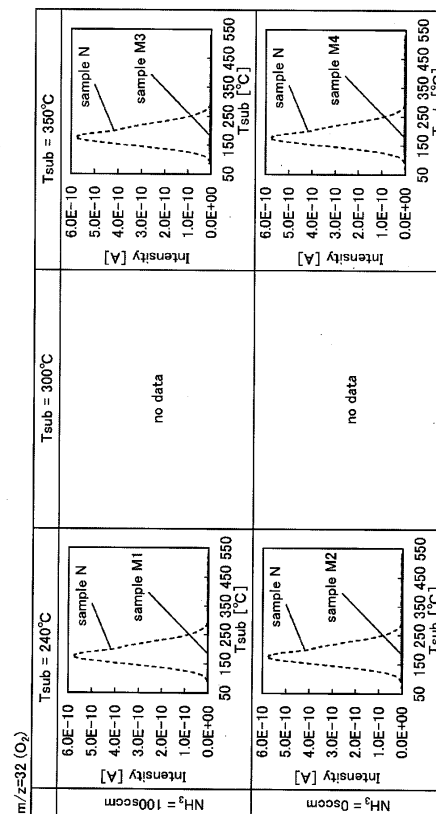
【図 4 4】

図 44



【図 4 5】

図 45



10

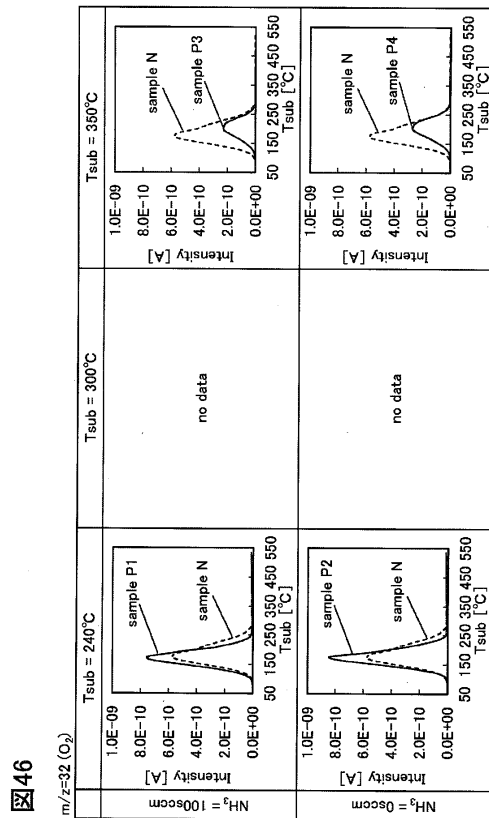
20

30

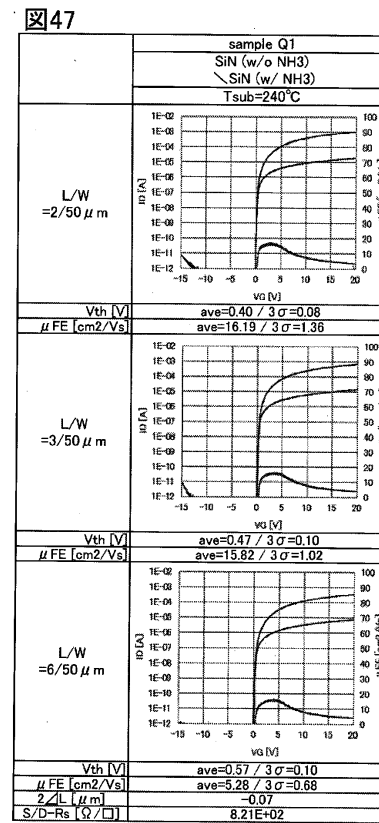
40

50

【図 46】



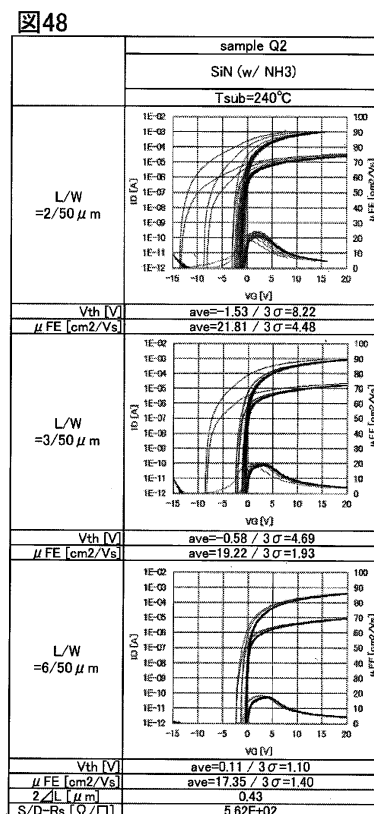
【図 47】



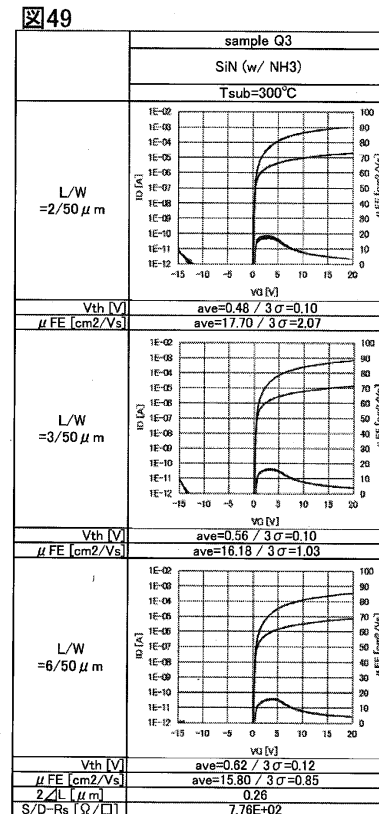
10

20

【図 48】



【図 49】



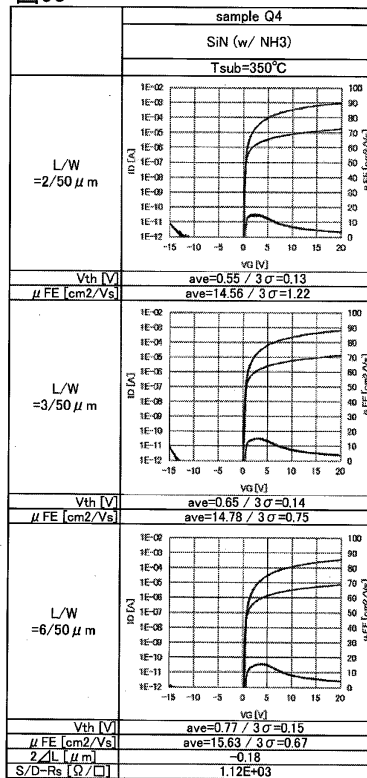
30

40

50

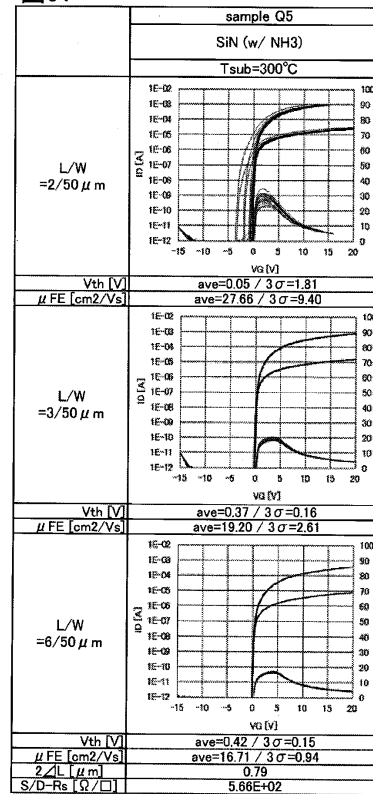
【図 5 0】

図50



【図 5 1】

図51

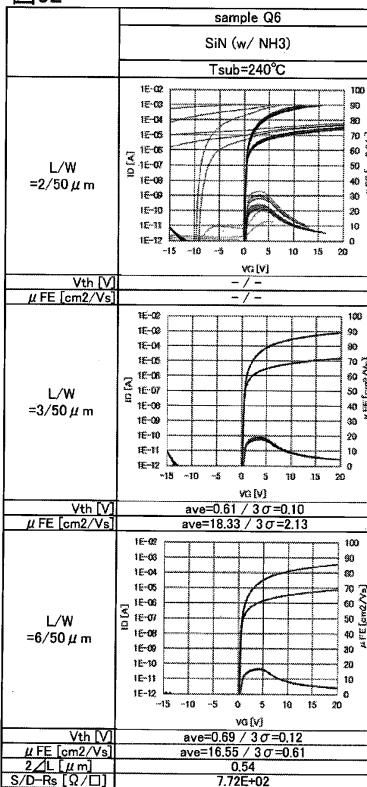


10

20

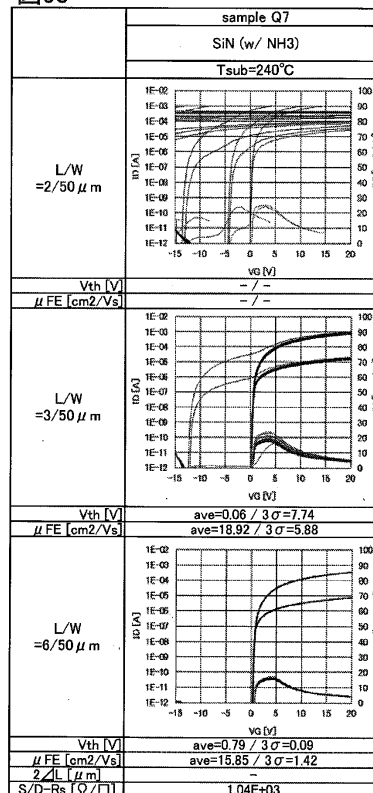
【図 5 2】

図52



【図 5 3】

図53



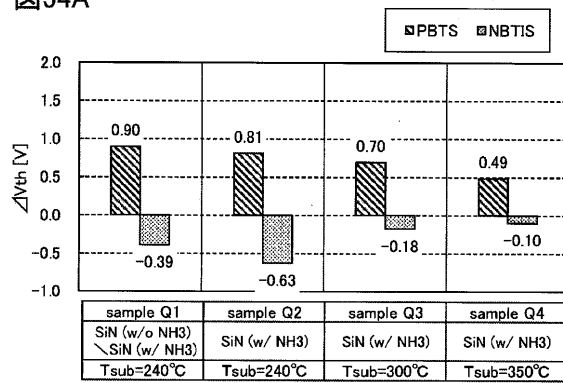
30

40

50

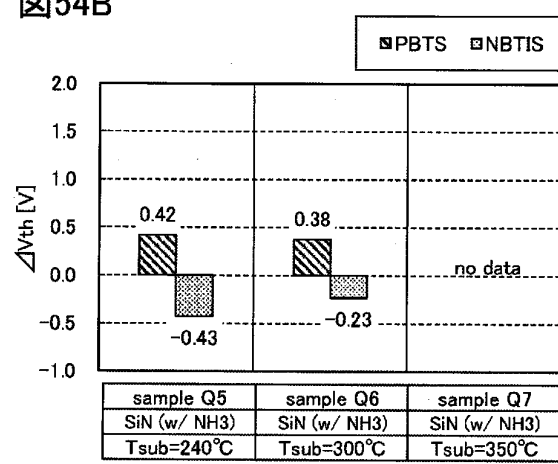
【図 5 4 A】

図54A



【図 5 4 B】

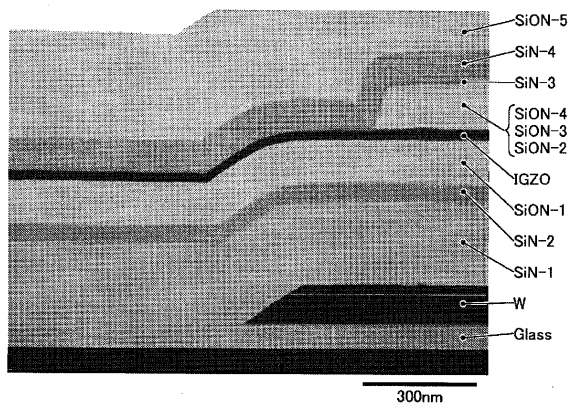
図54B



10

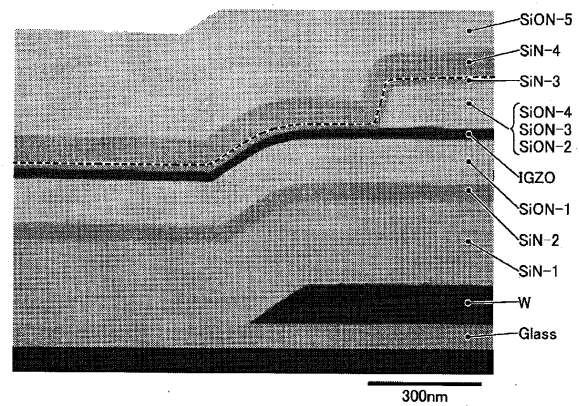
【図 5 5 A】

図55A



【図 5 5 B】

図55B



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/78	6 1 9 A

(32)優先日 平成30年12月19日(2018.12.19)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2019-81176(P2019-81176)

(32)優先日 平成31年4月22日(2019.4.22)

(33)優先権主張国・地域又は機関

日本国(JP)

審査官 高橋 優斗

(56)参考文献

特開 2 0 1 5 - 1 8 8 0 6 3 (J P , A)

特開 2 0 1 7 - 1 1 2 3 6 9 (J P , A)

特開 2 0 1 7 - 2 0 4 6 3 7 (J P , A)

特開 2 0 1 8 - 1 6 3 9 4 9 (J P , A)

国際公開第 2 0 1 6 / 0 0 9 7 1 5 (W O , A 1)

特開 2 0 1 7 - 0 7 6 7 8 8 (J P , A)

特開 2 0 1 7 - 1 9 1 9 3 4 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6