(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/146

(45) 공고일자 2002년02월07일
(11) 등록번호 10-0323483
(24) 등록일자 2002년01월24일

(21) 출원번호 10-1999-0008408
(22) 출원일자 1999년03월12일

(65) 공개번호 특1999-0077844
(43) 공개일자 1999년10월25일

(30) 우선권주장 1998-61229 1998년03월12일 일본(JP)

(73) 특허권자 캐논 가부시끼가이샤
미다라이 후지오
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고

(72) 발명자 시노하라마히토
일본국도쿄또오오다구시모마루고3쪼메30반2고캐논가부시기가이샤나이

(74) 대리인 신중훈
임옥순

심사관 : 민병준

(54) 화상센서

요약

화상센서를 소형화하기 위하여, 본 발명은 복수의 광전변환소자와; 이 복수의 광전변환소자로부터 전송된 제어신호에 사용되는 제어정보를 저장하는 메모리를 구비하고, 이 복수의 광전변환소자와 메모리는 동일한 반도체칩내에 형성되어 있는 화상센서를 제공한다.

대표도
도 2

명세서

도면의 간단한 설명

도 1은 종래의 화상센서를 설명하는 회로도.

도 2는 제 1실시예에 따른 화상센서를 설명하는 회로도.

도 3은 제 2실시예에 따른 화상센서를 설명하는 회로도.

도 4는 제 3실시예에 따른 화상센서를 설명하는 회로도.

(도면의 주요부분에 대한 부호의 설명)

1: 광전변환소자 2: 바이폴라트랜지스터

3: MOS트랜지스터 4: 출력라인

5: 리세트MOS트랜지스터 6: 바이폴라트랜지스터

7: 출력라인 8: 축적용량

9: MOS트랜지스터 10: MOS트랜지스터

11: 시프트레지스터 12: 출력라인

13: 증폭기 14: 출력단자

15: 비교기 16: 구동회로

17,18,19,20: 구동라인 21: 배선

22: 래치회로 23: 게인제어라인

24: 광전변환블록 25: 구동라인

26: 아날로그메모리화소 27: 구동라인

28-1,28-2,28-3: 디코더 29,30: 버퍼회로

31: 디지털메모리 32: 어드레스라인

33,34: 구동라인 35,36: 배선

37: ROM 38: 메모리출력라인

40: 스위치MOS트랜지스터 41: 제어라인

42,43: 구동라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 동일한 반도체칩내에 메모리를 광전변환소자와 함께 가지는 화상센서에 관한 것이다.

일반적으로, 광전변환방식으로서, CCD(charge coupled device)형, MOS(metal-oxide semiconductor)형, 바이폴라형 등의 화상센서에 의해서 화상을 각각 판독하는 각종 방식이 있었다. 비디오카메라 등의 경우에는 화질이 우수한 CCD센서가 자주 사용되고 있다. 한편, 최근에는 후자의 2개의 형의 센서에서도 SN비가 향상되어 저소비전력화가 실현되고, 센서 자체는 하나의 칩내에 주변회로와 함께 제조될 수 있어서 소형화할 수 있다. 이 때문에 이들 2가지 형태의 센서를 가지는 이점이 주목받고 있다.

더욱이, 최근에는 광전변환소자를 그들의 구동 및 출력조건을 독립적으로 결정할 수 있는 광전변환블록내에 형성하는 예가 제안되어 있다. 도 1을 참조하여 화상센서내에 배치된 복수의 광전변환블록의 하나의 예를 설명한다. 도 1은 1차원 화상센서를 표시한다. 도면에 있어서, (1)은 바이폴라트랜지스터(2)와 이 트랜지스터(2)의 베이스리세트용 MOS트랜지스터(3)로 구성된 광전변환화소이다. 이 화소(1)에 있어서, 이 트랜지스터(2)의 베이스콜렉션접합영역에 구성된 PN접합부에 광을 조사해서, 입사광에 기인한 전하의 축적에 의해 발생하는 베이스전위의 상승량으로 되는 신호전압을 트랜지스터(2)의 이미터로부터 출력한다. 도 1에 표시한 바와 같이, 복수의 화소(1)는 1라인 이상에 배치되어 있다.

(50)은 화소(1)의 베이스리세트용 전압공급원, (4)는 트랜지스터(2)의 이미터에 접속된 화소출력라인, (5)는 화소출력라인(4)의 리세트용 MOS트랜지스터, (6)은 베이스가 출력라인(4)에 접속하는 바이폴라트랜지스터이다. 각 라인에 있어서, 각 트랜지스터(2)의 이미터는 공통의 출력라인(7)에 접속되어 있다. 트랜지스터(6)는 광전변환출력의 최대값을 검출하는 수단으로 작용함으로써 화소배열의 최대출력전압에 대응하는 전압이 출력라인(7)으로부터 발생된다.

상기와 같이, 공통의 출력라인에 바이폴라트랜지스터의 이미터가 접속함으로써 최대전압검출회로를 형성한다.

(8)은 화소의 출력전압을 축적하는 축적용량, (9)는 화소출력라인(4)과 용량(8)을 접속개방하는 스위치 MOS트랜지스터, (10)은 용량(8)을 선택하는 MOS트랜지스터스위치, (11)은 이 스위치(10)의 게이트에 제어신호를 출력해서 복수의 스위치(10)를 순차 선택하는 시프트레지스터, (12)는 선택된 용량(8)으로부터 전하를 판독하는 출력라인, (13)은 출력라인(12)이 입력되는 증폭기, (14)는 증폭기(13)의 출력단자, (15)는 출력라인(7)의 출력값의 대소를 판단하는 비교기, (16)은 광전변환블록을 구동하고, 또한 비교기(15)로부터의 신호를 제어하는 구동제어회로, (17)은 시프트레지스터(11)를 구동하는 예를 들면 클록신호, 반전클록신호 및 개시신호용의 구동라인이다. (18),(19),(20)은 MOS트랜지스터(3),(5),(9)의 게이트에 게이트구동펄스를 각각 인가하는 구동라인, (21)은 비교기(15)에 비교전위를 공급하는 배선, (22)는 비교기(15)의 출력을 래치하는 래치(latch)회로이다.

도 1에 표시한 예에 있어서, 화소(1), 용량(8) 및 래치회로(22)를 동시에, 리세트한다. 그 후에 구동라인(20)의 전위를 높게하면서 스위치(9)를 도통하도록 설정한다. 화소(1)에 신호전하가 축적됨에 따라서, 출력라인(4) 및 용량(8)의 전위가 상승한다. 다음에 화소출력의 최대값에 대응하는 출력이 배선(21)에 의해 결정된 기준전위를 초과하면, 비교기(15)의 출력이 반전되어, 래치회로가 절환된다. 그래서 구동라인(20)의 전위가 낮아지고, 스위치(9)가 OFF로 되기 때문에, 이 때까지 축적된 신호가 용량(8)에 의해 유지된다.

도 1에 표시한 바와 같은 복수의 광전변환블록을 가진 화상센서에 있어서 각 블록에서의 광강도가 서로 다른 경우에도 블록의 출력값은 각 블록의 화소신호축적 시간을 다르게 제어함으로써 대략 동일한 전위로 될 수 있다. 바이폴라형의 화소가 도 1의 예에 의거해서 표시되지만, 일반적으로, 어떤 형의 광전변환화소도 사용할 수 있다. 더욱이 화소출력의 모니터링은 최대값 검출에 한정되지 않는다. 즉, 최소값의 검출기 또는 최대값과 최소값사이의 차이검출기를 설계할 수 있다.

발명이 이루고자 하는 기술적 과제

종래의 기술에 있어서, 광전변환블록의 개수가 작아지고 각 블록이 서로 분리된 위치에 형성되는 경우에 어떤 문제도 발생하지 않는다. 그러나, 블록의 개수가 커져서 광전변환블록을 조밀하게 배열할 필요가 있는 경우에는 구동제어회로(16)와 시프트레지스터(11)를 배열하는 공간을 할당할 수 없다는 문제점이 있다.본 발명의 목적은 화상센서의 소형화에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 일면에 따르면, 복수의 광전변환소자와; 복수의 광전변환소자로부터 전송된 신호를 제어하기 위한 제어정보를 저장하는 메모리를 구비하고, 복수의 광전변환소자와 메모리는 동일한 반도체칩내에 형성되어 있는 화상센서를 제공하는 것이다.본 발명의 다른 목적과 구성은 아래의 상세한 설명과 첨부도면으로부터 명백해 질 것이다.도 2를 참조하여 본 발명의 제 1실시예를 구체적으로 설명한다. 도면에 있어서, (1)은 도 1과 마찬가지로 베이스로서 광전변환소자의 PN접합부를 가진 바이폴라트랜지스터와 리세트MOS트랜지스터로 구성되어 있는 광전변환화소이다. MOS트랜지스터증폭형 화소와 같은 다른형의 화소를 사용할 수 있다. 또한, 제 1실시예에 있어서, 비파괴적으로 신호를 화소가 판독할 수 있도록 할 필요가 있다.

(24)는 4개의 블록(24-1),(24-2),(24-3),(24-4)이 형성되어 있는 광전변환부이다. (25)는 광전변환소자의 구동라인, (26)은 각 광전변환화소에 대응하는 아날로그메모리셀이다. 도면에 있어서, 아날로그메모리셀(26)은 메모리로서 작용하는 용량(8)과 스위치(51)로 구성되어 있고, 스위치(51)의 게이트를 ON/OFF함으로써 메모리의 기록과 판독을 행하는 구동라인(27)에 의해서 구동된다. 아날로그메모리셀(26)의 개수는 아날로그메모리부(26')와 함께 형성하는 광전변환화소(1)와 동일하다.

(28-1),(28-2),(28-3)은 어드레스라인(32)에 의해서 블록이 선택되는 디코더이다. (29)는 디코더(28-1)의 출력에 반응하여 구동라인(25)을 선택하는 버퍼회로, (30)은 디코더(28-2)의 출력에 반응하여 구동라인(27)을 선택하는 버퍼회로, (31)은 광전변환소자로부터 신호를 제어하는 제어정보를 기록하는 디지털메모리이다. 이 메모리(31)는 하나의 반도체칩내에 광전변환부와 함께 제공되고 디코더(28-3)의 출력에 응답하여 접근된다. (33)은 광전변환화소블록을 구동하는 구동제어회로(16)로부터 출력된 배선, (34)는 구동라인이고, 아날로그메모리블록을 구동하는 회로(16)로부터 출력하고, (35)는 디지털메모리(31)에 정보를 기록하는 배선, (36)은 메모리(31)내에 저장된 정보를 판독하는 배선이다. 도 2에 있어서, 도 1과 동일한 부호로 부가된 각각의 부품의 반복설명을 생략하는 것에 유의하여야 한다.

이어서, 본 실시예에 따른 동작을 설명한다. 본 실시예에 있어서, 우선, 화소(1)를 포함한 광전변환부, 용량(8)을 포함한 아날로그메모리부와, 디지털메모리부를 모두 리세트한 다음에 구동을 개시한다. 광전변환부를 리세트하기 위해, 구동라인(25)의 전위를 음으로 설정해서 리세트MOS트랜지스터(3)를 활성화한다. 그 후에, 구동라인(25)의 전위를 양으로 설정해서 트랜지스터(1)를 활성화하는 동시에 MOS트랜지스터(5)를 ON한다. 이 때에, 베이스전류가 흘러서 트랜지스터(1)의 베이스를 리세트하고, 다음에 구동라인(25)을 접지전위(GND)로 되돌림으로써 트랜지스터(1)에서의 베이스이미터접합이 역으로 바이어스된다. 더욱이, 아날로그메모리부를 리세트하기 위해 스위치(51),(9)를 ON함으로써 이 부분(8)에서의 전위가 MOS트랜지스터(5)를 통해서 접지전위로 저하된다. 더욱이, 디지털메모리부를 리세트하기 위해 1또는 0이 모든 메모리비트에 기록된다.

이어서, 구동제어회로(16)로부터 출력된 어드레스라인은 변경되어 순차적으로 광전변환블록(24-1),(24-2),(24-3),(24-4)의 판독을 각각 행한다. 이 작동시에 각 블록이 선택되면, 디지털메모리(31)의 정보도 접근된다.

소정의 시간 경과후에, 비교기(51)가 예를 들면 블록(24-2)의 출력에 의해 반전되면, 즉 블록(24-2)내에 출력된 광전변환소자중 하나가 배선(21)으로부터 얻은 한계값을 초과하면, 블록(24-2)에 상당하는 블록에 기록하는 펄스는 배선(34)에 적용된다. 다음에, 해당 라인에서 트랜지스터(51)를 ON하는 펄스는 버퍼회로(30)로부터 출력됨으로써 블록(24-2)의 신호가 아날로그메모리부(26')에 저장된다. 동시에, 신호전송을 표시하는 정보, 이 블록의 신호축적시간 등이 메모리(31)내의 블록(24-2)에 대응하는 어드레스에 기록된다. 여기서, 신호축적시간은 축적개시시로부터 블록내의 최대광전변환신호가 한계값을 초과할 때까지의 시간경과를 표시하는 것에 유의하여야 한다. 블록(24-2)이 연속동작시에 다시 구동되고, 비교기(15)를 반전하면, 블록(24-2)의 신호전송을 종료한 것을 표시하는 정보가 디지털메모리(31)내에 기록되어 있기 때문에 구동제어회로(16)는 아날로그메모리부에 기록펄스를 발생시키지 않고, 디지털메모리(31)를 재기록하지 않는다. 이 때문에, 광전변환블록의 모니터출력이 소정의 전위에 최초로 도달할 때 얻은 정보가 아날로그메모리부와 디지털메모리부(31)에 유지된다. 모든 블록의 신호전송이 종료될때까지 이 동작을 반복한다.

광전변환부의 구동을 최종적으로 종료하면, 구동제어회로(16)는 구동라인(20),(17)을 제어하여 스위치(9)를 OFF시킨다. 또한, 이 회로(16)는, 디코더(28-2)를 스캔하고, 시프트레지스터(11)를 구동함으로써 아날로그메모리부로부터의 출력을 판독한다. 디지털메모리(31)내에 기록된 신호축적시간정보는 자동초점 등의 신호처리에 사용된다.

상기 설명에서 이해할 수 있는 바와 같이, 디지털메모리(31)에 있어서, 구동정보, 각 블록의 축적시간정보와, 신호전송을 행하였는지의 여부를 표시하는 정보는 광전변환소자로부터 전송된 신호용 제어정보로서 기록되거나 저장된다. 본 실시예의 디지털메모리로서 임의접근메모리(random access memory, RAM)를 사용한다.

더욱이, 광전변환부와 아날로그메모리부내의 각 블록용 제어정보를 기록 및 판독가능한 디지털메모리를 제공함으로써 공통의 구동제어회로, 공통의 모니터회로(즉, 본 실시예의 최대값 검출회로), 공통의 시프트레지스터 등에 의해서, 밀접하게 배열된 복수의 광전변환블록(24-1),(24-2),(24-3),(24-4)을 독립적으로 구동제어할 수 있다.

이어서, 도 3을 참조하여 본 발명의 제 2실시예를 구체적으로 설명한다.

도 3에 있어서, 도 2에 표시한 제 1실시예와의 차이점은 다음과 같다. 즉, 도 2는 블록내의 최대광전변환전하를 출력하는 최대값검출회로만 제공하는 것을 표시하고, 도 3은 블록내의 최소광전변환전하를 출력하는 부품(6'),(7')으로 구성된 최소값검출회로를 최대값검출회로에 부가하여 제공하는 것을 표시한다. 더욱이, 도 3에 있어서, 최대값검출회로와 최소값검출회로로부터의 출력을 다른 증폭기(45)에 입력하여 증폭기(13)의 게인을 구동제어회로(16)에 의해 제어한다. 제 2실시예의 다른점은 도 2에 표시한 제 1실시예와 마찬가지이므로 그에 대한 설명을 생략한다.

다음에, 본 실시예에 따른 동작을 설명한다.

본 실시예에 있어서, 디지털메모리의 모든 비트에 1 또는 0을 기록할때까지 행해지는 동작은 제 1실시예와 마찬가지이다.

이어서, 구동제어회로(16)로부터 출력된 어드레스라인은 변경되어 순차적으로 광전변환블록(24-1),(24-2),(24-3),(24-4)의 판독을 행한다. 본 실시예에 있어서, 신호축적시간은 각 블록이 동일한 축적시간내에 판독되도록 미리 결정되어 있다.

즉, 일정한 축적시간 경과후에, 구동제어회로(16)는 구동라인(20)에 펄스를 전송하여, 트랜지스터(9)를 ON한다. 더욱이, 회로(16)는 버퍼회로(29),(30)와 디코더(28-1),(28-2),(28-3)를 제어함으로써 광전변환부내의 광전변환전하는 블록의 유닛의 아날로그메모리부에 순차적으로 신호전송된다. 여기서, 아날로그메모리부로의 신호전송을 블록의 유닛내에서 행하는 경우에, 블록내의 최대광전변환전하가 최대값검출회로로부터 출력라인(7)으로 출력되면서, 블록내의 최소광전변환전하는 최소값검출회로로부터 출력라인(7')으로 출력된다. 따라서, 각 블록내의 최대 및 최소광전변

환전하사이의 차이값은 차동증폭기(45)로부터 출력된다.

다음에, 구동제어회로에 있어서, 얻은 차이값은 아날로그메모리부가 최종적으로 신호를 출력할 때 증폭기의 게인에 관한 정보로 전환되고, 이 얻은 정보는 디지털메모리부에 기록되거나 저장된다. 차이값이 작으면 증폭기의 게인은 크게 설정되고, 차이값이 커지면 작게 설정된다. 예를 들면, 4개의 다른 증폭기의 게인을 설정하는 경우에는, 각 게인은 2비트의 디지털정보로 설계될 수 있다. 상기 설명에서 이해할 수 있는 바와 같이, 각 블록용 증폭기의 게인에 대한 정보와 구동정보는 디지털메모리유닛내에 기록된다. 본 실시예의 디지털메모리로서 임의접근메모리(RAM)를 사용한다.

더욱이, 광전변환부와 아날로그메모리부내의 각 블록용 제어정보를 입·출력할 수 있는 디지털메모리(31)를 제공함으로써 공통의 구동제어회로, 공통의 모니터회로(즉, 본 실시예의 최대값검출회로와 최소값검출회로), 공통의 시프트레지스터, 공통의 증폭기 등을 사용하여 조밀하게 배열된 복수의 광전변환블록(24-1),(24-2),(24-3),(24-4)을 독립적으로 제어, 구동할 수 있다.

도 4는 본 발명의 제 3실시예를 표시한다. 도 4는 광전변환소자배열내의 제 1 및 제 3라인이 2개의 광전변환블록으로, 즉, 제 1라인에서 블록(24-1-1) 및 (24-1-2)와 제 3라인에서 블록(24-3-1) 및 (24-3-2)으로, 분리되는 블록배열을 표시한다. 더욱이, 도 4는 라인내의 분할된 블록을 판별하는 어드레스선(39)을 표시하고, 라인을 지정하는 어드레스라인(32)은 도 2 및 도 3에 표시된 바와 같이 동일하다.

도 4에 있어서, (40)은 최대값검출회로(6)와 출력라인(7)을 서로 접속시키는 스위치 MOS트랜지스터이다. 트랜지스터(40)는 구동제어회로(16)로부터의 출력라인(41)에 의해서 ON/OFF된다. 2개의 구동라인(42),(43)은 아날로그메모리부내의 제 1 및 제 3라인 각각에 설치되므로, 아날로그메모리부는 광전변환부에 대응하는 블록배열을 가진다. 광전변환부에 있어서, 구동라인(25)은 동일한 방식으로 각 라인에 형성된다. 라인(25)을 사용함으로써, 화소(1)는 버퍼회로(29)를 개재하여 디코더(28-1)로부터 구동된다. 한편, 저장용량(8)을 가진 아날로그메모리부는 해당 라인분할된 광전변환블록에 따라서 구동라인(42),(43)을 선택적으로 사용함으로써 버퍼회로(30)를 개재해서 디코더(28-2)로부터 저장용량을 제어가능하도록 구성되어 있다.

또한, 디지털메모리(31)에 있어서, (37)은 어드레스라인(32)에 의해 선택된 라인이 하나의 블록 또는 2개의 블록으로 구성되어 있는지를 기록하는 판독전용메모리(read-only memory, ROM)이다. 선택된 라인이 하나의 블록으로 구성되어 있으면 ROM(37)으로부터의 출력(38)이 낮게 결정되고, 선택된 라인이 2개의 블록으로 구성되어 있으면 높게된다. 그러므로, 구동제어회로(16)가 어드레스라인(32)을 지시한 경우에는 라인내의 블록이 분할되는지 여부를 출력(38)으로부터 용이하게 알 수 있다.

더욱이, 출력(38)이 높으면, 선택된 라인내의 2개의 블록이 어드레스라인(39)에 의해 선택된다. 더욱이, 출력(38)이 낮으면 2개의 제어라인(41)은 동시에 ON되고, 출력(38)이 높으면, ON펄스가 2개의 제어라인(41)으로부터 번갈아 출력되어 2개의 블록 각각을 독립적으로 선택한다. 그러므로, 구동제어회로(16)는 라인내에서 2개의 블록마다 최대값검출회로(6)로부터 광전변환전하의 최대값을 용이하게 검출할 수 있다. 다음에, 검출된 전위는 회로(16)에 의해서 출력라인(7)에 출력되고 비교기(15)에 의해서 한계값과 비교됨으로써, 디지털메모리(31)에 신호축적시간을 저장할 수 있다. 또한 아날로그메모리부로부터 출력라인(12)으로의 화상신호를 판독하여 증폭기(13)를 통해서 출력할 수 있다.

또한, 어드레스라인(39)도 아날로그메모리부용 버퍼회로(30)에 입력된다. 따라서, 하나의 라인에 2개의 블록이 있으면, 각 블록을 독립적으로 제어할 수 있게 된다.

도 4에 있어서 도 2에 표시된 바와 같은 동일한 부호로 각각 부가된 부품은 각각에 대응하는 부품과 동일한 기능을 가짐으로써 이들 부품의 반복적인 설명을 생략한다. 어떤 경우에는 복수의 블록으로서의 배열이 하나의 라인에 형성되어도, 각 라인의 블록배열형태를 인식 가능한 ROM이 디지털메모리(31)에 부가되면, 공통의 모니터회로, 공통의 구동제어회로 등을 사용하여 복수의 광전변환블록을 각각 독립적으로 구동, 제어할 수 있다.

상기 설명에서 이해할 수 있는 바와 같이, 광전변환소자로부터 전송된 신호용 제어정보로서, 각 블록에 대한 축적시간정보, 구동정보와 신호가 전송되었는지를 표시하는 정보를 메모리부의 디지털메모리(31)에 저장한다. 또한, 각 라인내의 블록배열형태를 구별하는 정보는 ROM(37)에 저장한다. 본 실시예의 디지털메모리로서, 임의접근메모리(RAM)를 사용한다.

더욱이, 상기 언급한 제 2실시예를 제 3실시예에 적용할 수 있다.

제 1 내지 제 3실시예에 있어서 모니터회로는 상기 언급한 것에 한정되지 않는다. 즉, 각 블록의 특성정보를 얻을 수 있는 회로를 사용할 수 있다. 예를 들면, 모니터회로로서, 각 광전변환블록의 추가신호를 얻는 추가회로를 사용할 수 있다.

본 발명의 많은 다른 실시예는 본 발명의 사상과 범위를 일탈하지 않고 구성될 수 있다. 본 발명은 청구범위에 한정된 것을 제외하고서는 명세서에 언급한 구체적인 실시예에 한정되지 않는것으로 이해해야 한다.

발명의 효과

상기 언급한 바와 같이, 제 1 내지 제 3실시예에 따르면 조밀하게 배열하도록 요구되는 광전변환부의 블록에 대해서도, 각 블록을 독립적으로, 구동, 제어할 수 있다.

또한, 블록의 수가 많기 때문에 각 블록에 광전변환소자를 조밀하게 배열할 필요가 있어도, 구동제어회로와 시프트레지스터를 배열하는 공간을 할당할 수 없다는 문제점이 발생하지 않는다. 그러므로, 다수의 광전변환블록에 용이하게 대처할 수 있다.

(57) 청구의 범위

청구항 1.

동일 반도체칩내에 형성된 화상센서로서,

복수의 블록에 분할된 복수의 광전변환화소와;

복수의 광전변환부에 공통으로 설치되어 상기 복수의 광전변환부를 구동하고 상기 블록마다 공통의 펄스를 출력하기 위한 판독출력수단과;

상기 복수의 광전변환부에 공통으로 설치되어 소정의 구동조건으로 상기 판독출력수단을 제어하기 위한 구동제어수단과;

상기 구동조건을 기억한 메모리를 포함한 것을 특징으로 하는 화상센서.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1항에 있어서, 상기 복수의 광전변환화소로부터 전송된 신호를 처리하기 위한 신호처리수단을 부가하여 포함하고,

상기 신호처리수단은 상기 메모리로부터 전송된 정보에 의거하여 제어되는 것을 특징으로 하는 화상센서.

청구항 5.

제 1항에 있어서, 상기 복수의 광전변환화소로부터의 신호를 처리하기 위한 신호처리수단을 부가하여 포함하고,

상기 메모리는 상기 신호처리수단을 제어하기 위한 정보를 기억하고, 상기 신호처리수단은 상기 메모리에 기억된 정보에 의거해서 제어되는 것을 특징으로 하는 화상센서.

청구항 6.

삭제

청구항 7.

제 1항에 있어서, 상기 신호처리수단은 상기 복수의 광전변환화소로부터의 신호를 증폭하는 앰프를 포함하고, 상기 정보는 이득정보를 포함하는 것을 특징으로 하는 화상센서.

청구항 8.

삭제

청구항 9.

제 1항에 있어서, 상기 메모리는 임의접근메모리(random access memory)(RAM)를 포함하는 것을 특징으로 하는 화상센서.

청구항 10.

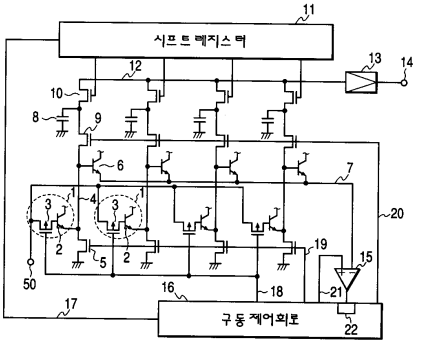
제 1항에 있어서, 상기 메모리는 판독전용메모리(read-only memory)(ROM)를 포함하는 것을 특징으로 하는 화상센서.

청구항 11.

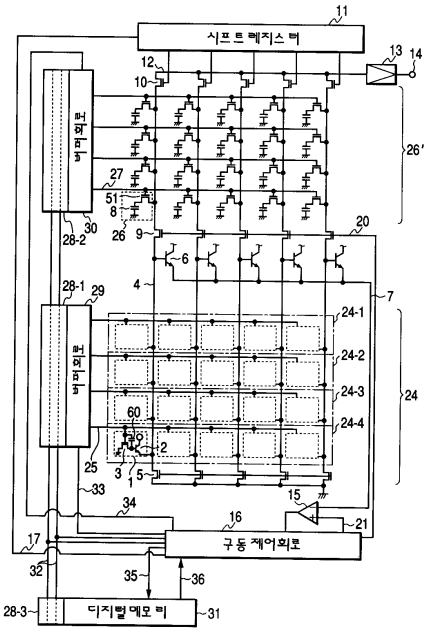
제 1항에 있어서, 상기 메모리는 임의접근메모리(RAM)와 판독전용메모리(ROM)를 포함하는 것을 특징으로 하는 화상센서.

도면

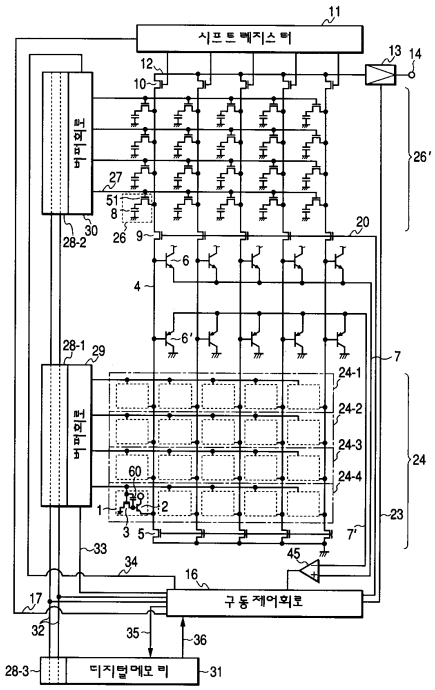
도면 1



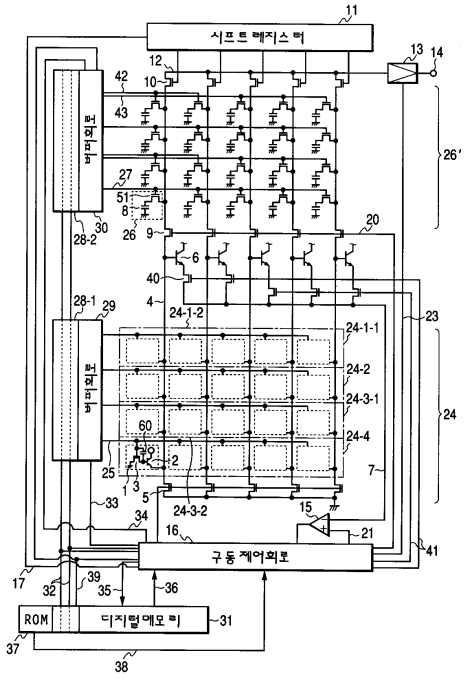
도면 2



도면 3


시프트 레지스터
버퍼회로
버퍼회로
구동 제어회로
디지털메모리

도면 4


시프트 레지스터
버퍼회로
버퍼회로
구동 제어회로
ROM
디지털메모리