

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-181735

(P2016-181735A)

(43) 公開日 平成28年10月13日(2016.10.13)

(51) Int.Cl.			F I			テーマコード (参考)		
H03K	5/26	(2006.01)	H03K	5/26	S	5J039		
H03L	7/06	(2006.01)	H03L	7/06	B	5J106		
H03L	7/081	(2006.01)	H03L	7/08	J			

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号 特願2013-173864 (P2013-173864)
 (22) 出願日 平成25年8月23日 (2013. 8. 23)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118876
 弁理士 鈴木 順生
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 崔 明 秀
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

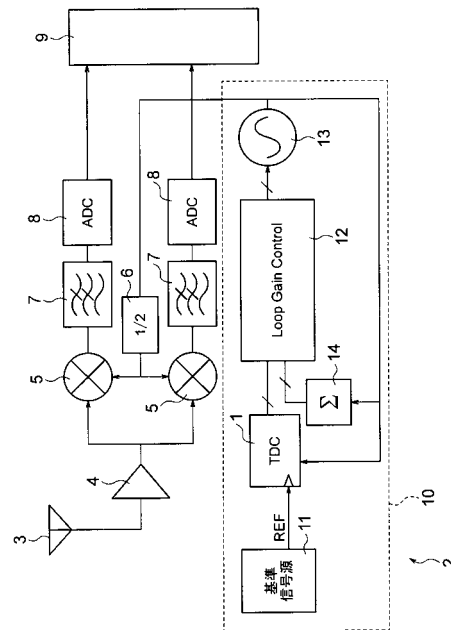
(54) 【発明の名称】 位相-デジタル変換器および受信機

(57) 【要約】

【課題】消費電力を削減可能な位相 - デジタル変換器を提供する。

【解決手段】位相 - デジタル変換器 1 は、基準信号に同期して、第 1 ~ 第 2ⁿ 相 (n は 1 以上の整数) の多相周期信号をサンプルホールドして、第 1 ~ 第 2ⁿ の多相信号を生成する第 1 ~ 第 2ⁿ のサンプルホールド部と、第 1 ~ 第 2ⁿ の多相信号に含まれる単調増加または単調減少する信号期間を、n ビットの第 1 デジタル信号に基づいて 1 / 2ⁿ 周期ごとに選択して単調変化信号を生成するセレクタと、単調変化信号を (m - n) ビット (m は 2 以上の整数で、m > n) の第 2 デジタル信号に量子化する量子化器と、を備える。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

基準信号に同期して、第 1 ~ 第 2^n 相 (n は 1 以上の整数) の多相周期信号をサンプルホールドして、第 1 ~ 第 2^n の多相信号を生成する第 1 ~ 第 2^n のサンプルホールド部と、

前記第 1 ~ 第 2^n の多相信号に含まれる単調増加または単調減少する信号期間を、 n ビットの第 1 デジタル信号に基づいて $1/2^n$ 周期ごとに選択して単調変化信号を生成するセレクタと、

前記単調変化信号を $(m - n)$ ビット (m は 2 以上の整数で、 $m > n$) の第 2 デジタル信号に量子化する量子化器と、を備え、

前記基準信号と前記第 1 ~ 第 2^n 相の多相周期信号との位相差信号の上位側ビットは前記第 1 デジタル信号であり、前記位相差信号の下位側ビットは前記第 2 デジタル信号である位相 - デジタル変換器。

【請求項 2】

電圧制御型発振器で生成された電圧制御発振信号を分周して前記第 1 ~ 第 2^n 相の多相周期信号を生成する分周器を備える請求項 1 に記載の位相 - デジタル変換器。

【請求項 3】

前記セレクタは、

前記第 1 ~ 第 2^n の多相信号のそれぞれと所定の参照信号とを比較した結果を示す 2^n 個の二値信号を生成する第 1 比較器と、

前記 2^n 個の二値信号を符号化して前記第 1 デジタル信号を生成する符号化部と、

前記第 1 ~ 第 2^n の多相信号のうち、隣接する 2 相のうち位相の早い相の立ち上がりエッジから後続する相の立ち上がりエッジまでの位相差を検出する位相比較器と、

前記位相比較器の出力を積分するチャージポンプと、

前記チャージポンプの出力信号を平滑化した信号を前記参照信号として前記比較器に供給するループフィルタと、を有する請求項 1 または 2 に記載の位相 - デジタル変換器。

【請求項 4】

前記位相比較器で検出された位相差を表すデジタル信号の出力を積分するデジタル積分器と、

前記デジタル積分器の出力信号を平滑化するデジタルフィルタと、

前記デジタルフィルタの出力信号をアナログの前記参照信号に変換するデジタル - アナログ変換器と、を備える請求項 3 に記載の位相 - デジタル変換器。

【請求項 5】

前記第 1 ~ 第 2^n の多相信号のいずれかの立ち上がりまたは立ち下がりエッジの数を計測するカウンタを備え、

前記量子化器は、

時間とともに電圧レベルが上昇する積分信号を生成する積分器と、

前記セレクタの出力信号と前記積分器の出力信号とを比較した結果に基づいて、二値信号を生成する第 2 比較器と、

前記第 2 比較器から出力される前記二値信号の値が変化してから前記基準信号の立ち上がりまたは立ち下がりエッジが入力されるまでの間、リセット状態に設定するリセット信号生成部と、

前記リセット状態の間中は、前記積分器の動作を停止させる切替部と、

前記リセット状態が解除された期間内にカウントされた前記カウンタのカウント値に基づいて前記第 2 デジタル信号を生成する微分器と、を有する請求項 1 乃至 4 のいずれかに記載の位相 - デジタル変換器。

【請求項 6】

前記微分器は、前記リセット信号が解除されたときの前記カウンタのカウント値と、次に前記リセット信号が入力されたときの前記カウンタのカウント値とに基づいて微分処理を行って前記第 2 デジタル信号を生成する請求項 5 に記載の位相 - デジタル変換器。

10

20

30

40

50

【請求項 7】

前記第 2 比較器は、第 1 モード時には前記セクタが出力可能な最大信号と前記積分器の出力信号とを比較し、第 2 モード時には前記セクタの出力信号と前記積分器の出力信号とを比較した結果に基づいて、二値信号を生成し、

前記微分器は、前記第 1 モード時における前記第 2 比較器の比較結果に基づいて、前記微分処理した値を正規化して前記第 2 デジタル信号を生成する請求項 5 または 6 に記載の位相 - デジタル変換器。

【請求項 8】

受信信号の位相と、電圧制御型発振器で生成された電圧制御発振信号の位相との位相差を検出する周波数変換器と、

前記周波数変換器の不要な高周波成分を除去する低域通過フィルタと、

前記低域通過フィルタを通過した信号をデジタル信号に変換するアナログ - デジタル変換器と、

前記電圧制御発振信号の周波数を帰還制御する周波数シンセサイザと、を備え、

前記周波数シンセサイザは、

前記電圧制御発振信号の位相を検出する位相 - デジタル変換器と、

前記電圧制御発振信号の位相を前記位相 - デジタル変換器よりも粗く検出するカウンタと、

前記位相 - デジタル変換器の出力値と前記カウンタのカウント値とに基づいて、前記電圧制御発振信号の周波数を制御するための制御信号を生成するループゲイン制御部と、を有し、

前記位相 - デジタル変換器は、

基準信号に同期して、第 1 ~ 第 2^n 相 (n は 1 以上の整数) の多相周期信号をサンプルホールドして、第 1 ~ 第 2^n の多相信号を生成する第 1 ~ 第 2^n のサンプルホールド部と、

前記第 1 ~ 第 2^n の多相信号に含まれる単調増加または単調減少する信号期間を、 n ビットの第 1 デジタル信号に基づいて $1/2^n$ 周期ごとに選択して単調変化信号を生成するセクタと、

前記単調変化信号を $(m - n)$ ビット (m は 2 以上の整数で、 $m > n$) の第 2 デジタル信号に量子化する量子化器と、を備え、

前記基準信号と前記第 1 ~ 第 2^n 相の多相周期信号との位相差信号の上位側ビットは前記第 1 デジタル信号であり、前記位相差信号の下位側ビットは前記第 2 デジタル信号である受信機。

【請求項 9】

前記量子化器は、前記カウンタのカウント値を利用して、前記第 2 デジタル信号を量子化する請求項 8 に記載の受信機。

【請求項 10】

前記受信信号を受信するアンテナを備える請求項 8 または 9 に記載の受信機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、位相 - デジタル変換器および受信機に関する。

【背景技術】

【0002】

従来の位相 - デジタル変換回路 (TDC : Time-to-Digital Converter) は、多数の縦属接続された遅延段に RF 信号を入力し、遅延段の各々の出力を 1 ビットで量子化して、位相 - デジタル変換を行っていた。

【0003】

ところが、RF 信号の周波数が GHz 帯になると、遅延段の段数を増やさなければならず、回路面積が増大するとともに、TDC 全体の消費電流も増えるという課題があった。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第6429693号公報

【非特許文献】

【0005】

【非特許文献1】R. Staszewski, "ALL-Digital PLL and Transmitter for Mobile Phones", IEEE J. of Solid-State Circuits Vol. 40, No. 12, DEC 2005.

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

本発明が解決しようとする課題は、消費電力を削減可能な位相 - デジタル変換器および受信機を提供することにある。

【課題を解決するための手段】

【0007】

本実施形態では、基準信号に同期して、第1～第 2^n 相（ n は1以上の整数）の多相周期信号をサンプルホールドして、第1～第 2^n の多相信号を生成する第1～第 2^n のサンプルホールド部と、

前記第1～第 2^n の多相信号に含まれる単調増加または単調減少する信号期間を、 n ビットの第1デジタル信号に基づいて $1/2^n$ 周期ごとに選択して単調変化信号を生成するセクタと、

20

前記単調変化信号を $(m-n)$ ビット（ m は2以上の整数で、 $m > n$ ）の第2デジタル信号に量子化する量子化器と、を備え、

前記基準信号と前記第1～第 2^n 相の多相周期信号との位相差信号の上位側ビットは前記第1デジタル信号であり、前記位相差信号の下位側ビットは前記第2デジタル信号である位相 - デジタル変換器が提供される。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る位相 - デジタル変換器（TDC）1を備えた受信機2の概略構成を示すブロック図。

30

【図2】位相 - デジタル変換器（TDC）1の内部構成の一例を示すブロック図。

【図3】セクタ24の内部構成の一例を示す図。

【図4】セクタ24内部の信号波形図。

【図5】第2の実施形態に係るセクタ24の内部構成を示すブロック図。

【図6】参照電圧 V_{REF} が最適電圧 V_{opt} よりも低い場合の第2の実施形態の信号波形図。

【図7】参照電圧 V_{REF} が最適電圧 V_{opt} よりも高い場合の第2の実施形態の信号波形図。

【図8】第3の実施形態に係るセクタ24の内部構成を示すブロック図。

【図9】参照電圧 V_{REF} が最適電圧 V_{opt} よりも低い場合の第3の実施形態の信号波形図。

40

【図10】参照電圧 V_{REF} が最適電圧 V_{opt} よりも高い場合の第3の実施形態の信号波形図。

【図11】第4の実施形態に係る位相 - デジタル変換器1（TDC）の内部構成を示すブロック図。

【図12】量子化器25の内部の信号波形図。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら、本発明の実施形態を説明する。

（第1の実施形態）

50

図1は第1の実施形態に係る位相 - デジタル変換器 (T D C) 1を備えた受信機2の概略構成を示すブロック図である。図1の受信機2は、アンテナ3と、低雑音増幅器4と、周波数変換器5と、分周器6と、低域通過フィルタ7と、A / D変換器 (A D C) 8と、デジタル信号復調部 (M o d e m) 9と、周波数シンセサイザ部10とを備えている。

【 0 0 1 0 】

アンテナ3で受信された受信信号は、低雑音増幅器4で増幅されて周波数変換器5に入力される。周波数変換器5は、低雑音増幅器4から出力された受信信号と、周波数シンセサイザ部10で生成された電圧制御発振信号 (以下、V C O信号) との位相差を検出し、位相差信号を出力する。周波数変換器5、低域通過フィルタ7およびA / D変換器8はそれぞれ2つずつ設けられており、一方の周波数変換器5はI信号を生成し、他方の周波数変換器5はQ信号を生成する。I信号とQ信号は、それぞれ対応するA / D変換器8に入力されて、サンプリングされ、I信号のデジタル値とQ信号のデジタル値が生成される。これらデジタル値は、デジタル信号復調部9に入力されて、デジタル復調処理が行われる。

10

【 0 0 1 1 】

周波数シンセサイザ部10は、基準信号源11と、位相 - デジタル変換器 (T D C) 1と、ループゲイン制御部12と、電圧制御型発振器 (V C O : Voltage Control Oscillator) 13と、バイナリカウンタ14とを有する。

【 0 0 1 2 】

位相 - デジタル変換器1は、後に詳述するように、V C O信号の位相を検出する。バイナリカウンタ14は、V C O信号の位相の検出に用いられる。ループゲイン制御部12は、V C O信号と受信信号の位相が一致するように帰還制御を行う。

20

【 0 0 1 3 】

図2は位相 - デジタル変換器 (T D C) 1の内部構成の一例を示すブロック図である。図2のT D C 1は、分周器21と、バイナリカウンタ22と、複数のサンプルホールド部23と、セレクタ24と、量子化器 (A D C) 25とを有する。

【 0 0 1 4 】

図2の分周器21は、V C O信号を二分周して、位相が90°ずつ異なる4種類の多相周期信号を生成する。なお、分周器21が生成する多相周期信号は必ずしも4種類とは限らない。一般化すると、分周器21は、第1~第2ⁿ相 (nは1以上の整数) の多相周期信号を生成する。また、分周器21は、T D C 1の外側に設けてもよい。例えば図1の受信機2のI Q信号生成のための分周器6と共用することも可能である。

30

【 0 0 1 5 】

サンプルホールド部23は、多相周期信号の数だけ設けられる。図2の例では、4つのサンプルホールド部23が設けられている。各サンプルホールド部23は、対応する多相周期信号を、基準信号源11からの基準信号に同期してサンプルホールドして、多相信号を生成する。図2の例では、4種類の多相信号 P h a s e [4 : 1] が生成される。一般化すると、第1~第2ⁿ相 (nは1以上の整数) の多相周期信号が存在する場合は、第1~第2ⁿの多相信号が生成される。

【 0 0 1 6 】

セレクタ24は、第1デジタル信号 T D C [5 : 4] に基づいて、各サンプルホールド部23で生成された複数の多相信号の中から一つを所定の時間間隔で選択して単調変化信号 S E L 。_u t を生成する。図2の場合、セレクタ24は、4種類の多相信号 P h a s e [4 : 1] のうち、単調増加または単調減少する信号期間を、第1デジタル信号 T D C [5 : 4] に基づいて1 / 4周期ごとに選択して単調変化信号 S E L 。_u t を生成する。一般化すると、セレクタ24は、第1~第2ⁿの多相信号に含まれる単調増加または単調減少する信号期間を、nビットの第1デジタル信号に基づいて1 / 2ⁿ周期ごとに選択して単調変化信号 S E L 。_u t を生成する。

40

【 0 0 1 7 】

単調変化信号 S E L 。_u t は、単調増加または単調減少しているだけでなく、線形性を

50

有していることが重要である。量子化器 25 により、単調変化信号 SEL_{out} を量子化するためである。より詳細には、量子化器 25 は、単調変化信号 SEL_{out} を $(m - n)$ ビット (m は 2 以上の整数) の第 2 デジタル信号に量子化する。

【0018】

上述した第 1 デジタル信号と第 2 デジタル信号を合成したデジタル信号が、基準信号と VCO 信号との位相差信号になる。より具体的には、位相差信号の上位側ビットは第 1 デジタル信号であり、下位側ビットは第 2 デジタル信号である。図 2 の場合、位相差信号は 5 ビットの TDC [5 : 1] であり、そのうちの上位側ビット TDC [5 : 4] が第 1 デジタル信号であり、下位側ビット TDC [3 : 1] が第 2 デジタル信号である。

【0019】

図 3 はセレクタ 24 の内部構成の一例を示す図、図 4 はセレクタ 24 内部の信号波形図である。図 3 に示すように、セレクタ 24 は、比較器 (第 1 比較器) 31 と、エンコーダ (符号化部) 32 と、4 つのスイッチ SW1 ~ SW4 とを有する。比較器 31 は、4 つのサンプルホールド部 23 から出力された 4 種類の多相信号 $Phase [4 : 1]$ のそれぞれを参照電圧 V_{REF} と比較して、比較結果を示す二値データ $PSEL [4 : 1]$ を生成する。エンコーダ 32 は、二値データ $PSEL [4 : 1]$ のビット列を符号化した第 1 デジタル信号 TDC [5 : 4] を生成する。

【0020】

4 つのスイッチ SW1 ~ SW4 のそれぞれは、4 種類の多相信号 $Phase [4 : 1]$ のそれぞれを選択するか否かを、 $PSEL [4 : 1]$ のうち対応するビット値に基づいて切り替える。より具体的には、スイッチ SW1 は、 $PSEL [1]$ のビット値により、 $Phase [1]$ を選択するか否かを切り替える。スイッチ SW2 は、 $PSEL [2]$ のビット値により、 $Phase [2]$ を選択するか否かを切り替える。スイッチ SW3 は、 $PSEL [3]$ のビット値により、 $Phase [3]$ を選択するか否かを切り替える。スイッチ SW4 は、 $PSEL [4]$ のビット値により、 $Phase [4]$ を選択するか否かを切り替える。

【0021】

4 種類の多相信号 $Phase [4 : 1]$ の信号波形が例えば図 4 (a) のような正弦波信号の場合、比較器 31 の出力信号 $PSEL [4 : 1]$ は、これらの多相信号が参照電圧 V_{REF} を超えた場合に 1 を出力し、それ以外では 0 を出力する。このため、 $PSEL [4 : 1]$ は、図 4 (b) のようなパルス信号になる。スイッチは、 $PSEL [4 : 1]$ が 1 の期間だけ、対応する $Phase [4 : 1]$ を選択するため、セレクタ 24 の出力信号 SEL_{out} は、図 4 (c) のような単調増加で線形な単調変化信号 SEL_{out} になる。

【0022】

セレクタ 24 で選択された単調変化信号 SEL_{out} は、量子化器 25 に入力される。量子化器 25 は、単調変化信号 SEL_{out} を 8 レベルの第 2 デジタル信号 TDC [3 : 1] に量子化する。

【0023】

$PSEL [4 : 1]$ のそれぞれの選択範囲内で、多相信号の位相 - 電圧特性の単調増加性と線形性が確保されていれば、セレクタ 24 の出力信号 SEL_{out} を量子化したデジタルコード TDC [3 : 1] は、基準信号 REF との位相差を表していることになる。図 2 に示したカウンタ 22 は、後述するように、TDC [3 : 1] のビット列の値を決定するために用いられる。

【0024】

図 4 において、例えば $PSEL [4]$ の選択範囲から $PSEL [3]$ の選択範囲に切り替わる瞬間、デジタルコード TDC [3 : 1] は一旦 000 に戻るため単調増加性が確保されていないように見えるが、 $PSEL [4 : 1]$ 間で選択範囲が変わるたびに、新たな単調増加特性が得られて、TDC [3 : 1] が新たに設定されるため、単調増加特性は常に維持される。

10

20

30

40

50

【 0 0 2 5 】

例えば、図 4 (a) の A 点の位相は、 $PSEL[4]$ が 1 のときにスイッチ $SW4$ を通過する多相信号 $Phase[3]$ 上の値である $TDC[3:1] = (110)$ に対応し、 $PSEL[4]$ が選択されるのは $TDC[5:4] = (00)$ のときであり、基準信号 REF との位相差信号 $TDC[5:1] = (00110)$ となる。

【 0 0 2 6 】

このように、第 1 の実施形態では、 VCO 信号から生成した複数の多相周期信号が単調増加または単調減少する信号期間をそれぞれ選択して単調変化信号 SEL_{out} を生成し、この単調変化信号 SEL_{out} に基づいて位相差信号を生成する。このため、 VCO 信号を遅延させて複数の位相の異なる信号を生成してから位相差信号を生成するよりも、大幅に消費電力を削減できる。

10

【 0 0 2 7 】

(第 2 の実施形態)

以下に説明する第 2 の実施形態は、セレクタ 24 の内部構成が第 1 の実施形態と一部異なっているものの、その他の構成は第 1 の実施形態と同様であるため、以下では相違点を中心に説明する。また、以下では、第 1 の実施形態と同様に、分周器 21 で 4 種類の多相同期信号を生成する例を説明するが、本実施形態は、第 1 ~ 第 2^n 相 (n は 1 以上の整数) の多相周期信号を生成する場合にも適用可能である。

【 0 0 2 8 】

図 5 は第 2 の実施形態に係るセレクタ 24 の内部構成を示すブロック図である。図 5 のセレクタ 24 は、図 3 のセレクタ 24 の構成に加えて、位相同期部 33 を有する。この位相同期部 33 は、比較器 32 に入力される参照電圧 V_{REF} を生成するものであり、位相比較器 34 と、チャージポンプ 35 と、ループフィルタ 36 とを有する。位相比較器 34 は、 $PSEL[4:1]$ のうち、隣接する 2 相のうち位相の早い相の立ち下がりエッジから後続する相の立ち上がりエッジの位相差を検出する。チャージポンプ 35 は、位相比較器 34 の出力信号を積分する。ループフィルタ 36 は、チャージポンプ 35 の出力信号を平滑化した信号を参照信号として比較器 31 に供給する。

20

【 0 0 2 9 】

位相同期部 33 で参照電圧 V_{REF} を生成する理由は、参照電圧 V_{REF} がばらつくと $PSEL[4:1]$ のパルス幅が変動してしまい誤動作の要因となるためである。また、比較器 31 のオフセットをキャンセルする必要もあるためである。

30

【 0 0 3 0 】

図 6 および図 7 は第 2 の実施形態におけるセレクタ 24 内部の信号波形図である。図 6 は参照電圧 V_{REF} が最適電圧 V_{opt} よりも低い場合の信号波形図、図 7 は参照電圧 V_{REF} が最適電圧 V_{opt} よりも高い場合の信号波形図である。

【 0 0 3 1 】

参照電圧 V_{REF} が最適電圧 V_{opt} よりも低い場合は、図 6 に示すように、 $PSEL[4:1]$ のそれぞれのパルス期間がオーバーラップしてしまう。オーバーラップした期間内では、4 つのスイッチ $SW1 \sim SW4$ のうち、どれをオンするべきか判断できなくなり、誤動作の要因になる。また、参照電圧 V_{REF} が最適電圧 V_{opt} よりも高い場合は、図 7 に示すように、 $PSEL[4:1]$ のそれぞれのパルス幅は狭くなり、どのスイッチもオンしない期間が生じてしまう。

40

【 0 0 3 2 】

そこで、位相同期部 33 は、参照電圧 V_{REF} が最適電圧 V_{opt} に一致するように帰還制御を行う。より具体的には、位相同期部 33 は、 $PSEL[4]$ の立ち下がりエッジと $PSEL[3]$ の立ち上がりエッジのタイミングが一致するように位相調整を行う。なお、 $PSEL[1]$ や $PSEL[2]$ を使って位相調整を行ってもよい。すなわち、位相同期部 33 は、隣接する 2 相のうち位相の早い相の立ち下がりエッジと後続する相の立ち上がりエッジとのタイミングが一致するように位相調整を行う。

【 0 0 3 3 】

50

位相同期部 33 内の位相比較器 34 には、例えば、 $PSEL[4]$ を反転させた $PSELb[4]$ と $PSEL[3]$ が入力される。位相比較器 34 は、これら 2 入力信号のうち、どちらの立ち上がりエッジが先に検出されるかで、UP 信号を出力するか、DN 信号を出力するかを決定する。例えば、 $PSEL[3]$ が先の場合は UP 信号を出力し、 $PSELb[4]$ が先の場合は DN 信号を出力する。

【0034】

UP 信号と DN 信号は、チャージポンプ 35 により積分された後、ループフィルタ 36 で平滑化されて、比較器 31 の参照電圧 V_{REF} になる。

【0035】

図 6 に示すように、 $PSEL[3]$ の立ち上がりエッジが $PSELb[4]$ の立ち下がりエッジよりも位相比較器 34 に先に入力される場合は、参照電圧 V_{REF} が最適電圧 V_{opt} より低いことを意味するため、UP 信号によって参照電圧 V_{REF} は徐々に上がり、UP 信号が出力されなくなる状態、すなわち $PSEL[3]$ と $PSELb[4]$ のエッジが同タイミングになって、 $PSEL[4:1]$ のオーバーラップがなくなると、参照電圧 V_{REF} は最適電圧 V_{opt} に一致する。

10

【0036】

また、図 7 に示すように、 $PSELb[4]$ の立ち下がりエッジが $PSEL[3]$ の立ち上がりエッジよりも位相比較器 34 に先に入力される場合は、参照電圧 V_{REF} が最適電圧 V_{opt} よりも高いことを意味し、DN 信号によって基準電圧は徐々に下がり、DN 信号が出力されなくなる状態、すなわち $PSEL[4:1]$ のオーバーラップがなくなると、参照電圧 V_{REF} は最適電圧 V_{opt} に一致する。

20

【0037】

このようにして調整した $PSEL[4:1]$ を、スイッチ $SW1 \sim SW4$ の切替信号として用いると、多相信号 $Phase[4:1]$ の線形増加領域のみを抽出した単調変化信号 SEL_{out} をセクタ 24 で生成できる。

【0038】

このように、第 2 の実施形態では、参照電圧 V_{REF} が最適電圧 V_{opt} に一致するように位相同期部 33 で調整するため、複数のスイッチが重複してオンすることがなくなり、また、どのスイッチもオンしない期間が現れなくなり、線形な単調増加領域のみを含む単調変化信号 SEL_{out} を生成できる。

30

【0039】

(第 3 の実施形態)

以下に説明する第 3 の実施形態は、第 2 の実施形態で説明した位相同期部 33 をデジタル化するものである。

【0040】

図 8 は第 3 の実施形態に係るセクタ 24 の内部構成を示すブロック図である。図 8 のセクタ 24 は、デジタル位相同期部 41 を有する他は、図 5 と同様に構成されている。

【0041】

図 8 のデジタル位相同期部 41 は、デジタル位相比較器 42 と、デジタル積分器 43 と、デジタルフィルタ 44 と、DA 変換器 45 とを有する。

40

【0042】

デジタル位相比較器 42 は、隣接する 2 相のうち位相の早い相の立ち下がりエッジから後続する相の立ち上がりエッジの位相差を検出して、2 値のデジタル信号として出力する。デジタル位相比較器 42 は、図 8 に示すように、1 つの D フリップフロップで構成可能である。例えば、D フリップフロップの D 入力端子には $PSEL[3]$ が入力され、クロック端子には $PSELb[4]$ が入力される。 $PSEL[3]$ と $PSELb[4]$ のどちらの立ち上がりエッジが先に入力されるかで、D フリップフロップの出力が 1 になるか -1 (0) になるかが決定される。より具体的には、 $PSEL[3]$ の立ち上がりエッジの方が早ければ +1 になり、 $PSELb[4]$ の立ち上がりエッジの方が早ければ -1 (0) になる。

50

【 0 0 4 3 】

デジタル位相比較器 4 2 の出力は、デジタル積分器 4 3 で積分された後、デジタルフィルタ 4 4 により平滑化されて、D A 変換器 4 5 に入力される。D A 変換器 4 5 は、アナログ信号に変換して参照電圧 V_{REF} を生成する。

【 0 0 4 4 】

図 9 および図 1 0 は第 3 の実施形態におけるセクタ 2 4 内部の信号波形図である。図 9 は参照電圧 V_{REF} が最適電圧 V_{opt} よりも低い場合の信号波形図、図 1 0 は参照電圧 V_{REF} が最適電圧 V_{opt} よりも高い場合の信号波形図である。

【 0 0 4 5 】

図 9 と図 1 0 は、各図の最後に記載されたデジタル位相比較器 4 2 の出力信号波形以外は、図 6 および図 7 と共通する。

10

【 0 0 4 6 】

このように、第 3 の実施形態は、デジタル位相同期部 3 3 を用いて参照電圧 V_{REF} の調整を行うため、構成を簡略化でき、またノイズの影響も受けにくくなる。

【 0 0 4 7 】

(第 4 の実施形態)

以下に説明する第 4 の実施形態は、量子化器 2 5 の内部構成に特徴を持たせたものである。

【 0 0 4 8 】

図 1 1 は第 4 の実施形態に係る位相 - デジタル変換器 1 (T D C) の内部構成を示すブロック図である。図 1 1 の T D C 1 は、量子化器 2 5 の内部構成が第 1 ~ 第 3 の実施形態と異なっており、それ以外は共通するため、以下では、相違点を中心に説明する。

20

【 0 0 4 9 】

図 1 1 の量子化器 2 5 は、積分器 5 1 と、比較器 5 2 と、リセット信号生成部 5 3 と、スイッチ (切替部) SW_5 , SW_6 と、微分器 5 4 とを有する。

【 0 0 5 0 】

積分器 5 1 は、時間とともに電圧レベルが上昇する積分信号を生成する。比較器 5 2 は、キャリブレーションモード ($Cal. Mode$: 第 1 モード) 時にはセクタ 2 4 が用いる参照電圧 V_{REF} と積分器 5 1 の出力信号とを比較し、通常モード (第 2 モード) 時にはセクタ 2 4 の出力信号と積分器 5 1 の出力信号とを比較した結果に基づいて、二値信号を生成する。

30

【 0 0 5 1 】

リセット信号生成部 5 3 は、比較器 5 2 から出力される二値信号の値が変化してから基準信号の立ち上がりまたは立ち下がりエッジが入力されるまでの間、リセット信号 RST を出力する。リセット信号生成部 5 3 は、例えば、2 つの D フリップフロップ 5 5 , 5 6 と、これら D フリップフロップ 5 5 , 5 6 の出力信号同士で $NAND$ 演算を行う $NAND$ ゲート 5 7 と、を有する。

【 0 0 5 2 】

スイッチ SW_5 , SW_6 は、リセット信号 RST の出力期間中に積分器 5 1 の動作を停止させる。微分器 5 4 は、カウンタ 2 2 のカウント値とリセット信号 RST とに基づいて、第 2 デジタル信号 $TDC [3 : 1]$ を生成する。

40

【 0 0 5 3 】

積分器 5 1 は、電流源 5 8 とキャパシタ C の間に介挿されるスイッチ SW_5 と、キャパシタ C に並列接続されるスイッチ SW_6 と、を有し、キャパシタ C の一端側は比較器 5 2 の + 入力端子に接続されている。比較器 5 2 の - 入力端子には、セクタ 2 4 の出力信号 SEL_{out} が入力される。

【 0 0 5 4 】

図 1 2 は量子化器 2 5 の内部の信号波形図である。リセット信号生成部 5 3 から出力されるリセット信号 RST が 1 のときはリセット状態であり、スイッチ SW_5 はオフで、スイッチ SW_6 はオンする。

50

【 0 0 5 5 】

リセット信号生成部 5 3 は、基準信号源 1 1 からの基準信号 R E F の立ち上がりエッジが入力されると、リセット信号を 0 にして、リセット状態を解除する（時刻 t_1 ）。これにより、スイッチ S W 1 はオンに、スイッチ S W 2 はオフになり、積分器 5 1 内のキャパシタ C は電荷の蓄積を開始し、積分器 5 1 の出力信号（積分信号）C P o u t の電圧レベルは、時間とともに線形に増大する（時刻 $t_1 \sim t_2$ ）。

【 0 0 5 6 】

積分信号 C P o u t が参照電圧 $V_{R E F}$ またはセクタ 2 4 の出力信号 S E L o u t を超えると、比較器 5 2 の出力信号 C M P o u t は 1 になり（時刻 $t_2 \sim t_3$ ）、リセット信号は 1 になる。

10

【 0 0 5 7 】

その後、基準信号源 1 1 からの基準信号 R E F がハイになると、リセット信号は 0 になる（時刻 t_4 ）。リセット信号生成部 5 3 内のフリップフロップ 5 5 は、比較器 5 2 の出力信号 C M P o u t の立ち上がりエッジを検出すると、リセット信号 R S T を 1 にしてリセット状態になる（時刻 t_5 ）。これにより、スイッチ S W 1 はオフ、スイッチ S W 2 はオンし、積分器 5 1 内のキャパシタ C は放電動作を開始し、積分信号 C P o u t は 0 になる（時刻 t_6 ）。

【 0 0 5 8 】

量子化器 2 5 がこのような動作を行っている最中、カウンタ 2 2 は継続してカウントアップ動作を行う。微分器 5 4 は、リセット信号 R S T が解除された時点でのカウンタ 2 2 のカウント値と、次にリセット信号 R S T がリセット状態になった時点でのカウンタ 2 2 のカウント値とを記憶し、両カウント値の差分を検出する微分処理を行う。微分器 5 4 は、積分信号 C P o u t が 0 の時点から、積分信号 C P o u t がセクタ 2 4 の出力信号 S E L o u t または参照電圧 $V_{R E F}$ を超えるまでの時間を検出する。

20

【 0 0 5 9 】

微分器 5 4 の出力信号は相対的なデジタル値であり、その最大値である参照電圧 $V_{R E F}$ で規格化する必要があることから、キャリブレーションモードを設けている。キャリブレーションモードでは、比較器 5 2 は積分信号 C P o u t と参照電圧 $V_{R E F}$ とを比較し、微分器 5 4 は、積分信号 C P o u t が 0 の時点から、積分信号 C P o u t が参照電圧 $V_{R E F}$ を超えるまでの時間を検出する。

30

【 0 0 6 0 】

図 1 2 では、時刻 $t_1 \sim t_4$ がキャリブレーションモード期間であり、時刻 t_5 以降は通常モード期間である。

【 0 0 6 1 】

微分器 5 4 は、上述したように、両カウント値の差分を検出して、その差分を参照電圧 $V_{R E F}$ で正規化したデジタル値 T D C [3 : 1] を出力する。

【 0 0 6 2 】

上述したカウンタ 2 2 は、図 1 の受信機 2 に元々設けられているバイナリカウンタ 1 4 を流用することができる。流用ができる理由は、微分器 5 4 では、カウンタ 2 2 のカウント値の差分を取ることから、カウンタ 2 2 はカウントアップ動作を継続していればよく、カウント値には依存しないためである。

40

【 0 0 6 3 】

このように、第 4 の実施形態では、リセット状態が解除された時点のカウント値と、積分信号 C P o u t がセクタ 2 4 の出力信号 S E L o u t を超えた時点のカウント値との差分を微分器 5 4 で検出して T D C [3 : 1] を決定するため、量子化器 2 5 の処理をデジタル信号処理で実現可能となる。また、カウンタ 2 2 は常にカウントアップ動作を続けておけばよいため、図 1 の受信機 2 に元々設けられているカウンタ 1 4 のカウント値をそのまま使用でき、別個にカウンタ 2 2 を設けなくて済むため、位相 - デジタル変換器 1 の内部構成を簡略化できる。

【 0 0 6 4 】

50

上述した実施形態で説明した受信機 2 および位相 - デジタル変換器 1 の少なくとも一部は、ハードウェアで構成してもよいし、ソフトウェアで構成してもよい。ソフトウェアで構成する場合には、受信機 1 および位相 - デジタル変換器 1 の少なくとも一部の機能を実現するプログラムをフレキシブルディスクや CD - ROM 等の記録媒体に収納し、コンピュータに読み込ませて実行させてもよい。記録媒体は、磁気ディスクや光ディスク等の着脱可能なものに限定されず、ハードディスク装置やメモリなどの固定型の記録媒体でもよい。

【 0 0 6 5 】

また、受信機 1 の少なくとも一部の機能を実現するプログラムを、インターネット等の通信回線（無線通信も含む）を介して頒布してもよい。さらに、同プログラムを暗号化したり、変調をかけたり、圧縮した状態で、インターネット等の有線回線や無線回線を介して、あるいは記録媒体に収納して頒布してもよい。

10

【 0 0 6 6 】

本発明の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本発明の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

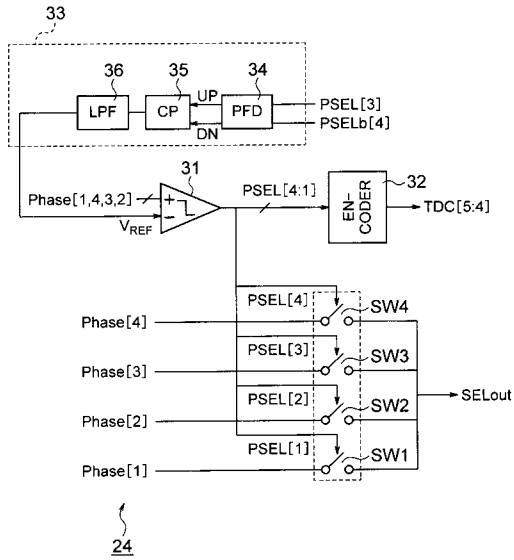
【 符号の説明 】

【 0 0 6 7 】

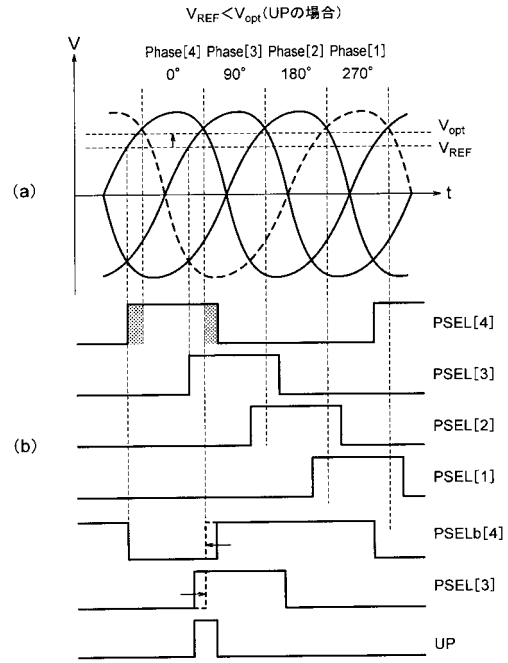
1 位相 - デジタル変換器、2 受信機、3 アンテナ、4 低雑音増幅器、5 周波数変換器、6 分周器、7 低域通過フィルタ、8 A / D 変換器、9 デジタル信号復調部、10 周波数シンセサイザ部、21 分周器、22 バイナリカウンタ、23 サンプルホールド部、24 セレクタ、25 量子化器、31 比較器、32 エンコーダ、33 位相同期部、34 位相比較器、35 チャージポンプ、36 ループフィルタ、41 デジタル位相同期部、42 デジタル位相比較器、43 デジタル積分器、44 デジタルフィルタ、45 D A 変換器、51 積分器、52 比較器、53 リセット信号生成部、54 微分器、55 , 56 D フリップフロップ、57 N A N D ゲート

20

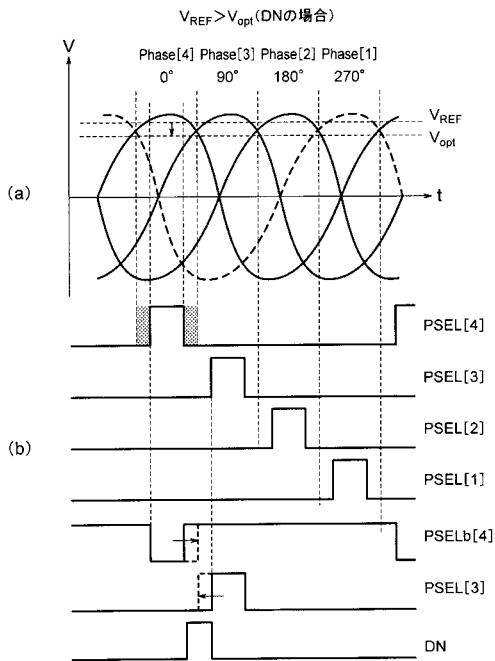
【 図 5 】



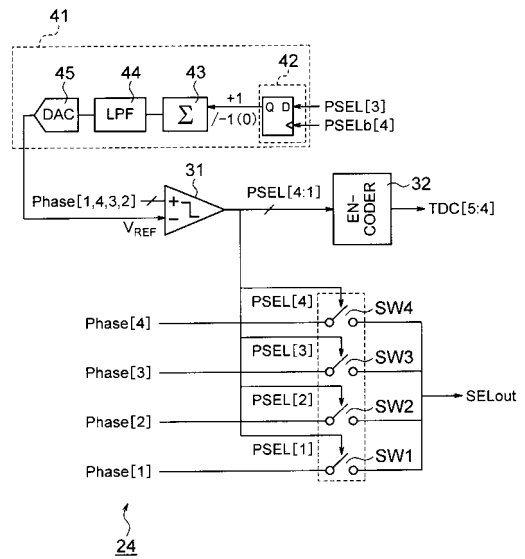
【 図 6 】



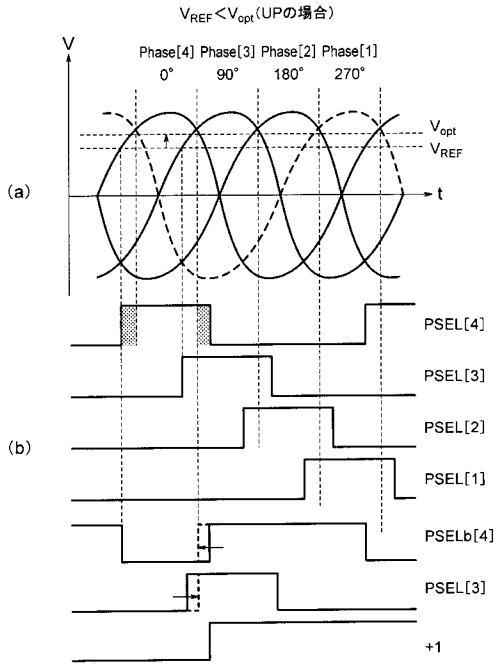
【 図 7 】



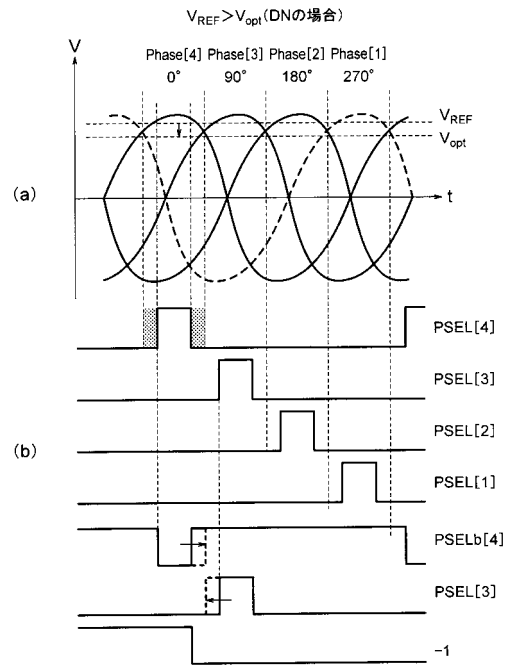
【 図 8 】



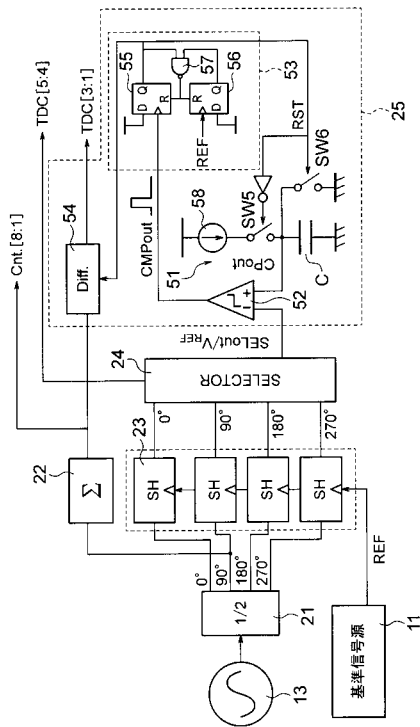
【 図 9 】



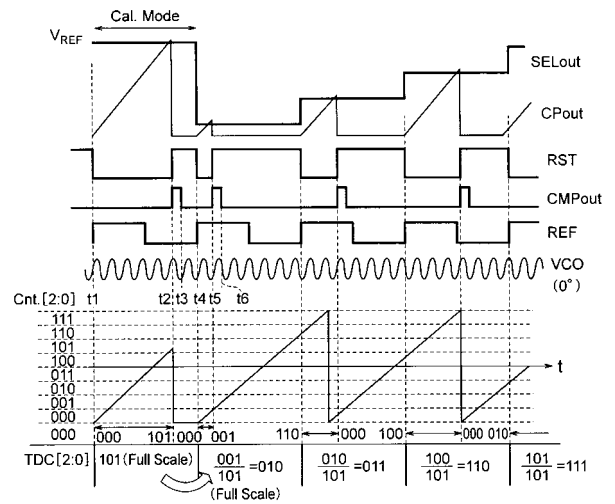
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(72)発明者 古 田 雅 則
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 板 倉 哲 朗
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5J039 JJ06 KK27 KK28 KK29 KK31 MM04
5J106 AA05 BB01 CC01 CC25 CC26 CC41 DD09 DD17 DD32 GG04
KK40