



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년03월19일

(11) 등록번호 10-2229659

(24) 등록일자 2021년03월12일

(51) 국제특허분류(Int. Cl.)
H03K 3/3562 (2006.01) H03K 3/037 (2006.01)

(52) CPC특허분류
H03K 3/35625 (2013.01)
H03K 3/0372 (2013.01)

(21) 출원번호 10-2020-0014715

(22) 출원일자 2020년02월07일

심사청구일자 2020년02월07일

(56) 선행기술조사문헌

JP2012114837 A*

*는 심사관에 의하여 인용된 문헌

기술이전 희망 : 기술양도

(73) 특허권자

인천대학교 산학협력단

인천광역시 연수구 아카데미로 119 (송도동)

(72) 발명자

나태희

서울특별시 구로구 신도림로 110, 101동 206호(신도림동, 신도림우성1차아파트)

(74) 대리인

특허법인충정

전체 청구항 수 : 총 4 항

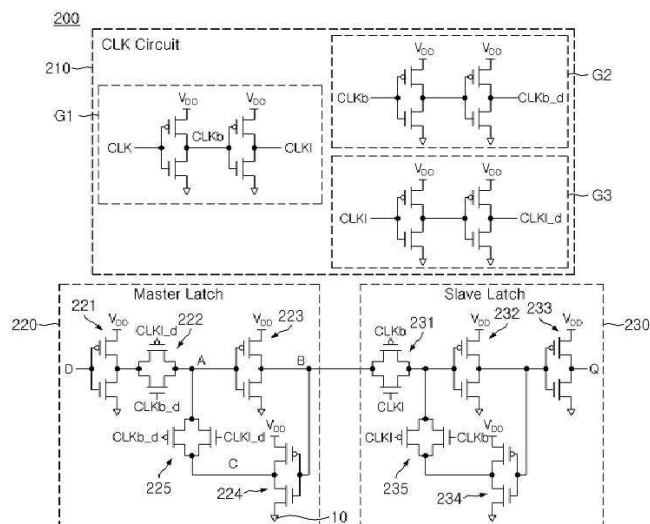
심사관 : 최규돈

(54) 발명의 명칭 셋업 타임이 감소된 전송 게이트 기반 마스터-슬레이브 플립플롭

(57) 요약

본 발명은 셋업 타임이 감소된 전송 게이트 기반 마스터-슬레이브 플립플롭에 관한 것으로서, 본 발명의 플립플롭은, 입력 클럭신호를 인버팅한 슬레이브용 반전클럭신호와 상기 슬레이브용 반전클럭신호를 인버팅한 슬레이브용 비반전클럭신호를 생성하고, 상기 슬레이브용 반전클럭신호를 지연시켜 마스터용 반전클럭신호를 생성하며, 상기 슬레이브용 비반전클럭신호를 지연시켜 마스터용 비반전클럭신호를 생성하는 클럭신호제공부, 데이터 신호를 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호를 이용하여 저장하는 마스터 래치, 및 상기 마스터 래치에 저장된 상기 데이터 신호의 상태값을 상기 슬레이브용 반전클럭신호와 상기 슬레이브용 비반전클럭신호를 이용하여 출력 신호로 전달하는 슬레이브 래치를 포함한다.

대표도 - 도5



명세서

청구범위

청구항 1

입력 클럭신호를 인버팅한 슬레이브용 반전클럭신호와 상기 슬레이브용 반전클럭신호를 인버팅한 슬레이브용 비반전클럭신호를 생성하고, 상기 슬레이브용 반전클럭신호를 지연시켜 마스터용 반전클럭신호를 생성하며, 상기 슬레이브용 비반전클럭신호를 지연시켜 마스터용 비반전클럭신호를 생성하는 클럭신호제공부;

데이터 신호를 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호를 이용하여 저장하는 마스터 래치; 및

상기 마스터 래치에 저장된 상기 데이터 신호의 상태값을 상기 슬레이브용 반전클럭신호와 상기 슬레이브용 비반전클럭신호를 이용하여 출력 신호로 전달하는 슬레이브 래치를 포함하고,

상기 마스터 래치는, 상기 데이터 신호의 입력 노드와 상기 마스터 래치의 출력 노드 사이에, 순차로 직렬 연결된, 제1인버터, 제1전송게이트 및 제2인버터를 포함하고, 상기 제2인버터의 출력에 연결된 상기 마스터 래치의 출력 노드에서 상기 제2인버터의 입력 노드로, 피드백되도록 직렬 연결된, 제3인버터 및 제2전송게이트를 포함하며, 상기 제1전송게이트와 상기 제2전송게이트는 각각 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호의 라이징 에지 타이밍에 각각의 신호를 통과시키도록 액티브되며,

상기 슬레이브 래치는, 상기 마스터 래치의 출력 노드와 상기 슬레이브 래치의 출력 노드 사이에, 순차로 직렬 연결된, 제3전송게이트, 제4인버터 및 제5인버터를 포함하고, 상기 제4인버터의 출력 노드에서 상기 제4인버터의 입력 노드로, 피드백되도록 직렬 연결된, 제6인버터 및 제4전송게이트를 포함하며, 상기 제3전송게이트와 상기 제4전송게이트는 각각 상기 슬레이브용 비반전클럭신호와 상기 슬레이브용 반전클럭신호의 라이징 에지 타이밍에 각각의 신호를 통과시키도록 액티브되고,

상기 슬레이브용 비반전클럭신호의 라이징 에지의 시각에서 상기 데이터 신호의 라이징 에지의 시각을 뺀 값으로 결정되는 셋업 타임이, 0보다 작은 경우에도 D 플립플롭으로 작동시키기 위한 것으로서,

상기 슬레이브용 비반전클럭신호 보다 지연된 상기 마스터용 비반전클럭신호의 라이징 에지 이전의 상기 데이터 신호의 상태값을 상기 마스터 래치에 저장하고 상기 출력 신호로 전달하는, 플립플롭.

청구항 2

제1항에 있어서,

상기 마스터 래치는, 상기 마스터용 비반전클럭신호의 라이징 에지 이전의 상기 데이터 신호의 상태값을 상기 마스터 래치의 출력에 저장하고,

상기 마스터용 비반전클럭신호가 로직 하에서, 상기 슬레이브 래치는 상기 마스터 래치의 출력의 상태값을 상기 슬레이브 래치의 출력으로 전달하는 플립플롭.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 클럭신호제공부는,

상기 마스터용 반전클럭신호 및 상기 마스터용 비반전클럭신호를 생성하기 위하여, 직렬 연결된 2 이상의 복수

의 인버터를 이용하는 로직 회로를 포함하는 플립플롭.

청구항 6

삭제

청구항 7

삭제

청구항 8

입력 클럭신호를 인버팅한 슬레이브용 반전클럭신호와 상기 슬레이브용 반전클럭신호를 인버팅한 슬레이브용 비반전클럭신호를 생성하는 단계;

상기 슬레이브용 반전클럭신호를 지연시켜 마스터용 반전클럭신호를 생성하는 단계;

상기 슬레이브용 비반전클럭신호를 지연시켜 마스터용 비반전클럭신호를 생성하는 단계;

마스터 래치에서 데이터 신호를 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호를 이용하여 저장하는 단계; 및

슬레이브 래치에서 상기 마스터 래치에 저장된 상기 데이터 신호의 상태값을 상기 슬레이브용 반전클럭신호와 상기 슬레이브용 비반전클럭신호를 이용하여 출력 신호로 전달하는 단계를 포함하고,

상기 마스터 래치는, 상기 데이터 신호의 입력 노드와 상기 마스터 래치의 출력 노드 사이에, 순차로 직렬 연결된, 제1인버터, 제1전송게이트 및 제2인버터를 포함하고, 상기 제2인버터의 출력에 연결된 상기 마스터 래치의 출력 노드에서 상기 제2인버터의 입력 노드로, 피드백되도록 직렬 연결된, 제3인버터 및 제2전송게이트를 포함하며, 상기 제1전송게이트와 상기 제2전송게이트는 각각 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호의 라이징 에지 타이밍에 각각의 신호를 통과시키도록 액티브되며,

상기 슬레이브 래치는, 상기 마스터 래치의 출력 노드와 상기 슬레이브 래치의 출력 노드 사이에, 순차로 직렬 연결된, 제3전송게이트, 제4인버터 및 제5인버터를 포함하고, 상기 제4인버터의 출력 노드에서 상기 제4인버터의 입력 노드로, 피드백되도록 직렬 연결된, 제6인버터 및 제4전송게이트를 포함하며, 상기 제3전송게이트와 상기 제4전송게이트는 각각 상기 슬레이브용 비반전클럭신호와 상기 슬레이브용 반전클럭신호의 라이징 에지 타이밍에 각각의 신호를 통과시키도록 액티브되고,

상기 슬레이브용 비반전클럭신호의 라이징 에지의 시각에서 상기 데이터 신호의 라이징 에지의 시각을 뺀 값으로 결정되는 셋업 타임이, 0보다 작은 경우에도 D 플립플롭으로 작동시키기 위한 것으로서,

상기 슬레이브용 비반전클럭신호 보다 지연된 상기 마스터용 비반전클럭신호의 라이징 에지 이전의 상기 데이터 신호의 상태값을 상기 마스터 래치에 저장하고 상기 출력 신호로 전달하는, 플립플롭의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 마스터-슬레이브 플립플롭에 관한 것으로서, 특히, 셋업 타임(정상 작동을 위한 준비 시간)이 감소된 전송 게이트 기반 마스터-슬레이브 플립플롭에 관한 것이다.

배경 기술

[0002] 고성능과 안정적 동작을 위하여 파이프라이닝 기반 동기화된 디지털 시스템이 현재 널리 사용되고 있다. 이러한 시스템의 주요 요소로 구성되는 플립플롭의 성능이 시스템의 성능을 결정하기 때문에 플립플롭의 성능을 개선하는 것은 매우 중요하다. 플립플롭의 성능은 순서 오버헤드(sequencing overhead), 즉, "Sequencing overhead = setup time (t_{su}) + clock to Q delay (t_{cq})"로 표현되고, 성능 향상을 위하여 순서 오버헤드(sequencing overhead)의 감소가 요구된다.

- [0003] 도 1은 일반적인 플립플롭의 성능 관련 변수를 설명하기 위한 타이밍도이다.
- [0004] 도 1과 같이, 셋업 타임(setup time)(t_{su})은, D 플립플롭의 마스터 래치회로에서 안정적인 동작을 위하여 클럭신호의 라이징 에지 이전에 데이터 신호(D)가 미리 필요한 상태(로직 하이/로우)로 유지되어야 할 요구 시간으로서, 안정적인 동작을 위하여 충분한 시간적 마진을 갖도록 셋업 타임(t_{su})의 설정이 필요하다. 클럭신호-Q 지연 시간 clock to Q delay (t_{cq})은 클럭신호의 폴링 에지 이후 마스터 래치회로에 래치된 데이터 신호(D)가 슬레이브 래치를 통해 전달되는 지연 시간으로서, 도 1과 같이, 출력신호(Q)가 로직 로우에서 하이로 변할 때에는 t_{plh} 및 출력신호(Q)가 로직 하이에서 로우로 변할 때에는 t_{phl} 로 언급된다. 이외에도 도 1에서, 홀드 타임(hold time)(t_h)은 D 플립플롭의 마스터 래치회로에서 안정적인 동작을 위하여 클럭신호의 라이징 에지 이후에 데이터 신호(D)가 필요한 상태(로직 하이/로우)로 유지되어야 할 요구 시간으로서, 안정적인 동작을 위하여 충분한 시간적 마진을 갖도록 홀드 타임(t_h)의 설정이 필요하다.
- [0005] 또한, 이와 같은 D 플립플롭을 포함한 디지털 시스템에서, 클럭신호의 주기는 D 플립플롭의 셋업 타임(t_{su})을 만족시키도록 충분히 길어야 하며, 이를 만족시키기 위하여 클럭신호의 주파수를 적절히 변경하여 셋업 타임(t_{su}) 위반을 해결할 수 있다. 또한, 로직 회로와 D 플립플롭 복수개가 연관되어 동작하는 경우에, 로직 회로의 지연 역시 D 플립플롭의 홀드 타임(t_h)을 만족시키도록 충분히 길어야 하며, 이를 만족시키기 위하여 버퍼를 삽입해 홀드 타임(t_h) 위반을 해결할 수 있다.
- [0006] 이와 같은 셋업 타임(t_{su}), 홀드 타임(t_h) 등의 조건을 만족하면서 위와 같은 D 플립플롭의 순서 오버헤드(sequencing overhead)를 감소시키고 디지털 시스템의 성능을 향상시키기 위해 셋업 타임(t_{su})을 줄일 수 있는 플립플롭 회로를 제안하고자 한다.

발명의 내용

해결하려는 과제

- [0007] 따라서, 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은, 플립플롭의 순서 오버헤드(sequencing overhead)를 감소시키고 디지털 시스템의 성능을 향상시킬 수 있도록, 셋업 타임(t_{su})이 감소된 전송 게이트 기반 마스터-슬레이브 플립플롭을 제공하는 데 있다.

과제의 해결 수단

- [0008] 먼저, 본 발명의 특징을 요약하면, 상기의 목적을 달성하기 위한 본 발명의 일면에 따른 플립플롭은, 전송 게이트 기반 마스터-슬레이브 플립플롭으로서, 입력 클럭신호를 인버팅한 슬레이브용 반전클럭신호와 상기 슬레이브용 반전클럭신호를 인버팅한 슬레이브용 비반전클럭신호를 생성하고, 상기 슬레이브용 반전클럭신호를 지연시켜 마스터용 반전클럭신호를 생성하며, 상기 슬레이브용 비반전클럭신호를 지연시켜 마스터용 비반전클럭신호를 생성하는 클럭신호제공부; 데이터 신호를 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호를 이용하여 저장하는 마스터 래치; 및 상기 마스터 래치에 저장된 상기 데이터 신호의 상태값을 상기 슬레이브용 반전클럭신호와 상기 슬레이브용 비반전클럭신호를 이용하여 출력 신호로 전달하는 슬레이브 래치를 포함한다.
- [0009] 상기 마스터 래치는, 상기 마스터용 비반전클럭신호의 라이징 에지 이전의 상기 데이터 신호의 상태값을 상기 마스터 래치의 출력에 저장하고, 상기 마스터용 비반전클럭신호가 로직 하이에서, 상기 슬레이브 래치는 상기 마스터 래치의 출력의 상태값을 상기 슬레이브 래치의 출력으로 전달한다.
- [0010] 지연된 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호를 이용함에 따라, 상기 슬레이브용 비반전클럭신호의 라이징 에지의 시각에서 상기 데이터 신호의 라이징 에지의 시각을 뺀 값으로 결정되는 셋업 타임이, 0보다 작게 설정되어, D 플립플롭으로 정상 작동할 수 있다.
- [0011] 상기 슬레이브용 비반전클럭신호 보다 지연된 상기 마스터용 비반전클럭신호의 라이징 에지 이전의 상기 데이터 신호의 상태값을 상기 마스터 래치에 저장하고 상기 슬레이브 래치로 전달한다.
- [0012] 상기 클럭신호제공부는, 상기 마스터용 반전클럭신호 및 상기 마스터용 비반전클럭신호를 생성하기 위하여, 직

렬 연결된 2 이상(즉, 2, 3, 4, ...)의 복수의 인버터를 이용하는 로직 회로를 포함할 수 있다.

[0013] 상기 마스터 래치는, 상기 데이터 신호의 입력 노드와 상기 마스터 래치의 출력 노드 사이에, 순차로 직렬 연결된, 제1인버터, 제1전송게이트 및 제2인버터를 포함하고, 상기 제2인버터의 출력에 연결된 상기 마스터 래치의 출력 노드에서 상기 제2인버터의 입력 노드로, 피드백되도록 직렬 연결된, 제3인버터 및 제2전송게이트를 포함하며, 상기 제1전송게이트와 상기 제2전송게이트는 각각 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호의 라이징 에지 타이밍에 각각의 신호를 통과시키도록 액티브된다.

[0014] 상기 슬레이브 래치는, 상기 마스터 래치의 출력 노드와 상기 슬레이브 래치의 출력 노드 사이에, 순차로 직렬 연결된, 제3전송게이트, 제4인버터 및 제5인버터를 포함하고, 상기 제4인버터의 출력 노드에서 상기 제4인버터의 입력 노드로, 피드백되도록 직렬 연결된, 제6인버터 및 제4전송게이트를 포함하며, 상기 제3전송게이트와 상기 제4전송게이트는 각각 상기 슬레이브용 비반전클럭신호와 상기 슬레이브용 반전클럭신호의 라이징 에지 타이밍에 각각의 신호를 통과시키도록 액티브된다.

[0015] 그리고, 본 발명의 다른 일면에 따른 플립플롭의 동작 방법은, 입력 클럭신호를 인버팅한 슬레이브용 반전클럭신호와 상기 슬레이브용 반전클럭신호를 인버팅한 슬레이브용 비반전클럭신호를 생성하는 단계; 상기 슬레이브용 반전클럭신호를 지연시켜 마스터용 반전클럭신호를 생성하는 단계; 상기 슬레이브용 비반전클럭신호를 지연시켜 마스터용 비반전클럭신호를 생성하는 단계; 마스터 래치에서 데이터 신호를 상기 마스터용 반전클럭신호와 상기 마스터용 비반전클럭신호를 이용하여 저장하는 단계; 및 슬레이브 래치에서 상기 마스터 래치에 저장된 상기 데이터 신호의 상태값을 상기 슬레이브용 반전클럭신호와 상기 슬레이브용 비반전클럭신호를 이용하여 출력신호로 전달하는 단계를 포함한다.

발명의 효과

[0016] 본 발명에 따른 전송 게이트 기반 마스터-슬레이브 플립플롭(200)에 따르면, 셋업 타임(t_{su})을 0보다 작은 값으로 감소시킬 수 있고 결국 플립플롭의 순서 오버헤드(sequencing overhead)를 감소시켜서, 디지털 시스템에 적용 시 그 만큼 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0017] 본 발명에 관한 이해를 돕기 위해 상세한 설명의 일부로 포함되는 첨부도면은, 본 발명에 대한 실시예를 제공하고 상세한 설명과 함께 본 발명의 기술적 사상을 설명한다.

도 1은 일반적인 플립플롭의 성능 관련 변수를 설명하기 위한 타이밍도이다.

도 2는 일반적인 전송 게이트 기반 마스터-슬레이브 플립플롭의 일례를 나타낸 회로도이다.

도 3은 도 2의 회로의 동작을 설명하기 위한 타이밍도이다.

도 4는 도 2의 회로에서의 셋업 타임을 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 전송 게이트 기반 마스터-슬레이브 플립플롭을 설명하기 위한 회로도이다.

도 6은 본 발명의 일 실시예에 따른 전송 게이트 기반 마스터-슬레이브 플립플롭에서의 셋업 타임을 설명하기 위한 타이밍도이다.

도 7은 종래기술과 본 발명의 성능 비교표이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서는 첨부된 도면들을 참조하여 본 발명에 대해서 자세히 설명한다. 이때, 각각의 도면에서 동일한 구성요소는 가능한 동일한 부호로 나타낸다. 또한, 이미 공지된 기능 및/또는 구성에 대한 상세한 설명은 생략한다. 이하에 개시된 내용은, 다양한 실시 예에 따른 동작을 이해하는데 필요한 부분을 중점적으로 설명하며, 그 설명의 요지를 흐릴 수 있는 요소들에 대한 설명은 생략한다. 또한 도면의 일부 구성요소는 과장되거나 생략되거나 또는 개략적으로 도시될 수 있다. 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것이 아니며, 따라서 각각의 도면에 그려진 구성요소들의 상대적인 크기나 간격에 의해 여기에 기재되는 내용들이 제한되는 것은 아니다.

[0019] 본 발명의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를

불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 본 발명의 실시 예들을 기술하기 위한 것이며, 결코 제한적이어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다.

[0020] 또한, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0021] 도 2는 일반적인 전송 게이트(transmission-gate) 기반 마스터-슬레이브 플립플롭(100)의 일례를 나타낸 회로도이다.

[0022] 도 2의 마스터-슬레이브 플립플롭(100)은, 인버터들(111, 112)을 포함하는 클럭신호제공부(110), 인버터들(121, 123, 124)과 전송게이트들(122, 125)을 포함하는 마스터 래치(회로)(120), 및 인버터들(132, 133, 134)과 전송게이트들(131, 135)을 포함하는 슬레이브 래치(회로)(130)를 포함한다.

[0023] 도 3은 도 2의 회로의 동작을 설명하기 위한 타이밍도이다.

[0024] 도 3과 같이, 이와 같은 마스터-슬레이브 플립플롭(100)은, 클럭신호(CLK)가 로직 하이(상태)로 되기 직전의 데이터 신호(D)의 상태값이 마스터 래치(120)의 출력(B)에 래치(저장)된 후, 클럭신호(CLK)가 로직 하이로 되면 마스터 래치(120)의 출력(B)의 상태값(로직 로우/하이(상태))이 슬레이브 래치(130)의 출력(Q)으로 전달되는, D 플립플롭으로 동작한다. 즉, 클럭신호(CLK)가 라이징 에지(rising edge) 때의 데이터 신호(D)의 상태값이 슬레이브 래치(130)의 출력(Q)으로 전달되며, 클럭신호(CLK)가 라이징 에지 이후 로직 하이 유지 기간 동안에 데이터 신호(D)의 상태값이 바뀌더라도 출력(Q)에 영향을 미치지 않는 것이다.

[0025] 셋업 타임(t_{su})은 [수학식1]과 같이 마스터 래치(120)의 회로에서의 지연시간들에 의해 결정된다. 즉, 마스터 래치(120)에서 데이터 신호(D)의 상태값 저장과 관련된 회로의 동작 지연은, 셋업 타임(t_{su})을 결정한다. [수학식1]에서, t_{d_INV1} 는 인버터(121)의 지연 시간, t_{d_TG1} 는 전송게이트(122)의 지연시간, t_{d_INV2} 는 인버터(123)의 지연 시간, t_{d_INV3} 는 인버터(124)의 지연 시간, t_{d_TG2} 는 전송게이트(125)의 지연시간이며, t_{fight} 는 노드 C의 상태값(전압)이 정상상태에 도달하기 전에 전송게이트(125)가 열려서 노드 A의 상태값과 노드 C의 상태값이 충돌(fighting)할 때 발생하는 지연 시간이다.

[0026] [수학식1]

$$t_{su} = t_{d_INV1} + t_{d_TG1} + t_{d_INV2} + t_{d_INV3} + t_{d_TG2} + t_{fight}$$

[0028] 이와 같은 마스터-슬레이브 플립플롭(100)에서는, 도 4와 같이 클럭신호(CLK/CLKI)의 라이징 에지 이전에 데이터 신호(D)가 미리 필요한 상태(로직 하이/로우)로 유지되어야 할 요구 시간, 즉 셋업 타임(t_{su})이 0보다 큰값이 가지는 것이 요구되고, 충분한 마진을 고려할 때 셋업 타임(t_{su})이 매우 길어지므로 디지털 시스템에 적용 시 성능을 떨어뜨리는 단점이 있다.

[0029] 본 발명에서는 셋업 타임(t_{su})이 0보다 작은 값으로 감소시켜 플립플롭의 순서 오버헤드(sequencing overhead)를 감소시킴으로써 디지털 시스템에 적용 시의 성능을 향상시킬 수 있는, 전송 게이트 기반 마스터-슬레이브 플립플롭(200)을 제안한다.

[0030] 도 5는 본 발명의 일 실시예에 따른 전송 게이트 기반 마스터-슬레이브 플립플롭(200)을 설명하기 위한 회로도이다.

[0031] 도 5를 참조하면, 본 발명의 일 실시예에 따른 전송 게이트 기반 마스터-슬레이브 플립플롭(200)은, 클럭신호제공부(210), 마스터 래치(220), 슬레이브 래치(230)를 포함하는 로직 회로들로 구성된다. 이와 같은 로직 회로들은 제1전원(VDD)(예, 3, 1.2, 1.1, 1.0, 0.7 볼트 등)과 제2전원(10)(예, 접지)을 공급받아 동작한다.

- [0032] 또한, 하기하는 바와 같이, 클럭신호제공부(210), 마스터 래치(220), 슬레이브 래치(230)에 포함된 인버터들은, 위와 같은 전원들을 받아 동작하는 CMOS(Complementary Metal Oxide Semiconductor) 인버터, 즉, P-MOSFET(P-형 트랜지스터, 도면에서 게이트에 작은 동그라미 있는것)과 N-MOSFET(N-형 트랜지스터, 도면에서 게이트에 작은 동그라미 없는것)를 상기 전원들 사이에 직렬 연결하고 게이트를 연결시킨 로직 회로를 의미한다(FET는 Field Effect Transistor). 또한, 하기하는 바와 같이, 클럭신호제공부(210), 마스터 래치(220), 슬레이브 래치(230)에 포함된 전송게이트들은, P-MOSFET(P-형 트랜지스터)과 N-MOSFET(N-형 트랜지스터)를 병렬연결하고 게이트들에 서로 (위상) 반전된 클럭신호들을 받아 동작하는 로직 회로를 의미한다.
- [0033] 클럭신호제공부(210)는 제1인버터그룹(G1), 제2인버터그룹(G2), 제3인버터그룹(G3)을 포함하는 로직회로들로 구성된다. 제1인버터그룹(G1)은 입력 클럭신호(CLK)를 (위상) 인버팅한 슬레이브용 반전클럭신호(CLKb)와 슬레이브용 반전클럭신호(CLKb)를 (위상) 인버팅한 슬레이브용 비반전클럭신호(CLKI)를 생성한다. 제1인버터그룹(G1)은 직렬 연결된 2이상(즉, 2,3,4,...)의 복수의 인버터를 이용하여 구현될 수 있다. 도면과 같이, 제2인버터그룹(G2)은 입력받는 슬레이브용 반전클럭신호(CLKb)를 지연시켜 마스터용 반전클럭신호(CLKb_d)를 생성한다. 제3인버터그룹(G3)은 입력받는 슬레이브용 비반전클럭신호(CLKI)를 지연시켜 마스터용 비반전클럭신호(CLKI_d)를 생성한다.
- [0034] 제2인버터그룹(G2), 제3인버터그룹(G3)은 마스터용 반전클럭신호(CLKb_d) 및 마스터용 비반전클럭신호(CLKI_d)를 각각 생성하기 위하여, 직렬 연결된 2 이상(즉, 2,3,4,...)의 복수의 인버터를 이용하는 로직 회로로 이루어질 수 있다. 예를 들어, 제2인버터그룹(G2), 제3인버터그룹(G3) 각각이 짝수개의 인버터들로 구성되는 경우에는, 도면과 같이 제2인버터그룹(G2), 제3인버터그룹(G3) 각각은, 마스터용 반전클럭신호(CLKb_d), 마스터용 비반전클럭신호(CLKI_d)를 각각 생성한다.
- [0035] 다만, 제2인버터그룹(G2), 제3인버터그룹(G3) 각각이 홀수개의 복수의 인버터들로 구성되는 경우에는, 제2인버터그룹(G2)은 입력받는 슬레이브용 반전클럭신호(CLKb)를 지연시켜 마스터용 비반전클럭신호(CLKI_d)를 생성할 수 있고, 제3인버터그룹(G3)은 입력받는 슬레이브용 비반전클럭신호(CLKI)를 지연시켜 마스터용 반전클럭신호(CLKb_d)를 생성할 수도 있다.
- [0036] 마스터 래치(220)는, 입력되는 데이터 신호(D)를 마스터용 반전클럭신호(CLKb_d)와 마스터용 비반전클럭신호(CLKI_d)를 이용하여 저장한다. 슬레이브 래치(230)는, 마스터 래치(220)에 저장된 데이터 신호(D)의 상태값을 슬레이브용 반전클럭신호(CLKb)와 슬레이브용 비반전클럭신호(CLKI)를 이용하여 출력 신호(Q)로 출력되도록 전달한다.
- [0037] 도 1과 같이, 마스터 래치(220)는, 데이터 신호(D)의 입력 노드와 마스터 래치(220)의 출력 노드(B) 사이에, 순차로 직렬 연결된, 제1인버터(221), 제1전송게이트(222) 및 제2인버터(223)를 포함한다. 또한, 마스터 래치(220)는, 제2인버터(223)의 출력에 연결된 마스터 래치(220)의 출력 노드(B)에서 제2인버터(223)의 입력 노드(A)로, 피드백되도록 직렬 연결된, 제3인버터(224) 및 제2전송게이트(225)를 포함한다. 제1전송게이트(222)는 마스터용 반전클럭신호(CLKb_d)의 라이징 에지 타이밍에 신호를 통과시키도록 액티브되어 제1인버터(221)의 출력을 제2인버터(223)의 입력 노드(A)로 전달한다. 제2전송게이트(225)는 마스터용 비반전클럭신호(CLKI_d)의 라이징 에지 타이밍에 신호를 통과시키도록 액티브되어 제3인버터(224)의 출력을 제2인버터(223)의 입력 노드(A)로 전달한다.
- [0038] 도 1과 같이, 슬레이브 래치(230)는, 마스터 래치(220)의 출력 노드(B)와 슬레이브 래치(230)의 출력 노드(Q) 사이에, 순차로 직렬 연결된, 제3전송게이트(231), 제4인버터(232) 및 제5인버터(233)를 포함한다. 또한, 슬레이브 래치(230)는, 제4인버터(232)의 출력 노드에서 제4인버터(232)의 입력 노드로, 피드백되도록 직렬 연결된, 제6인버터(234) 및 제4전송게이트(235)를 포함한다.
- [0039] 제3전송게이트(231)는 슬레이브용 비반전클럭신호(CLKI)의 라이징 에지 타이밍에 신호를 통과시키도록 액티브되어 마스터 래치(220)의 출력 노드(B)의 신호를 제4인버터(232)의 입력 노드로 전달한다. 제4전송게이트(235)는 슬레이브용 반전클럭신호(CLKb)의 라이징 에지 타이밍에 신호를 통과시키도록 액티브되어 제5인버터(233)의 출력 신호를 제4인버터(232)의 입력 노드로 전달한다.
- [0040] 도 6은 본 발명의 일 실시예에 따른 전송 게이트 기반 마스터-슬레이브 플립플롭(200)에서의 셋업 타임(t_{su})을 설명하기 위한 타이밍도이다.
- [0041] 도 6을 참조하면, 본원 발명에서, 마스터 래치(220)는, 마스터용 비반전클럭신호(CLKI_d)의 라이징 에지 이전의 데이터 신호(D)의 상태값을 마스터 래치(220)의 출력(B)에 저장할 수 있으며, 마스터용 비반전클럭신호(CLKI_d)

d)가 로직 하이에서, 슬레이브 래치(230)는 마스터 래치(220)의 출력(B)의 상태값을 슬레이브 래치(230)의 출력(Q)으로 전달한다.

[0042] 본 발명의 마스터-슬레이브 플립플롭(200)에서는, 마스터 래치(220)가 지연된 마스터용 반전클럭신호(CLKb_d)와 마스터용 비반전클럭신호(CLKI_d)를 이용함에 따라, D 플립플롭으로 정상 작동하기 위하여, 도 6과 같이, 슬레이브용 비반전클럭신호(CLKI)의 라이징 에지의 시각에서 데이터 신호(D)의 라이징 에지의 시각을 뺀 값으로 결정되는 셋업 타임(t_{su})이, 0보다 작게 설정되는 것이 가능하다.

[0043] 즉, 본 발명의 마스터-슬레이브 플립플롭(200)에서는, 슬레이브용 비반전클럭신호(CLKI) 보다 지연된 마스터용 비반전클럭신호(CLKI_d)의 라이징 에지 이전의 데이터 신호(D)의 상태값을 마스터 래치(220)의 출력 노드(B)에 저장하고 마스터용 비반전클럭신호(CLKI_d)의 로직 하이에서 해당 상태값을 슬레이브 래치(230)로 전달하여 슬레이브 래치(230)의 출력(Q)을 통해 신호가 출력되도록 동작한다.

[0044] 이와 같이 본 발명의 마스터-슬레이브 플립플롭(200)에서는, 제2인버터그룹(G2), 제3인버터그룹(G3)의 인버터들에 의해 클럭 신호가 지연된 만큼 셋업 타임(t_{su})이 감소되어, 0보다 작은 값으로 감소될 수 있다. 도 7과 같이 28nm 공정에서 제작된 플립플롭에서의 VDD=0.7V로 동작시킬 때 종래기술과 본 발명의 성능 비교표에서, 셋업 타임(t_{su})은 1.75배(=61.1/34.9) 성능 향상을 확인하였다.

[0045] 클럭신호-Q 지연시간 clock to Q delay (t_{cq})는 슬레이브용 비반전클럭신호(CLKI)의 폴링 에지 이후 마스터 래치(220) 회로에 래치된 데이터 신호(D)가 슬레이브 래치(230)를 통해 전달되는 지연 시간이므로, 도 7과 같이, 종래의 경우와 유사한 값을 가진다. 결국, 도 7의 예에서 본 발명의 순서 오버헤드(sequencing overhead)는 종래 기술보다 1.12배(=231.3/206.6) 감소가 이루어졌음을 확인하였다.

[0046] 상술한 바와 같이, 본 발명에 따른 마스터-슬레이브 플립플롭(200)는, 셋업 타임(t_{su})이 0보다 작은 값으로 감소시켜 플립플롭의 순서 오버헤드(sequencing overhead)를 감소시킬 수 있고, 디지털 시스템에 적용 시 그 만큼 성능을 향상시킬 수 있다.

[0047] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0048] 클럭신호제공부(210)

마스터 래치(220)

슬레이브 래치(230)

입력 클럭신호(CLK)

슬레이브용 반전클럭신호(CLKb)

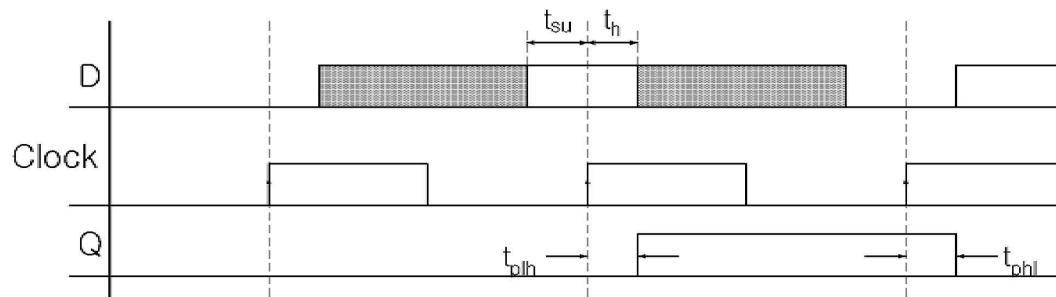
슬레이브용 비반전클럭신호(CLKI)

마스터용 반전클럭신호(CLKb_d)

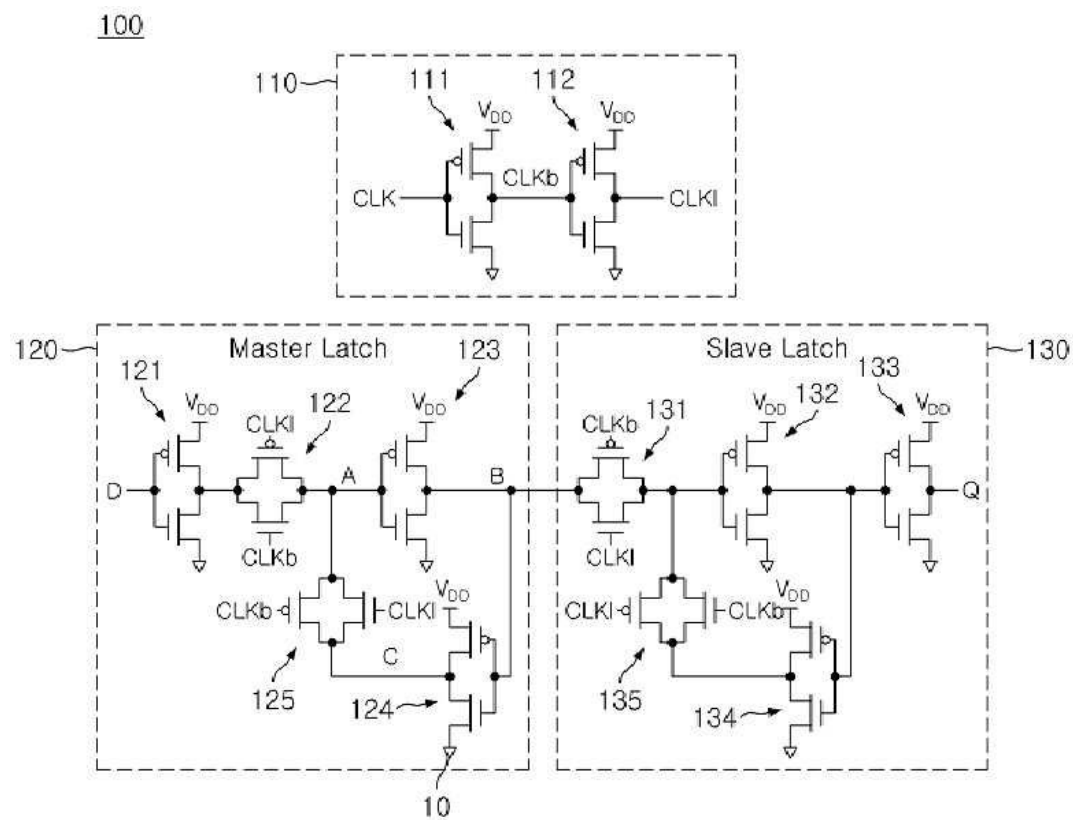
마스터용 비반전클럭신호(CLKI_d)

도면

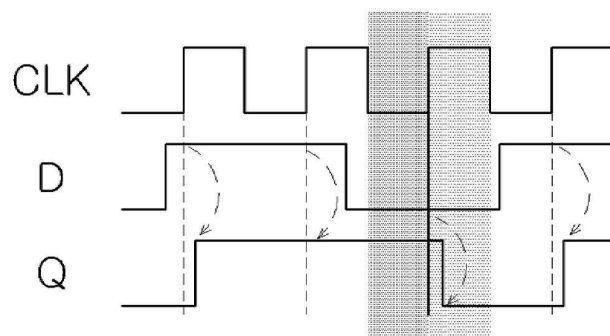
도면1



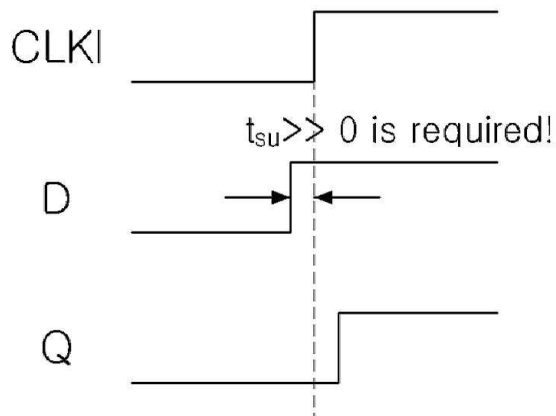
도면2



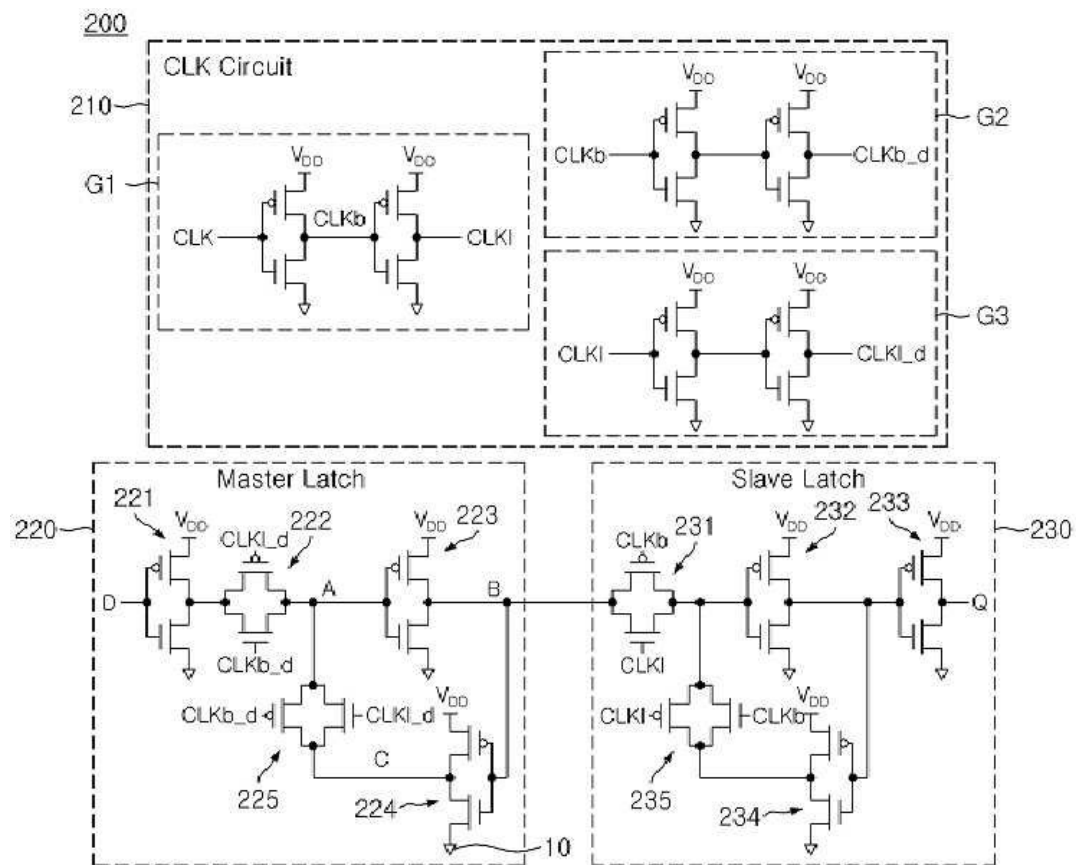
도면3



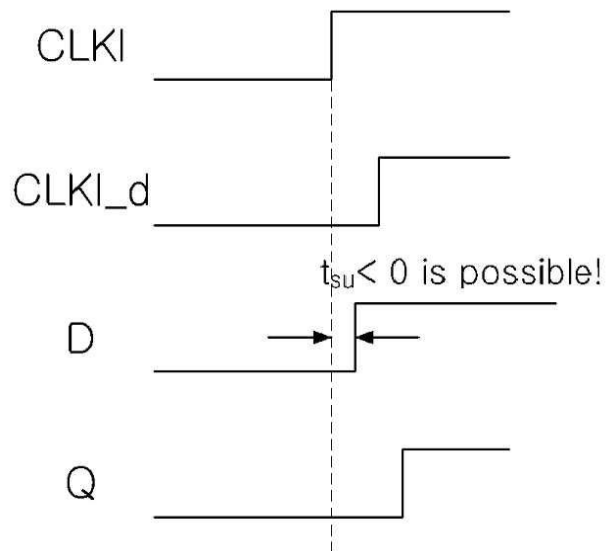
도면4



도면5



도면6



도면7

	종래기술 (도2)	본 발명 (도5)
t_{su} [ps]	61.1	34.9
t_{CQ} [ps]	170.2	171.7
Sequencing overhead ($=t_{su} + t_{CQ}$) [ps]	231.3	206.6