

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4831954号
(P4831954)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.

F 1

H05B	33/10	(2006.01)	H 05 B	33/10	
B05D	1/26	(2006.01)	B 05 D	1/26	Z
H01L	21/28	(2006.01)	H 01 L	21/28	L
H01L	21/288	(2006.01)	H 01 L	21/28	3 O 1 R
H01L	21/336	(2006.01)	H 01 L	21/288	Z

請求項の数 9 (全 42 頁) 最終頁に続く

(21) 出願番号

特願2004-324614 (P2004-324614)

(22) 出願日

平成16年11月9日 (2004.11.9)

(65) 公開番号

特開2005-190992 (P2005-190992A)

(43) 公開日

平成17年7月14日 (2005.7.14)

審査請求日 平成19年9月7日 (2007.9.7)

(31) 優先権主張番号 特願2003-386020 (P2003-386020)

(32) 優先日 平成15年11月14日 (2003.11.14)

(33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 前川 慎志

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 藤井 嶽

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上の下地前処理を行った領域に、液滴吐出法によりゲート電極を形成し、

前記ゲート電極上に半導体膜を形成し、

前記半導体膜上に、マスクを形成し、

前記マスクを用いて前記半導体膜をパターニングし、

前記パターニングされた半導体膜に下地前処理を行い、

前記下地前処理を行った半導体膜上に、液滴吐出法によりソース電極及びドレイン電極を形成し、

前記ソース電極又は前記ドレイン電極上に、液滴吐出法により柱状の導電膜を形成する表示装置の作製方法であって、

前記導電膜となるドットを複数回に渡って滴下するたびに加熱処理を行うことを特徴とする表示装置の作製方法。

【請求項 2】

絶縁表面を有する基板上の下地前処理を行った領域に、液滴吐出法によりゲート電極を形成し、

前記ゲート電極上に半導体膜を形成し、

前記半導体膜上に、マスクを形成し、

前記マスクを用いて前記半導体膜をパターニングし、

10

20

前記パターニングされた半導体膜に下地前処理を行い、

前記下地前処理を行った半導体膜上に、液滴吐出法によりソース電極及びドレイン電極を形成し、

前記ソース電極又は前記ドレイン電極上に柱状の有機膜を形成し、

前記柱状の有機膜、前記半導体膜、並びに前記ソース電極及び前記ドレイン電極を覆うように、第1の絶縁膜を形成し、

前記柱状の有機膜を除去して、前記第1の絶縁膜に開口部を形成し、

前記開口部に、前記ソース電極又は前記ドレイン電極と接続するように電極を形成することを特徴とする表示装置の作製方法。

【請求項3】

10

請求項2において、

前記第1の絶縁膜は、前記柱状の有機膜に対して撥液性を有することを特徴とする表示装置の作製方法。

【請求項4】

20

絶縁表面を有する基板上の下地前処理を行った領域に、液滴吐出法によりゲート電極を形成し、

前記ゲート電極上に半導体膜を形成し、

前記半導体膜上に、マスクを形成し、

前記マスクを用いて前記半導体膜をパターニングし、

前記パターニングされた半導体膜に下地前処理を行い、

前記下地前処理を行った半導体膜上に、液滴吐出法によりソース電極及びドレイン電極を形成し、

前記半導体膜、並びに前記ソース電極及び前記ドレイン電極の表面に、第1の絶縁膜に対して撥液性を有する有機膜を形成し、

前記ソース電極又は前記ドレイン電極上に選択的にマスクを形成し、

前記マスクを用いて、前記有機膜を除去し、

前記マスクを除去した後、前記第1の絶縁膜を形成することにより、前記マスク上の領域の前記第1の絶縁膜には開口部が形成され、

前記開口部に、前記ソース電極又は前記ドレイン電極と接続するように電極を形成することを特徴とする表示装置の作製方法。

30

【請求項5】

請求項1乃至4のいずれか一において、

前記ゲート電極上の前記半導体膜に接してチャネル保護膜を形成することを特徴とする表示装置の作製方法。

【請求項6】

40

絶縁表面を有する基板上の下地前処理を行った領域に、液滴吐出法によりソース電極及びドレイン電極を形成し、

前記ソース電極及び前記ドレイン電極上に半導体膜を形成し、

前記半導体膜上に、マスクを形成し、

前記マスクを用いて前記半導体膜をパターニングし、

前記パターニングされた半導体膜に下地前処理を行い、

前記下地前処理を行った半導体膜上に、液滴吐出法によりゲート電極を形成し、

前記ソース電極又は前記ドレイン電極上に、液滴吐出法により柱状の導電膜を形成し、

前記柱状の導電膜、前記半導体膜並びに前記ソース電極及び前記ドレイン電極を覆うように、

第1の絶縁膜を形成し、

前記第1の絶縁膜上において、前記柱状の導電膜と接続するように電極を形成する表示装置の作製方法であって、

前記導電膜となるドットを複数回に渡って滴下するたびに加熱処理を行うことを特徴とする表示装置の作製方法。

50

【請求項 7】

請求項 2 乃至 6 のいずれか一において、

気体を噴きつけることにより、前記第 1 の絶縁膜の表面を平坦化することを特徴とする表示装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、

前記液滴吐出法はインクジェット法であることを特徴とする表示装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、

前記半導体膜は、非晶質半導体、セミアモルファス半導体、微結晶半導体、有機半導体、10 及び結晶性半導体のいずれかであることを特徴とする表示装置の作製方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、大面積ガラス基板上に形成したトランジスタなどの能動素子をもって構成される表示装置及びその製造方法に関する。

【背景技術】**【0002】**

従来、ガラス基板上の薄膜トランジスタ（以下、TFTとも表記する。）によって構成される、所謂アクティブマトリクス駆動方式の表示パネルは、フォトマスクを使った露光技術により、各種薄膜をパターニングして製造してきた。20

【0003】

このような表示パネルにおいて、一枚のマザーガラス基板から複数の表示パネルを切り出すという、効率良く大量生産を行う技術が採用されてきた。マザーガラス基板のサイズは、1990年初頭における第1世代の300×400mmから、2000年には第4世代となり680×880mm又は730×920mmへと大型化して、一枚のマザーガラス基板から多数の表示パネルが取れるように生産技術が進歩してきた。

【0004】

マザーガラス基板のサイズが小さい場合には、露光装置により比較的簡便にパターニング処理を行うことが可能であった。しかし、マザーガラス基板が大型化するにつれ、1回の露光処理でマザーガラス基板の全面を同時に処理することが不可能となってきた。その結果、フォトレジストが塗布された領域を複数に分割して、所定のブロック領域毎に露光処理を行い、順次それを繰り返して基板全面の露光を行う方法などが開発されてきた（例えば、特許文献1参照）。30

【特許文献1】特開平11-326951号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

しかしながら、マザーガラス基板のサイズはさらに大型化しており、第5世代で1000×1200mm又は1100×1300mm、次世代では1500×1800mm又はそれ以上のサイズが想定される。従って従来のパターニング方法では、生産性良く、低コストで表示パネルを製造することが困難となってきた。すなわち、上記文献のように露光により多数回の露光処理を行えば処理時間は増大し、基板の大型化に対応した露光装置の開発には多大な投資が必要となってきた。40

【0006】

そればかりでなく、基板の全面に各種の被膜を形成し、僅かな領域を残してエッチング除去する工法では、材料コストを浪費し、多量の廃液を処理することが要求されてしまうという問題があった。

【0007】

そこで本発明は、作製工程を簡略化させ、かつ、材料の利用効率を向上させることが可能50

な表示装置及びその製造技術を提供することを課題とする。更に、パターンの密着性を向上させる製造技術を提供することを課題とする。

【課題を解決するための手段】

【0008】

上記課題を鑑み、本発明は、「選択的にパターンを形成可能な方法」を用いてパターンを形成することを特徴とする。特に本発明は、下地前処理を行った後、選択的にパターンを形成可能な方法を用いて、パターンを形成するとよい。また選択的にパターンを形成可能な方法によりパターンを形成した後に、下地前処理を行ってもよい。下地前処理を行う結果、パターンの密着性を高めることができる。

【0009】

下地前処理として、光触媒物質を形成することができる。またパターンを形成する領域に選択的に、光触媒物質を形成してもよい。

【0010】

その他の下地前処理として、スパッタリング法によりTi等の導電膜を形成してもよい。またTiO_x膜と同様に、パターンを形成する領域に選択的にTiを形成してもよい。さらにTiに対して酸化処理を行って、表面にTiO_xを形成してもよい。またTi光触媒物質としてTiO_x以外に、チタン酸ストロンチウム(SrTiO₃)、セレン化カドミウム(CdSe)、タンタル酸カリウム(KTaO₃)、硫化カドミウム(CdS)、酸化ジルコニウム(ZrO₂)、酸化ニオブ(Nb₂O₅)、酸化亜鉛(ZnO)、酸化鉄(Fe₂O₃)、酸化タンクステン(WO₃)を形成してもよい。光触媒物質は、光触媒機能を有する物質を指し、紫外光領域の光(波長400nm以下、好ましくは380nm以下)を照射し、光触媒活性を生じさせるものである。このような光触媒物質上に、選択的にパターンを形成可能な方法を用いて、溶媒に混入された導電体を吐出すると、微細なパターンを形成することができる。

【0011】

別の下地前処理として、塗布法等により、カップリング剤等の有機膜を形成してもよい。カップリング剤としては、シラン系カップリング剤やフッ素系カップリング剤等が挙げられる。またTiO_x膜と同様に、パターンを形成する領域に選択的に有機膜を形成してもよい。

【0012】

このような下地前処理の結果、パターンの密着性を高めたり、パターンの微細化を達成することができる。

【0013】

選択的にパターンを形成可能な方法として、導電膜や絶縁膜などの材料が混入された組成物の液滴(ドット)を選択的に吐出してする液滴吐出法(その方式によっては、インクジェット法とも呼ばれる。)を用いることができる。

【0014】

インクジェット法としては、ピエゾ方式を用いることができる。ピエゾ方式は、液滴の制御性に優れインク選択の自由度の高いことからインクジェットプリンターでも利用されている。なお、ピエゾ方式には、MLP(Multi Layer Piezo)タイプとMLC hip(Multi Layer Ceramic Hyper Integrated Piezo Segments)タイプがある。また溶媒の材料によっては、発熱体を発熱させ気泡を生じさせ溶液を押し出す、所謂サーマル方式を用いたインクジェット法でもよい。

【0015】

このような組成物のドットを吐出する工程は、減圧下で行うと好ましい。組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が蒸発し、組成物の乾燥と焼成の工程を省略することができる。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。また組成物を滴下する工程は、窒素雰囲気中や有機ガス雰囲気中で行ってもよい。

【0016】

10

20

30

40

50

このとき、組成物はドット状に吐出されたり、ドットが連なった柱状に吐出されたりする。また組成物がドット状又は柱状に吐出されることを単に滴下とも表記する。すなわち、複数のドットが連続して吐出されるため、ドットとして認識されず線状に吐出されることもあるが、合わせて滴下と表記する。

【0017】

導電体としては、金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、パラジウム(Pd)、タンゲステン(W)、ニッケル(Ni)、タンタル(Ta)、ビスマス(Bi)、鉛(Pb)、インジウム(In)、錫(Sn)、亜鉛(Zn)、チタン(Ti)、若しくはアルミニウム(Al)、これらからなる合金、これらの分散性ナノ粒子、又はハロゲン化銀の微粒子を用いることができる。特に低抵抗な銀、銅を用いるとよい。但し銅を用いる場合、半導体膜中等に銅が拡散することを防止するため、窒素を有する絶縁膜やホウ化処理されたニッケル(NiB)をバリア膜として形成する。10

【0018】

また透明導電膜として、インジウム錫酸化物(ITO、Indium Tin Oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zinc oxide)、酸化インジウムに2~20%の酸化珪素(SiO₂)を混合したITSO、有機インジウム、有機スズ、窒化チタン(TiN)等を用いることもできる。

【0019】

組成物中において導電体が効率よく分散するため、微粒子となる導電体の表面を有機物、又は導電物によりコーティングするとよい。また表面を覆う物質は、積層構造を有してもよい。表面を覆う物質は導電性を有すると好ましいが、導電性を有さず絶縁性を有していてもそれを加熱処理等により除去すればよい。20

【0020】

例えば、図24(A)に示すように、ノズルから滴下されるドットであって、Cu301の表面にニッケル(Ni)又はホウ化処理されたニッケル(NiB)等の導電物302をコーティングしてもよい。例えば、図24(B)に示すように、Cu301の表面をニッケル(Ni)又はホウ化処理されたニッケル(NiB)等の導電物302によりコーティングし、加えてNi又はNiBの表面をAg303でコーティングしてもよい。その結果、加熱等によるCuの熱拡散を防止することができる。30

【0021】

このような選択的に形成するパターンとしては、ゲート電極、ソース電極、及びドレイン電極、画素電極等の電極、ソース配線、ドレイン配線等の配線、半導体膜、半導体膜等をパターンニングするためのマスク等、が挙げられる。

【0022】

また本発明は、表示装置を作製するために必要なパターン形成工程のうち、少なくとも一工程において、選択的にパターンを形成可能な方法を用いてパターンを形成すればよい。パターン形成工程の一工程において、選択的にパターンを形成可能な方法を用いることにより、作製工程を簡略化させ、かつ、材料の利用効率を向上させる等の効果を奏することができるからである。40

【0023】

また本発明の表示装置は、エレクトロルミネセンス(以下「EL」ともいう。)と呼ばれる発光を発現する有機物、若しくは有機物と無機物の混合物を含む媒体を、電極間に介在させた発光素子とTFTとが接続された表示装置である。液滴吐出法を用いてこのような表示装置を形成することで、上記目的を達成する。

【0024】

このように本発明は、液滴吐出法によりパターンを形成し、該パターンの密着性を高めることを特徴としており、薄膜トランジスタの構造等は限定されない。すなわち、結晶性半導体膜及び非結晶性半導体膜のいずれを有する薄膜トランジスタであってもよく、半導体膜より下方にゲート電極が設けられる所謂ボトムゲート型、及び半導体膜より上方にゲー50

ト電極が設けられる所謂トップゲート型のいずれの構造を有する薄膜トランジスタであつてもよい。

【0025】

また薄膜トランジスタが有する、ゲート電極、ソース電極、ドレイン電極、及びそれら電極に接続される配線のいずれにおいても、液滴吐出法により形成する場合、下地前処理を行うことにより、密着性を高めることができる。

【発明の効果】

【0026】

液滴吐出法を用いることにより、作製工程を簡略化させ、かつ、材料の利用効率を向上させるように、第5世代以降の大型マザーガラス基板に対して、トランジスタ等を形成することができる。液滴吐出法により配線等を形成すると、フォトプロセスの簡略化を行うことができる。その結果、フォトマスクが不要となり、設備投資コストの削減、コストの削減を達成することができる。さらにフォトリソグラフィー工程が不要となるため、製造時間を短縮することができる。

10

【0027】

また液滴吐出法によりマスク等を形成すると、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。このように液滴吐出法を、大型マザーガラス基板へ適用すると好適である。また、マザーガラス基板から多数の表示パネルを作製することができ、表示装置の価格が下がることが期待できる。

20

【0028】

このように第5世代以降の大型マザーガラス基板においても、液滴吐出法を用いることにより、採算を維持できる製造ラインを構築することができる。

【0029】

本発明は、液滴吐出法によりパターンを形成する前後に、下地前処理を行うことにより、密着性を高めることができる。

【発明を実施するための最良の形態】

【0030】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

30

【0031】

以下の実施の形態において、液滴吐出法にはインクジェット法を用い、下地前処理には光触媒物質としてTiO_x膜を用い、ゲート電極、ソース電極及びドレイン電極の材料にはAgを用いる場合で説明する。

【0032】

なお本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解されるものであり、以下に示す態様に限定して解釈されるものでない。

40

【0033】

またTFTはゲート、ソース、ドレインの3端子を有するが、ソース端子（ソース電極）、ドレイン端子（ドレイン電極）に関しては、トランジスタの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース電極、ドレイン電極のうち一方を第1の電極、他方を第2の電極と表記することができる。

【0034】

（実施の形態1）

本実施の形態では、第1及び第2の薄膜トランジスタの作製方法の一例について説明する。

50

【0035】

まず図1(A)に示すように、絶縁表面を有する基板100を用意する。基板100には、例えはバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板、バルク半導体膜等を用いることができる。また、ポリエチレン-テレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。特に、半導体膜を結晶化するための加熱工程を要しない非晶質半導体膜を有する薄膜トランジスタを形成する場合、可撓性を有する合成樹脂からなる基板を用いやすい。

10

【0036】

また基板の平坦性を高めるため、CMP法(Chemical-Mechanical Polishing)、いわゆる化学的又は機械的ポリッシング法により、表面研磨してから用いると好ましい。CMPの研磨剤(スラリー)には、例えは、塩化シリコンガスを熱分解して得られるフュームドシリカ粒子をKOH添加水溶液に分散したものを用いることができる。

【0037】

基板100上には、必要に応じて下地膜を形成してもよい。下地膜は、基板中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。そのため、アルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素、窒化珪素、窒化酸化珪素、酸化チタン、窒化チタンなどの絶縁膜を用いて下地膜を形成することができる。またチタン等の導電膜を用いて下地膜を形成することもできる。この場合、導電膜は、作製工程における加熱処理等により、酸化されることがある。特に、下地膜の材料は、ゲート電極材料と密着性の高いものを選択するとよい。例えは、ゲート電極にAgを用いる場合、酸化チタン(TiO_x)からなる下地膜を形成すると好ましい。なお下地膜は単層構造又は積層構造を有してもよい。

20

【0038】

また下地膜は、不純物が半導体膜へ拡散することが防止できれば、必ずしも設ける必要はない。そのため本実施の形態のように、ゲート電極上にゲート絶縁膜を介して半導体膜を形成する場合、ゲート絶縁膜が半導体膜へ不純物の拡散を防止する機能を果たすことができるため、下地膜を設ける必要はない。更に、基板材料により下地膜を設けると好ましい場合がある。ガラス基板、ステンレス基板またはプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効である。一方、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも下地膜を設ける必要はない。

30

【0039】

その後、基板上にゲート電極として機能する導電膜(以下、ゲート電極と表記する)を形成するための下地前処理を行うため、光触媒物質101を全面に形成する。光触媒物質は、ゾルゲル法を用いたディップコーティング法、スピンドルコート法、インクジェット法、イオンプレーティング法、イオンビーム法、CVD法、スパッタリング法、RFマグネットロニスパッタリング法、プラズマ溶射法、プラズマスプレー法、又は陽極酸化法により形成することができる。また複数の金属を含む酸化物半導体からなる光触媒物質の場合、構成元素の塩を混合、融解して形成することができる。ディップコーティング法、スピンドルコート法等の塗布法により光触媒物質を形成する場合であって、溶媒を除去する必要があるとき、焼成したり、乾燥するために加熱するとい。具体的には、所定の温度(例えは、150~500程度)で加熱する。

40

【0040】

本実施の形態では、光触媒物質としてTiO_x膜を、ゾルゲル溶液を用いた塗布法により全面に形成する。なおTiO_xは、ルチル型(金紅石)、アナターゼ型(錐石)、ブルッカイト型(板チタン石)と呼ばれる結晶性を有しても、非晶質性を有してもよい。その後

50

、150で10分間、加熱を行う。加えて、250～500で1時間の範囲で加熱してもよい。

【0041】

TiO_x膜を形成することにより、ゲート電極の密着性を高めることができる。

【0042】

またゲート電極を形成する領域に選択的にTiO_xを形成してもよい。この場合、ゲート電極との密着性が高い領域を選択的に形成することとなり、ゲート電極を微細化することもできる。選択的にTiO_xを形成する手段としては、全面にTiO_xを形成した後、不要な領域をウェットエッティング又はドライエッティング等により除去すればよい。また全面にTiO_xを形成した後、選択的に光照射等を行って活性化し、ゲート電極との密着性を選択的に高める手段でもよい。10

【0043】

その他の下地前処理として、スパッタリング法によりTi等の導電膜を形成してもよい。その結果、ゲート電極の密着性を高めたり、ゲート電極の微細化を達成することができる。またTiO_x膜と同様に、ゲート電極を形成する領域に選択的にTiを形成してもよい。さらにTiに対して酸化処理を行って、表面にTiO_xを形成してもよい。

【0044】

別の下地前処理として、インクジェット法等により、カップリング剤等の有機膜を形成してもよい。カップリング剤としては、シラン系カップリング剤やフッ素系カップリング剤等が挙げられる。その結果、ゲート電極の密着性を高めたり、ゲート電極の微細化を達成することができる。またTiO_x膜と同様に、ゲート電極を形成する領域に選択的に有機膜を形成してもよい。20

【0045】

なお、以上のように下地前処理として形成する膜は、下地膜の機能を兼ねることもできる。すなわち、下地膜及び光触媒物質として、TiO_x膜を形成することができる。

【0046】

更に別の下地前処理として、ゲート電極形成面にプラズマ処理を行ってもよい。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十Torr～1000Torr(133000Pa)、好ましくは100(13300Pa)～1000Torr(133000Pa)、より好ましくは700Torr(93100Pa)～800Torr(106400Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようにする。プラズマ処理は、ゲート電極の被形成面に対して非接触で行うとよい。その結果、ゲート電極の密着性を高めたり、ゲート電極の微細化を達成することができる。またTiO_x膜と同様に、ゲート電極を形成する領域に選択的にプラズマ処理を行ってもよい。30

【0047】

次に、インクジェット法を用いて、溶媒中に導電体が混入したドットを滴下して、第1の薄膜トランジスタ形成領域11及び第2の薄膜トランジスタ形成領域12に、ゲート電極103を形成する。本実施の形態では、テトラデカンの溶媒中に銀(Ag)の導電体が分散しているドットを滴下する。このとき、ゲート電極を形成する領域上のインクジェット装置のノズル104からドットを滴下する。このようにノズルからドットを滴下して、ゲート電極を描画するように形成する。40

【0048】

その後、ドットの溶媒を除去する必要があるとき、焼成したり、乾燥させるため加熱処理を施す。具体的には、所定の温度、例えば、200～300で加熱すればよく、好ましくは酸素を有する雰囲気で加熱処理を行う。このときゲート電極表面に凹凸が生じないように加熱温度を設定する。本実施の形態のように銀(Ag)を有するドットを用いる場合、酸素及び窒素を有する雰囲気で加熱処理を行う。例えば、酸素の組成比は、10～25%となるように設定する。すると、ドットの溶媒中に含まれる接着剤等の熱硬化性樹脂50

などの有機物が分解されるため、有機物を含まない銀（A g）を得ることができる。その結果、ゲート電極表面の平坦性を高め、比抵抗値を低くすることができる。この加熱処理により、下地前処理として形成されるT iを酸化してもよい。

【0049】

またゲート電極の材料として、銀（A g）以外にタンタル、タングステン、チタン、金、モリブデン、アルミニウム、銅（C u）から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料が挙げられる。また導電膜は、インクジェット法以外に、スパッタリング法、プラズマC V D法により形成することができる。スパッタリング法、プラズマC V D法により形成する導電膜として、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、A g P d C u合金を用いることができる。

10

【0050】

またゲート電極は単層構造であっても、積層構造であってもよい。例えば、下層導電膜としてインクジェット法によりA gを含むドットを滴下し、上層導電膜としてインクジェット法やスパッタリング法によりC uを形成してもよい。C uのように低抵抗材料を形成することにより、配線抵抗の低減、配線抵抗に伴う発熱や信号遅延を防止することができる。また、下層導電膜上に下地前処理を施し、上層導電膜を形成してもよい。その結果、特にインクジェット法により形成する下層導電膜と、上層導電膜との密着性を高めることができる。

【0051】

また積層構造のゲート電極を形成する手段として、メッキ法を用いてもよい。例えば、電気メッキ法又は無電解メッキ法により、インクジェット法により形成された第1の導電膜の周りに第2の導電膜を形成してもよい。具体的には電気メッキ処理を行い、インクジェット法により形成されたA gの周りに、C uを形成することができる。また電流を流す必要のない無電解メッキ処理を行い、インクジェット法により形成されたA gの周りに、C uを形成してもよい。その結果、配線抵抗の低減、配線抵抗に伴う発熱や信号遅延を防止することができる。特に、第1の導電膜を微細化して形成する場合、第2の導電膜により配線抵抗を低下することができるため好ましい。またC uのように拡散性の高い導電体を形成する場合、拡散を防止するためC uを覆うようにバリア膜を形成するとよい。バリア膜としては、窒化珪素、酸化珪素、ホウ化処理されたニッケル（N i B）を用いることができる。

20

【0052】

このとき、基板を金属の溶けた水溶液に浸けることにより、メッキ処理を行うことができる。また大型マザーガラス基板を用いる場合、該基板上に金属の溶けた水溶液を流すことによりメッキ処理を行うことができる。この場合、メッキ処理を行う装置の大型化を防止することができる。

【0053】

このように本実施の形態において、導電膜、特にインクジェット法により導電膜を形成する前に下地前処理を行うと好ましい。

【0054】

またゲート電極を覆うように絶縁膜や導電膜を形成してもよい。絶縁膜としては、窒化珪素、酸化珪素、導電膜としてはホウ化処理されたニッケル（N i B）を用いることができる。その結果、ゲート電極の酸化を防止したり、表面の平坦化を向上することができる。

40

【0055】

図1（B）に示すように、ゲート電極を覆ってゲート絶縁膜105として機能する絶縁膜（以下、ゲート絶縁膜とも表記する）を形成する。ゲート絶縁膜として、プラズマC V D法又はスパッタリング法により酸化珪素、窒化珪素又は窒化酸化珪素等の絶縁体を形成することができる。なおインクジェット法によりポリイミド等の絶縁膜の材料が混入されたドットを吐出してゲート絶縁膜を形成してもよい。本実施の形態のように、A gをゲート電極として用いる場合、ゲート絶縁膜として、A gと接する絶縁膜には窒化珪素膜を用いると好ましい。酸素を有する絶縁膜を用いると、A gと反応し、酸化銀が形成され、ゲー

50

ト電極表面が荒れる恐れがあるからである。

【0056】

またゲート絶縁膜は単層構造又は積層構造をとることができる。例えば、窒化珪素、酸化珪素、窒化珪素の順に積層されたゲート絶縁膜を形成することができる。また、ゲート電極と、ゲート絶縁膜との密着性を高めるため、下地前処理を行った後にゲート絶縁膜を形成してもよい。例えば、ゲート電極上にTiO_x膜、ゲート絶縁膜の順に積層してもよい。このとき、TiO_xは絶縁膜としても機能する。

【0057】

このように本実施の形態において、導電膜、特にインクジェット法により導電膜を形成する後に下地前処理を行うと好ましい。

10

【0058】

次いで、ゲート絶縁膜上に、半導体膜106を形成する。半導体膜は、プラズマCVD法、スパッタリング法、インクジェット法等により形成することができる。半導体膜の膜厚は25～200nm（好ましくは30～60nm）とするといい。半導体膜の材料は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5atomic%程度であることが好ましい。

【0059】

半導体膜は、非晶質（アモルファス）半導体、非晶質半導体の中に結晶粒が分散するよう 20
に存在しているセミアモルファス半導体、及び非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体、有機半導体、及び結晶性半導体から選ばれたいずれの状態を有してもよい。特に、0.5nm～20nmの結晶粒を観察することができる微結晶状態は所謂マイクロクリスタル（μc）と呼ばれている。

20

【0060】

セミアモルファス半導体の材料としてシリコンを用いたセミアモルファスシリコン（SASとも表記する）は、珪化物気体をグロー放電分解することにより得ることができる。またSASは、珪化物気体に加えてフッ素（F₂）を用いて形成してもよい。代表的な珪化物気体としては、SiH₄であり、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることができる。珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることによりSASの形成を容易なものとすることができる。このとき希釈率が10倍～1000倍の範囲となるように、珪化物気体を希釈すると好ましい。またSASは、Si₂H₆及びGeF₄を用い、ヘリウムガスで希釈する方法を用いて形成することができる。

30

【0061】

グロー放電分解による被膜の反応生成は減圧下で行うと好ましく、圧力は概略0.1Pa～133Paの範囲で行えばよい。グロー放電を形成するための電力は1MHz～120MHz、好ましくは13MHz～60MHzの高周波電力を供給すればよい。基板加熱温度は300度以下が好ましく、100～250度の基板加熱温度が推奨される。

【0062】

また、非晶質半導体の材料としてシリコンを用いた非晶質珪素膜（アモルファスシリコン、ASとも表記する）は、珪化物気体を用いて形成することができる。代表的な珪化物気体としては、SiH₄であり、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることができる。そして、珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いるとよい。本実施の形態では、半導体膜として、プラズマCVD法を用いて非晶質珪素膜を形成する。

40

【0063】

このようなSASやASは、単層構造又は積層構造をとることができる。積層構造とする場合、成膜ガスの種類や流量を変えることにより、大気に曝さず連続形成することができる。例えば、珪化物気体とフッ素系のガスを用いて形成した後、フッ素系のガスを水素系

50

のガスに変えることにより、積層構造を有するS A Sを形成することができる。

【0064】

その後、半導体膜上にチャネル保護膜として機能する絶縁膜（以下、チャネル保護膜と表記する）108を形成する。チャネル保護膜の材料としては、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンとは、珪素（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む、又は置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも1種を有するポリマー材料、を出発原料として形成される。またポリシラザンとは、珪素（Si）と窒素（N）の結合を有するポリマー材料を含む液体材料を出発原料として形成される。無機材料としては、酸化珪素、又は窒化珪素を用いることができる。10

【0065】

チャネル保護膜の作製方法としては、インクジェット法やプラズマCVD法を用いることができる。インクジェット法を用いる場合、チャネル保護膜を半導体膜上に選択的に形成することができる。またプラズマCVD法を用いる場合、チャネル保護膜をエッチングする必要がある。このとき、チャネル保護膜上にマスクを形成し、該マスクを用いてチャネル保護膜をエッチングすればよい。例えば、ゲート電極をマスクとして使用する裏面露光によりチャネル保護膜上にマスクを形成したり、インクジェット法によりチャネル保護膜上に選択的にマスクを形成することができる。

【0066】

次いで、一導電型を有する半導体膜を形成する。一導電型を有する半導体膜は、プラズマCVD法、スパッタリング法、インクジェット法等を用いて形成することができる。一導電型を有する半導体膜を設ける場合、半導体膜と電極とのコンタクト抵抗が低くなり好ましいが、必ずしも設ける必要はない。本実施の形態では、プラズマCVD法を用いてN型を有する半導体膜109を形成する。20

【0067】

図1(C)に示すように、半導体膜106及びN型を有する半導体膜109を所望の形状にパターニングするためのマスク111を形成する。マスクは、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となるためインクジェット法を用いて形成すると好ましいが、フォトリソグラフィー法により形成してもよい。更にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程の簡略化を行うことができる。すなわち、フォトマスク形成、露光等が不要となり、設備投資コストの削減を達成でき、製造時間を短縮することができる。本実施の形態では、インクジェット法によりマスクを形成する。そのため、マスクを形成する領域上のノズル104から、マスク材料が含まれたドットを滴下する。30

【0068】

マスク材料として、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ポリビニルアルコール、レジスト又はベンゾシクロブテン）を用いることができる。例えばポリイミドを用いてインクジェット法によりマスクを形成する場合、所望箇所にインクジェット法によりポリイミドを吐出した後、焼成するため150～300で加熱処理を行うとよい。40

【0069】

図1(D)に示すように、マスクを用いてドライエッチング又はウェットエッチングにより、半導体膜106及びn型を有する半導体膜109をエッチングする。エッチング後、マスクを除去するため、プラズマ処理等を行う。なお、マスクは除去せずに絶縁膜として機能させてもよい。

【0070】

図2(A)に示すように、ソース電極及びドレイン電極として機能する導電膜（以下、ソース電極及びドレイン電極と表記する）を形成する。導電膜として、金、銀、銅、アルミ50

ニウム、チタン、モリブデン、タングステンもしくはシリコンの元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。導電膜はインクジェット法、CVD法及びスパッタリング法のいずれかを用いて形成することができる。本実施の形態では、インクジェット法を用いて、溶媒中に導電体が混入したドットを滴下して、ソース電極及びドレイン電極115を形成する。具体的には、図1(A)に示したゲート電極と同様に行えばよく、テトラデカンの溶媒中に銀(Ag)の導電体が分散しているドットを滴下する。このとき、ソース電極及びドレイン電極を形成する領域上のノズル104からドットを滴下し、所望の領域に描画するように形成する。ソース電極及びドレイン電極は、ゲート電極と同様に、単層構造及び積層構造のいずれを有してもよい。

【0071】

10

本実施の形態のように、Agをソース電極及びドレイン電極として用いる場合、保護膜として機能する絶縁膜には窒化珪素膜を形成するとよい。その結果、ゲート電極表面の膜荒れを防止することができる。

【0072】

また、ソース電極及びドレイン電極として機能する導電膜を形成する前後に、下地前処理を行ってもよい。その結果、ソース電極及びドレイン電極の密着性を高めることができる。例えば、n型半導体膜上にTiO_x膜やTi膜を薄く形成し、インクジェット法によりソース電極及びドレイン電極を形成することができる。

【0073】

20

その後、ドットの溶媒を除去する必要があるとき、ゲート電極と同様に、焼成したり、乾燥させるため加熱処理を施す。本実施の形態のように銀(Ag)を有するドットを用いる場合、酸素及び窒素を有する雰囲気で加熱処理を行うとよい。例えば、酸素の組成比は、10~25%となるように設定する。

【0074】

またソース電極又はドレイン電極に対して、上述したようなメッキ処理を施してもよい。

【0075】

30

図2(B)に示すように、ソース電極及びドレイン電極をマスクとして、n型を有する半導体膜109をエッチングする。n型を有する半導体膜により、ソース電極とドレイン電極とが短絡することを防止するためである。このとき、チャネル保護膜が多少エッチングされることがある。このようにして、第1及び第2の薄膜トランジスタとして機能する能動素子が完成する。

【0076】

次いで、第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続するため、ドライエッティング又はウェットエッティングにより、ゲート絶縁膜にコンタクトホールを形成する。このとき、マスクを形成し(図示しない)、該マスクを用いてゲート絶縁膜にコンタクトホールを形成することができる。マスクはインクジェット法やフォトリソグラフィー法により形成することができる。またソース電極及びドレイン電極をマスクとして、ゲート絶縁膜にコンタクトホールを形成してもよい。この場合、ソース電極及びドレイン電極が設けられていない領域において、ゲート絶縁膜が除去される。

40

【0077】

その後、コンタクトホールに、第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続するための導電膜116を形成する。導電膜として、金、銀、銅、アルミニウム、チタン、モリブデン、タングステンもしくはシリコンの元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。本実施の形態では、該導電膜をインクジェット法により形成する。そのため、導電膜を形成する領域上のノズル104から、導電膜材料が含まれたドットを滴下する。

【0078】

上述のように半導体膜及びn型を有する半導体膜をパターニング後、ゲート絶縁膜にコンタクトホールを形成し、その後ソース電極及びドレイン電極を形成する場合、導電膜11

50

6はソース電極及びドレイン電極の一部として形成することができる。

【0079】

なお、ゲート絶縁膜形成前、第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続するために導電膜を柱状に形成しておいてよい。ゲート絶縁膜形成後、柱状の導電膜の先端を露出するように、ゲート絶縁膜をエッチバックする。そして、該柱状の導電膜を介して第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続することができる。この場合、ゲート絶縁膜にコンタクトホールを形成する必要がない。

【0080】

以上のように、ソース電極及びドレイン電極まで設けられた薄膜トランジスタが完成する。本実施の形態の薄膜トランジスタは、半導体膜より下方にゲート電極が設けられる、所¹⁰謂ボトムゲート型の薄膜トランジスタである。より詳細には、チャネル保護膜が設けられている、所謂チャネル保護型である。このような薄膜トランジスタが複数設けられた基板をTFT基板と表記する。

【0081】

図2(C)に示すように、第2の薄膜トランジスタのソース電極又はドレイン電極上に、柱状の導電膜117を形成する。柱状の導電膜として、金、銀、銅、アルミニウム、チタン、モリブデン、タンゲステンもしくはシリコンの元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。柱状の導電膜はインクジェット法、CVD法及びスパッタリング法のいずれかを用いて形成することができる。本実施の形態では、インクジェット法により柱状の導電膜を形成する。インクジェット法により形成する場合、導電膜を形成する領域上のノズル104からドットを滴下する。このとき、柱状の導電膜を所望の高さにするため、複数回に渡ってドットを滴下するとよい。更に、ドットを滴下するたびに加熱処理を行うとよい。加熱処理により導電膜が焼成し、適切な硬度を有するようになるため、柱状の導電膜を簡便に形成することができる。但し、導電膜を有するドットの粘性が所望の値であれば、一回又は少數回のドットの滴下により、柱状の導電膜を形成することもできる。

【0082】

図2(D)に示すように、絶縁膜(以下、層間絶縁膜と表記する)118を形成する。層間絶縁膜の材料としては、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。無機材料としては、酸化珪素、又は窒化珪素を用いることができる。また層間絶縁膜は、スピニコーティング法やディップ法の塗布法や、プラズマCVD法、又はインクジェット法により形成することができる。マザーガラス基板が大型化する場合、スピニコーティング法を用いることが難しくなることが懸念されるため、大型マザーガラス基板を斜めに設置し、該基板の上端から層間絶縁膜材料を有する溶媒を滴下する方法を用いてもよい。層間絶縁膜を形成することにより平坦性を高めることができ好ましい。

【0083】

またソース電極及びドレイン電極と、層間絶縁膜との密着性を高めるため、ソース電極及びドレイン電極形成後に下地前処理を行ってもよい。

【0084】

その後、柱状の導電膜117と接続するように画素電極119を形成する。そのため、必要に応じて、層間絶縁膜をエッチバックし、柱状の導電膜の先端を露出する。画素電極は、スパッタリング法やインクジェット法により形成することができる。また画素電極は、透光性又は非透光性を有する材料から形成することができる。例えば、透光性を有する場合、ITO等を用いることができ、非透光性を有する場合、金属膜を用いることができる。具体的な画素電極の材料として、インジウム錫酸化物(ITO、Indium Tin Oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zinc oxide)、酸化インジウムに2~20%の酸化珪素(SiO₂)を混合したITO-SiOx(⁵⁰

便宜上ITO又はNITOと表記する)、有機インジウム、有機スズ、窒化チタン(TiN)等を用いることもできる。本実施の形態では、スパッタリング法により、NITOを用いて画素電極を形成する。なお、画素電極にNITOを用いる場合、層間絶縁膜上に窒化珪素膜を形成した後にNITOを形成するとよい。

【0085】

次いで、画素電極119の端部を覆うように、隔壁又は土手として機能する絶縁膜120を形成する。絶縁膜には、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)、感光性又は非感光性の有機材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン)、シロキサン、ポリシラザン、及びそれらの積層構造を用いることができる。有機材料として、ポジ型感光性有機樹脂又はネガ型感光性有機樹脂を用いることができる。例えば、有機材料としてポジ型の感光性アクリルを用いた場合、露光処理により感光性有機樹脂をエッチングすると上端部に曲率を有する開口部を形成することができる。そのため、後に形成する電界発光層等の段切れを防止することができる。この状態のTFT基板をモジュール用TFT基板と表記する。

10

【0086】

また図22には、メッキ法を用いてゲート電極を積層構造として形成した場合の断面図を示す。メッキ法により、ゲート電極103の周囲に、銅からなる導電膜102が形成される。その他の構成は図2(D)と同様であるため、説明を省略する。

【0087】

またソース電極、又はドレイン電極の周囲に銅からなる導電膜を形成することもできる。

20

【0088】

図23には、電気メッキ処理を行う状態を示し、大型マザーガラス基板から4つのパネルを得る多面取りを行う場合について説明する。

【0089】

図23(A)に示すように、基板100には、ゲート電極103と同一レイヤー、例えばインクジェット法によりAgを描画して、電流を供給するための導電膜180を形成する。該導電膜180は、ゲート電極と異なる材料から形成してもよく、電解メッキ処理により形成したいCuから形成してもよい。このとき、Agからなるゲート電極上にもCuを形成するとよい。その結果、メッキ処理により、Cuを均一に形成することができる。

【0090】

30

図23(B)に示すように、基板100はステージ184に固定され、基板に対して、金属の溶けた水溶液を滴下するためのヘッド181と、該金属の溶けた水溶液を水洗するためのヘッド182と、乾燥させるために気体が噴出するためのヘッド183と、が順に配置される。このように複数のノズルを配置することにより、連続処理ができ、スループットを高めることができる。電気メッキ法によりCuを形成する場合、金属の溶けた水溶液として硫酸銅と希硫酸からなる溶液を用いることができる。乾燥させるための気体は、酸素、窒素、それらの混合物を用いることができる。さらに乾燥を早めるため、温風を噴出してもよい。

【0091】

この状態で、基板100を矢印方向に移動させ、大型マザーガラス基板に対して、電気メッキ処理を行うことができる。もちろん基板100とヘッド181、182、183とは相対的に移動すればよい。

40

【0092】

このとき、図23(C)に示すように、基板100は、ステージ184に固定され、角度となるように斜めに配置する。角度 α は、 $0^\circ < \alpha < 90^\circ$ 、好ましくは $45^\circ < \alpha < 80^\circ$ の範囲をとることができる。また角度 β は、 $90^\circ < \beta < 120^\circ$ とし、圧力を高くしてヘッド181からの水溶液を噴出することもできる。同様に、圧力を高くしてヘッド182から水洗の水、及びヘッド183からの気体を噴出する。この場合、水溶液は基板100上を垂れることなく、そのまま落ちるため、水溶液のムラを防止することができる。このように、基板を斜めに配置することにより、マザーガラス基板の大型化に伴うメ

50

ツキ処理装置の大型化を防ぐことができる。

【0093】

また、ステージ184は、導電体、及び絶縁体185からなり、一方の導電体を陽極、他方の導電体を陰極とし、基板100に形成された導電膜180に接続している。これらに電流を流すことにより、メッキ処理を行うことができる。もちろん、ステージ184に、導電体及び絶縁体を設置してもよい。

【0094】

なお、本実施の形態と異なり、基板100を金属の溶けた水溶液に浸けてメッキ処理を行ってもよい。

【0095】

また、溶液中の金属イオンの還元作用により電流を流すことない無電解メッキ法により、ゲート電極の周囲に導電膜102を形成してもよい。この場合、電流を流すための導電膜180を形成することができない。

【0096】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、その他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

【0097】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

【0098】

(実施の形態2)

本実施の形態では、上記実施の形態と異なる方法により第1及び第2の薄膜トランジスタを作製する例を説明する。具体的には、層間絶縁膜に設けられたコンタクトホールの形成方法が異なり、その他の構成は上記実施の形態と同様であるため説明を省略する。

【0099】

図3(A)に示すように、上記実施の形態と同様に、第1及び第2の薄膜トランジスタを形成する。本実施の形態では、柱状の導電膜を形成することなく、第1及び第2の薄膜トランジスタを覆うように層間絶縁膜118を形成する。

【0100】

その後、層間絶縁膜上にマスクを形成する。マスクは、インクジェット法又はフォトリソグラフィー法により形成することができる。本実施の形態では、インクジェット法によりマスクを形成する。インクジェット法によりマスクを形成すると、フォトリソグラフィー工程の簡略化を行うことができる。すなわち、フォトマスク形成、露光等が不要となり、設備投資コストの削減を達成でき、製造時間を短縮することができる。

このとき、マスクを形成する領域上のノズル104から、マスク材料を有するドットを滴下する。

【0101】

その後、該マスクを用いて、ドライエッティング法により層間絶縁膜にコンタクトホール122を形成する。コンタクトホールは、第2の薄膜トランジスタのソース電極又はドレイン電極と接続する領域に形成する。

【0102】

図3(B)に示すように、コンタクトホールに柱状の導電膜123を形成する。柱状の導

10

20

30

40

50

電膜として、金、銀、銅、アルミニウム、チタン、モリブデン、タングステンもしくはシリコンの元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。柱状の導電膜はインクジェット法、CVD法及びスパッタリング法のいずれかを用いて形成することができる。本実施の形態では、インクジェット法により柱状の導電膜を形成する。インクジェット法により形成する場合、導電膜を形成する領域上のノズル104からドットを滴下する。このとき、柱状の導電膜を所望の高さにするため、複数回に渡ってドットを滴下するとよい。また本実施の形態では、コンタクトホールの側壁に保護されているため、ドットを滴下するたびに加熱処理を行わなくともよい。

【0103】

図3(C)に示すように、上記実施の形態と同様に、柱状の導電膜と接続するように画素電極119を形成する。その後、画素電極の端部を覆うように土手又は隔壁として機能する絶縁膜120を形成する。このようにしてモジュール用TFT基板を形成することができる。

10

【0104】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、その他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

20

【0105】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

【0106】

(実施の形態3)

本実施の形態では、上記実施の形態と異なる方法により第1及び第2の薄膜トランジスタを作製する例を説明する。具体的には、層間絶縁膜の形成方法が異なり、その他の構成は上記実施の形態と同様であるため説明を省略する。

30

【0107】

図4(A)に示すように、上記実施の形態と同様に、第1及び第2の薄膜トランジスタを形成し、薄膜トランジスタを覆うように層間絶縁膜を形成する。本実施の形態では、インクジェット法により層間絶縁膜を形成する。そして第2の薄膜トランジスタのソース電極又はドレイン電極において、画素電極と接続する電極上には層間絶縁膜125を形成しないように形成する。このとき、層間絶縁膜を形成する領域上のノズル104から絶縁膜材料を有するドットを滴下する。ドットの粘性を設定することにより、図4(A)に示すような層間絶縁膜を形成することが可能となる。その結果、層間絶縁膜に画素電極を接続するためのコンタクトホールを形成する必要がない。

40

【0108】

図4(B)に示すように、層間絶縁膜の開口部126に、画素電極119を形成することができる。画素電極は、スパッタリング法やインクジェット法により形成することができる。また画素電極は、透光性又は非透光性を有する材料から形成することができる。例えば、透光性を有する場合、ITO等を用いることができ、非透光性を有する場合、金属膜を用いることができる。具体的な画素電極の材料として、インジウム錫酸化物(ITO、Indium Tin Oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zinc oxide)、酸化インジウムに2~20%の酸化珪素(SiO₂)を混合したITO-SiOx(便宜上ITO-SiOx又はNITO)

50

と表記する)、有機インジウム、有機スズ、窒化チタン(TiN)等を用いることができる。本実施の形態では、ノズル104から透明導電膜材料を有するドットを滴下し、画素電極119を形成する。

【0109】

図4(C)に示すように、画素電極の端部、及び該開口部領域上の画素電極(合わせて画素電極の一部とも表記する)を覆うように土手又は隔壁として機能する絶縁膜120を形成する。このとき、絶縁膜120は、平坦な領域に設けられている画素電極が露出するよう、平坦領域外の画素電極を覆って形成する。その結果、後に形成する電界発光層の段切れを防止することができる。また絶縁膜120を形成せずに、層間絶縁膜の開口部に設けられた状態で電界発光層を形成してもよい。このようにしてモジュール用TFT基板を形成することができる。10

【0110】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。20

【0111】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

【0112】

(実施の形態4)

本実施の形態では、上記実施の形態と異なる方法により第1及び第2の薄膜トランジスタを作製する例を説明する。具体的には、層間絶縁膜及びコンタクトホールの形成方法が異なり、他の構成は上記実施の形態と同様であるため説明を省略する。30

【0113】

図5(A)に示すように、上記実施の形態と同様に、第1及び第2の薄膜トランジスタを形成し、薄膜トランジスタを覆うように層間絶縁膜を形成する。本実施の形態では、柱状形状を有し、撥液性を有する有機膜128を形成した後、インクジェット法により、層間絶縁膜118を形成する。このとき、有機膜が層間絶縁膜に対して撥液性となっているため、有機膜上に層間絶縁膜は形成されない。

【0114】

有機膜は、インクジェット法により、例えばPVA(ポリビニルアルコール)やFAS(フルオロアルキルシラン)を用いて形成することができる。またさらに、有機膜に対してプラズマ、レーザー又は電子ビーム等によって処理を行う。その結果、有機膜の撥液性を高めることができる。なお詳細は、同出願人の特願2003-344880を参照すればよい。40

【0115】

図5(B)に示すように、有機膜128をドライエッティング、ウェットエッティング、大気圧プラズマを用いたエッティングや、水洗処理、又はレーザーや電子ビームを用いた処理によって選択的に除去することができる。本実施の形態では、水洗処理により有機膜128を除去する。その結果、有機膜が除去された領域をコンタクトホール129として使用することができる。

【0116】

図5(C)に示すように、画素電極119を形成する。画素電極は、スパッタリング法や50

インクジェット法により形成することができる。また画素電極は、透光性又は非透光性を有する材料から形成することができる。例えば、透光性を有する場合、ITO等を用いることができ、非透光性を有する場合、金属膜を用いることができる。具体的な画素電極の材料として、インジウム錫酸化物(Indium Tin Oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zirconia oxide)、酸化インジウムに2~20%の酸化珪素(SiO₂)を混合したIT-SiOx(便宜上ITSO又はNITOと表記する)、有機インジウム、有機スズ、窒化チタン(TiN)等を用いることもできる。本実施の形態では、ノズル104から透明導電膜材料を有するドットを滴下し、画素電極119を形成する。このとき、コンタクトホール129に画素電極が形成されるよう、コンタクトホール上のノズル104からのドット量を調整する。

【0117】

その後上記実施の形態と同様に、画素電極の端部を覆うように土手又は隔壁として機能する絶縁膜を形成する。このようにしてモジュール用TFT基板を形成することができる。

【0118】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、その他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

【0119】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

【0120】

(実施の形態5)

本実施の形態では、上記実施の形態と異なる方法により第1及び第2の薄膜トランジスタを作製する例を説明する。具体的には、層間絶縁膜及びコンタクトホールの形成方法が異なり、その他の構成は上記実施の形態と同様であるため説明を省略する。

【0121】

図6(A)に示すように、上記実施の形態と同様に、第1及び第2の薄膜トランジスタを形成する。その後、層間絶縁膜の被形成面、本実施の形態ではソース電極及びドレイン電極、チャネル保護膜、並びにゲート絶縁膜等の上に、層間絶縁膜に対して撥液性を有する膜136を形成する。撥液性を有する膜として、インクジェット法により、例えばPVA(ポリビニルアルコール)やFAS(フルオロアルキルシラン)を用いて形成することができる。

【0122】

図6(B)に示すように、選択的にマスク131を形成する。マスクは、インクジェット法により、例えばポリイミド、ポリビニルアルコール等を用いて形成することができる。マスク131を用いて、撥液性を有する膜136を選択的に除去する。除去する手段として、ドライエッティング、ウェットエッティング、大気圧プラズマを用いたエッティングや、水洗処理、又はレーザーや電子ビームを用いた処理を用いることができる。本実施の形態では、大気圧中において酸素ガスを用いたプラズマ処理により撥液性を有する膜を除去する。その後、マスク131も同様な手段を用いて除去する。本実施の形態では、水洗処理によりマスクを除去する。

【0123】

10

20

30

40

50

図6(C)に示すように、層間絶縁膜118を形成する。層間絶縁膜は、選択的に形成された撥液性を有する膜上には形成されない。その結果、開口部135が形成される。

【0124】

図6(D)に示すように、開口部135に画素電極119を形成し、画素電極の端部、及び開口部上の画素電極(合わせて画素電極の一部と表記する)を覆うように土手又は隔壁として機能する絶縁膜120を形成する。このようにしてモジュール用TFT基板を形成することができる。

【0125】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

10

【0126】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

20

【0127】

(実施の形態6)

本実施の形態では、上記実施の形態と異なる方法により第1及び第2の薄膜トランジスタを作製する例を説明する。具体的には、チャネル保護膜を設けない構成が異なり、他の構成は上記実施の形態と同様であるため説明を省略する。

【0128】

図7(A)に示すように、上記実施の形態と同様に、基板100上に、光触媒物質としてTiO_x膜101を形成し、第1及び第2の薄膜トランジスタを形成する領域11、12にゲート電極103を形成し、ゲート絶縁膜105、半導体膜106、n型を有する半導体膜109を順に形成する。このように半導体とn型を有する半導体膜をプラズマCVD法により形成する場合、半導体膜106と、n型を有する半導体膜109、更にはゲート絶縁膜を連続形成すると好ましい。この場合、原料ガスの供給を変化させることにより大気開放せず、連続形成することができる。

30

【0129】

その後、半導体膜106、n型を有する半導体膜109を所望の形状にパターニングするため、マスク111を形成する。

【0130】

図7(B)に示すように、半導体膜及びn型を有する半導体膜をパターニング後、半導体膜及びn型を有する半導体膜の周囲部に絶縁膜130を形成する。但し、n型を有する半導体膜と、後に形成するソース電極及びドレイン電極が接続する必要がある。そのため、絶縁膜130は、n型を有する半導体膜が露出するように、周辺部に形成する。

40

【0131】

絶縁膜130の材料としては、有機材料や無機材料を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシリラザンを用いることができる。無機材料としては、酸化珪素、又は窒化珪素を用いることができる。絶縁膜130は、インクジェット法やプラズマCVD法により形成することができる。

【0132】

絶縁膜130により、半導体膜及びn型を有する半導体膜の周辺部の段差を小さくでき、

50

なめらかな形状とすることができます。その結果、後に形成するソース電極及びドレイン電極の段切れを防止することができる。本実施の形態の半導体膜及びn型を有する半導体膜の周囲部に絶縁膜130を形成する構造は、上記実施の形態と自由に組み合わせて用いることができる。

【0133】

その後、ソース電極及びドレイン電極115をマスクとして、n型を有する半導体膜109をエッティングする。n型を有する半導体膜により、ソース電極とドレイン電極とが短絡することを防止するためである。このとき、半導体膜が多少エッティングされることがある。

【0134】

10

次いで、第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続するため、エッティング法により、ゲート絶縁膜にコンタクトホールを形成する。ゲート絶縁膜のコンタクトホール形成方法は、上記実施の形態を参照すればよい。

【0135】

その後、コンタクトホールに、第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続するための導電膜116を形成する。導電膜116の形成方法は、上記実施の形態を参照すればよい。

【0136】

このようにして、第1及び第2の薄膜トランジスタとして機能する能動素子が完成する。

20

【0137】

以上のように、ソース電極及びドレイン電極まで設けられた薄膜トランジスタが完成する。本実施の形態の薄膜トランジスタは、半導体膜より下方にゲート電極が設けられる、所謂ボトムゲート型の薄膜トランジスタである。より詳細には、チャネル保護膜が設けられていない、所謂チャネルエッチ型である。このような薄膜トランジスタが複数設けられた基板をTFT基板と表記する。

【0138】

図7(C)に示すように、第2の薄膜トランジスタのソース電極又はドレイン電極上に、柱状の導電膜117を形成する。その後、層間絶縁膜118、画素電極119、土手又は隔壁として機能する絶縁膜120を形成する。柱状の導電膜117、層間絶縁膜118、画素電極119、土手又は隔壁として機能する絶縁膜120の形成方法は、上記実施の形態を参照すればよい。また図7(C)は、実施の形態1に対応するように柱状の導電膜117、層間絶縁膜118、画素電極119、等を形成しているが、本実施の形態は実施の形態2乃至5と自由に組み合わせることができる。この状態のTFT基板をモジュール用TFT基板と表記する。

30

【0139】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

40

【0140】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

【0141】

50

(実施の形態 7)

本実施の形態では、上記実施の形態と異なる方法により第1及び第2の薄膜トランジスタを作製する例を説明する。具体的には、半導体膜上にゲート電極が設けられた所謂トップゲート型の薄膜トランジスタであって、その他の構成は上記実施の形態と同様であるため説明を省略する。

【0142】

図8(A)に示すように、基板100上にTiO_x膜101を形成する。また基板上には、必要に応じて下地膜を形成してもよいことは上述の通りである。下地膜としては、酸化珪素、窒化珪素、窒化酸化珪素、酸化チタン、窒化チタンなどの絶縁膜を用いることができる。本実施の形態では、TiO_x膜が下地膜として機能している。

10

【0143】

第1及び第2の薄膜トランジスタを形成する領域11、12に、ソース電極及びドレイン電極115を形成する。ソース電極及びドレイン電極の作製方法は、上記実施の形態を参照すればよく、本実施の形態ではインクジェット法により、Agを有するドットを滴下して形成する。その後、必要に応じてn型を有する半導体膜109を形成する。その結果、ソース電極及びドレイン電極と、半導体膜の抵抗が低くなることができ、好ましい。n型を有する半導体膜を形成する場合、n型を有する半導体膜により、ソース電極とドレイン電極とが短絡することを防止するためにエッチングする必要がある。

【0144】

半導体膜106、ゲート絶縁膜105を順に形成する。半導体膜及びゲート絶縁膜は、原料ガスを変えることにより連続形成することができる。半導体膜及びゲート絶縁膜の作製方法は、上記実施の形態を参照すればよい。その後、マスクを形成し(図示しない)、n型を有する半導体膜109、半導体膜106、及びゲート絶縁膜105を、所望の形状にパターニングする。

20

【0145】

半導体膜上に、ゲート電極103を形成する。ゲート電極の作製方法は、上記実施の形態を参照すればよい。本実施の形態では、インクジェット法により、Agを有するドットを滴下して形成する。

【0146】

また図示しないが、ゲート電極上には、保護膜を形成するとよい。保護膜は、窒化珪素、酸化珪素等から形成することができ、また単層構造又は積層構造をとることができ。例えば、窒化珪素、酸化珪素、窒化珪素の順に積層された保護膜を形成することができる。本実施の形態のように、Agをゲート電極として用いる場合、ゲート絶縁膜として、Agと接する絶縁膜には窒化珪素膜を用いると好ましい。酸素を有する絶縁膜を用いると、Agと反応し、酸化銀が形成され、ゲート電極表面が荒れる恐れがあるからである。

30

【0147】

その後、第1の薄膜トランジスタのソース電極又はドレイン電極と、第2の薄膜トランジスタのゲート電極を接続するための導電膜116を形成する。導電膜の作製方法は、上記実施の形態を参照すればよい。

【0148】

このようにして、第1及び第2の薄膜トランジスタとして機能する能動素子が完成する。

40

【0149】

以上のように、ソース電極及びドレイン電極まで設けられた薄膜トランジスタが完成する。本実施の形態の薄膜トランジスタは、半導体膜より上方にゲート電極が設けられる、所謂トップゲート型の薄膜トランジスタである。このような薄膜トランジスタが複数設けられた基板をTFT基板と表記する。

【0150】

図8(B)に示すように、第2の薄膜トランジスタのソース電極又はドレイン電極上に、柱状の導電膜117を形成する。その後、層間絶縁膜118、画素電極119、土手又は隔壁として機能する絶縁膜120を形成する。柱状の導電膜117、層間絶縁膜118、

50

画素電極 119、土手又は隔壁として機能する絶縁膜 120 の形成方法は、上記実施の形態を参照すればよい。また図 8 (B) は、実施の形態 1 に対応するように柱状の導電膜 117、層間絶縁膜 118、画素電極 119、等を形成しているが、本実施の形態は実施の形態 2 乃至 5 と自由に組み合わせることができる。この状態の TFT 基板をモジュール用 TFT 基板と表記する。

【0151】

また本実施の形態で示した薄膜トランジスタは、少なくともインクジェット法により導電膜又は導電膜以外のマスクを形成することを特徴とする。そのため、導電膜又は導電膜以外のマスクを形成する一工程にインクジェット法を用いれば、その他の導電膜を形成する工程はインクジェット法以外を用いてもよい。一工程にインクジェット法を用いれば、材料の利用効率が向上し、コストの削減、廃液処理量の削減が可能となる。特にインクジェット法によりマスクを形成すると、フォトリソグラフィー工程と比較して工程の簡略化を行うことができる。その結果、設備投資コストの削減、コストの削減、製造時間を短縮することができる。

10

【0152】

以上のように、下地前処理により、微細化されたゲート電極や、ソース電極及びドレイン電極を有する薄膜トランジスタを得ることができる。更に選択的に下地前処理を行う場合、ドットが多少ずれて吐出されたときであっても、下地前処理領域に沿って配線を形成することができ、配線形成の正確な位置制御が可能となる。

【0153】

20

(実施の形態 8)

本実施の形態では、層間絶縁膜に対する平坦化処理について説明する。

【0154】

図 9 (A) に示すように、インクジェット法や塗布法により層間絶縁膜 118 を形成する。層間絶縁膜の材料は、上記実施の形態を参照することができる。本実施の形態では、シリコサンを用い、インクジェット法により層間絶縁膜を形成する。このとき、有機材料を有するドットを滴下し、加熱する前に、気体を噴きつける手段 150 により、層間絶縁膜を平坦化する。例えば、気体を噴きつける手段としては、基板等の不純物除去に使われているエアナイフを用いることができる。また気体としては、大気、酸素、又は窒素を用いることができる。その結果、層間絶縁膜表面に形成されたミクロな凹凸まで平坦化することができる。平坦化処理後、加熱を行い、焼成する。

30

【0155】

気体を噴きつける手段により、柱状の導電膜 117 の表面も平坦化することができる。例えば、層間絶縁膜にコンタクトホールを形成した後、該コンタクトホールへインクジェット法により導電膜を形成する場合、導電膜材料を有するドットを滴下し、加熱する前に、気体を噴きつける手段により、導電膜の表面を平坦化することができる。平坦化処理後、加熱を行い、焼成する。

【0156】

また、導電膜を形成後、柱状形状を保持する程度に加熱し、層間絶縁膜を形成する。その後、加熱する前に、気体を噴きつける手段により導電膜及び層間絶縁膜の表面を平坦化することができる。平坦化処理後、加熱を行い、焼成する。

40

【0157】

また更に、導電膜形成領域に導電膜材料を有するドットを数滴滴下し、層間絶縁膜を形成する。このとき、導電膜材料を有するドットに、撥液性を持たせることにより、ドット上の層間絶縁膜に開口部が形成される。そして、開口部に導電膜材料を有するドットを滴下して柱状の導電膜を形成する。その後、加熱する前に、気体を噴きつける手段により、導電膜及び層間絶縁膜の表面を平坦化することができる。平坦化処理後、加熱を行い、焼成する。

【0158】

このように層間絶縁膜及び導電膜の表面の平坦性を高めることにより、絶縁膜及び導電膜

50

が積層した多層配線を形成することができる。

【0159】

本実施の形態において、気体を噴きつける手段により層間絶縁膜等の表面を平坦化することを特徴としており、その他の構成は上記実施の形態と自由に組み合わせることができる。

【0160】

図9(B)には、平坦化処理工程の全体図を示す。気体を噴きつける手段150の幅が、層間絶縁膜が形成された基板100の幅より大きい場合、大型マザーガラス基板であっても生産性が高くなり、好ましい。一方、気体を噴きつける手段の幅が、基板の幅よりも小さくとも、複数回走査することにより、大型マザーガラス基板に対する平坦化処理を行うことができる。また図9において、気体を噴きつける手段が移動するよう記載するが、気体を噴きつける手段と基板とが相対的に移動すればよい。

10

【0161】

このような平坦化処理は、大気圧下又は減圧下で行うことができる。更に、平坦化処理室を酸素、窒素、希ガス等を導入して雰囲気制御を行ってもよい。また、基板を加熱したり、平坦化処理室の温度を制御してもよい。

【0162】

図10には、インクジェット法等によるドットの滴下を行う処理室(滴下処理室)と、平坦化処理室とが直列方向に連結されたインライン方式の製造装置を示す。

20

【0163】

基板を保管するロード室200は、搬送室201を介して液滴吐出を行う滴下処理室202と設置され、滴下処理室は搬送室203を介して平坦化処理室204と設置される。基板100は、ロード室、滴下処理室、平坦化処理室の順に搬送され、上記実施の形態に示したように処理される。また平坦化処理の後、滴下処理を行ってもよい。

【0164】

また図10に示す平坦化処理室のように、気体を噴きつける手段を基板対して斜めに配置すると好ましい。平坦化を開始する位置を制御することができるからである。

【0165】

このような製造装置により、基板の搬送が簡便となり好ましい。また、滴下処理、及び平坦化処理において、雰囲気制御を行う場合、インライン方式の製造装置を用いると、大気開放することなく処理することができ、好ましい。

30

【0166】

(実施の形態9)

本実施の形態では、上記実施の形態で示したモジュール用TFT基板に、電界発光層を形成する場合について説明する。

【0167】

図11(A)に示すように、土手又は隔壁として機能する絶縁膜120に、画素電極(発光素子の第1の電極とも表記する)119が露出するように開口部を形成する。絶縁膜の開口部の端面は、テーパ又は曲率を有する。例えば、絶縁膜120をポジ型の感光性アクリルを用いて形成した場合、露光処理により感光性有機樹脂をエッチングすると上端部に曲率を有する開口部を形成することができる。開口部のテーパ又は曲率により、後に形成する電界発光層等の段切れを防止することができる。

40

【0168】

絶縁膜120を形成後、大気圧下又は減圧下で加熱処理を行うと好ましい。加熱温度は、100～450、好ましくは250～350で行うとよい。その結果、絶縁膜120中又はその表面に吸着している水分を除去することができる。

【0169】

なお本実施の形態では、画素電極にNITOを用いるため、層間絶縁膜上に窒化珪素膜132を形成した後に画素電極119を形成する。

【0170】

50

絶縁膜120の開口部に、電界発光層133を形成する。絶縁膜120に対する加熱処理の後、大気に晒さずに電界発光層を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。また電界発光層を形成する前にプラズマ処理を施し、絶縁膜120に撥液性処理を行ってもよい。本実施の形態では、絶縁膜120の開口部に対してプラズマ処理を行う。電界発光層の材料は、有機材料（低分子又は高分子を含む）、又は有機材料と無機材料の複合材料として用いることができる。また電界発光層は、インクジェット法、塗布法又は蒸着法により形成することができる。高分子材料は、インクジェット法又は塗布法が好ましく、低分子材料は蒸着法、特に真空蒸着法が好ましい。本実施の形態では、電界発光層として、低分子材料を真空蒸着法により形成する。

【0171】

10

なお電界発光層が形成する分子励起子の種類としては一重項励起状態と三重項励起状態が可能である。基底状態は通常一重項状態であり、一重項励起状態からの発光は蛍光と呼ばれる。また、三重項励起状態からの発光は燐光と呼ばれる。電界発光層からの発光とは、どちらの励起状態が寄与する場合も含まれる。更には、蛍光と燐光を組み合わせて用いてもよく、各RGBの発光特性（発光輝度や寿命等）により蛍光及び燐光のいずれかを選択することができる。

【0172】

一般的に電界発光層は、画素電極119側から順に、HIL（ホール注入層）、HTL（ホール輸送層）、EML（発光層）、ETL（電子輸送層）、EIL（電子注入層）の順に積層されている。但し、本発明では駆動用トランジスタがnチャネル型であるため、画素電極を陰極として、EIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）の順に積層すると好ましい。なお電界発光層は、このような積層構造以外に単層構造、又は混合構造をとることができる。

20

【0173】

具体的には、HILとしてCuPcやPEDOT、HTLとして-TNPD、ETLとしてBCPやAlq₃、EILとしてBCP:LiやCaF₂をそれぞれ用いる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント（Rの場合DCM等、Gの場合DMQD等）をドープしたAlq₃を用いればよい。

【0174】

30

なお、電界発光層は上記材料に限定されない。例えば、CuPcやPEDOTの代わりに酸化モリブデン（MoO_x:x=2~3）等の酸化物と-TNPDやルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。

【0175】

本実施の形態において、電界発光層141として、赤色（R）、緑色（G）、青色（B）の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成することができる。インクジェット法を用いる場合、赤色（R）、緑色（G）、青色（B）の発光を示す材料を、蒸着マスクを用いずに形成することができる。

【0176】

40

さらに各RGBの電界発光層を形成する場合、カラーフィルターを用いて、高精細な表示を行うこともできる。カラーフィルターにより、各RGBの発光スペクトルにおけるプロードなピークを鋭くなるように補正できるからである。

【0177】

以上、各RGBの電界発光層を形成する場合を説明したが、単色の発光を示す電界発光層を形成してもよい。この場合であってカラーフィルターや色変換層を組み合わせることによりフルカラー表示を行うことができる。例えば、白色又は橙色の発光を示す電界発光層を形成する場合、カラーフィルターやカラーフィルターと色変換層とを組み合わせたものを設けることによりフルカラー表示を行うことができる。カラーフィルターや色変換層は、例えば第2の基板（封止基板とも表記する）に形成し、基板へ張り合わせればよい。カラーフィルター、及び色変換層のいずれもインクジェット法により形成することができる。

50

【 0 1 7 8 】

もちろん単色の発光を示す電界発光層を形成して単色表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示を行うことができる。エリアカラータイプは、パッシブマトリクス型の構造が適しており、主に文字や記号を表示することができる。

【 0 1 7 9 】

その後図11(B)に示すように、電界発光層133及び絶縁膜120を覆うように発光素子の第2の電極134を形成する。

【 0 1 8 0 】

第1の電極119及び第2の電極134の材料は、仕事関数を考慮して選択する必要がある。そして第1の電極及び第2の電極は、画素構成により、いずれも陽極、又は陰極となりうる。本実施の形態では、第1の電極が接続される第2の薄膜トランジスタの極性がnチャネル型であるため、第1の電極を陰極、第2の電極を陽極とすると好ましい。また第2の薄膜トランジスタの極性がpチャネル型である場合、第1の電極を陽極、第2の電極を陰極とすると好ましい。

10

【 0 1 8 1 】

以下に、陽極及び陰極に用いる電極材料について説明する。

【 0 1 8 2 】

陽極として用いる電極材料としては、仕事関数の大きい(仕事関数4.0eV以上)金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。具体的な材料としては、ITO(indium tin oxide)、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合したIZO(indium zinc oxide)、ITSO(NITO)、金、白金、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、又は金属材料の窒化物(例えば、窒化チタン等)を用いることができる。

20

【 0 1 8 3 】

一方、陰極として用いる電極材料としては、仕事関数の小さい(仕事関数3.8eV以下)金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。具体的な材料としては、元素周期律の1族又は2族に属する元素、すなわちリチウムやセシウム等のアルカリ金属、及びマグネシウム、カルシウム、ストロンチウム等のアルカリ土類金属、及びこれらを含む合金(Mg:Ag、Al:Li)や化合物(LiF、CsF、CaF₂)の他、希土類金属を含む遷移金属を用いて形成することができる。

30

【 0 1 8 4 】

また、本実施の形態において陰極材料を透光性とする必要がある場合、これら金属、又はこれら金属を含む合金を非常に薄く形成し、ITO、IZO、ITSO又はその他の金属(合金を含む)との積層により形成することができる。

【 0 1 8 5 】

このように第1の電極又は第2の電極として用いられる陽極材料又は陰極材料を、透光性、又は非透光性とすることにより、電界発光層からの光の射出方向を選択することができる。例えば、第1の電極及び第2の電極を、透光性を有する材料で形成する場合、電界発光層からの光が基板側170及び封止基板側171へ射出する両面発光型の表示を行うことができる。このとき、光の出射方向とならない側に設けられた非透光性の電極に、反射性の高い導電膜を用いることにより光を有効利用することができる。

40

【 0 1 8 6 】

これら第1の電極及び第2の電極は蒸着法、スパッタリング法、又はインクジェット法等により形成することができる。

【 0 1 8 7 】

またスパッタリング法により、第2の電極として、例えばITO、ITSO、又はそれらの積層体を形成する場合、スパッタリング時、電界発光層にダメージが入る恐れがある。スパッタリングによるダメージを低減するため、酸化モリブデン(MoO_x:x=2~3)等の酸化物が電界発光層の最上面に形成されると好ましい。そのため、HIL等として機能する酸化モリブデン(MoO_x:x=2~3)又は酸化チタン(TiO_x)等の酸化

50

物を電界発光層の最上面に形成し、第1の電極側から順に、EIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）、第2の電極の順に積層するとよい。すなわち、有機材料と無機材料とが混在した電界発光層を形成してもよい。このとき第1の電極は陰極として機能し、第2の電極は陽極として機能する。

【0188】

特に本実施の形態では、第2の薄膜トランジスタの極性がnチャネル型であるため、電子の移動方向を考慮すると、第1の電極を陰極、EIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）、第2の電極を陽極とすると好ましい。

10

【0189】

また本実施の形態において、層間絶縁膜を形成するため高い平坦性を有し、電界発光層へ均一に電圧を印加することができ好ましい。

【0190】

その後、第2の電極上に保護膜として、スパッタリング法やCVD法により、窒素を含む絶縁膜、窒素を含む炭素膜(CNx)、 DLC等を形成するとよい。またこれら無機材料から成る膜上に、スチレンポリマー等の有機材料から成る膜を積層してもよい。その結果、水分や酸素の侵入を防止することができる。特に、第2の電極にNITOを用いる場合、保護膜として窒化珪素膜を形成すると好ましい。また第1の電極、第2の電極、他の電極により、表示領域の側面を覆って酸素や水分の侵入を防ぐこともできる。

20

【0191】

その後、図12(A)に示すように、シール材153を用いて封止基板151を張り合わせる。封止基板により形成される空間154には、窒素を封入したり、乾燥剤を配置してもよい。また透光性を有し、吸水性の高い樹脂を充填してもよい。本実施の形態では、封止基板151に溝を形成して、該溝へ乾燥剤152を充填させる。乾燥剤は、電界発光層からの光の射出を遮らないように絶縁膜120上方に形成するとよい。また乾燥剤はシール材上方に乾燥剤を設けてもよい。その結果、シール材からの酸素や水分の侵入を防ぐことができるからである。

【0192】

このようにして発光モジュールが完成する。

30

【0193】

またシール材の外側に設けられた外部端子との接続領域において、基板上の配線は異方性導電膜160を用いてFPC(フレキシブルプリントサーキット:Flexible Printed Circuit)161を接着して外部端子162と接続することができる。外部端子は、信号線駆動回路又は走査線駆動回路であって、ICチップ又は結晶性半導体膜を有する集積回路から構成される。本実施の形態において、半導体膜材料として微結晶半導体を選択する場合走査線駆動回路、又はそれら回路の一部を構成するセレクタ回路(アナログスイッチ)等を、同一基板上に形成することができる。また結晶性半導体膜を選択する場合、走査線駆動回路及び信号線駆動回路を、同一基板上に形成することができる。信号線駆動回路又は走査線駆動回路とを接続すればよい。また信号線駆動回路又は走査線駆動回路を外部回路として形成してもよい。

40

【0194】

このように発光モジュールに外部端子が接続された発光装置を形成することができる。

【0195】

(実施の形態10)

本実施の形態では、画素回路、及びその動作について説明する。

【0196】

図13(A)に示す画素は、列方向に信号線410及び電源線411、412、行方向に走査線414が配置される。また、スイッチング用TFT401、駆動用TFT403、電流制御用TFT404、容量素子402及び発光素子405を有する。

50

【 0 1 9 7 】

図13(C)に示す画素は、駆動用TFT403のゲート電極が、行方向に配置された電源線412に接続される点が異なっており、それ以外は図13(A)に示す画素と同じ構成である。つまり、図13(A)(C)に示す両画素は、同じ等価回路図を示す。しかしながら、信号線と平行な方向(行方向)に電源線412が配置される場合(図13(A))と、走査線と平行な方向(列方向)に電源線412が配置される場合(図13(C))とでは、各電源線は異なるレイヤーの導電膜で形成される。ここでは、駆動用TFT403のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図13(A)(C)として分けて記載する。

【 0 1 9 8 】

図13(A)(C)に示す画素の特徴として、画素内に駆動用TFT403、電流制御用TFT404が直列に接続されており、駆動用TFT403のチャネル長L(403)、チャネル幅W(403)、電流制御用TFT404のチャネル長L(404)、チャネル幅W(404)は、 $L(403)/W(403) : L(404)/W(404) = 5 \sim 6000 : 1$ を満たすように設定するとよい。

【 0 1 9 9 】

なお、駆動用TFT403は、飽和領域で動作し発光素子405に流れる電流値を制御する役目を有し、電流制御用TFT404は線形領域で動作し発光素子405に対する電流の供給を制御する役目を有する。両TFTは同じ導電型を有していると作製工程上好ましく、本実施の形態ではnチャネル型TFTとして形成する。また駆動用TFT403には、エンハンスマント型だけでなく、ディブリーション型のTFTを用いてもよい。上記構成を有する本発明は、電流制御用TFT404が線形領域で動作するために、電流制御用TFT404のVgsの僅かな変動は、発光素子405の電流値に影響を及ぼさない。つまり、発光素子405の電流値は、飽和領域で動作する駆動用TFT403により決定することができる。上記構成により、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して、画質を向上させた表示装置を提供することができる。

【 0 2 0 0 】

図13(A)～(D)に示す画素において、スイッチング用TFT401は、画素に対するビデオ信号の入力を制御するものであり、スイッチング用TFT401がオンとなると、画素内にビデオ信号が入力される。すると、容量素子402にそのビデオ信号の電圧が保持される。なお図13(A)(C)には、容量素子402を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかぬうことが可能な場合には、容量素子402を設けなくてもよい。

【 0 2 0 1 】

図13(B)に示す画素は、容量素子402に蓄積された電荷を放電するための消去用TFT406と走査線415を追加している以外は、図13(A)に示す画素構成と同じである。同様に、図13(D)に示す画素は、消去用TFT406と走査線415を追加している以外は、図13(C)に示す画素構成と同じである。

【 0 2 0 2 】

消去用TFT406は、新たに配置された走査線415によりオン又はオフが制御される。消去用TFT406がオンとなると、容量素子402に保持された電荷は放電し、電流制御用TFT404がオフとなる。つまり、消去用TFT406の配置により、強制的に発光素子405に電流が流れないと状態を作ることができる。そのため消去用TFT406を消去用TFTと呼ぶことができる。従って、図13(B)(D)の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【 0 2 0 3 】

図13(E)に示す画素は、列方向に信号線410、電源線411、行方向に走査線414が配置される。また、スイッチング用TFT401、駆動用TFT403、容量素子402及び発光素子405を有する。図13(F)に示す画素は、消去用TFT406と走

10

20

30

40

50

査線 415 を追加している以外は、図 13 (E) に示す画素構成と同じである。なお、図 13 (F) の構成も、消去用 TFT406 の配置により、デューティ比を向上することが可能となる。

【0204】

以上のように、多様な画素回路を採用することができる。特に、非晶質半導体膜から薄膜トランジスタを形成する場合、駆動用 TFT の半導体膜を大きくすると好ましい。そのため、上記画素回路において、電界発光層からの光が封止基板側から射出する上面発光型とすると好ましい。

【0205】

このようなアクティブマトリクス型の発光装置は、画素密度が増えた場合、各画素に TFT が設けられているため低電圧駆動でき、有利であると考えられている。 10

【0206】

本実施の形態では、一画素に各 TFT が設けられるアクティブマトリクス型の発光装置について説明したが、一列毎に TFT が設けられるパッシブマトリクス型の発光装置を形成することもできる。パッシブマトリクス型の発光装置は、各画素に TFT が設けられていないため、高開口率となる。発光が電界発光層の両側へ射出する発光装置の場合、パッシブマトリクス型の表示装置を用いる透過率が高まる。

【0207】

(実施の形態 11)

本実施の形態では、図 13 (E) に示す等価回路に相当する、上面図について説明する。 20

【0208】

本実施の形態において、第 1 及び第 2 の薄膜トランジスタは、ボトムゲート型を有する。また第 1 の薄膜トランジスタのソース電極又はドレイン電極と、第 2 の薄膜トランジスタのゲート電極を接続するために、ソース電極及びドレイン電極を用いたドライエッチングにより、ゲート絶縁膜へコンタクトホールを形成する場合について説明する。その他の薄膜トランジスタの作製方法は、上記実施の形態を参照すればよいため、詳細な説明を省略する。

【0209】

図 14 に示すように、TiO_x 膜上に、インクジェット法又はスパッタリング法により、スイッチング用 TFT401、駆動用 TFT403 のゲート電極、及び走査線 803 を同一レイヤーで形成する。インクジェット法によりゲート電極等を形成する場合、TiO_x 膜により密着性を高めることができる。 30

【0210】

図示しないが、スイッチング用 TFT401、駆動用 TFT403 が有するゲート絶縁膜、半導体膜、n 型を有する半導体膜を順に形成する。その後、所望の形状にパターニングする。

【0211】

そして、インクジェット法又はスパッタリング法により、スイッチング用 TFT401、駆動用 TFT403 のソース電極及びドレイン電極、信号線 804、並びに電源線 805 を同一レイヤーで形成する。インクジェット法によりソース電極及びドレイン電極等を形成する場合、下地前処理により密着性を高めることができる。 40

【0212】

その後、ソース電極及びドレイン電極を用いて n 型を有する半導体膜をエッチングする。

【0213】

またソース電極及びドレイン電極、信号線 804、並びに電源線 805 を用いて、ゲート絶縁膜をエッチングする。すると、駆動用 TFT のゲート電極が露出するため、該ゲート電極とスイッチング用 TFT のソース電極又はドレイン電極とを導電膜 806 により接続することができる。導電膜は、インクジェット法により形成することができる。

【0214】

次いで、駆動用 TFT のソース電極又はドレイン電極と接続するように、画素電極を形成 50

する。本実施の形態では、NITOを用いてインクジェット法により画素電極807を形成する。

【0215】

また駆動用TFTのゲート電極と同一レイヤーの導電膜と、ゲート絶縁膜と、電源線と同一レイヤーの導電膜により容量素子402が形成される。

【0216】

本実施の形態において、駆動用TFTは非晶質半導体膜を有するため、駆動用TFTのチャネル幅(W)が広くなるように設計するとよい。

【0217】

図15(A)には、図14のA-Bに相当する断面図を示す。

10

【0218】

基板100上にTiO_x膜101が設けられている。TiO_x膜上のスイッチング用TFT401を形成する領域及び走査線と信号線の交差部領域800に、ゲート電極823及び走査線803として機能する導電膜が設けられている。

【0219】

そして、所望の形状にパターニングされたゲート絶縁膜811、半導体膜812、n型を有する半導体膜813が順に積層されている。

【0220】

スイッチング用TFT401を形成する領域及び走査線と信号線の交差部領域800において、ゲート絶縁膜上には信号線804、ソース電極及びドレイン電極814として機能する導電膜が設けられている。

20

【0221】

また図15(B)には、図15(A)と異なり、信号線804、ソース電極及びドレイン電極814を形成する前に、絶縁膜816を形成する。絶縁膜はインクジェット法により形成することができ、交差部領域800において走査線803上や、半導体膜及びn型を有する半導体膜の周囲部に設けるとよい。走査線803上に絶縁膜816を形成することにより、信号線と走査線が短絡することを防止できる。また半導体膜及びn型を有する半導体膜の周囲部に絶縁膜816を設けることにより、ソース電極及びドレイン電極814の段切れを防止することができる。

【0222】

30

次いで、トップゲート型の薄膜トランジスタを用いる場合の上面図を示す。

【0223】

図16には、図14と異なり、先ずスイッチング用401のソース電極及びドレイン電極、信号線804、並びに電源線805を、同一レイヤーで形成する。本実施の形態では、インクジェット法により、ソース電極及びドレイン電極、信号線804、並びに電源線805を形成する。インクジェット法によりソース電極及びドレイン電極等を形成する場合、下地前処理により密着性を高めることができる。

【0224】

その後、半導体膜、ゲート絶縁膜を順に形成し、所望の形状にパターニングする。また必要に応じて、n型を有する半導体膜を、ソース電極及びドレイン電極と、半導体膜の界面に形成してもよい。

40

【0225】

そして、スイッチング用TFT401及び駆動用TFT403のゲート電極、及び走査線803を同一レイヤーで形成する。本実施の形態では、インクジェット法により、ゲート電極、及び走査線803を形成する。インクジェット法によりゲート電極等を形成する場合、下地前処理により密着性を高めることができる。

【0226】

駆動用TFT403のゲート電極と、スイッチング用TFTのソース電極又はドレイン電極と、を導電膜806により接続する。導電膜は、インクジェット法により形成することができる。

50

【0227】

次いで、駆動用 TFT 403 のソース電極又はドレイン電極と接続するように、画素電極を形成する。本実施の形態では、NITO を用いてインクジェット法により画素電極 807 を形成する。

【0228】

なお図 16において、容量素子は設ける構成となっていないが、図 14 と同様に、設けてもよい。

【0229】

本実施の形態において、駆動用 TFT は非晶質半導体膜を有するため、駆動用 TFT のチャネル幅 (W) が広くなるように設計するとよい。

10

【0230】

図 17 (A) には、図 16 の A - B に相当する断面図を示す。

【0231】

基板 100 上に TiO_x 膜 101 が設けられている。TiO_x 膜は、下地膜としても機能することができる。TiO_x 膜上のスイッチング用 TFT 401 及び駆動用 TFT 403 を形成する領域に、ソース電極及びドレイン電極 814 及び信号線 804 を含む導電膜が設けられている。

【0232】

そして、所望の形状にパターニングされた n 型を有する半導体膜 813、半導体膜 812、ゲート絶縁膜 811、が順に積層されている。n 型を有する半導体膜は必ずしも必要ではない。

20

【0233】

スイッチング用 TFT 401 を形成する領域及び走査線と信号線の交差部領域 800 において、ゲート絶縁膜上には走査線 803、ゲート電極として機能する導電膜が設けられている。

【0234】

また図 17 (B) には、図 17 (A) と異なり、走査線 803、ゲート電極を形成する前に、絶縁膜 816 を形成する。絶縁膜はインクジェット法により形成することができ、交差部領域や、半導体膜及び n 型を有する半導体膜の周囲部に設けることができる。交差部領域において、絶縁膜 816 を形成することにより、走査線と信号線が短絡することを防止できる。また半導体膜及び n 型を有する半導体膜の周囲部に絶縁膜 816 を設けることにより、ソース電極及びドレイン電極 814 の段切れを防止することができる。

30

【0235】**(実施の形態 12)**

本実施の形態では、図 13 (E) に示す等価回路を用い、走査線及び信号線に保護回路としてダイオードを設ける場合について説明する。

【0236】

図 21 には、画素部 500 にスイッチング用 TFT 401、駆動用 TFT 403、容量素子 402、発光素子 405 が設けられている。信号線 410 には、ダイオード 561 と 562 が設けられている。ダイオード 561 と 562 は、スイッチング用 TFT 401 又は駆動用 TFT 403 と同様に、上記実施の形態に基づき作製され、ゲート電極、半導体層、ソース電極及びドレイン電極等を有する。ダイオード 561 と 562 は、ゲート電極と、ドレイン電極又はソース電極とを接続することによりダイオードとして動作させている。

40

【0237】

ダイオードと接続する共通電位線 554、555 はゲート電極と同じレイヤーで形成している。従って、ダイオードのソース電極又はドレイン電極と接続するには、ゲート絶縁層にコンタクトホールを形成する必要がある。

【0238】

ゲート絶縁層へのコンタクトホールは、インクジェット法によりマスクを形成し、エッチ

50

ング加工すればよい。この場合、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスクを形成する必要はない。

【0239】

走査線414に設けられるダイオードも同様な構成である。

【0240】

このように、本発明によれば、入力段に設けられる保護ダイオードを同時に形成することができる。なお、保護ダイオードを形成する位置は、本実施の形態に限定されず、駆動回路と画素との間に設けることもできる。

【0241】

(実施の形態13)

10

本実施の形態では、液滴吐出装置について説明する。

【0242】

図18には、配線等のパターンの形成に用いる液滴吐出装置の一態様を示す。液滴吐出手段823は、ヘッド825を有し、ヘッド825は複数のノズル104を有する。なおノズル104はヘッド825の先端から見えない場合もある。本実施の形態では、十個のノズルが設けられたヘッドを二つ有する液滴吐出手段で説明する。ヘッド825は、制御手段827に接続され、制御手段がコンピュータ810により制御されることにより、予め設定されたパターンを描画することができる。描画するタイミングは、例えば、ステージ831上に固定された基板100等に形成されたマーカー841を基準点として行えばよい。また、基板100の縁を基準点として行ってもよい。これら基準点をCCDなどの撮像手段824で検出し、画像処理手段809にてデジタル信号に変換させる。デジタル変化された信号をコンピュータ810で認識して、制御信号を発生させて制御手段827に送る。このとき、基板100上に形成されるパターンの情報は記憶媒体808に格納されており、この情報を基にして制御手段827に制御信号を送り、液滴吐出手段823の個々のヘッド825、つまりヘッドが有するノズルを個別に制御することができる。

20

【0243】

ノズルを個別に制御することができるため、特定のノズルから異なる材料を有するドットを滴下することができる。例えば、導電膜材料を有するドットを滴下するノズルと、絶縁膜材料を有するドットを滴下するノズルとを、同一ヘッドに設けることができる。また層間絶縁膜のように大面積に対して滴下処理を行う場合、スループットを向上させるため、層間絶縁膜材料を有するドットを全ノズルから滴下してもよい。

30

【0244】

液滴吐出手段823全体の幅は、基板100の幅と同等又はそれ以下となる。特に、大型マザーガラス基板を用いる場合、液滴吐出手段823全体の幅は該マザーガラス基板の幅より小さくなると考えられる。このとき、ヘッドと基板を相対的に複数回走査させることにより大型マザーガラス基板に対するパターン形成を行うことができる。

【0245】

例えば、図26のように、大型マザーガラスから複数のパネルを形成する場合、液滴吐出手段823全体の幅を、パネルの幅とすることもできる。また図26では液滴吐出手段823を走査方向に対して3列としている。

40

【0246】

図26において、大型基板100上において、1つのパネルが形成される領域830を点線で示す。液滴吐出手段823は、1つのパネルの幅と同じ幅のヘッド825a、825b、825cを備え、この液滴吐出手段823をジグザグまたは往復させたりしてパターンを形成する。このとき、ヘッドと基板を相対的に複数回走査せねばよい。その他の構成は、図18と同様であるため説明を省略する。なお図26において、ノズルは各ヘッド825a、825b、825cから見えない場合もある。

【0247】

図26において、ヘッド825a、825b、825cはそれぞれ異なる材料層を形成することを可能としてもよいし、同一材料を吐出してもよい。3つのヘッドで同一材料を吐

50

出して層間絶縁膜をパターン形成する場合にはスループットが向上する。

【0248】

(実施の形態14)

上記実施の形態で示した表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、大型画面を有する大型テレビ等に上記実施の形態で示したインクジェット法を用いることが望ましい。それら電子機器の具体例を図19に示す。10

【0249】

図19(A)は大型のELテレビ受像機であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ信号入力端子2005等を含む。表示部2003は、画素部及び駆動回路部を有するモジュールが設けられている。画素部は、発光素子を有し、上記実施の形態で示したインクジェット法より形成されたTFTを有する。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0250】

画素部にはコントラストを高めるため、偏光板、又は円偏光板を備えるとよい。例えば、封止基板へ1/4板、1/2板、偏光板の順にフィルムを設けるとよい。さらに偏光板上に反射防止膜を設けてもよい。20

【0251】

図19(B)はELテレビ受像機の主要な構成を示すブロック図を示している。表示パネルには、上記実施の形態で示すような構成として画素部901が形成されている。走査線駆動回路903と信号線駆動回路902とは、TAB方式により実装される場合と、画素部の周辺に走査線駆動回路903と信号線駆動回路902とがCOG方式により実装される場合と、SASでTFTを形成し、画素部901と走査線駆動回路903を基板上に一体形成し信号線駆動回路902を別途ドライバICとして実装する場合などがある。

【0252】

外部回路の構成として、映像信号の入力側では、チューナ904で受信した信号のうち、映像信号を增幅する映像信号増幅回路905と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路906と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路907などからなっている。コントロール回路907から、走査線駆動回路と信号線駆動回路にそれぞれ信号が出力する。デジタル駆動する場合には、コントロール回路と信号線駆動回路との間に信号分割回路908を設け、入力デジタル信号をm個に分割して供給する構成としてもよい。30

【0253】

チューナ904で受信した信号のうち、音声信号は、音声信号増幅回路909に送られ、その出力は音声信号処理回路910を経てスピーカー913に供給される。制御回路911は受信局(受信周波数)や音量の制御情報を入力部912から受け、チューナ904や音声信号処理回路910に信号を送出する。40

【0254】

このような外部回路を組みこんだ表示部を、筐体2001に組みこんで、テレビ受像機を完成させることができる。その他付属設備としてスピーカー部2004、ビデオ信号入力端子2005や操作スイッチなどが備えられている。このように、本発明によりELテレビ受像機を完成させることができる。

【0255】

勿論、本発明はテレビ受像機に限定されず、パソコンコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表50

示媒体として様々な用途に適用することができる。

【0256】

図20(A)は携帯端末のうちの携帯電話機であり、本体2101、筐体2102、表示部2103、音声入力部2104、音声出力部2105、操作キー2106、アンテナ2107等を含む。表示部2103は、画素部及び駆動回路部を有するモジュールが設けられている。画素部は、発光素子を有し、上記実施の形態で示したインクジェット法より形成されたTFTを有する。またさらに表示部2103を大型マザーガラス基板から多面取り形成することにより、携帯電話機のコストを低減することができる。

【0257】

図20(B)はシート型の携帯電話機であり、本体2301、表示部2303、音声入力部2304、音声出力部2305、スイッチ2306、外部接続ポート2307等を含む。外部接続ポート2307を介して、別途用意したイヤホン2308を接続することができる。表示部2303には、センサを備えたタッチパネル式の表示画面が用いられており、表示部2303に表示されたタッチパネル式操作キー2309に触ることで、一連の操作を行うことができる。表示部2303は、画素部及び駆動回路部を有するモジュールが設けられている。画素部は、発光素子を有し、上記実施の形態で示したインクジェット法より形成されたTFTを有する。またさらに表示部2303を大型マザーガラス基板から多面取り形成することにより、シート型の携帯電話機のコストを低減することができる。

【0258】

このように小型の電子機器であっても、本発明を用いて表示部を形成することにより、大型マザーガラス基板から多面取り形成することができ、コストを低減することができる。

【0259】

図25(A)はデジタルビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。

表示部2602は、画素部及び駆動回路部を有するモジュールが設けられている。

画素部は、発光素子を有し、上記実施の形態で示したインクジェット法より形成されたTFTを有する。

またさらに表示部2602を大型マザーガラス基板から多面取り形成することにより、デジタルビデオカメラのコストを低減することができる。

【0260】

特に本実施の形態のデジタルビデオカメラを用いて自分を撮影する場合、両面発光型の画素部とすると好ましい。

両面発光型の画素部は、透光性を有するため、筐体2603を反転させることなく、自分の映像を確認することができるからである。

【0261】

例えば、被写体2610が自分を撮影するとき、筐体2603を反転させることなく、表示部2602の映像は、図25(B)に示すように、自分の映像を表示させることができる。

このとき、被写体と反対側からみた表示部2602の映像は、図25(C)に示すように、図25(B)の映像が反転した状態となっている。

【0262】

また撮影者に、被写体2610を撮影してもらう場合、両面発光型の画素部が透光性を有するため、撮影者及び被写体2610が表示部2602の映像を確認することができる。この場合、撮影者又は被写体2610のいずれが図25(B)又は(C)のいずれの映像を認識するかを選択することができる。

【0263】

またデジタルビデオカメラ以外でも、例えばデジタルカメラを用いて自分を撮影する場合において、両面発光型の画素部を搭載することにより、筐体を反転させることなく、自分

10

20

30

40

50

の映像を確認することができる。この場合、図25(A)に示すデジタルビデオカメラと同様に、表示部を有する筐体は折り畳める機構を有しており、デジタルカメラの本体から、表示部を有する筐体が離れることができるようとする。

【0264】

またデジタルビデオカメラであっても、撮影者に被写体2610を撮影してもらう場合、両面発光型の画素部が透光性を有するため、撮影者及び被写体2610が表示部2602の映像を確認することができる。

【0265】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、上記実施の形態に示したいずれの構成を用いることができる。10

【実施例】

【0266】

(実施例1)

本実施例では、下地前処理としてTiO_xを形成したときの導電膜の密着性を評価した結果を示す。

【0267】

まず、スパッタリング法によりTi薄膜(1~5nm)を形成し、加熱処理を行ってTiO_xとする。加熱処理はオーブンを使用し、230℃まで加熱する。その後、TiO_xのシート抵抗を測定し、 1×10^6 (Ω)以上で測定不能であったため、絶縁性を有することを確認した。20

【0268】

その後、TiO_x上に、インクジェット法によりAgを有するドットを滴下し、線長1cm、線幅200~300μm、高さ400~500nmの導電膜、つまり配線を16本引いた。その後、230℃で加熱処理を行った。

【0269】

この配線に対する引っ張り試験を行った。引っ張り試験は、配線上にカップトンテープを貼り、配線が剥がれるか否かを評価した。その結果、配線は一本も剥がれることができなかった。

【0270】

また同様に配線が形成された基板を0.5%のHF溶液に、1分間浸漬し、流水洗浄を行った。その結果、配線は一本も除去されることなく残っていた。30

【0271】

一方、TiO_x膜を形成せずに配線を形成した場合、上記0.5%のHF溶液に浸漬すると、配線は多数除去されてしまい、数本しか残らなかった。

【0272】

またスプレー法によりTiO_xにより形成し、同様に配線を形成した場合において、同様の引っ張り試験と0.5%のHF溶液の浸漬試験を行ったが、配線は剥がれることが無かった。

【0273】

このように下地前処理を行うことにより、Agから成る配線の密着性が向上していることがわかった。40

【図面の簡単な説明】

【0274】

【図1】本発明の薄膜トランジスタの作製工程を示した断面図である。

【図2】本発明の薄膜トランジスタの作製工程を示した断面図である。

【図3】本発明の薄膜トランジスタの作製工程を示した断面図である。

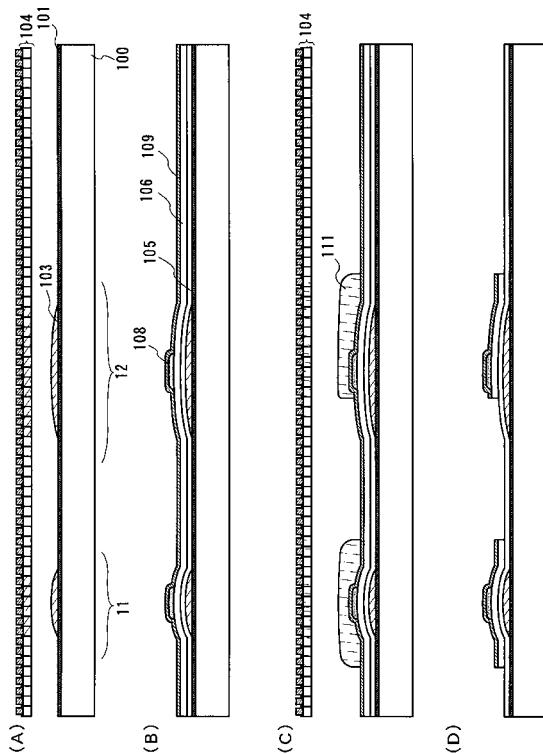
【図4】本発明の薄膜トランジスタの作製工程を示した断面図である。

【図5】本発明の薄膜トランジスタの作製工程を示した断面図である。

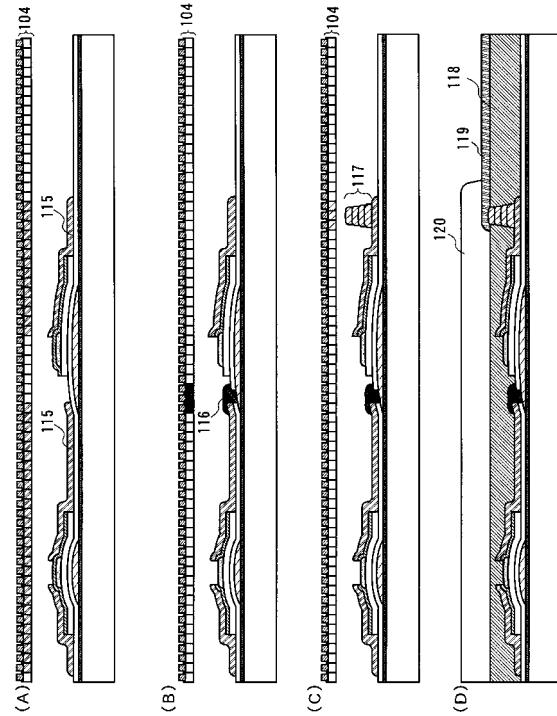
【図6】本発明の薄膜トランジスタの作製工程を示した断面図である。50

- 【図 7】本発明の薄膜トランジスタの作製工程を示した断面図である。
- 【図 8】本発明の薄膜トランジスタの作製工程を示した断面図である。
- 【図 9】本発明の薄膜トランジスタの作製工程を示した断面図である。
- 【図 10】本発明の薄膜トランジスタの作製装置を示した上面図である。
- 【図 11】本発明の薄膜トランジスタの作製工程を示した断面図である。
- 【図 12】本発明の薄膜トランジスタの作製工程を示した断面図である。
- 【図 13】本発明の表示装置の画素回路を示した回路図である。
- 【図 14】本発明の表示装置の画素を示した上面図である。
- 【図 15】本発明の表示装置の画素を示した断面図である。
- 【図 16】本発明の表示装置の画素を示した上面図である。 10
- 【図 17】本発明の表示装置の画素を示した断面図である。
- 【図 18】本発明の液滴吐出装置を示した図である。
- 【図 19】本発明のテレビ受像機を示した図である。
- 【図 20】本発明の電子機器を示した図である。
- 【図 21】本発明の表示装置の画素の保護回路を示した回路図である。
- 【図 22】本発明の薄膜トランジスタの作製工程を示した断面図である。
- 【図 23】本発明の薄膜トランジスタの作製装置を示した図である。
- 【図 24】本発明のドットの形態を示した図である。
- 【図 25】本発明のデジタルビデオカメラを示した図である。
- 【図 26】本発明の液滴吐出装置を示した図である。 20

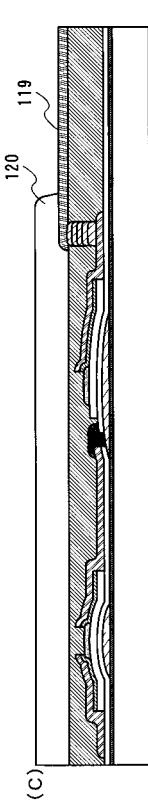
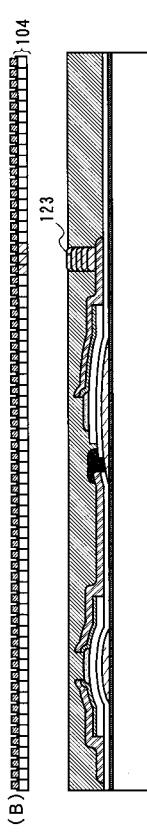
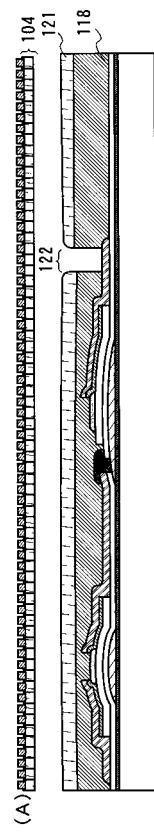
【図 1】



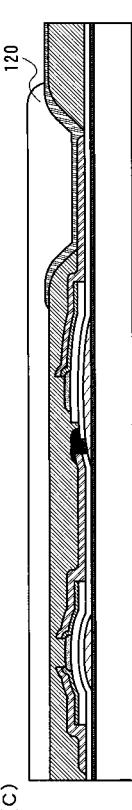
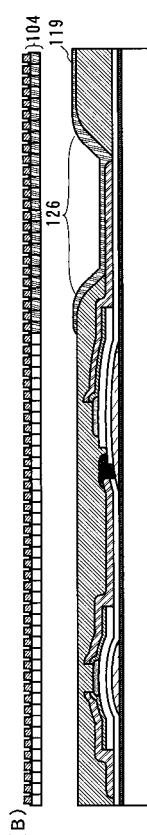
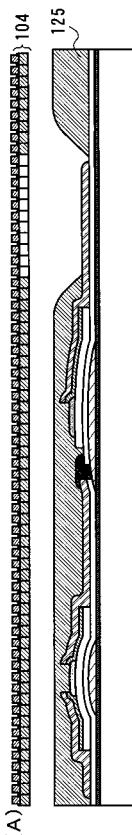
【図 2】



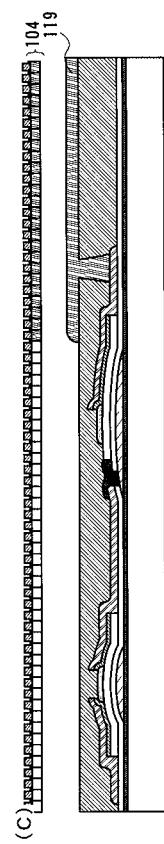
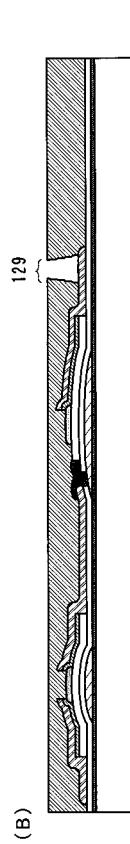
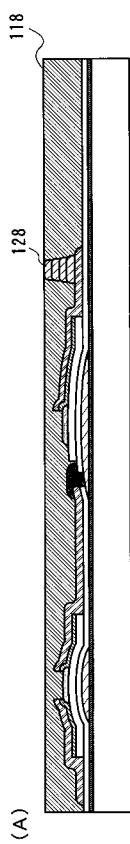
【図3】



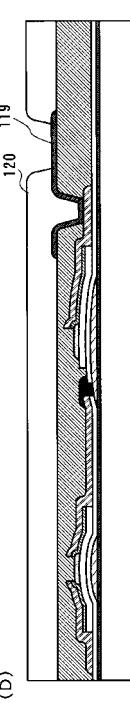
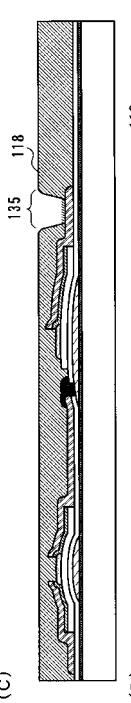
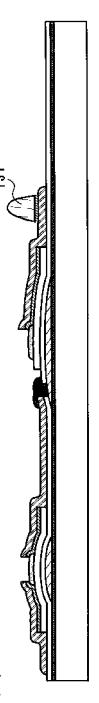
【図4】



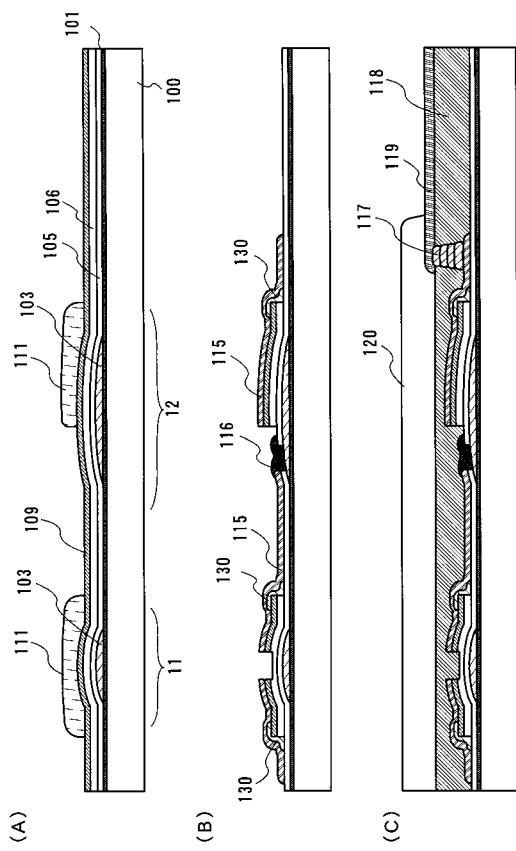
【図5】



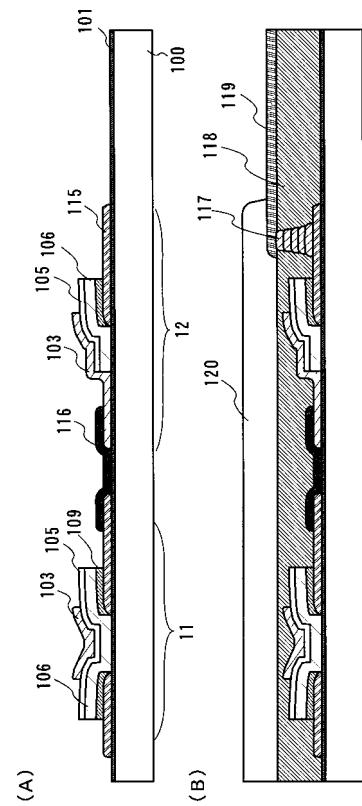
【図6】



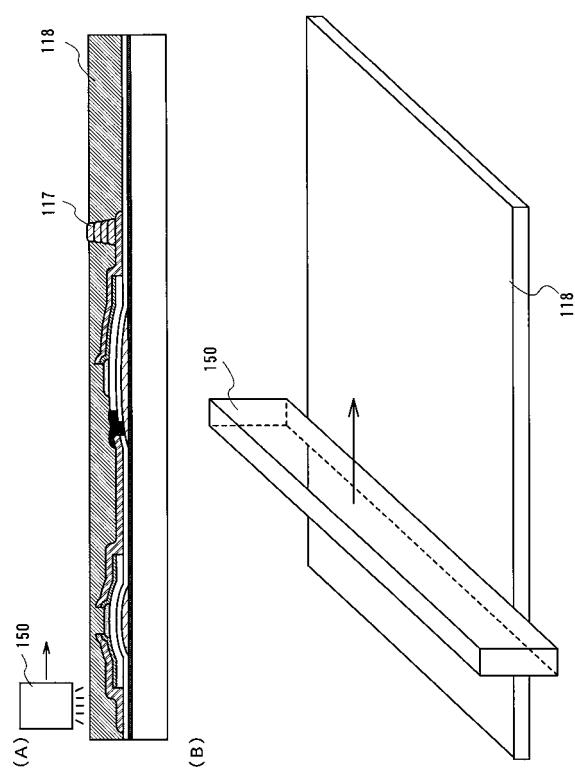
【図7】



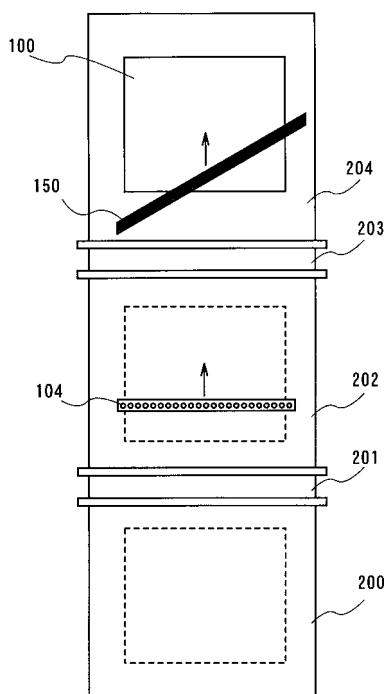
【 図 8 】



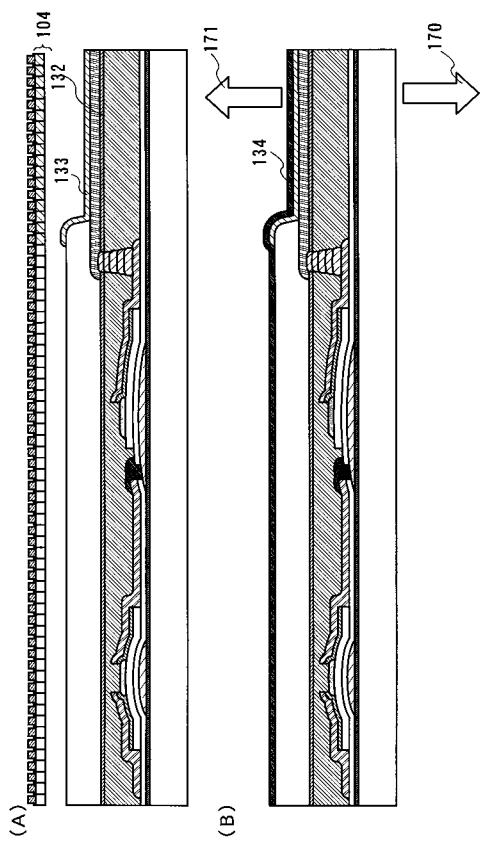
【図9】



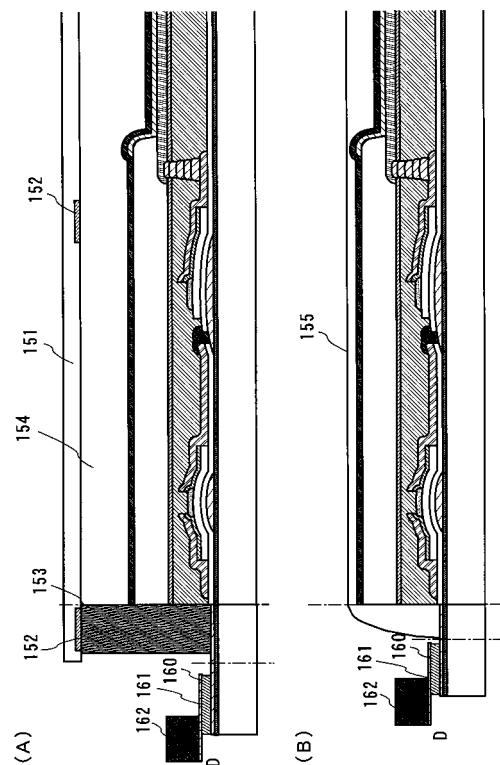
【図10】



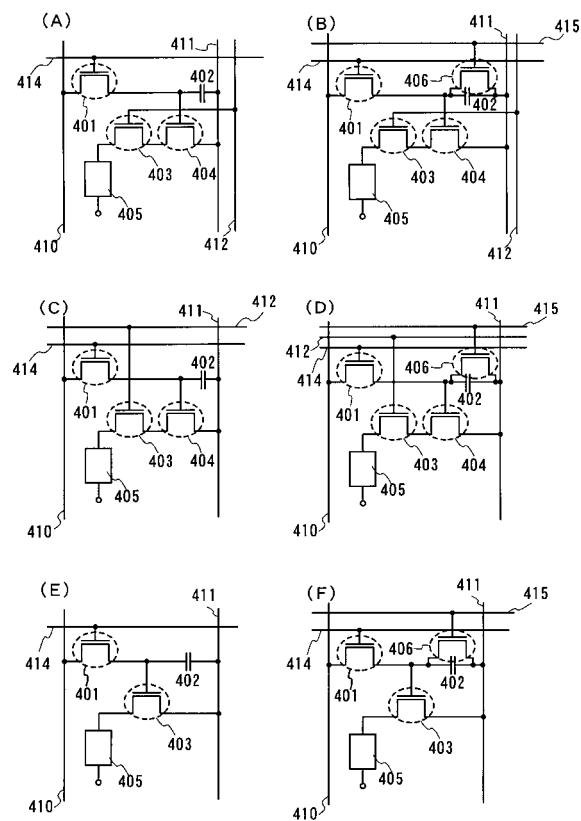
【図11】



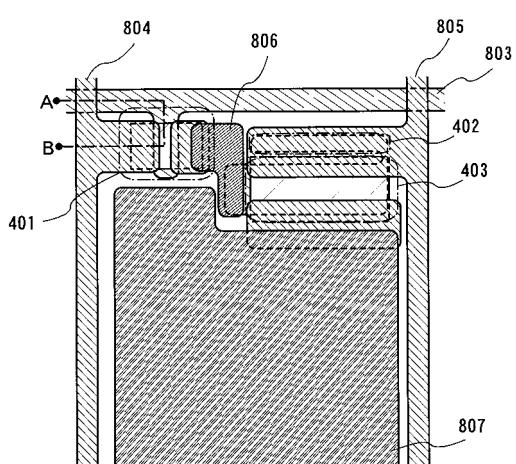
【図12】



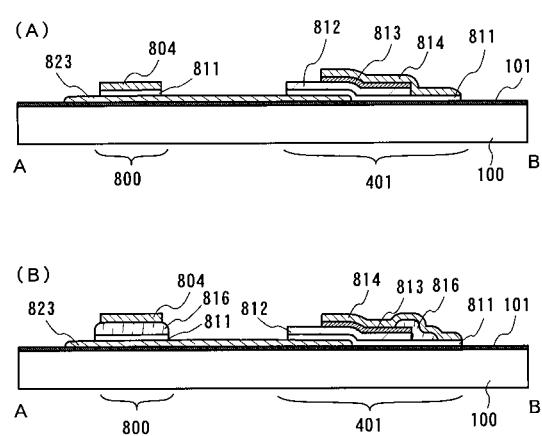
【図13】



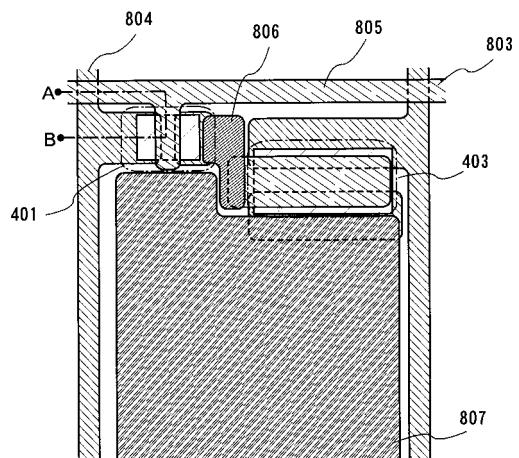
【図14】



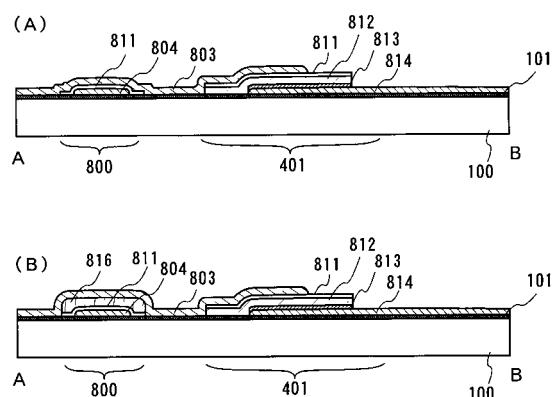
【図15】



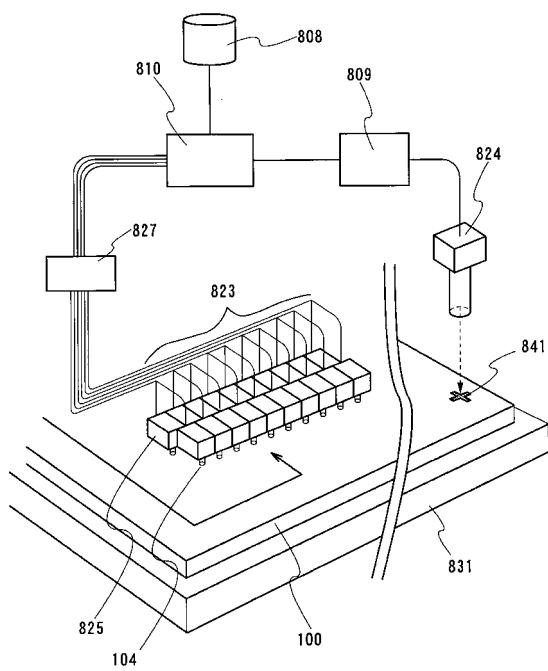
【図16】



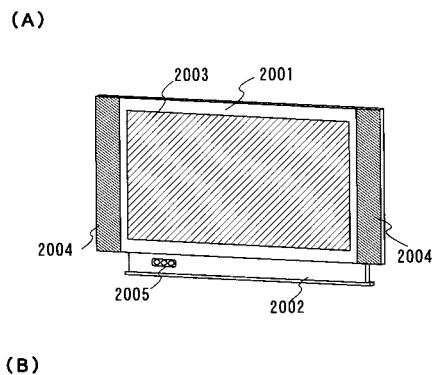
【図17】



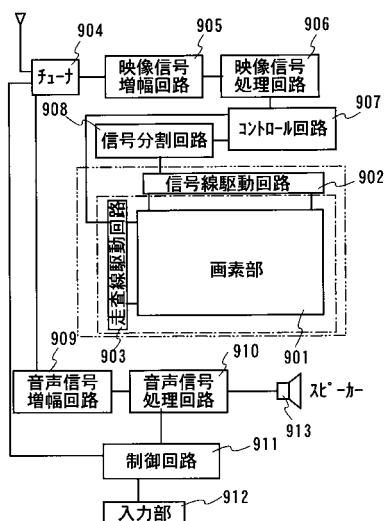
【図18】



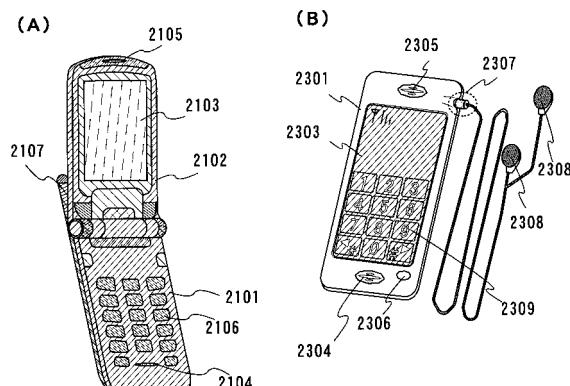
【図19】



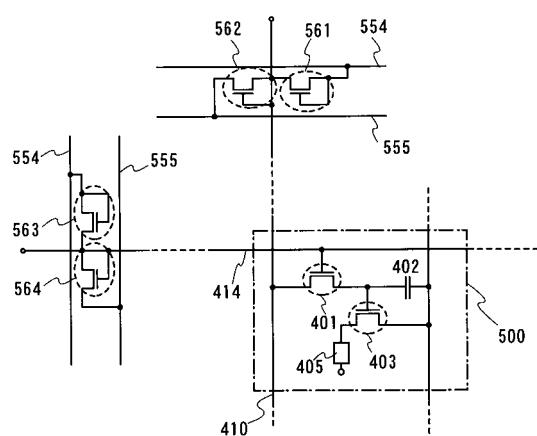
(B)



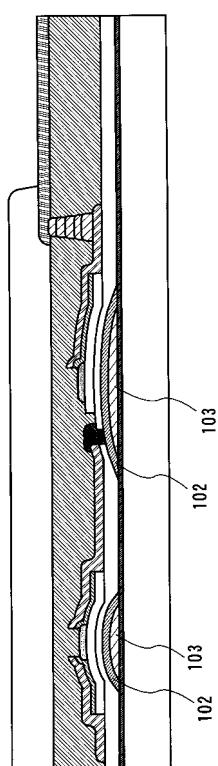
【図20】



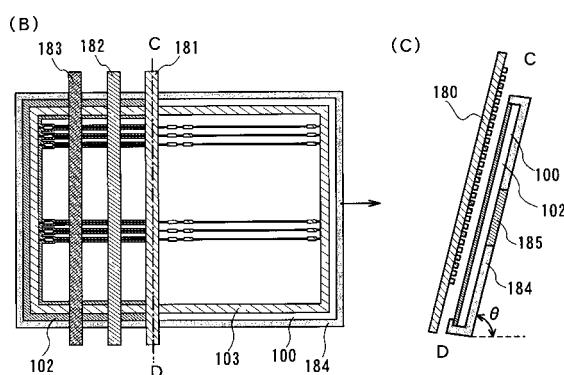
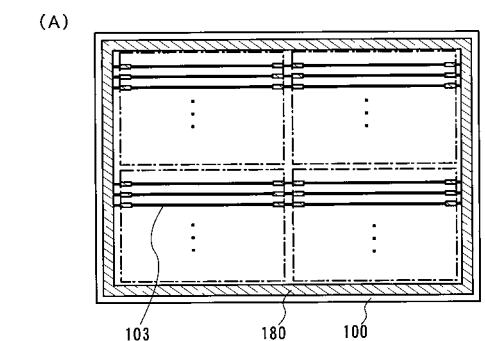
【図21】



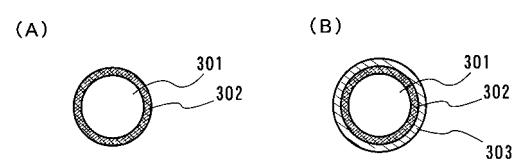
【図22】



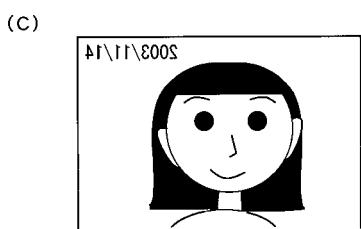
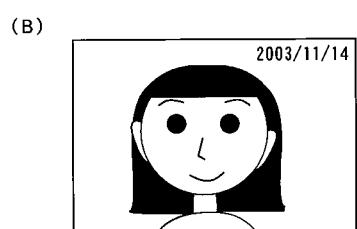
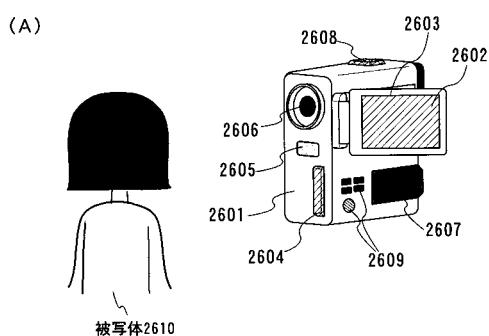
【図23】



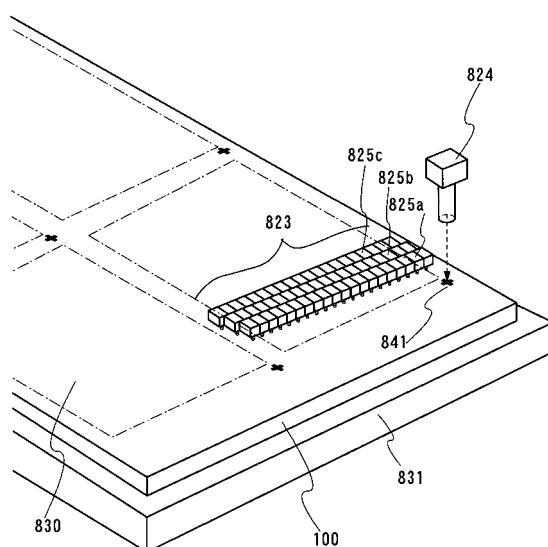
【図24】



【図25】



【図26】



フロントページの続き

(51)Int.Cl.		F I	
H 01 L	29/786 (2006.01)	H 01 L	29/78 6 1 2 D
H 01 L	21/3205 (2006.01)	H 01 L	29/78 6 1 7 J
H 01 L	21/768 (2006.01)	H 01 L	29/78 6 1 7 M
H 01 L	51/50 (2006.01)	H 01 L	29/78 6 1 6 K
G 09 F	9/30 (2006.01)	H 01 L	21/88 B
H 01 L	27/32 (2006.01)	H 01 L	21/90 A
		H 05 B	33/14 A
		G 09 F	9/30 3 6 5 Z

(72)発明者 館村 祐子

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 濱野 隆

(56)参考文献 特開平10-161564 (JP, A)
 特開2003-318131 (JP, A)
 特開2003-243328 (JP, A)
 特開2001-068680 (JP, A)
 特開2003-058077 (JP, A)
 特開2003-318516 (JP, A)
 特開2003-133691 (JP, A)
 特開2003-257992 (JP, A)
 特開2003-282885 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 05 B	3 3 / 1 0
B 05 D	1 / 2 6
G 09 F	9 / 3 0
H 01 L	2 1 / 2 8
H 01 L	2 1 / 2 8 8
H 01 L	2 1 / 3 2 0 5
H 01 L	2 1 / 3 3 6
H 01 L	2 1 / 7 6 8
H 01 L	2 7 / 3 2
H 01 L	2 9 / 7 8 6
H 01 L	5 1 / 5 0