



(12) 发明专利

(10) 授权公告号 CN 101517707 B

(45) 授权公告日 2011.05.11

(21) 申请号 200780034366.9

H01L 21/8247(2006.01)

(22) 申请日 2007.09.13

H01L 27/115(2006.01)

H01L 29/423(2006.01)

(30) 优先权数据

11/533,317 2006.09.19 US

11/533,313 2006.09.19 US

(56) 对比文件

US 5705415 A, 1998.01.06, 全文.

US 2003/0185073 A1, 2003.10.02, 全文.

US 2005/0087796 A1, 2005.04.28, 全文.

US 6151248 A, 2000.11.21, 全文.

US 6255689 B1, 2001.07.03, 全文.

(85) PCT申请进入国家阶段日

2009.03.16

(86) PCT申请的申请数据

PCT/US2007/078420 2007.09.13

审查员 吴海涛

(87) PCT申请的公布数据

W02008/036552 EN 2008.03.27

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 尼玛·穆赫莱斯

(74) 专利代理机构 北京律盟知识产权代理有
限责任公司 11287

代理人 刘国伟

(51) Int. Cl.

H01L 21/28(2006.01)

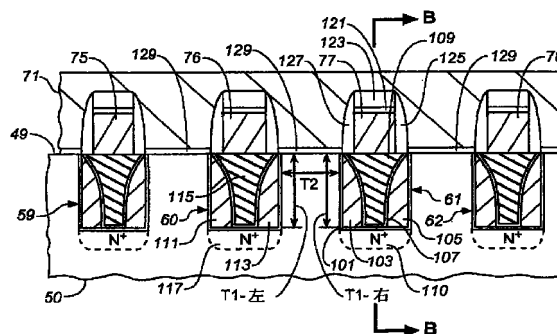
权利要求书 5 页 说明书 12 页 附图 6 页

(54) 发明名称

非易失性存储器及形成非易失性存储器单元阵列的方法

(57) 摘要

为了减小由给定数目的快闪存储器单元的阵列占用的集成电路面积,沿着衬底沟槽(60、61)的侧壁定位浮动栅极电荷存储元件(103、105、111、113),其优选由经掺杂多晶硅间隔物形成。作为一实例,双浮动栅极存储器单元的阵列包含具有此结构的单元。存储器单元的NAND阵列是此单元结构的应用的另一实例。所述存储器单元和阵列结构广泛应用于各种特定NOR和NAND存储器单元阵列架构。



CN 101517707 B

1. 一种形成在半导体衬底上的非易失性存储器,其包括:

沟槽的矩形阵列,其沿着跨越所述衬底的表面彼此正交的第一和第二方向形成到所述衬底的表面中,单独所述沟槽在所述第一方向上具有包含相对侧壁的横截面形状,所述相对侧壁与所述衬底表面垂直且通过与所述衬底表面平行的底部表面而在其底部处接合,

电荷存储元件,其在所述第一方向上沿着单独沟槽的所述相对侧壁形成为间隔物且其间具有空间,但不在所述第一方向上延伸到所述沟槽外部超出所述相对侧壁,

至少第一导电控制栅极,其在所述第一方向上以将与所述沟槽中的所述电荷存储元件中的至少一者单独地场耦合的方式定位在所述沟槽内处于所述电荷存储元件之间,所述第一导电控制栅极连接到在所述第二方向上延伸的第一导电控制线,以及

源极区和漏极区,其位于所述衬底内至少处于所述单独沟槽的所述底部处。

2. 根据权利要求 1 所述的存储器,其额外包括第二导电控制栅极,所述第二导电控制栅极在所述第一方向上定位在所述衬底的在所述沟槽之间的区域上且与第二导电控制线连接。

3. 根据权利要求 2 所述的存储器,其中所述第二导电控制栅极与所述衬底的在所述沟槽之间的所述区域场耦合以在所述第一方向上在所述沟槽之间形成选择晶体管,且所述第二导电控制线在所述第一方向上延伸。

4. 根据权利要求 1 所述的存储器,其中所述第一导电控制栅极与所述单独沟槽中的所述电荷存储元件中的一者场耦合,但不与另一者场耦合,且所述存储器额外包括第二导电控制栅极,所述第二导电控制栅极在所述第一方向上以将与所述沟槽中的所述另一电荷存储元件单独地场耦合的方式定位在所述沟槽内处于所述电荷存储元件之间,所述第二导电控制栅极连接到在所述第二方向上延伸的第二导电控制线。

5. 根据权利要求 1 所述的存储器,其中所述电荷存储元件包含导电浮动栅极。

6. 根据权利要求 1 所述的存储器,其中所述电荷存储元件被包含在所述沟槽内处于所述衬底表面处或下方。

7. 根据权利要求 2 所述的存储器,其中所述电荷存储元件以将与所述第二导电控制栅极场耦合的方式在所述衬底表面上方延伸出所述沟槽。

8. 根据权利要求 7 所述的存储器,其中所述第二导电控制栅极也与所述衬底的所述区域场耦合以在所述第一方向上在所述沟槽之间形成选择晶体管,且所述第二导电控制线在所述第一方向上延伸。

9. 根据权利要求 1 所述的存储器,其额外包括屏蔽物,所述屏蔽物在所述第二方向上定位在所述衬底内处于邻近沟槽之间且与经定位以与在其上经过的所述第一导电控制线电连接。

10. 一种形成在半导体衬底上的非易失性存储器,其包括:

沟槽的矩形阵列,其沿着跨越所述衬底的表面彼此正交的第一和第二方向形成到所述衬底的表面中,单独所述沟槽在所述第一方向上具有通过平面的底部表面在底部处接合的平面的相对侧壁的横截面形状,

两个浮动栅极,其沿着单独沟槽的所述相对侧壁定位在单独沟槽内且其间具有第一电介质层,且不在所述第一方向上延伸到所述沟槽外部超出所述相对侧壁,

控制栅极,其在所述第一方向上定位在单独沟槽内处于所述两个浮动栅极之间且其间

具有第二电介质层，

第一组导电线，其具有在所述第二方向上延伸且沿着所述第二方向与所述控制栅极连接的长度，

源极区和漏极区，其位于所述衬底内处于所述单独沟槽的所述底部处，

选择栅极，在所述第一方向上定位在所述衬底的所述表面上处于邻近沟槽之间且其间具有第三电介质层，以及

第二组导电线，其具有在所述第一方向上延伸且沿着所述第一方向与所述选择栅极连接的长度，

借此，所述存储器单元阵列中的单独单元具有在所述第一方向上在所述衬底中在邻近沟槽的源极区与漏极区之间延伸的沟道区，所述沟道区包含与所述邻近沟槽的每一者中的一个浮动栅极相对的若干个区和其间的选择栅极。

11. 根据权利要求 10 所述的非易失性存储器，其中所述浮动栅极由经导电掺杂多晶硅形成间隔物。

12. 根据权利要求 10 所述的非易失性存储器，其中所述浮动栅极和控制栅极被包含在所述沟槽内，与所述衬底表面同延。

13. 根据权利要求 10 所述的非易失性存储器，其中所述浮动栅极和控制栅极在所述衬底表面上方延伸出所述沟槽一距离，所述距离足以使所述浮动栅极与所述选择栅极场耦合。

14. 根据权利要求 13 所述的非易失性存储器，其中所述浮动栅极在所述选择栅极上方延伸出所述沟槽一距离。

15. 根据权利要求 10 所述的非易失性存储器，额外导电屏蔽物在所述第二方向上定位在所述沟槽之间且在所述衬底内到达与所述沟槽的所述阵列的深度同延的深度，且其间具有第四电介质层，以及与所述导电屏蔽物的电连接，借此在所述第二方向上在所述浮动栅极之间提供电屏蔽。

16. 根据权利要求 15 所述的非易失性存储器，其中与所述导电屏蔽物的所述电连接包含延伸跨越所述导电屏蔽物并与所述导电屏蔽物接触的所述第一组导电线。

17. 根据权利要求 10 所述的非易失性存储器，其额外包括所述衬底表面中的具有在所述第二方向上延伸且在所述第一方向上被间隔开的长度的连续沟槽，所述沟槽沿着其长度通过定位在其间的隔离电介质而形成在所述连续沟槽内。

18. 根据权利要求 14 所述的非易失性存储器，其中所述选择栅极是完全沿着所述浮动栅极在所述衬底表面上方延伸的距离而延伸的所述第二组导电线的整体部分。

19. 根据权利要求 14 所述的非易失性存储器，其中所述选择栅极具有比所述浮动栅极在所述衬底表面上方延伸的所述距离显著小的厚度，且通过延伸穿过所述浮动栅极在所述衬底表面上方延伸的所述距离的导体而连接到所述第二组导电线，所述导体具有比在所述第一方向上在所述浮动栅极之间的距离显著小的横截面面积。

20. 根据权利要求 19 所述的非易失性存储器，其中所述选择栅极与所述第二组导电线之间的所述导体经定形为具有与在所述衬底表面上方延伸的所述浮动栅极的上边缘相对定位的表面，所述表面与所述衬底表面形成锐角。

21. 一种形成在半导体衬底上的非易失性存储器，其包括：

沟槽的矩形阵列,其沿着跨越所述衬底的表面彼此正交的第一和第二方向形成到所述衬底的表面中,单独所述沟槽在所述第一方向上具有通过平面的底部表面而在底部处接合的平面的相对侧壁的横截面形状,

两个电荷存储元件,其沿着单独沟槽的所述相对侧壁定位在所述单独沟槽内,且不在所述第一方向上延伸到所述沟槽外部超出所述相对侧壁,

第一和第二控制栅极,其在所述第一方向上定位在单独沟槽内处于所述两个电荷存储元件之间,所述第一控制栅极与单独沟槽中的所述电荷存储元件中的一者场耦合,且所述第二控制栅极与所述沟槽中的所述电荷存储元件中的另一者场耦合,

第一组导电线,其具有在所述第二方向上延伸且沿着所述第二方向与所述第一控制栅极连接的长度,

第二组导电线,其具有在所述第二方向上延伸且沿着所述第二方向与所述第二控制栅极连接的长度,以及

源极区和漏极区,其位于所述衬底内处于所述单独沟槽的所述底部处,且在所述第一方向上沿着所述沟槽之间的所述衬底的所述表面。

22. 根据权利要求 21 所述的存储器,其中所述电荷存储元件是导电浮动栅极。

23. 根据权利要求 21 所述的存储器,其中所述电荷存储元件完全定位在所述沟槽内处于所述衬底表面下方。

24. 根据权利要求 21 所述的存储器,其中所述电荷存储元件呈间隔物的形式。

25. 一种在半导体衬底上制造非易失性存储器单元阵列的方法,其包括:

在所述衬底的表面中形成第一组沟槽,其跨越所述衬底表面在第一方向上被间隔开且在第二方向上被间隔开,所述第一和第二方向彼此正交,

沿着所述第一组沟槽的长度在所述第一组沟槽的至少底部表面中形成源极区和漏极区,

在所述第一组沟槽上各向同性地沉积第一材料并将所述第一材料沉积到所述第一组沟槽中,

在所述第一方向上以沿着所述第一组沟槽的相对侧壁留下间隔物且其间具有空间的方式各向异性地移除所述沉积的第一材料,其中所述间隔物变为所述存储器单元阵列的电荷存储元件,以及

在所述第一方向上在所述第一组沟槽中的所述间隔物之间的所述空间中形成导电第一控制栅极,以及在所述第二方向上在其电连接到的导电第一控制栅极上延伸的导电第一控制栅极线。

26. 根据权利要求 25 所述的方法,其额外包括:在所述第二方向上在所述第一组沟槽之间的所述衬底内形成导电屏蔽物,且其中形成所述导电第一控制栅极线包含在所述屏蔽物上并与所述屏蔽物电接触地形成所述线。

27. 根据权利要求 26 所述的方法,其中形成所述导电屏蔽物包含:在所述第二方向上在所述第一沟槽之间的所述衬底的所述表面中形成第二组沟槽,且其后在所述第二组沟槽中形成所述导电屏蔽物。

28. 根据权利要求 25 所述的方法,其额外包括:

在沉积所述第一材料之前,在至少所述第一方向上在所述沟槽之间形成第二材料,

其后在上述第二材料上沉积所述第一材料,并在所述第一组沟槽上沉积所述第一材料且将所述第一材料沉积到所述第一组沟槽中,

以沿着所述沟槽的相对侧壁和所述沟槽上方的所述第二材料的壁留下间隔物的方式各向异性地移除所述沉积的第一材料,以及

其后移除所述沉积的第二材料,借此留下在所述衬底的所述表面上方延伸一距离的所述间隔物。

29. 根据权利要求 28 所述的方法,其额外包括:

在所述第一方向上在所述沟槽之间的空间中形成导电第二控制栅极,以及在所述第一方向上在其电连接到的第二控制栅极上延伸的第二控制栅极线,所述导电第二控制栅极被形成为将在所述第一方向上与所述沟槽之间的所述衬底表面和在所述衬底的所述表面上方延伸一距离的所述电荷存储元件两者场耦合。

30. 根据权利要求 29 所述的方法,其中通过共同工艺将所述导电第二控制栅极和第二控制栅极线形成为单一结构。

31. 根据权利要求 25 所述的方法,其中沉积第一材料包含沉积多晶硅,其中所得的多晶硅的电荷存储元件间隔物变为导电浮动栅极。

32. 一种在半导体衬底上制造非易失性存储器单元阵列的方法,其包括:

将沟槽形成到所述衬底的表面中,所述沟槽跨越所述衬底表面在第一方向上被间隔开且在第二方向上伸长,所述第一和第二方向彼此正交,

沿着所述沟槽的长度在所述沟槽的至少底部表面中形成源极区和漏极区,

跨越所述衬底沉积第一多晶硅材料并将所述第一多晶硅材料沉积到所述第一组沟槽中,

在所述第一方向上以沿着所述沟槽的相对侧壁留下导电间隔物且其间具有空间的方式各向异性地移除所述沉积的第一多晶硅材料,

在所述间隔物之间的所述空间中形成控制栅极,

将所述间隔物分离为浮动栅极,以及

在所述第一方向上在所述沟槽之间的所述衬底表面上形成选择栅极,且将其连接到在所述第一方向上伸长并在所述第二方向上被间隔开的字线。

33. 一种在半导体衬底上制造非易失性存储器单元阵列的方法,其包括:

将第一组沟槽形成到所述衬底的表面中,所述第一组沟槽跨越所述衬底表面在第一方向上被间隔开且在第二方向上伸长,所述第一和第二方向彼此正交,

沿着所述第一组沟槽的长度在所述第一组沟槽的至少底部表面中形成源极区和漏极区,

跨越所述衬底沉积第一多晶硅材料并将所述第一多晶硅材料沉积到所述第一组沟槽中,

在所述第一方向上以沿着不延伸到所述沟槽外部但在所述第一方向上在所述多晶硅区之间留下空间的相对侧壁在所述第一组沟槽内留下区的方式各向异性地移除所述沉积的第一多晶硅材料,

在所述第一组沟槽内的所述空间中形成第二多晶硅材料,

将第二组沟槽形成到所述衬底表面中以及在所述第一方向上伸长且在所述第二方向

上被间隔开的第一和第二多晶硅材料中,所述第二组沟槽的深度等于所述第一组沟槽的深度,借此将所述第一多晶硅的所述侧壁区分离为个别浮动栅极,

在所述第二方向上在所述浮动栅极之间在所述第二组沟槽中形成导电材料,

形成在所述第二方向上伸长且在所述第一方向上被间隔开的导电材料条带,以越过并接触所述第一组沟槽中的所述第二多晶硅材料和所述第二组沟槽中的所述导电材料,以及

在所述第一方向上在所述第一组沟槽之间的所述衬底表面上形成选择栅极,且将其连接到在所述第一方向上伸长并在所述第二方向上被间隔开的字线。

非易失性存储器及形成非易失性存储器单元阵列的方法

技术领域

[0001] 本发明大体上涉及非易失性快闪存储器系统,且更明确地说,涉及一种形成利用衬底沟槽来减小阵列的总体大小的存储器单元的阵列的结构和工艺。

[0002] 背景技术

[0003] 如今有许多商业上成功的非易失性存储器产品在使用,尤其是小形状因数卡的形式非易失性存储器产品,其使用快闪 EEPROM(电可擦除且可编程只读存储器)单元的阵列。通常使用具有 NOR 或 NAND 架构的阵列。含有存储器单元阵列的一个或一个以上集成电路芯片通常与控制器芯片组合以形成完整的存储器系统。或者,控制器功能的一部分或全部可在含有全部存储器单元阵列或其一部分的相同芯片上实施。

[0004] 在一种类型的 NOR 阵列中,每一存储器单元具有源极与漏极扩散部分之间的“分裂沟道”。单元的浮动栅极定位在沟道的一个部分上,且字线(也称为控制栅极)定位在另一沟道部分上以及浮动栅极上。这有效地形成具有串联的两个晶体管的单元,一个(存储器晶体管)具有浮动栅极上的电荷量与控制可流经其沟道的一部分的电流量的字线上的电压的组合,且另一个(选择晶体管)单独具有充当其栅极的字线。字线延伸跨越一行浮动栅极。此类单元的实例、其在存储器系统中的使用及其制造方法在第 5,070,032 号、第 5,095,344 号、第 5,315,541 号、第 5,343,063 号和第 5,661,053 号及第 6,281,075 号美国专利中给出。

[0005] 对此分裂沟道快闪 EEPROM 单元的修改添加定位在浮动栅极与字线之间的操纵栅极。阵列的每一操纵栅极延伸跨越一行浮动栅极,其垂直于字线。效果是解除当读取或编程选定单元时字线必须同时执行两个功能的负担。那两个功能是:(1)充当选择晶体管的栅极,因此需要适当电压以接通和关断选择晶体管,和(2)通过字线与浮动栅极之间的电场(电容性)耦合将浮动栅极的电压驱动到所需水平。通常难以以单一电压按照最佳方式执行这两个功能。在添加操纵栅极的情况下,字线仅需要执行功能(1),而所添加的操纵栅极执行功能(2)。在(例如)第 5,313,421 号和第 6,222,762 号美国专利中描述快闪 EEPROM 阵列中的操纵栅极的使用。

[0006] 在有效利用集成电路面积的一种特定类型的存储器单元中,包含两个浮动栅极,其每一者可以二元状态(每浮动栅极一个位)或以多个编程状态(每浮动栅极一个以上位)操作。两个浮动栅极定位在衬底沟道上,位于源极与漏极扩散部分之间,其间具有选择晶体管。沿着每一行浮动栅极包含操纵栅极,且在其上沿着每一行浮动栅极提供字线。当存取给定浮动栅极以用于读取或编程时,含有所关注的浮动栅极的单元的另一浮动栅极上的操纵栅极升高到足够高以接通所述另一浮动栅极下方的沟道,而不管其上存在的电荷电平如何。这有效地排除所述另一浮动栅极作为在读取或编程同一存储器单元中所关注的浮动栅极中的因素。举例来说,可用于读取单元的状态的流经单元的电流量因而是所关注的浮动栅极上的电荷量的函数,而不是同一单元中的所述另一浮动栅极的电荷量的函数。

[0007] 具有双浮动栅极存储器单元的阵列及其操作技术的实例在第 5,712,180 号、第 6,103,573 号和第 6,151,248 号美国专利中描述。双浮动栅极存储器单元阵列通常整体

形成在半导体衬底的表面上。然而,第 6, 151, 248 号专利额外描述(主要相对于其图 6 和 7)在衬底表面中的沟槽中并沿着邻近于沟槽的衬底的表面区域形成的存储器单元。第 6, 936, 887 号美国专利还描述部分形成在衬底沟槽中的存储器单元的阵列。

[0008] NAND 阵列利用连同个别位线之间的一个或一个以上选择晶体管一起连接的两个以上存储器单元(例如,16 或 32)的串联串和参考电位来形成数列单元。字线在行方向上延伸跨越单元,其跨越大量这些列。在编程期间通过促使串中的剩余单元硬接通而使得流经一串的电流取决于所寻址单元中存储的电荷的电平来读取和检验一列内的个别单元。NAND 架构阵列的实例及其作为存储器系统的一部分的操作查阅第 5, 570, 315 号、第 5, 774, 397 号、第 6, 046, 935 号、第 6, 522, 580 号第 6, 888, 755 号和第 6, 925, 007 号美国专利。

[0009] 存在各种用于促使电子从衬底行进穿过栅极电介质到达浮动栅极上的编程技术。最普遍的编程机制在由布朗(Brown)和布鲁尔(Brewer)编辑的书籍“非易失性半导体存储器技术(Nonvolatile Semiconductor Memory Technology)”,IEEE 出版社,第 1.2 章节,第 9-25 页(1998)中描述。一种称为“福勒-诺德海姆穿隧(Fowler-Nordheim tunneling)”(章节 1.2.1)的技术促使电子在其上通过控制栅极与衬底沟道之间的电压差而建立的高场的影响下,穿隧通过浮动栅极电介质。另一技术(漏极区中的沟道热电子注射,通常称为“热电子注射”(章节 1.2.3))将电子从单元的沟道注射到邻近于单元的漏极的浮动栅极区中。又一技术(称为“源极侧注射”(章节 1.2.4))以一方式控制沿着存储器单元沟道的长度的衬底表面电位使得为沟道的远离漏极的区中的电子注射创造条件。在神谷(Kamiya)等人所著的论文“具有高栅极注射效率的 EPROM 单元(EPROM Cell with High Gate Injection Efficiency)”,IEDM 技术文摘,1982 年,第 741-744 页,以及第 4, 622, 656 号和第 5, 313, 421 号美国专利中也描述源极侧注射。在另一编程技术(称为“弹道注射”)中,在短沟道内产生高场以加速电子直接到达电荷存储元件上,如小仓(Ogura)等人“具有对于 EEPROM/快闪的弹道直接注射的低电压、低电流、高速编程步骤分裂栅极单元(Low Voltage, Low Current, High Speed Program Step Split Gate Cell with Ballistic Direct Injection for EEPROM/Flash)”IEDM 1998,第 987-990 页中所描述。

[0010] 用于从浮动栅极电荷存储元件移除电荷以擦除存储器单元的两种技术中的一者主要用于上文描述的两类型存储器单元阵列两者中。一种技术用于通过将适当电压施加到源极、漏极、衬底和其它栅极从而促使电子穿隧通过浮动栅极与衬底之间的介电层的一部分来擦除到衬底。

[0011] 另一擦除技术使电子穿过定位在其间的隧道介电层从浮动栅极传递到另一栅极。在上文描述的第一类型的单元中,出于所述目的而提供第三栅极。在上文描述的第二类型的单元(其由于使用操纵栅极而已具有三个栅极)中,将浮动栅极擦除到字线,而不必添加第四栅极。尽管这个后一技术添加回将由字线执行的第二功能,但这些功能在不同时间执行,因此避免必须作出折衷来适应两个功能。当利用这些擦除技术的任一者时,将大量存储器单元一起分组为“瞬间”同时被擦除的最小数目的单元的区块。在一种方法中,个别区块包含足够的存储器单元来存储磁盘扇区中存储的用户数据量(即,512 字节)加上某一额外开销数据。第 5, 297, 148 号美国专利中描述若干区块的即刻擦除、缺陷管理和其它快闪 EEPROM 系统特征。在另一方法中,每一群组含有足够的单元以保存数千字节的用户数据,等于可个别编程和读取的 8、16 或更多主机扇区的数据。操作比较大区块存储器的实例在第

6, 968, 421 号美国专利中给出。

[0012] 代替于导电浮动栅极,一些快闪存储器利用俘获电子的非导电介电材料。在任一情况下,个别存储器单元包含一个或一个以上电荷存储元件。电介质的使用的实例在上文提及的第 6, 925, 007 号美国专利和其中参考的文献中描述。在电介质俘获型电荷存储器单元的情况下,可形成两个或两个以上电荷存储元件作为在其上间隔开的单一连续电介质层的两个或两个以上区。适宜的电荷存储介电材料的一个实例是三层氧化物-氮化物-氧化物 (ONO) 复合物。另一实例是富含硅的二氧化硅材料的单层。如同在几乎所有集成电路应用中,快闪 EEPROM 系统也存在缩减实施某一集成电路功能所需的硅衬底面积的压力。不断需要增加可存储在硅衬底的给定区域中的数字数据的量,以便增加给定大小存储器卡和其它类型的封装的存储容量,或增加容量且减小大小两者。增加数据的存储密度的另一方式是每存储器单元存储一个以上数据位。这通过将存储器单元阈值电压范围的窗口划分为两个以上状态来实现。使用四个此类状态允许每一电荷存储元件存储两个数据位,八个状态允许每电荷存储元件存储三个数据位。多状态快闪 EEPROM 结构和操作在第 5, 043, 940 号和第 5, 172, 338 号美国专利(作为实例)中描述。

发明内容

[0013] 使用沟槽或腔形成浮动栅极电荷存储元件存储器单元的阵列,在所述沟槽或腔中,浮动栅极沿着其侧壁定位,其间具有栅极电介质,且不上覆于邻近于沟槽的衬底表面。也就是说,在平面图中,浮动栅极保持在沟槽的区域内。这优选通过利用间隔物作为浮动栅极来实现,其中将例如经导电掺杂多晶硅等浮动栅极材料层各向同性地沉积在阵列上并沉积到沟槽中,之后各向异性地蚀刻掉除沿着沟槽侧壁保持的间隔物外的所有沉积的浮动栅极材料。接着可在沟槽中在浮动栅极间隔物之间形成导电控制栅极,且/或可在衬底表面区域中邻近于沟槽定位选择晶体管,这取决于存储器单元所需的确切配置。

[0014] 此结构的总体优点是其有效地使用了衬底表面区域。存储器单元沟道的长度的显著部分沿着沟槽壁垂直定向,从而减少每一存储器单元所需的衬底表面面积的量。源极区和漏极区可植入到沟槽的底部中在其中的浮动栅极之间。此浮动栅极结构和形成浮动栅极的方法可用于多种类型的快闪存储器阵列中,如果(例如)用于形成双浮动栅极存储器单元的 NOR 阵列,那么每一此单元由沿着邻近沟槽的侧壁的两个浮动栅极和在衬底表面中形成在其间的一选择晶体管形成。如果用于形成 NAND 阵列,那么沿着沟槽侧壁(连接在沟槽的底部中在其中的浮动栅极之间的扩散部分)且沿着邻近沟槽之间的衬底表面形成串联的存储器单元晶体管。

[0015] 浮动栅极沿着衬底沟槽的壁的这种定位的一个特定优点是,在适当的情况下,在存储器结构中,可通过以增加的效率进行弹道注射来编程浮动栅极。也就是说,可沿着沟槽之间的衬底沟道的长度并平行于衬底表面在直线路径中将电子加速到浮动栅极上,从而与衬底沟槽侧壁和夹在浮动栅极与侧壁之间的隧道电介质之间的界面成垂直角或近似垂直角进行轰击。因此,不必通过散射机构重新引导电子,在使用较普通的源极侧注射和热电子注射编程机构期间发生所述散射。通过避免包覆沟槽外部和沿着衬底表面的浮动栅极,且通过将稍高于选择栅极的 V_T 的电压施加到选择栅极,形成较高的横向电场,其将沟道电子加速到足以克服隧道氧化物障壁的动能。这些热电子中的许多热电子将轰击在隧道氧化物

上,而不必首先散射以便重新引导其动量。浮动栅极上的高电压还可帮助当电子横越沟道区时沿着一路径将电子加速到浮动栅极。沿着其而形成浮动栅极的沟槽的壁可垂直于衬底表面,这对于通过弹道注射的有效编程是最佳的且允许存储器单元的大小减到最小,但这不是必要条件。常规上通过各向异性蚀刻到衬底表面上而形成具有垂直侧壁的衬底沟槽。

[0016] 代替于将浮动栅极形成为存储器单元电荷存储元件,可用介电电荷俘获材料代替。举例来说,可通过使用相同间隔物技术来沉积 ONO 的中间氮化物层。以将位于氮化物间隔物的任一侧上的方式形成均匀厚度的氧化物层,以提供 ONO 结构。或者,富含硅的二氧化硅间隔物可以与导电浮动栅极相同的方式形成,且提供在浮动栅极的任一侧上的介电层不需要形成在此类介电间隔物上。

[0017] 本发明的额外方面、优点、实施例和特征包含在其示范性实例的以下描述中,应结合附图来理解对示范性实例的描述。

[0018] 本文参考的所有专利、专利申请案、论文、书籍部分、其它出版物、文献等出于所有目的以全文引用的方式并入本文中。就在所并入的出版物、文献等的任一者与本申请案文本之间在对术语的定义或使用方面有任何不一致或冲突来说,以本申请案文本的对术语的定义或使用为准。

附图说明

[0019] 图 1 说明其中可实施本发明的各方面的快闪 EEPROM 系统的框图;

[0020] 图 2 是部分构造的双浮动栅极存储器单元阵列的平面图;

[0021] 图 3A 和 3B 是分别在图 2 的结构截面 A-A 和 B-B 处截取的图 2 的结构的一个实施例的截面图;

[0022] 图 4 是图 2、3A 和 3B 的阵列的双浮动栅极存储器单元的等效电路图;

[0023] 图 5 是在图 2 的结构截面 A-A 处截取的图 2 的结构另一实施例的截面图;

[0024] 图 6 和 7 也是在图 2 的结构截面 A-A 处截取的图 2 的结构截面图,其展示图 5 的实施例的修改;

[0025] 图 8 是沿着 NAND 阵列中的存储器单元串截取的另一实施例的截面图;以及

[0026] 图 9 是图 8 的 NAND 串的等效电路。

具体实施方式

[0027] 存储器系统

[0028] 图 1 的框图中大体上说明并入有本发明的各方面的实例存储器系统。大量个别可寻址的存储器单元 11 布置在行和列的规则阵列中,但单元的其它物理布置当然是可能的。本文表示为沿着单元的阵列 11 的列延伸的位线通过线 15 与位线解码器和驱动器电路 13 电连接。本描述内容中表示为沿着单元的阵列 11 的行延伸的字线通过线 17 电连接到字线解码器和驱动器电路 19。沿着阵列 11 中的存储器单元列延伸的操纵栅极通过线 23 电连接到操纵栅极解码器和驱动器电路 21。解码器 13、19 和 21 的每一者经由总线 25 从存储器控制器 27 接收存储器单元地址,解码器和驱动电路还经由相应控制和状态信号线 29、31 和 33 连接到控制器 27。通过将解码器和驱动器电路 13 与 21 互连的总线 22 而协调施加到操纵栅极和位线的电压。

[0029] 控制器 27 可通过线 35 连接到主机装置（未图示）。主机可以是个人计算机、笔记本电脑、数码相机、音频播放器、各种其它手持式电子装置等。图 1 的存储器系统通常将根据若干现有物理和电气标准的一者（例如，来自 PCMCIA、CompactFlash™ 协会、MMC™ 协会、SD 小组等的一者）而实施在卡中。当以卡格式时，线 35 端接于卡上的连接器中，所述连接器与主机装置的互补连接器介接。许多卡的电接口遵循 ATA 标准，其中存储器系统对于主机来说看似其为磁盘驱动器。还存在其它存储器卡接口标准。替代于卡格式，图 1 所示的类型的存储器系统永久内嵌在主机装置中。

[0030] 解码器和驱动器电路 13、19 和 21 根据相应控制和状态线 29、31 和 33 中的控制信号在阵列 11 的其相应线（如总线 25 上所寻址）中产生适当电压，以执行编程、读取和擦除功能。包含电压电平和其它阵列参数的任何状态信号由阵列 11 经由相同控制和状态线 29、31 和 33 提供到控制器 27。电路 13 内的多个读出放大器接收指示阵列 11 内所寻址的存储器单元的状态的电流或电压电平，且向控制器 27 提供关于读取操作期间线 41 上的那些状态的信息。通常使用大量读出放大器以便能够并行读取大量存储器单元的状态。在读取和编程操作期间，通常通过电路 19 一次寻址一行单元，以用于存取由电路 13 和 21 选择的所寻址行中的若干单元。在擦除操作期间，通常将许多行的每一行中的所有单元作为用于同时擦除的一区块一起寻址。

[0031] 位线解码器和驱动器电路 13 通过线 15 与全局位线连接，所述全局位线又选择性地与阵列的源极区和漏极区连接。个别存储器单元的列的源极和漏极连接到适当编程电压，以用于响应于总线 25 上供应的地址和线 19 上的控制信号而进行读取或编程。

[0032] 操纵线解码器和驱动器电路 21 通过线 23 连接到操纵栅极且能够响应于总线 25 上提供的地址、线 33 中的控制信号和来自驱动器及读出放大器 13 的数据而个别地选择操纵线并控制其电压。

[0033] 选择栅极解码器和驱动器电路 19 与字线连接以便个别地选择单元阵列的一行。接着启用选定行内的个别单元，以通过位线以及操纵栅极解码器和驱动器电路 13 和 21 进行读取或写入。

[0034] 在上文背景技术部分中识别的专利中，以及在转让给晟碟（SanDisk）公司（本申请的受让人）的其它专利中进一步描述例如图 1 中所说明的存储器系统的操作。另外，第 6, 738, 289 号美国专利描述实例数据编程方法。

[0035] 双浮动栅极存储器单元阵列的示范性实施例

[0036] 在图 2、3A 和 3B 中说明形成在具有由间隔物技术形成的浮动栅极的单一集成电路芯片上的实例 NOR 存储器阵列的结构，且图 4 中给出所得存储器单元的等效电路。主要参看图 2 的平面图，优选通过初始蚀刻长平行沟槽并接着在其内界定缩短的沟槽 51-66 而在半导体衬底 50 的表面 49 中形成沟槽 51-66 的二维阵列。这些沟槽由两组导电控制栅极线、具有在 x 方向上延伸的长度的字线 69-72，和具有在正交定向的 y 方向上延伸的长度的操纵栅极线 75-78 跨越。视情况，但优选地，导电屏蔽物 81-92 的阵列在 y 方向上形成在衬底 50 的表面 49 中的凹口中处于沟槽 51-66 的邻近者之间。每一屏蔽物与在其上方通过的操纵线 75-78 中的一者电连接。这些导电屏蔽物和周围的电介质沿着初始形成的细长沟槽周期性地放置，以形成在其中定位浮动栅极的界定长度的沟槽 51-66。

[0037] 在图 3A 和 3B 中说明沟槽 51-66 中所形成的组件，图 3A 和 3B 分别是图 2 的沿着

其正交定向的截面 A-A 和 B-B 截取的剖视图。沟槽 51-66 中的每一者包含存储器单元浮动栅极、选择栅极和电介质层。以沟槽 61 作为典型,介电材料层 101 覆盖沟槽的壁和底部表面。层 101 优选由二氧化硅(例如, SiO_2) 制成。两个导电浮动栅极 103 和 105 在 x 方向上沿着沟槽的相对侧壁形成为间隔物。在 x 方向上在浮动栅极之间留有足够空间,以用于填充此空间的电介质层 107 和操纵栅极 109。介电层 107 优选由三层制成,两个二氧化硅层在氮化硅(例如, Si_3N_4) 层的相对侧上,处于通常称为“ONO”的结构中。将注意到,ONO 层限于浮动栅极与操纵栅极之间的区,且避免沟道区域。这改进了存储器单元的耐久性并减少可由其氮化物层随时间俘获电荷而引起的噪声和干扰现象。

[0038] 栅极 103、105 和 109、沿着侧壁的介电层 101 和中间介电层 107 一起在 x 方向上填充沟槽 61。埋入的 N+ 扩散部分 110 在 y 方向上伸长并定位在沟槽 53、57、61 和 65 下方,从而提供其所属的存储器单元的源极区和漏极区。剩余沟槽包含相同结构和形式。如供下文使用的识别,邻近沟槽 60 包含浮动栅极 111 和 113、操纵栅极 115,以及以与沟槽 61 中相同的方式定位的介电层。埋入的扩散部分 117 存在于沟槽 60 和同一列中的其它沟槽下方。

[0039] 优选通过在所形成的整个存储器单元阵列上(包含在沟槽内)沉积多晶硅材料并接着各向异性蚀刻所述层直到间隔物(例如,浮动栅极间隔物 103 和 105)保留在沟槽内为止,来形成浮动栅极。可执行化学机械抛光(CMP)步骤来移除可保留在衬底表面 49 上的浮动栅极间隔物材料的任何部分。在此实施例中,所得浮动栅极全部定位在其相应沟槽内,处于衬底表面 49 下方。操纵栅极 109 和 115 也以常规方式全部定位在其沟槽内,处于衬底表面 49 下方。

[0040] 导电控制栅极线跨越沟槽而定位,处于衬底表面 49 上方。操纵栅极线 75-78 在 y 方向上延伸跨越沟槽,从而与沟槽中的操纵栅极和沟槽之间的导电屏蔽物形成接触。线 77(例如)延伸跨越并电接触操纵栅极 109 和所述列中的其它操纵栅极,以及接触中间导电屏蔽物 83、87 和 91。电介质隔离层(未图示)将定位在操纵栅极线与被那些线跨越的衬底表面 49 的任何部分之间。介电材料围绕操纵栅极线。线 77(例如)具有定位在其顶部表面上并与所述表面同延的两个介电层 121 和 123。层 121 优选由二氧化硅制成且层 123 由氮化硅制成。在 x 方向上沿着导电线 77 以及线 77 顶部上的介电条带 121 和 123 的侧壁形成间隔物 125 和 127。

[0041] 字线 69-72 跨越与其垂直的电介质封闭的操纵栅极线而定位。由于中间电介质的厚度的缘故,字线与操纵栅极线之间有极少或没有耦合。字线在 x 方向上通过栅极电介质(优选为二氧化硅)层 129 与沟槽之间的衬底表面进一步分离。邻近于栅极电介质 129 的字线区形成存储器单元的选择栅极。选择晶体管的沟道区存在于衬底表面 49 中处于沟槽之间的栅极介电层 129 的相对侧上。

[0042] 屏蔽物由沿着屏蔽物 91 的侧壁的电介质(例如,层 131 和 132)以及屏蔽物 91 的底部表面与衬底表面 49 之间的层 133 包围,所述侧壁将屏蔽物 91 在 y 方向上与任一侧上的浮动栅极的边缘分离。底部层 133 制造得相对较厚以使屏蔽物 91 与衬底表面 49 之间的耦合最小化。另一方面,侧部层 131 和 132 制造得相对较薄以使屏蔽物 91 与屏蔽物的任一侧上的浮动栅极的边缘之间的耦合最大化。由于屏蔽物 91 与操纵栅极线 77 电连接,所以这提供每一操纵栅极与和操纵栅极相同列中的浮动栅极之间的耦合的增加的面积。具有增加的耦合比的存储器单元将置于操纵栅极上的电压的较大百分比耦合到与其电容性耦合

的浮动栅极。同时,由于 x 方向上的薄浮动栅极的缘故,浮动栅极与埋入的位线扩散部分之间的耦合可保持较小,如从图 3A 可看出。

[0043] 图 2、3A 和 3B 的阵列的一个特定实例配置包含在 x 和 y 两个方向上形成在衬底中、因此彼此交叉的连续沟槽。浮动和操纵栅极定位在在 y 方向上在 x 方向沟槽之间伸长的沟槽中。屏蔽元件定位在在 x 方向上伸长的沟槽中,其中其与 y 方向沟槽交叉。适宜的场介电材料接着填充屏蔽元件之间的 x 方向沟槽。

[0044] 图 2、3A 和 3B 的实例结构利用在过程中的不同点处由材料的五个分离沉积形成的经掺杂多晶硅或其它适宜的导电材料。在下文描述的过程实施例中,浮动栅极由导电材料的第一沉积形成,操纵栅极由导电材料的第二沉积形成,屏蔽元件由导电材料的第三沉积形成,操纵栅极线由导电材料的第四沉积形成,且字线由导电材料的第五沉积形成。可在沉积多晶硅时对其进行掺杂,或者可将其沉积而不进行掺杂且接着在沉积之后进行离子植入。多晶硅的形成字线的最终层可经硅化以便减小所得字线电阻,或具有出于此目的结合到其顶部表面的金属。或者,字线可完全由金属形成成为第五层。

[0045] 图 4 是图 3A 和 3B 的一个存储器单元的等效电路,使用相同参考标号并添加撇号(')。三个晶体管串联连接在埋入的位线扩散部分 110' 与 117' 之间。左侧的存储晶体管包含浮动栅极 113', 且右侧的存储晶体管含有浮动栅极 103'。具有控制栅极 71' 的选择晶体管位于这些存储晶体管之间。此处说明的存储器单元的阵列可以与上文提及的第 6, 151, 248 号美国专利的双浮动栅极存储器单元阵列基本上相同的方式操作。

[0046] 如图 3A 中所指示,这一个存储器单元的衬底沟道被划分为三个区段。一个区段(T1-左)沿着邻近于浮动栅极 113 的沟槽 60 的垂直侧壁,处于扩散部分 117 与衬底表面 49 之间。这是所描述的存储器单元的左侧存储晶体管的部分。下一区段(T2)沿着衬底表面 49,处于邻近沟槽 60 与 61 的壁之间。第三区段(T1-右)沿着沟槽 61 的垂直侧壁。可在 x 和 y 维度上跨越衬底表面将沟槽形成为如处理所允许的那样小。结果是 x 方向上跨越衬底表面的存储器单元的非常紧凑阵列。因此使每存储器单元的集成电路面积量非常小。存储器单元的密度比浮动栅极跨越衬底表面而定位的情况(假定相同处理规模)可能加倍。同时,选择栅极沟道长度(T1 距离)可稍许增加且浮动栅极沟道长度(T1)可显著增加。

[0047] 图 3A 和 3B 所示的用于存储器单元的优选编程机制是弹道编程。也就是说,在大体上平行于衬底表面 49 的方向上通过施加到字线、选择栅极线、埋入的位线扩散部分和衬底的适当电压而在沟道的 T2 区内使电子加速。高速率电子的路径大体上垂直于其宽阔平面表面依据哪一浮动栅极正被编程而撞击浮动栅极 103 或 113 中的一者。编程效率可能比较标准的源极侧注射高数个量级。优选的是,浮动栅极的部分均不与 T2 区中的衬底表面 49 重叠,借此使 T2 区摆脱可干扰此直接高能电子路径的场效应。如图 3A 所示的沟槽的侧壁优选为垂直的(垂直于衬底表面 49),如图所示,以用于最有效的弹道编程,但如果出于其它原因而较便利,则或者可略微倾斜。

[0048] 存在从浮动栅极移除电荷以擦除存储器单元的若干可能性,此处提及其中的三种。一种是促使电子从浮动栅极的相对尖锐顶部边缘穿隧通过选择栅极电介质 129 到达邻近字线 71。为此将高擦除电压置于字线上。或者,可沿着沟槽的垂直面穿过浮动介电层将浮动栅极擦除到其垂直沟道部分。为此,将零到 -0.5 伏范围内的电压施加到位线(或者,可允许位线浮动以防止还擦除到所述位线的可能性),将零伏施加到衬底,且在操纵栅极

上施加高达 -20 伏。另一可能性是在浮动栅极与沟槽的底部下方的埋入的扩散位线之间,通过沟槽的底部上的浮动栅极介电层进行擦除。实例电压包含位线上 5 伏、衬底上 0 伏,且操纵栅极上高达 -15 伏。此最后替代方案具有不通过浮动栅极或选择栅极介电层中的任一者进行擦除的优点,因此避免随着时间由于通常将影响编程和读取的许多擦除操作而将电荷俘获在这些层中。

[0049] 将注意到,图 2、3A 和 3B 的存储器单元阵列在 x 和 y 两个方向上在相邻浮动栅极之间提供屏蔽。由于操纵栅极在相同沟槽中的浮动栅极之间延伸到沟槽的底部,所以操纵栅极在 x 方向上提供屏蔽。在 y 方向上,屏蔽元件 81-92 提供此隔离。借此显著减少一个浮动栅极上的电荷到相邻浮动栅极(其可为读取错误的来源)的场耦合。

[0050] 制造双浮动栅极存储器单元阵列的过程

[0051] 现在将描述制造图 2、3A 和 3B 的存储器单元阵列的一组过程步骤(制法)。早期步骤是将离子(例如,硼)从上面将形成有阵列的表面植入到空白衬底中。各种能量和剂量的若干植入物允许沿着所得垂直沟道部分 T1 控制掺杂水平。沟道的浮动栅极部分的垂直定向允许以相对简易和可靠的结果实现沿着沟道长度的此选择性掺杂。可能需要(例如)在与沿着浮动栅极沟道长度 T1 的中点一致的深度处提供最高离子浓度。这将使阈值电压 V_T 与沿着沟道长度 T1 的任何其它点相比在中点处最高,从而形成由浮动栅极而不是由埋入的位线扩散部分或选择栅极更强地控制的瓶颈点。就瓶颈点左右存储器单元的行为的意义上来说,将其置于 T1 的中点处使其远离发生弹道电子注射的上部区和可为了擦除而选择穿隧到埋入的位线扩散部分的下部区两者。

[0052] 具有增加的深度的负离子梯度可安装在衬底表面附近,这对于在增强编程期间所使用的热电子的产生有益。此外,对沟道隅角处(其中选择栅极与浮动栅极之间存在间隙)的掺杂水平的控制可导致所述间隙不支配存储器单元的行为。

[0053] 在植入之后,在形成有阵列的衬底的表面区上生长薄氧化硅层。此充当接下来沉积在氧化物层上的氮化硅层的缓冲区。氮化物层接着被掩蔽并被蚀刻成在 y 方向上具有延伸的长度的条带图案,优选在 x 方向上其间具有最小宽度和间隔(如借助所使用的光刻和特定工艺的其它方面可能实现的)。接着将氮化物条带用作掩模而各向异性蚀刻掉氮化物条带之间的衬底表面和薄氧化物层的区域。具有大体上垂直壁的沟槽通过此蚀刻步骤形成在衬底中,达到稍大于所需浮动栅极垂直沟道长度 T1 的深度。沟槽 51-66(图 2)的每一列最终形成在这些沟槽中的一者中。

[0054] 接着将厚氧化物层各向同性地沉积在氮化物条带上的阵列的整个区上并沉积到沟槽中。此氧化物层接着经各向异性蚀刻以沿着沟槽和氮化物条带的共同侧壁留下氧化物间隔物。所沉积的氧化物层的厚度和蚀刻经选择以在 x 方向上在间隔物之间留下较窄空间。这些间隔物和氮化物条带接着用作植入物掩模。将使用例如砷的各种能量的埋入的 N⁺ 植入物通过间隔物之间的此掩模制造到沟槽的底部中。因此将位线扩散部分形成为在 y 方向上沿着沟槽的底部延伸的条带。植入的离子稍后由于在高温下的进一步处理步骤而在 x 方向上向外扩散,从而形成图 3A 和 3B 所示的位线扩散部分 110、117 等。

[0055] 接着将氧化物间隔物、氮化物条带及其下方的氧化物全部蚀刻掉。接着在整个存储器阵列区域上使氧化物层生长到 8nm 到 10nm 的厚度,遵循衬底表面的台阶状轮廓。此层的在沟槽内的部分最终变为图 3A 和 3B 的氧化物层 101。接着将第一多晶硅层(Poly1)各

向同性地沉积在阵列区域上达 10nm 到 20nm 的厚度。接着将此层各向异性地回蚀以留下在 y 方向上沿着沟槽侧壁连续延伸且在沟槽内在 x 方向上间隔开的间隔物条带。稍后移除这些多晶硅条带的长度的部分以留下阵列的间隔物浮动栅极。

[0056] 接着在阵列区域上形成 ONO 层,多晶硅间隔物条带上保持为浮动栅极的部分形成图 3A 和 3B 的中间多晶硅介电层 107。为了形成 ONO 层,首先沉积、生长(或其两者)5-6nm 厚的氧化物层。接着在氧化物层上沉积 5-7nm 的氮化物层。接着在氮化物层上生长、沉积(或其两者)最终的 5-6nm 厚的氧化物层。可在形成氧化物层的每一者之后执行高温氧化物致密化步骤。或者,如果工艺中包含稍后的高温退火步骤,那么可省略此高温氧化物致密化步骤,因为高温退火步骤也执行致密化任务。

[0057] 在阵列区域上各向同性地沉积第二多晶硅(Poly2)层达到足以完全填充 Poly1 的经 ONO 涂布的条带之间的沟槽的厚度。接着执行 CMP 步骤以向下移除所有材料直到衬底表面。这留下在 y 方向上延伸的 Poly2 的条带,其当稍后分离时,形成图 3A 和 3B 的操纵栅极 109、115 等。

[0058] 接下来的若干步骤形成氮化物掩模并使用所述掩模来蚀刻 Poly1 和 Poly2 条带、其周围的介电层和具有在 x 方向上延伸的长度的条带中的衬底。所得 x 方向沟槽的深度优选与较早的浮动栅极沟槽蚀刻相同。优选非优先蚀刻,使得 Poly1、Poly2、氧化物层、ONO 层和硅衬底中的每一者约以相同速率被蚀刻。就在这些沟槽中稍后形成屏蔽元件 51-66(图 2)。此蚀刻分离 Poly1 与 Poly2 条带,如图 3A 和 3B 中所示。且因为所得操纵栅极在 y 方向上彼此隔离,所以稍后形成操纵栅极线 75-78(图 2、3A 和 3B)以将其以列连接在一起。

[0059] 接下来,例如通过生长氧化物层和各向同性地沉积氧化物两者以导致在 x 方向沟槽内具有不等厚度的介电层 131、132 和 133(图 3B),而在阵列区域上形成介电层。接着在此氧化物上沉积第三多晶硅(Poly3)层,进入 x 方向沟槽中。所述区域接着再次经受 CMP 以向下移除多晶硅和氧化物直到衬底表面。剩余的是完全在 x 方向沟槽内在 x 方向上延伸的 Poly3 的条带,以及将 Poly3 条带与衬底沟槽壁分离的氧化物。这些 Poly3 条带稍后分离以留下屏蔽物 81-92。

[0060] 实际上,接下来一系列步骤执行此分离。优选的是,所得屏蔽物在 x 方向上的长度大于邻近沟槽 51-66 的宽度,如图 2 的平面图中的情况,但其或者可制造成相同大小。这样做意味着 Poly3 条带的小于所使用的工艺的线宽的区段需要被移除。因此,首先根据 Poly3 条带的待移除区上对准的工艺线宽在阵列区域上形成具有开口的蚀刻掩模。接着在 y 方向上至少沿着这些开口的边缘形成间隔物,以使开口变窄。接着通过各向异性蚀刻步骤移除 Poly3 条带的通过这些受限开口暴露的部分,借此留下个别屏蔽物 81-92。

[0061] 接下来一系列步骤形成操纵栅极线 75-78。在阵列区域上沉积第四多晶硅(Poly4)层。接着在 Poly4 层上形成呈在 y 方向上延伸的条带形式的蚀刻掩模以覆盖所述层的将保留并变为线 75-78 的部分。由于此掩模不与先前形成的其它元件对准,所以需要使剩余 Poly4 条带的宽度窄于工艺的线宽。因而可容忍 x 方向上一些程度的不对准。

[0062] 可通过首先在 Poly4 层上形成具有条带的氧化物掩模来获得这些窄掩模开口,所述条带在 x 方向上的其间的宽度和空间等于所使用的工艺的最小线宽。接着沿着开口的边缘形成氧化物材料的间隔物以使其变窄。接着在氧化物材料上沉积氮化物层并通过氧化物间隔物之间的变窄的开口而沉积到 Poly4 层上。此结构接着向下经历 CMP 直到氧化物材料,

借此留下在 y 方向上延伸的具有所需操纵栅极线的宽度的氮化物条带。接着通过选择性蚀刻移除氮化物条带之间的氧化物材料。接着穿过所得氮化物掩模各向异性地蚀刻 Poly4 层以从 Poly4 层移除材料（存在氮化物条带的地方除外）。结果是操纵栅极线 75-78。

[0063] 氮化物遮蔽条带优选地 Poly4 条带上留在适当位置中，如图 3A 和 3B 所示。接着沿着 Poly4 和氮化物条带的堆叠的侧部形成氧化物间隔物以便在 Poly4 条带（操纵栅极线）与将要在上面形成的字线之间提供充分隔离。到由氮化物层提供的堆叠的增加的高度导致间隔物（图 3A 的 125、127 等）在 Poly4 条带（图 3A 的操纵栅极线 77 等）的区中达到充分厚度。

[0064] 接下来，生长、沉积（或其两者）氧化物层以便在衬底的暴露表面上形成选择栅极介电层 129（图 3A）。接着在阵列区域上沉积第五多晶硅（Poly5）层，由所述 Poly5 层形成字线 69-72。可以与上文针对从 Poly4 层形成窄操纵栅极线 75-78 所描述的方式相同的方式将 Poly5 层分离为比所使用的处理的最小线宽窄的字线。此掩模当然经定向成使其条带在 x 方向上延伸。此使所得多晶硅条带的宽度变窄的过程接着允许所得 Poly5 线在 y 方向上的某一不对准。

[0065] 根据标准处理技术，进一步步骤（未图示）包含形成由沿着多晶硅操纵栅极线 75-78 的长度周期性地连接到多晶硅操纵栅极线 75-78 的介电层分离的第一组金属线，和沿着字线 69-72 的长度连接的第二组金属线。

[0066] 双浮动栅极存储器单元阵列的替代实施例

[0067] 存在可对上文描述的架构和工艺作出的保持其优点并提供其它优点的许多修改。一个修改是使衬底中的沟槽比图 3A 和 3B 所示的沟槽窄，且接着使浮动栅极和操纵栅极结构延伸出沟槽，处于衬底表面和衬底表面上形成的任何控制栅极介电材料上方一距离。此存储器单元阵列展示于图 5 中，图 5 是对应于针对上文描述的实施例的图 3A 的横截面图的横截面图。由与图 3A 中相同的参考标号识别图 5 所示的结构的不同或基本相同的元件，且不同元件具有与其对等物相同的参考标号但添加有双撇号（"）。"

[0068] 图 5 的实施例的主要优点是，与存储器单元的浮动栅极相对的衬底沟道部分 T1-左和 T1-右的长度减小，但不减小浮动栅极与操纵栅极之间的耦合面积（如果这些栅极保持相同大小）。此合意地增加单元的浮动栅极到操纵栅极的耦合比率，因为浮动栅极的每一者与衬底之间的电容性耦合的量在所述比率的分母中，且浮动栅极与操纵栅极之间的耦合的水平在分子中。不需要影响选择晶体管沟道长度 T2。

[0069] 图 5 结构的另一优点是，浮动栅极的每一者与字线之间的重叠增加。例如，浮动栅极 113 的较多区域相对于字线 71" 而定位。这使得有可能依据浮动栅极与字线之间的电介质的性质和厚度而增加浮动栅极与字线之间的耦合。这允许在擦除到埋入的位线扩散部分或擦除到衬底沟道期间使用字线将电压耦合到浮动栅极，借此增强擦除。字线可接着还用于例如通过提供起始字线的行中的浮动栅极的编程所需的最小浮动栅极电压而辅助控制编程期间浮动栅极的电压。

[0070] 此外，字线与其行中的浮动栅极之间的增加的耦合允许在字线的行中的读取和检验操作期间使用交变电流（AC）信号驱动字线以便减少噪声。在第 6,850,441 号美国专利中描述此技术。

[0071] 类似于图 3A 和 3B 的实施例，从图 5 中将注意到，操纵栅极线（例如，线 76）在 y

方向上延伸跨越阵列,与其所跨越的操纵栅极和中间屏蔽元件(例如,操纵栅极 115 以及沟槽 60(图 5 中为 60")的含有操纵栅极 115 的任一侧上的屏蔽元件 86 和 90(图 2))电接触。由于屏蔽元件形成有处于衬底表面 49 处或下方的顶表面(见图 3B),所以图 5 的升高栅极结构促使操纵栅极线 76 等在操纵栅极 115 等上方上升,且接着在 y 方向上在操纵栅极的两侧上下下降以电接触屏蔽元件 90 等。

[0072] 可通过上文针对图 2、3A 和 3B 的阵列所描述的工艺在作出某些修改的情况下制成图 5 的经修改阵列。为了导致浮动栅极和操纵栅极在衬底表面上延伸,当沉积第一多晶硅(Poly1)层时,将在早期步骤中形成在衬底表面上的氮化物掩模留在适当位置。此氮化物掩模用于将沟槽蚀刻到衬底表面中,所述沟槽在此修改中不制作成如之前那样深。在 y 方向上延伸并覆盖存储器单元的选择栅极区的氮化物掩模条带的厚度经控制以等于尺寸 h,即浮动/操纵栅极结构的顶部与衬底表面 49 之间的所需距离。接着在氮化物掩模条带上沉积 Poly1 并沉积到衬底沟槽及其由氮化物条带形成的垂直延伸部中。由 Poly1 层的各向异性蚀刻形成的浮动栅极间隔物接着延伸到氮化物条带的顶部,位于衬底表面上方距离 h 处,接着稍后移除氮化物掩模条带。

[0073] 由于在形成浮动栅极间隔物之后保留了氮化物掩模条带,所以此时可使用氮化物条带和浮动栅极作为植入物掩模来植入埋入的位线扩散部分。由于浮动栅极使植入离子所通过的沟槽的宽度变窄,所以在图 3A 和 3B 工艺的以上描述中在沉积 Poly1 之前形成的氧化物间隔物不是必需的。因而可省略形成和移除那些氧化物间隔物所需的添加的步骤。

[0074] 如果需要使操纵栅极到浮动栅极的耦合比率增加但将字线(选择栅极)到浮动栅极的耦合比率维持为低,那么可改变图 5 所示的字线及其选择栅极结构。减小与浮动栅极的耦合面积的选择栅极结构的三个不同实例展示于图 6 和 7 中,其中由相同参考标号识别与图 5 中所示的元件相同或基本相同的元件。在减少与浮动栅极的耦合的同时,不需要减小选择栅极沟道长度 T2。

[0075] 首先参看图 6,选择栅极(例如,栅极 135 和 137)个别地由例如经掺杂多晶硅的导电材料形成。这些选择栅极接着稍后通过沿着存储器单元行在 x 方向上延伸的水平字线导体 139 以及接触个别选择栅极的向下延伸的导体 141 和 143 而连接在一起。因为可形成薄选择栅极,所以沿着选择栅极的垂直边缘与浮动栅极的耦合面积可保持较小。垂直部分 141、143 等也可由经掺杂多晶硅制成,而水平部分 139 由金属制成。或者,所有字线部分 139、141、143 等可由金属制成。

[0076] 图 7 展示进一步的修改,其中如图 6 中那样形成薄选择栅极 147 和 149,随后单独地形成在此横截面中具有三角形形状的第二层 151 和 153。三角形部分定向成使表面邻近于浮动栅极的上部窄边缘,其间具有薄电介质层,其有助于将浮动栅极擦除到选择栅极。但同时,使选择栅极与浮动栅极之间的耦合最小化。个别选择栅极结构接着由导电字线(例如,字线 155)连接,所述字线优选为金属,包含向下下降以接触选择栅极结构的部分。

[0077] 尽管图 2-7 的实施例描述为利用 NOR 架构中连接的双栅极存储器单元作为特定实例,但将理解,所描述的沟槽栅极结构也可用于其它存储器单元阵列配置中。

[0078] NAND 存储器单元阵列的实施例

[0079] 使用上述间隔物技术形成沟槽中的浮动栅极也可用于形成具有 NAND 架构的存储器单元阵列。一个 NAND 实施例展示于图 8 中,其是穿过串联连接的存储器单元的 NAND 串的

一部分的横截面。一系列沟槽 163、165、167 和 169 形成在半导体衬底 161 的表面 159 中。在沟槽的侧壁和底部上形成介电层之后,两个浮动栅极以上文描述的方式形成在经掺杂多晶硅材料(来自 Poly1)的间隔物的每一沟槽中。八个此类浮动栅极 171-178 包含在图 8 的说明中。在形成间隔物浮动栅极之后,通过离子植入形成源极和漏极扩散部分 181-189。或者,离子植入可在沉积浮动栅极之前但在形成沟槽之后发生。

[0080] 在浮动栅极 171-178 的暴露表面上以及沟槽之间的衬底表面 159 上形成介电层之后,形成字线控制栅极以在垂直于存储器单元串的方向的方向上延伸跨越阵列。实际上,阵列由以平行列的大量此类串组成,其中字线沿着存储器单元的行延伸跨越所述串。由于存在跨越每一浮动栅极的单独字线,所以需要在沟槽 163、165、167 和 169 中的每一者而不是较早描述的实施例的单一操纵栅极中形成两个此类字线。

[0081] 因此,字线由按序沉积和蚀刻的两个多晶硅层形成。多晶硅 (Poly2) 的第一字线层覆盖整个阵列,包含延伸到浮动栅极之间的沟槽中。形成在 Poly2 层上的掩模允许以一图案将其移除,所述图案留下第一组字线 191-194,每隔一个字线沿着存储器单元串。在这些字线的暴露表面被电介质覆盖之后,在阵列上沉积下一多晶硅 (Poly3) 层,包含沉积到沟槽的剩余空间中接着 Poly3 层经遮蔽并蚀刻以留下作为阵列的剩余字线的第二组字线 197-201。因为字线不与串的其他组件自行对准且沟槽每一者含有四个多晶硅层和五个电介质层,所以在一些情况下,沿着串的方向上的沟槽的大小需要比所使用的工艺的最小分辨率元件大。

[0082] 如图 9 中给出图 8 的 NAND 存储器单元串的电等效电路,其中将添加有撇号 (') 的相同参考标号给予相应元件。在每一串的结尾处通常是开关晶体管 205 到 207,以将串选择性地连接到其全局位线和参考电位(例如,接地)。

[0083] 总结

[0084] 尽管已相对于本发明的示范性实施例描述了本发明的各个方面,但将理解,本发明有权受到所附权利要求书的完全范围内的保护。

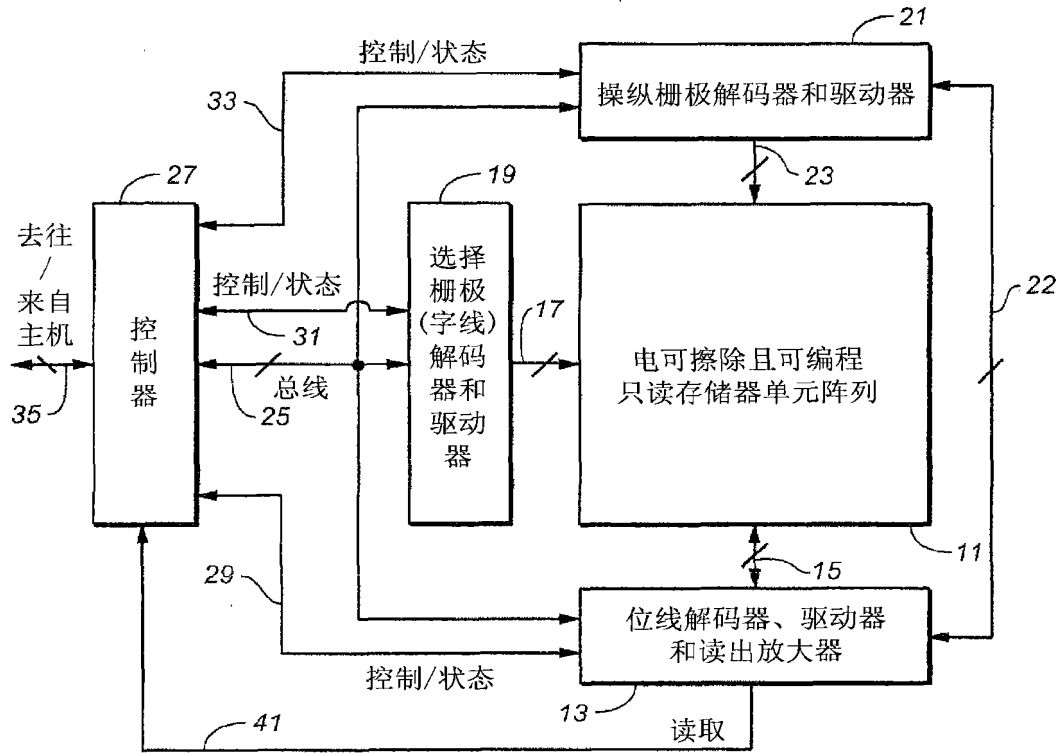


图 1

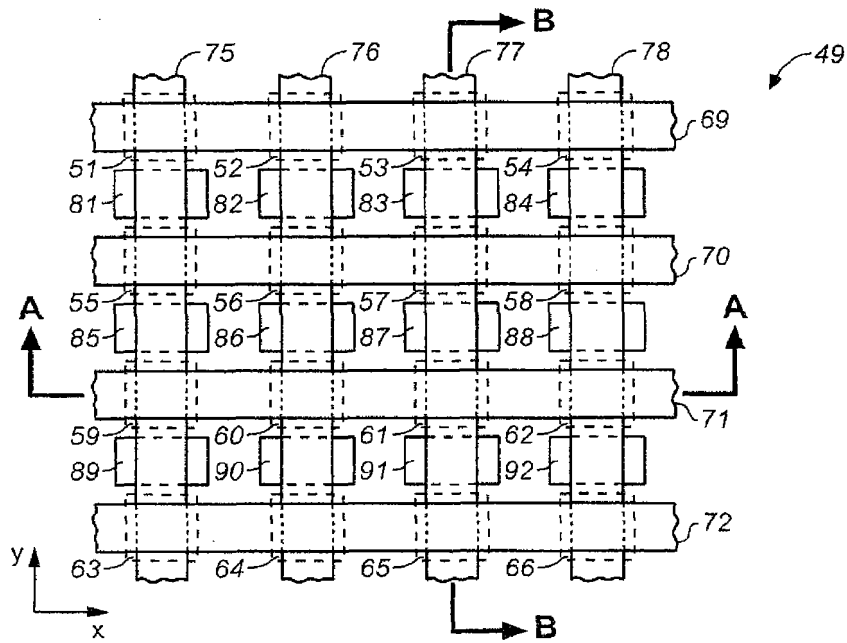


图 2

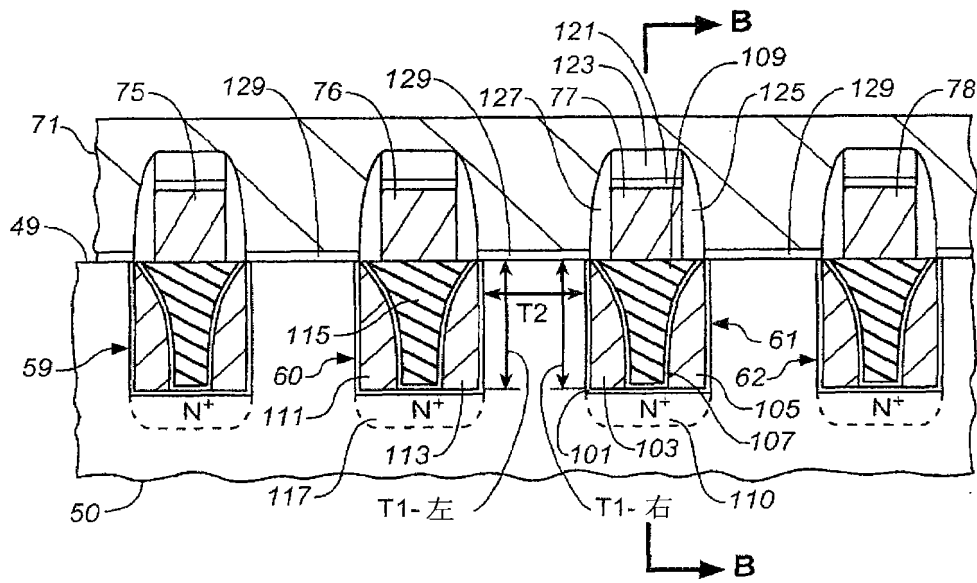


图 3A

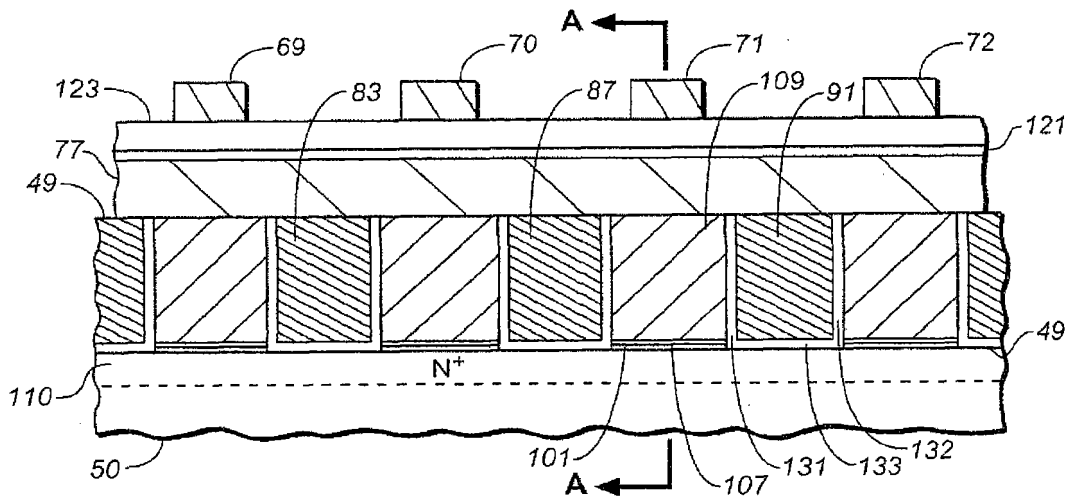


图 3B

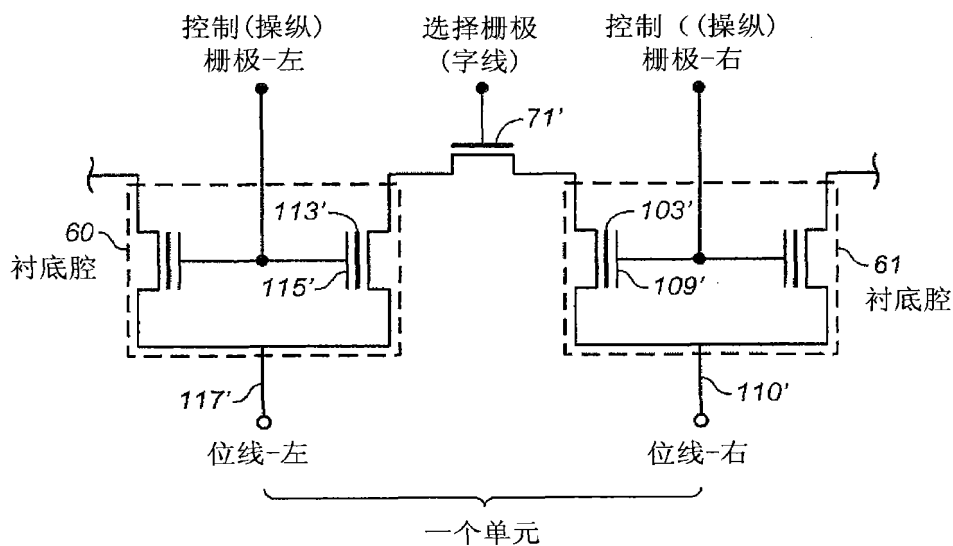


图 4

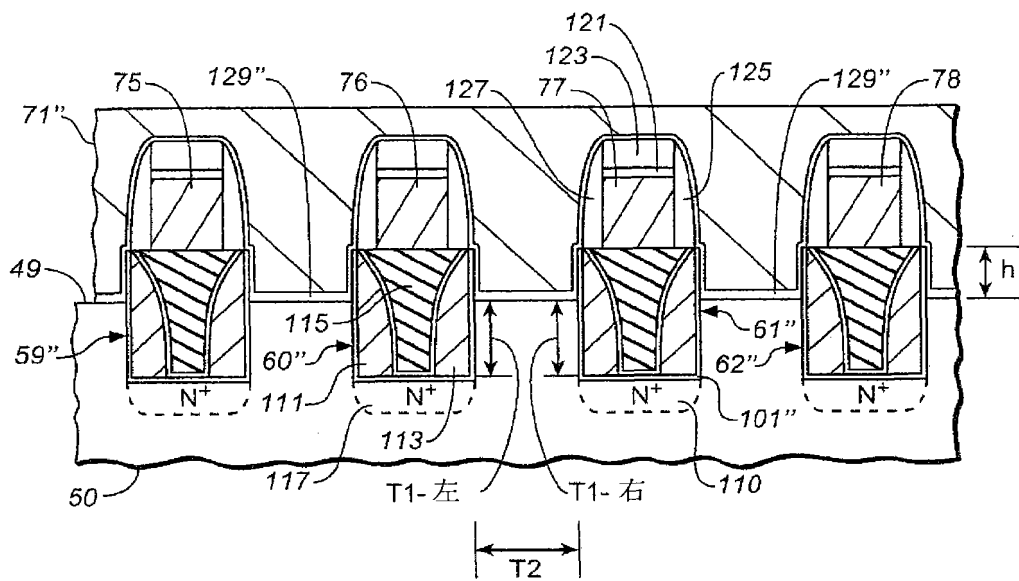


图 5

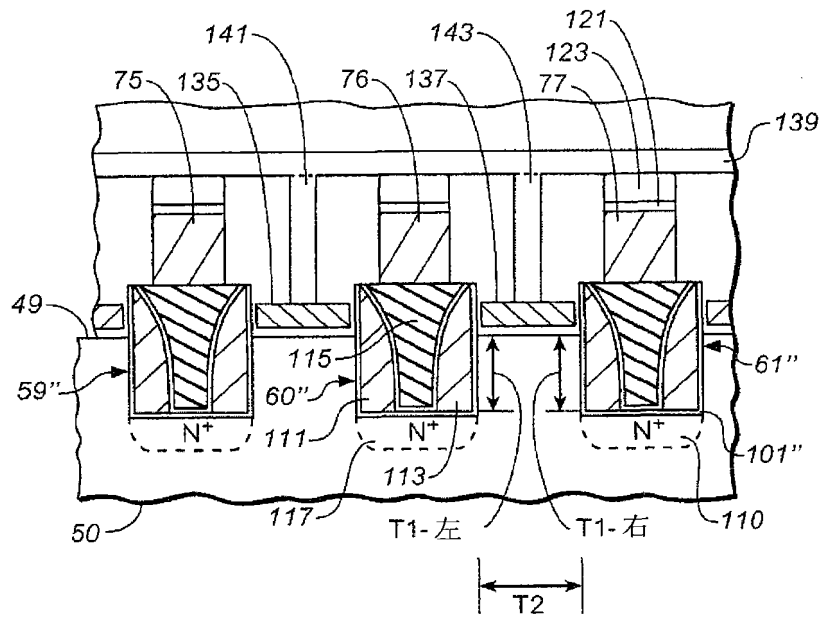


图 6

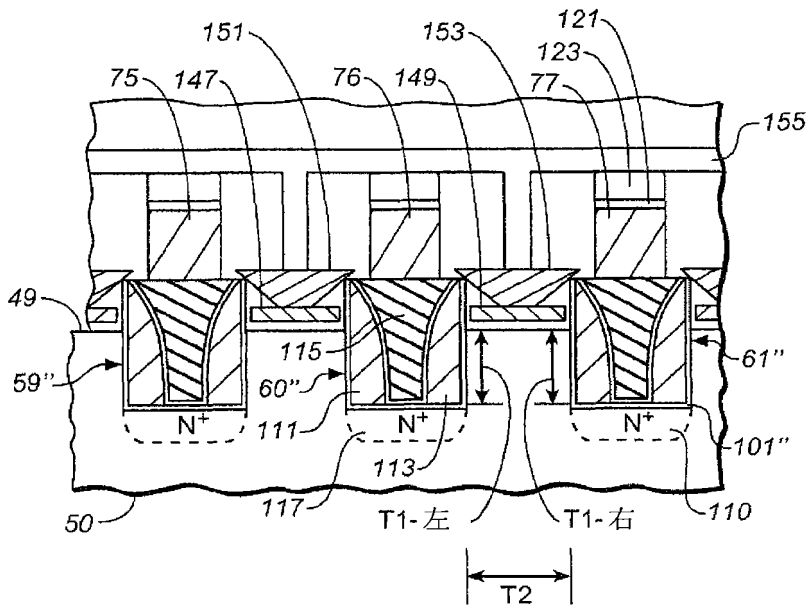


图 7

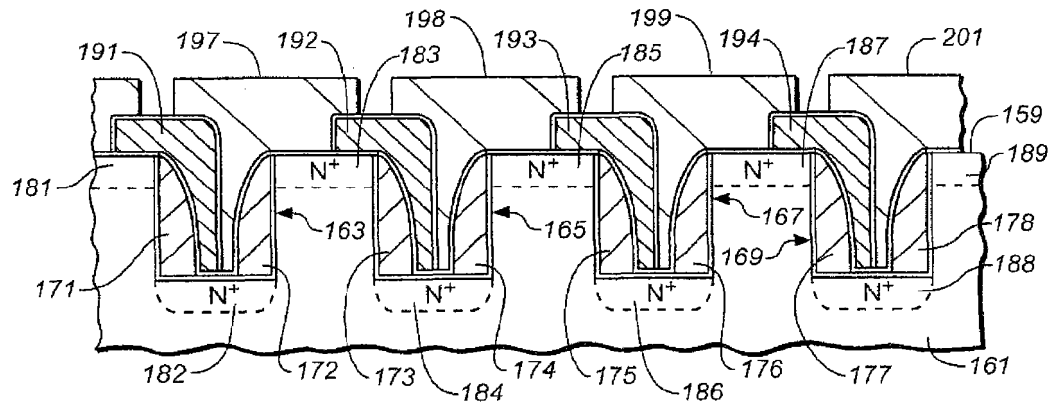


图 8

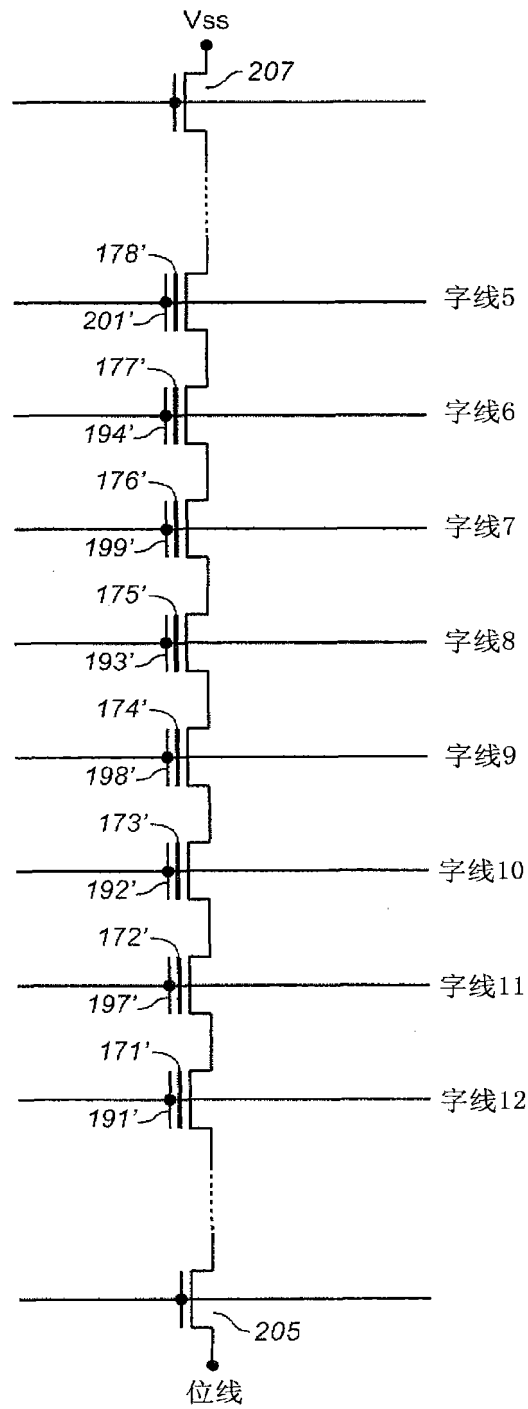


图 9