

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-501586

(P2017-501586A)

(43) 公表日 平成29年1月12日 (2017.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 Y	5 F O 3 2
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 B	5 F 1 4 O
H O 1 L 21/20 (2006.01)	H O 1 L 29/78 3 O 1 X	5 F 1 5 2
H O 1 L 21/76 (2006.01)	H O 1 L 21/20	
	H O 1 L 21/76 L	

審査請求 未請求 予備審査請求 有 (全 24 頁)

(21) 出願番号	特願2016-543645 (P2016-543645)	(71) 出願人	507364838
(86) (22) 出願日	平成26年12月16日 (2014.12.16)		クアルコム, インコーポレイテッド
(85) 翻訳文提出日	平成28年6月29日 (2016.6.29)		アメリカ合衆国 カリフォルニア 921
(86) 国際出願番号	PCT/US2014/070579		21 サン ディエゴ モアハウス ドラ
(87) 国際公開番号	W02015/102884		イブ 5775
(87) 国際公開日	平成27年7月9日 (2015.7.9)	(74) 代理人	100108453
(31) 優先権主張番号	61/923, 489		弁理士 村山 靖彦
(32) 優先日	平成26年1月3日 (2014.1.3)	(74) 代理人	100163522
(33) 優先権主張国	米国 (US)		弁理士 黒田 晋平
(31) 優先権主張番号	14/269, 981	(72) 発明者	ジェフリー・ジュンハオ・シュ
(32) 優先日	平成26年5月5日 (2014.5.5)		アメリカ合衆国・カリフォルニア・921
(33) 優先権主張国	米国 (US)		21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 Ge 縮合によるシリコンゲルマニウム F i n F E T 形成

(57) 【要約】

F i n F E T デバイスの半導体フィンを形成する方法は、半導体フィン上にシリコンゲルマニウム (S i G e) のアモルファス薄膜または多結晶薄膜を共形堆積するステップを含む。この方法はまた、アモルファス薄膜または多結晶薄膜からゲルマニウムを半導体フィン内に拡散するために、アモルファス薄膜または多結晶薄膜を酸化させるステップを含む。そのような方法はさらに、アモルファス薄膜または多結晶薄膜の酸化部分を除去するステップを含む。

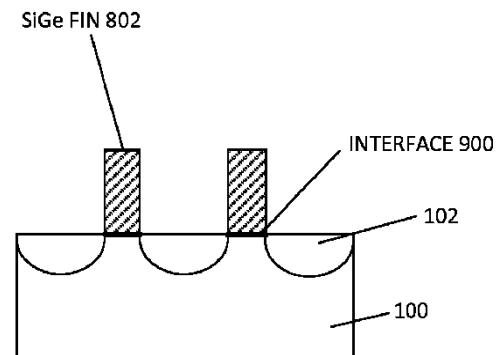


FIG. 9

【特許請求の範囲】**【請求項 1】**

F i n F E T デバイスの半導体フィンを形成する方法であって、
前記半導体フィン上にシリコンゲルマニウム (S i G e) のアモルファス薄膜または多結晶薄膜を共形堆積させるステップと、
前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるステップと、
前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するステップとを含む、方法。

【請求項 2】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する基板内よりも大きい、請求項 1 に記載の方法。

【請求項 3】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 2 に記載の方法。

【請求項 4】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項 3 に記載の方法。

【請求項 5】

前記半導体フィンが実質的に単一結晶である、請求項 1 に記載の方法。

【請求項 6】

前記共形堆積させるステップが、複数の異なる材料の表面上の非選択的堆積を含む、請求項 1 に記載の方法。

【請求項 7】

前記半導体フィン上に S i G e スペースを提供するために、前記薄膜をエッチングするステップをさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記エッチングするステップが異方性である、請求項 7 に記載の方法。

【請求項 9】

前記共形堆積させるステップが、前記半導体フィンの表面上の選択的堆積を含む、請求項 1 に記載の方法。

【請求項 10】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項 1 に記載の方法。

【請求項 11】

前記半導体フィンと基板との間にインターフェースを提供するために、前記半導体フィンを支持する前記基板の表面内にゲルマニウムを拡散させるステップをさらに含む、請求項 1 に記載の方法。

【請求項 12】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または固定位置のデータユニットに組み込まれる、請求項 1 に記載の方法。

【請求項 13】

基板上のフィン電界効果トランジスタ (F i n F E T) デバイスであって、
共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜を含む半導体フィンを含み、前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムが前記半導体フィン内に拡散される、フィン電界効果トランジスタ (F i n F E T) デバイス。

10

20

30

40

50

【請求項 14】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する前記基板内よりも大きい、請求項 13 に記載の F i n F E T デバイス。

【請求項 15】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 14 に記載の F i n F E T デバイス。

【請求項 16】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項 15 に記載の F i n F E T デバイス。

10

【請求項 17】

前記半導体フィンが実質的に単結晶である、請求項 13 に記載の F i n F E T デバイス。

【請求項 18】

前記半導体フィンの S i G e 部分が前記基板のシャロートレンチ分離領域から延在し、前記半導体フィンのシリコン部分が前記基板の前記シャロートレンチ分離領域を通じて延在する、請求項 13 に記載の F i n F E T デバイス。

【請求項 19】

前記基板の表面が、前記半導体フィンと前記基板との間にインターフェースを提供するために、拡散されたゲルマニウムの一部を含む、請求項 13 に記載の F i n F E T デバイス。

20

【請求項 20】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項 13 に記載の F i n F E T デバイス。

【請求項 21】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または固定位置データユニットに組み込まれる、請求項 13 に記載の F i n F E T デバイス。

【請求項 22】

F i n F E T デバイスの半導体フィンを形成するための方法であって、
前記半導体フィン上にシリコンゲルマニウム (S i G e) のアモルファス薄膜または多結晶薄膜を共形堆積させるためのステップと、

30

前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるためのステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するためのステップとを含む、方法。

【請求項 23】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または固定位置のデータユニットに組み込まれる、請求項 22 に記載の方法。

40

【請求項 24】

基板上のフィン電界効果トランジスタ (F i n F E T) デバイスであって、
電流を伝導するための手段を含み、
アモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜からゲルマニウムが前記電流伝導手段内に拡散され、

前記基板が前記電流伝導手段に結合される、フィン電界効果トランジスタ (F i n F E T) デバイス。

50

【請求項 25】

前記電流伝導手段内の圧縮歪みが、前記電流伝導手段に結合された前記基板内よりも大きい、請求項 24 に記載の F i n F E T デバイス。

【請求項 26】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項 24 に記載の F i n F E T デバイス。

【発明の詳細な説明】

【技術分野】

10

【0001】

関連出願の相互参照

本開示は、その開示の全体が参照により本明細書に明示的に組み込まれている、2014 年 1 月 3 日に提出した、「S I L I C O N G E R M A N I U M F I N F E T F O R M A T I O N B Y G E C O N D E N S A T I O N」という名称の米国仮特許出願第 61/923,489 号の利益を主張するものである。

【0002】

本開示の態様は、半導体デバイスに関し、より詳細には、フィン型電界効果トランジスタ (F i n F E T) 内のシリコンゲルマニウム (S i G e) 使用に関する。

【背景技術】

20

【0003】

シリコンゲルマニウム (S i G e) は、p チャネル金属酸化物半導体 (P M O S) デバイス用の有望な材料として広く検討されてきた。S i G e はシリコンよりも本質的に高い正孔移動度を有する。標準電界効果トランジスタ (F E T) ジオメトリでは、F E T のソース領域およびドレイン領域など、半導体チップ領域内に歪みを与えることが一般的である。しかしながら、フィン型電界効果トランジスタ (F i n F E T) 構造では、歪み制御技術に関して利用可能なフィンの容量は小さい。10 ナノメートルデバイス設計においてなど、フィンジオメトリが削減されると、S i G e フィンの作製を達成することは高価および困難になる。

【発明の概要】

30

【課題を解決するための手段】

【0004】

F i n F E T デバイスの半導体フィンを形成する方法は、半導体フィン上にシリコンゲルマニウム (S i G e) のアモルファス薄膜または多結晶薄膜を共形堆積させる (c o n f o r m a l l y d e p o s i t i n g) ステップを含み得る。この方法はまた、アモルファス薄膜または多結晶薄膜からゲルマニウムを半導体フィン内に拡散するために、アモルファス薄膜または多結晶薄膜を酸化させるステップを含む。そのような方法はさらに、アモルファス薄膜または多結晶薄膜の酸化部分を除去するステップを含む。

【0005】

基板上的フィン型電界効果トランジスタ (F i n F E T) デバイスは、半導体フィンを含む。半導体フィンは、共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜からなり得る。アモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜からゲルマニウムが半導体フィン内に拡散され得る。

40

【0006】

基板上的 F i n F E T デバイスは、電流を伝導するための手段を含む。電流伝導手段は、共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜からなり得る。アモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜からゲルマニウムが半導体フィン内に拡散され得る。

【0007】

上記は、続く詳細な説明をよりよく理解することができるように、本開示の特徴および

50

技術的利点について、かなり大まかに概説したものである。本開示のさらなる特徴および利点について、以下で説明する。本開示は、本開示と同じ目的を果たすための他の構造を修正または設計する基礎として容易に利用できることを、当業者には理解されたい。そのような等価な構造 (c o n s t r u c t i o n) が、添付の特許請求の範囲に記載の本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の特徴になると考えられる新規な特徴は、本開示の構成 (o r g a n i z a t i o n) と動作方法の両方に関して、さらなる目的および利点とともに、以下の説明を添付の図と併せ検討することからよりよく理解されるであろう。しかしながら、図の各々は、例示および説明を目的として提供されているに過ぎず、本開示の制限を定めるものではないことを、明確に理解されたい。

10

【 0 0 0 8 】

本開示のより完全な理解が得られるように、ここで、以下の説明を添付の図面と併せて参照する。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1 A】 F i n F E T 半導体デバイスの側面図である。

【図 1 B】 F i n F E T 半導体デバイスの側面図である。

【図 1 C】 F i n F E T 半導体デバイスの側面図である。

【図 1 D】 F i n F E T 半導体デバイスの側面図である。

【図 2】 F i n F E T 半導体デバイスの側面図である。

20

【図 3】 F i n F E T 半導体デバイスの側面図である。

【図 4】 F i n F E T 半導体デバイスの側面図である。

【図 5】 F i n F E T 半導体デバイスの側面図である。

【図 6】 F i n F E T 半導体デバイスの側面図である。

【図 7】本開示の一態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 8】本開示の一態様による、図 7 の F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 9】本開示の一態様による、図 8 の F i n F E T 半導体デバイスのフィン構造の側面図である。

30

【図 1 0】本開示の別の態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 1 1】本開示の別の態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 1 2 A】本開示のさらなる態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 1 2 B】本開示のさらなる態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 1 2 C】本開示のさらなる態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

40

【図 1 2 D】本開示のさらなる態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 1 2 E】本開示のさらなる態様による F i n F E T 半導体デバイスのフィン構造の側面図である。

【図 1 3】本開示の一態様による、フィン電界効果トランジスタ (F i n F E T) 内にシリコンゲルマニウム (S i G e) フィンを作製するための方法を示すプロセスフロー図である。

【図 1 4】本開示の一構成が有利に採用され得る例示的なワイヤレス通信システムを示すブロック図である。

【図 1 5】一構成による、半導体構成要素の回路設計、レイアウト設計、および論理設計

50

に使用される設計用ワークステーションを示すブロック図である。

【発明を実施するための形態】

【0010】

添付の図面に関して以下に記載する詳細な説明は、様々な構成の説明として意図されており、本明細書で説明する概念が実践され得る構成のみを表すことは意図されていない。詳細な説明は、様々な概念の完全な理解を与える目的で特定の詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実践され得ることが、当業者には明らかであろう。場合によっては、そのような概念を曖昧にすることを回避するために、よく知られている構造および構成要素がブロック図の形態で示されている。本明細書の説明では、「および/または」という用語の使用は、「包含的論理和」を表すことを意図し、「または」という用語の使用は、「排他的論理和」を表すことを意図する。

10

【0011】

高性能トランジスタにとって高モビリティ伝導チャネルが望ましい。材料選択および歪み制御技術は、トランジスタのチャネル内の電荷キャリアの移動度を改変する設計特徴である。金属酸化物半導体(MOS)電界効果トランジスタ(MOSFET)では、歪み制御技術が使用されるが、フィンベースの構造(FinFET)では、歪み材料の使用は困難である。FinFET構造内にはより多くの自由表面が存在し、歪み制御技術に関して利用可能なソース/ドレイン容量は、他のFETジオメトリおよび他のFET技術と比較して小さい。

20

【0012】

シリコンゲルマニウム(SiGe)は、10ナノメートル以下のpチャネル金属酸化物半導体(PMOS)デバイス用の主要な候補と見なされる。SiGeフィン形成は、シリコン(Si)フィンのエッチまたはリセスに続いて、リセス内のSiGeのエピタキシャル成長を含み得る。化学機械平坦化(CMP: chemical-mechanical planarization)プロセスは、シャロートレンチ分離(STI)材料上で過成長したSiGeを除去し、SiGeフィンを形成するために使用され得る。このプロセスのコストは高く、結果として、コスト高のFinFETデバイスをもたらす。

【0013】

さらに、シリコンテンプレート上のSiGeフィン成長は、しばしば、フィン長に沿って一軸圧縮歪み(uniaxial compressive stress)を有するが、SiGeフィンのエピタキシャル成長は、摂氏900度(C)を超える温度で熱アニールプロセスを必要とする。この熱アニールプロセスは、エピタキシャル成長欠陥の除去を可能にするために、高温(たとえば、900)で実行される。しかしながら、この熱アニールプロセスは、SiGeフィン内の一軸歪みを緩和し、これはSiGeチャネル内の正孔移動度を削減し得る。

30

【0014】

いくつかの説明する実装形態は、フィン型電界効果トランジスタ(FinFET)に関する。FinFETはダブルゲートデバイスである。FinFETの2つのゲートは、より高い性能のために短縮され得るか、または、より低い漏れもしくは低減されたトランジスタカウントのために独立して制御され得る。これらのFinFETの特徴は、改善された設計スペースを可能にする。これらの特徴はまた、ナノスケールにおいて、バルク相補型金属酸化物半導体(CMOS)デバイスの代わりにFinFETデバイスの使用を可能にする。一構成では、半導体フィンは、共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜を備える。この構成では、アモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からゲルマニウムが半導体フィン内に拡散される。いくつかの実装形態では、シリコンゲルマニウム(SiGe)FinFETデバイスを説明する。半導体フィン内の圧縮歪みは、半導体フィンを支持する基板内よりも大きい場合がある。一構成では、半導体フィンは、実質的に、基板の表面と同じ結晶配向にある。別の構成では、FinFETデバイスは、SiGeスペーサまたは半導体フィンを含む。

40

50

【 0 0 1 5 】

本開示の様々な態様は、F i n F E Tデバイスの半導体フィンを作製するための技法を提供する。「層」という用語は、膜を含み、別段述べられていない限り、縦または横の厚さを示すものと解釈されるべきではないことが理解されるだろう。本明細書で説明するように、「半導体基板」という用語は、ダイシングされたウエハの基板を指すことがあり、または、ダイシングされていないウエハの基板を指すことがある。同様に、ウエハおよびダイという用語は、それが軽信を強い限り、交換可能に使用され得る。

【 0 0 1 6 】

図 1 A ~ 図 1 D は、F i n F E T半導体デバイスの側面図を示す。図 1 A は、基板 1 0 0 と、絶縁材料 1 0 2 と、フィン構造 1 0 4 とを示す。基板 1 0 0 は、シリコン（たとえば、シリコンウエハ）などの半導体材料であり得る。絶縁材料 1 0 2 は、シリコン酸化物もしくはシリコン窒化物、または他の類似の材料など、シャロートレンチ分離（S T I）材料であり得る。フィン構造 1 0 4 は結晶質であってよく、基板 1 0 0 に沿った単結晶構造の一部であり得る。

10

【 0 0 1 7 】

関連技術手法では、フィン構造 1 0 4 は、図 1 B に示すように、リセス 1 0 6 を作成するためにエッチングされるか、あるいは除去される。絶縁材料 1 0 2 は、リセス 1 0 6 用の形状として機能する。図 1 C では、材料 1 0 8 は、リセス 1 0 6 内に成長し、絶縁材料 1 0 2 の表面 1 1 0 上に成長し得る。材料 1 0 8 の過成長は、図 1 D に示すフィン構造 1 1 2 を作成するために、エッチングまたはポリッシング（たとえば、C M P）によって除去される。材料 1 0 8 はS i G eであってよい。材料 1 0 8 がS i G eであるとき、基板 1 0 0 の全域およびリセス 1 0 6 内の成長は、均一割合のゲルマニウムのものであり、これは、材料 1 0 8 を使用する基板 1 0 0 上のデバイスの電圧しきい値数を制限する。さらに、インターフェース 1 1 4 は急激境界を有する場合があります、これはフィン構造 1 1 2 の最小サイズを制限し得る。

20

【 0 0 1 8 】

図 1 D に示すように、フィン構造 1 0 4 が形成されると、フィン構造 1 0 4 はアニールされて、フィン構造 1 0 4 内の成長欠陥を削減する。このアニーリングは、摂氏 9 0 0 度を超える温度など、昇温時に発生し得、これは、フィン構造 1 1 2 の長さに沿った圧縮歪みを緩和し得る。フィン構造 1 1 2 に沿った圧縮歪みを低減させること、または緩和することは、フィン構造 1 1 2 内のキャリア移動度を低減させ、フィン構造 1 1 2 内で材料 1 0 8 を使用する利点は結果として低減する。

30

【 0 0 1 9 】

図 2 から図 7 は、本開示の 1 つまたは複数の態様によるF i n F E T半導体デバイスの側面図を示す。図 2 は、フィン構造 1 0 4 間に絶縁材料 1 0 2 を有する基板 1 0 0 の一部として形成された単結晶構造としてのフィン構造 1 0 4 を示す。図 3 は、図 1 B に示すようにフィン構造 1 0 4 をエッチングまたは除去する代わりに、絶縁材料 1 0 2 をエッチングするエッチ 3 0 0 を示す。エッチ 3 0 0 は、フッ化水素酸（H F）エッチを使用して実行され得るか、または他のエッチング剤を使用する、ケミカルウェット / 蒸着エッチ（C W E : c h e m i c a l w e t / v a p o r e t c h）プロセスを使用して実行され得る。フィン構造 1 0 4 は、ミラー指数など、第 1 の結晶配向（1 1 0）のものであり得るが、基板 1 0 0 は、（1 0 0）配向など、第 2 の結晶配向であり得る。

40

【 0 0 2 0 】

図 4 は、フィン構造 1 0 4 上のシリコンゲルマニウムのエピタキシャル成長 4 0 0 を示す。エピタキシャル成長 4 0 0 は、フィン構造 1 0 4 上に成長し、最終的に、図 4 に示す< 1 1 1 > 配向など、別の結晶配向に成長するが、これはフィン構造 1 0 4 にとって望ましくない。エピタキシャル成長 4 0 0 の様々な結晶配向は、フィン構造 1 0 4 内の、圧縮歪みであり得る歪みを変更させる。

【 0 0 2 1 】

図 5 は、エピタキシャル成長 4 0 0 の酸化 5 0 0 を示す。ドライ酸化またはウェット酸

50

化であり得る酸化500は、シリコンゲルマニウムを選択的に酸化させる。シリコンゲルマニウムエピタキシャル成長内のシリコンは、ゲルマニウムがフィン構造104内に駆動される間に酸化する。

【0022】

図6は、関連技術のフィン構造を示す。酸化500の後、酸化物はフィン構造104から除去される。しかしながら、酸化500および/またはエピタキシャル成長400により、酸化構造のエッチングは、若干、フィン構造104とは異なり得るプロファイル600を残す。さらに、プロファイル600内のゲルマニウムの量、ならびに、ゲルマニウムのドーパント濃度は、均一でない場合があり、プロファイル600が使用されるデバイスにとってまったく望ましくない可能性がある。

10

【0023】

図7は、本開示の一態様によるFinFET半導体デバイスのフィン構造を示す。共形薄膜であり得る薄膜700は、フィン構造104に堆積されるか、またはさもなければ、フィン構造104に結合される。薄膜700の堆積は、選択的または非選択的な方法で実行され得る。フィン構造104は、シリコンであってよく、またはシリコンゲルマニウムであってよく、単一の結晶構造であってもよい。フィン構造はまた、基板100と同様の結晶構造を有し得る。本開示の一態様では、薄膜700は、多結晶シリコンゲルマニウム薄膜であってよく、またはアモルファスシリコンゲルマニウム薄膜であってもよい。薄膜700は、本開示の範囲から逸脱せずに、化学気相堆積(CVD)、プラズマドーピング、または他の方法を使用して堆積され得る。

20

【0024】

図8は、本開示の一態様におけるフィン構造の処理を示す。酸化物800が形成される。酸化物は、SiGeフィン802を作成するために、シリコンゲルマニウムのゲルマニウム部分をフィン構造104内に駆動する間に、薄膜700からシリコンを選択的に除去する。所望の材料(たとえば、ゲルマニウム)の量は、SiGeフィン802の各々の中のドーパント原子の割合を制御するために、フィン構造104の様々なフィン構造に関して制御され得る。この制御は、フィン構造104上に堆積された薄膜700の厚さによって、ならびに、酸化物800を作成するために使用される時間および/または温度によって達成され得る。

30

【0025】

図9は、本開示の一態様による、図8のFinFET半導体デバイスのフィン構造の側面図を示す。代表的に、酸化物800が除去された後のSiGeフィン802を示す。SiGeフィン802の垂直壁は、プロファイル600よりも望ましい形を提供する。加えて、SiGe構造内へのゲルマニウムの量および駆動は、図2~図6に関して説明した量および駆動よりもより制御されるため、SiGeフィン802内のチャネルは、プロファイル600を有するフィンよりも高い性能を有し得る。

【0026】

さらに、インターフェース900は基板100から生じる単一の結晶構造から形成されたため、インターフェース900は、図1A~図1Dに関して示したインターフェース114よりも突発性(abrupt)が少なく、図2~図6のデバイス内で生成されるインターフェースよりも突発性が少ない。SiGeフィン802内へのゲルマニウムの勾配または漸進的な拡散はまた、ゲルマニウムのSiGeフィン802の下への基板100内への拡散を可能にする。この構成では、ゲルマニウムのSiGeフィン802の下の基板100内への拡散は、基板100とSiGeフィン802との間のインターフェース900上の歪みを削減する。これは、インターフェース900を過度に歪めずに、SiGeフィン802内の追加の歪みを許す。

40

【0027】

本開示の一態様では、SiGeフィン802は、フィン構造104に対して自己整合される。さらに、上記で説明したように、SiGeフィン802内のドーパント材料(たとえば、ゲルマニウム)の濃度は、薄膜700内の異なる分量のドーパント材料を使用して

50

制御可能である。したがって、本開示の一態様では、同じ基板 100 上の異なるタイプのデバイスに関する複数のドーパント濃度が実現され得る。さらに、本開示の一態様は、エピタキシャル成長を使用して、従来の SiGe-FinFET の最終的なフィン構造よりも安価に生成することができる最終的なフィン構造を提供する。

【0028】

図 10 および図 11 は、本開示の別の態様による FinFET 半導体デバイスのフィン構造 104 の側面図を示す。図 10 では、エッチ 1000 は、図 7 に示した構造から開始して、薄膜 700 上で実行され得る。エッチ 1000 は異方性エッチであり得、したがって、薄膜 700 はフィン構造 104 の側面上に残る。図 8 の酸化は、図 10 の構造上で実行されるとき、側面からだけゲルマニウムを薄膜から駆動する。本開示のこの態様では、フィン構造 104 の上部にはゲルマニウムが存在しないため、SiGe フィン 802 は、SiGe フィン 802 の露出した部分上に酸化シリコンを有することになるか、または SiGe フィン 802 はフィン構造 104 よりも短くなる（基板 100 からより短い距離になる）。本開示のこの態様で形成される酸化物 1100 および SiGe フィン 802 を図 11 に示す。酸化物 1100 は、所望される場合、エッチング、ケミカルウェットポリッシング（chemical wet polishing）、または他の方法によって除去され得る。

10

【0029】

図 12A ~ 図 12E は、本開示のさらなる態様による FinFET 半導体デバイスのフィン構造 104 の側面図を示す。図 12A は、シャロートレンチ分離領域（STI）102 のリセスエッチの後のフィン構造 104 を含むインカミング（incoming）FinFET 半導体デバイスを示す。この構成では、フィン構造 104（たとえば、シリコン）は STI 102 から、かつ STI 102 を通じて延在する。フィン構造 104 は、第 1 の結晶配向（たとえば、ミラー指数（110））で示される。この構成では、STI 102 から延在するフィン構造 104 の長さ 1220 は、図 12E に示すように、最終的なフィン構造 1202 の長さ 1230 よりも長くてよい。

20

【0030】

図 12B は、STI 102 と STI 102 から延在するフィン構造 104 との上に薄膜 700 を共形堆積した後の FinFET 半導体デバイスを示す。本開示のこの態様では、薄膜 700 は、多結晶シリコンゲルマニウム薄膜であってよく、またはアモルファスシリコンゲルマニウム薄膜であってよい。薄膜 700 は、本開示の範囲から逸脱せずに、化学気相堆積（CVD）、プラズマドーピング、または他の方法を使用して堆積され得る。

30

【0031】

図 12C は、STI 102 の表面からの薄膜 700 のエッチングの後の FinFET 半導体デバイスを示す。STI 102 からの薄膜 700 のエッチングおよびフィン構造 104 の一部は、薄膜 700（たとえば、シリコンゲルマニウム）のスペーサ 1210 を形成する。図 12D では、スペーサ 1210 のウェット酸化およびドライ酸化は、フィン構造 104 上に酸化物 1200 を形成し、フィン構造内に薄膜 700 を駆動するように選択的に酸化させるために実行され得る。図 12E では、最終的なフィン構造 1202 を完全に形成するために酸化物が除去される。たとえば、薄膜 700 がシリコンゲルマニウムからなるとき、ゲルマニウムは、シリコンゲルマニウムフィンを形成するために、STI 102 から延在するフィン構造 104 内に駆動される。

40

【0032】

図 13 は、本開示の一態様による、フィン電界効果トランジスタ（FinFET）デバイスを作製するための方法 1300 を示すプロセスフロー図である。ブロック 1302 で、半導体フィン上に SiGe の共形アモルファス薄膜または多結晶薄膜を堆積させる。たとえば、図 7 に示すように、共形薄膜であり得る薄膜 700 は、フィン構造 104 に堆積されるか、またはさもなければ、フィン構造 104 に結合される。ブロック 1304 で、アモルファス薄膜または多結晶薄膜からゲルマニウムを半導体フィン内に拡散するために、アモルファス薄膜または多結晶薄膜を酸化させる。たとえば、図 8 に示すように、酸化

50

物 8 0 0 が形成される。酸化物は、S i G e フィン 8 0 2 を作成するために、シリコンゲルマニウムのゲルマニウム部分をフィン構造 1 0 4 内に駆動する間に、薄膜 7 0 0 からシリコンを選択的に除去する。ブロック 1 3 0 6 で、アモルファス薄膜または多結晶薄膜の酸化部分を除去する。たとえば、図 9 に示すように、酸化物 8 0 0 が除去された後の S i G e フィン 8 0 2 を示す。

【 0 0 3 3 】

本開示のさらなる態様によれば、基板上のフィン電界効果トランジスタ (F i n F E T) デバイスを説明する。一構成では、このデバイスは、アモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜からゲルマニウムが電流伝導手段内に拡散される、電流を伝導するための手段を含む。電流伝導手段は、図 8 で説明したように、フィン構造 1 0 4 もしくは S i G e フィン 8 0 2 であってよく、または他の手段であってもよい。別の態様では、前述の手段は、前述の手段によって具陳された機能を実行するように構成された任意のモジュールまたは任意の装置であり得る。

10

【 0 0 3 4 】

図 1 4 は、本開示の一態様が有利に採用され得る例示的なワイヤレス通信システム 1 4 0 0 を示すブロック図である。説明のために、図 1 4 は、3 つの遠隔ユニット 1 4 2 0 、 1 4 3 0 、および 1 4 5 0 と、2 つの基地局 1 4 4 0 とを示す。ワイヤレス通信システムは、より多くの遠隔ユニットおよび基地局を有し得ることを理解されよう。遠隔ユニット 1 4 2 0 、 1 4 3 0 および 1 4 5 0 は、I C デバイス 1 4 2 5 A 、 1 4 2 5 C および 1 4 2 5 B を含み、これらは開示するデバイスを含む。基地局、スイッチングデバイス、ネットワーク機器などの他のデバイスも、開示するデバイスを含み得ることを認識されよう。図 1 4 は、基地局 1 4 4 0 から遠隔ユニット 1 4 2 0 、 1 4 3 0 、および 1 4 5 0 への順方向リンク信号 1 4 8 0 、ならびに遠隔ユニット 1 4 2 0 、 1 4 3 0 、および 1 4 5 0 から基地局 1 4 4 0 への逆方向リンク信号 1 4 9 0 を示す。

20

【 0 0 3 5 】

図 1 4 では、遠隔ユニット 1 4 2 0 はモバイル電話として示され、遠隔ユニット 1 4 3 0 はポータブルコンピュータとして示され、遠隔ユニット 1 4 5 0 は、ワイヤレスローカルループシステムにおける固定位置遠隔ユニットとして示されている。たとえば、遠隔ユニットは、モバイル電話、ハンドヘルドパーソナル通信システム (P C S) ユニット、携帯情報端末などのポータブルデータユニット、G P S 対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、検針機器などの固定位置データユニット、またはデータもしくはコンピュータ命令を記憶する、もしくは取り出す他のデバイス、あるいはそれらの組合せとすることができ。図 1 4 は本開示の態様による遠隔ユニットを示すが、本開示は、これらの示された例示的なユニットに限定されない。本開示の態様は、開示したデバイスを含む多くのデバイスにおいて、適切に採用され得る。

30

【 0 0 3 6 】

図 1 5 は、上記で開示したデバイスなどの半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される設計用ワークステーションを示すブロック図である。設計用ワークステーション 1 5 0 0 は、オペレーティングシステムソフトウェア、サポートファイル、および C a d e n c e や O r C A D などの設計ソフトウェアを収容するハードディスク 1 5 0 1 を含む。設計用ワークステーション 1 5 0 0 はまた、回路 1 5 1 0 、または、本開示の一態様によるデバイスなど、半導体構成要素 1 5 1 2 の設計を容易にするためのディスプレイ 1 5 0 2 を含む。記憶媒体 1 5 0 4 は、回路 1 5 1 0 または半導体構成要素 1 5 1 2 の設計を有形に記憶するために提供される。回路 1 5 1 0 または半導体構成要素 1 5 1 2 の設計は、G D S I I または G E R B E R などのファイルフォーマットにおいて記憶媒体 1 5 0 4 に記憶され得る。記憶媒体 1 5 0 4 は、C D - R O M 、 D V D 、ハードディスク、フラッシュメモリ、または他の適切なデバイスであり得る。さらに、設計用ワークステーション 1 5 0 0 は、記憶媒体 1 5 0 4 からの入力を受け入れるか、または記憶媒体 1 5 0 4 への出力を書き込むための駆動装置 1 5 0 3 を含む。

40

50

【0037】

記憶媒体1504上に記録されるデータは、論理回路構成、フォトリソグラフィマスク用のパターンデータ、または電子ビームリソグラフィなどの連続描画ツール用のマスクパターンデータを指定することができる。データはさらに、論理シミュレーションに関連するタイミングダイアグラムまたはネット回路などの論理検証データをさらに含み得る。記憶媒体1504にデータを提供すると、半導体ウエハを設計するためのプロセス数を削減させることによって、回路1510または半導体構成要素1512の設計が容易になる。

【0038】

ファームウェアおよび/またはソフトウェアによる実装の場合、本明細書において説明した機能を実行するモジュール(たとえば手続き、関数など)を用いて、方法を実装することができる。本明細書において説明した方法を実装する際に、命令を有形に具現化する機械可読媒体を使用することができる。たとえば、ソフトウェアコードをメモリに記憶させ、プロセッサユニットによって実行することができる。メモリは、プロセッサユニット内またはプロセッサユニットの外部に実装されていてよい。本明細書では、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

【0039】

機能は、ファームウェアおよび/またはソフトウェアとして実装する場合、1つもしくは複数の命令またはコードとしてコンピュータ可読媒体上に記憶させることができる。例として、データ構造を符号化したコンピュータ可読媒体、およびコンピュータプログラムを符号化したコンピュータ可読媒体がある。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータがアクセスすることのできる利用可能な媒体とすることができる。限定ではなく、例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するのに使用することができ、かつコンピュータによってアクセスされ得る他の媒体を含むことができ、本明細書で使用されるディスク(diskおよびdisc)は、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)、およびBlu-ray(登録商標)ディスク(disc)を含み、ディスク(disk)は通常、データを磁氣的に再生するが、ディスク(disc)はデータをレーザによって光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

【0040】

コンピュータ可読媒体におけるストレージに加えて、命令および/またはデータは、通信装置内に含まれる伝送媒体における信号として提供することができる。たとえば、通信装置は、命令およびデータを示す信号を有するトランシーバを含むことができる。命令およびデータは、1つまたは複数のプロセッサに、特許請求の範囲において概説される機能を実装させるように構成される。

【0041】

以上、本開示およびその利点について詳細に説明してきたが、添付の特許請求の範囲によって定められる本開示の技術から逸脱することなく、本明細書において様々な変更、置換、および改変を行えることを理解されたい。たとえば、「上」および「下」などの関係性の用語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転した場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指す場合がある。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、組成物、手段、方法、およびステップの特定の構成に限定されることは意図されない。当業者が本開示から容易に諒解するように、本明細書で説明した対応する構成と実質的に同じ機能を実行するか、もしくは実質的に同じ結果を実現す

10

20

30

40

50

る、現存するもしくは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むものとする。

【0042】

本明細書で本開示に関連して説明された様々な例示的論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを当業者ならさらに理解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的構成要素、ブロック、モジュール、回路、およびステップが、上記ではその機能に関して一般的に説明された。そのような機能がハードウェアとして実装されるか、それともソフトウェアとして実装されるかは、特定の応用分野およびシステム全体に対して課される設計制限に依存する。当業者は、説明された機能を各々の特定の応用分野について様々な方式で実装し得るが、そのような実装判断は、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0043】

本明細書の開示に関連して説明した様々な例示的論理ブロック、モジュール、および回路は、本明細書で説明した機能を実施するように設計された汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、ディスクリートゲートもしくはトランジスタロジック、ディスクリートハードウェア構成要素、またはそれらの任意の組合せとともに実装あるいは実施され得る。汎用プロセッサはマイクロプロセッサでよいが、別の方法として、プロセッサは、任意の従来型プロセッサ、コントローラ、マイクロコントローラまたはステートマシンでよい。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。

【0044】

本開示に関連して説明した方法またはアルゴリズムのステップは、ハードウェアで直接的に、プロセッサによって実行されるソフトウェアモジュールで、またはその2つの組合せで実施され得る。ソフトウェアモジュールは、RAM、フラッシュメモリ、ROM、EPROM、EEPROM、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体に常駐することができる。例示的記憶媒体がプロセッサに結合され、プロセッサが記憶媒体から情報を読み取ること、および記憶媒体に情報を書き込むことができるようにする。代替案では、記憶媒体は、プロセッサに一体とされ得る。プロセッサおよび記憶媒体は、ASIC内に存在し得る。ASICは、ユーザ端末内に存在し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末内にディスクリート構成要素として存在し得る。

【0045】

1つまたは複数の例示的設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、コンピュータ可読記憶媒体上に1つもしくは複数の命令またはコードとして格納あるいは送信され得る。コンピュータ可読媒体は、コンピュータ記憶媒体と、コンピュータプログラムの1つの場所から別の場所への転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、汎用または特殊用途コンピュータによってアクセスされ得る任意の使用可能な媒体であってもよい。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EPROM、CD-ROM、もしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、あるいは命令またはデータ構造の形態の規定のプログラムコード手段を搬送もしくは格納するために使用され得、汎用もしくは専用コンピュータ、または汎用もしくは専用プロセッサによってアクセスされ得る任意の他の媒体を含み得る。また、任意の接続が適切にコンピュー

タ可読媒体と呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（「DSL」）、もしくは赤外線、無線、およびマイクロ波などのワイヤレス技術を使用してウェブサイト、サーバ、または他の遠隔ソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用する場合、ディスク（disk）およびディスク（disc）は、コンパクトディスク（disc）（CD）、レーザディスク（disc）、光ディスク（disc）、デジタル多用途ディスク（disc）（DVD）、フロッピーディスク（disk）およびBlu-ray（登録商標）ディスク（disc）を含み、ディスク（disk）は、通常、データを磁氣的に再生し、ディスク（disc）は、データをレーザで光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

10

【0046】

本開示の前述の説明は、いかなる当業者も本開示を作製または使用できるようにするために提供される。本開示に対する様々な修正形態が当業者には容易に明らかとなり、本明細書で定義する一般原理は、本開示の趣旨または範囲から逸脱することなく、他の変形形態に適用され得る。したがって、本開示は、本明細書で説明する例および設計に限定されるものではなく、本明細書で開示する原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

20

【符号の説明】

【0047】

- 100 基板
- 102 絶縁材料
- 104 フィン構造
- 106 リセス
- 108 材料
- 110 表面
- 112 フィン構造
- 114 インターフェース
- 300 エッチ
- 400 エピタキシャル成長
- 500 酸化
- 600 プロファイル
- 700 薄膜
- 800 酸化物
- 802 SiGeフィン
- 900 インターフェース
- 1000 エッチ
- 1100 酸化物
- 1202 フィン構造
- 1210 スペーサ
- 1220 長さ
- 1400 ワイヤレス通信システム
- 1420 遠隔ユニット
- 1425A ICデバイス
- 1425B ICデバイス
- 1425C ICデバイス
- 1430 遠隔ユニット
- 1440 基地局
- 1450 遠隔ユニット

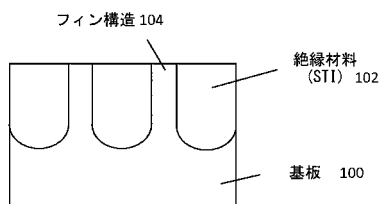
30

40

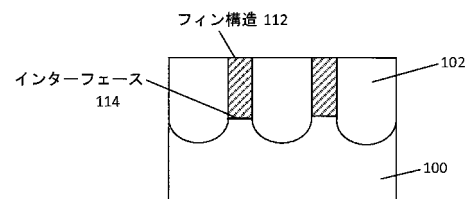
50

- 1 4 8 0 順方向リンク信号
- 1 4 9 0 逆方向リンク信号
- 1 5 0 0 設計用ワークステーション
- 1 5 0 1 ハードディスク
- 1 5 0 2 ディスプレイ
- 1 5 0 3 駆動装置
- 1 5 0 4 記憶媒体
- 1 5 1 0 回路
- 1 5 1 2 半導体構成要素

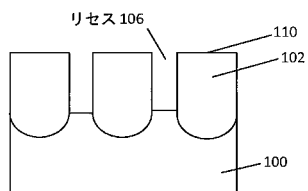
【図 1 A】



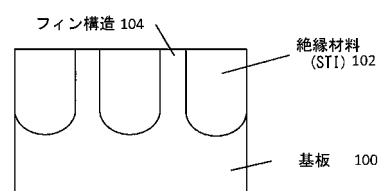
【図 1 D】



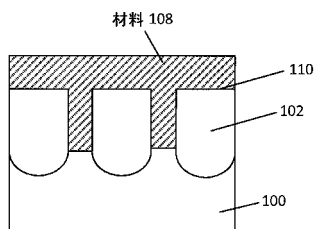
【図 1 B】



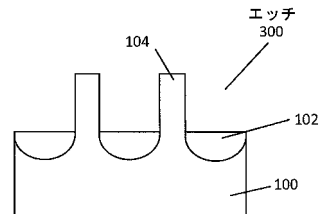
【図 2】



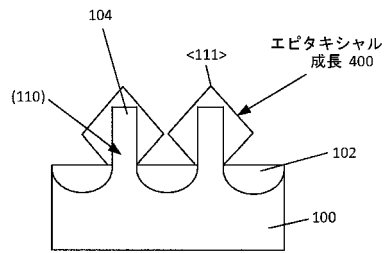
【図 1 C】



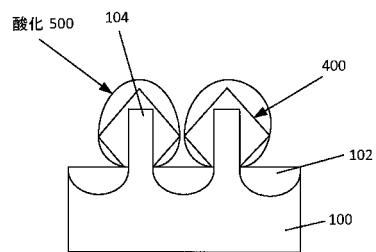
【図 3】



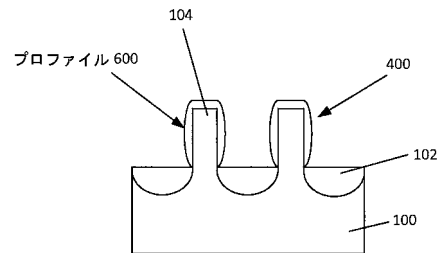
【図 4】



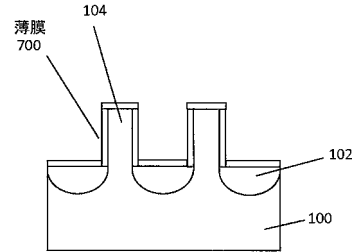
【図 5】



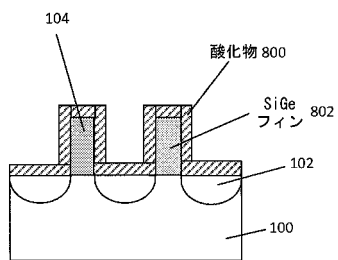
【図 6】



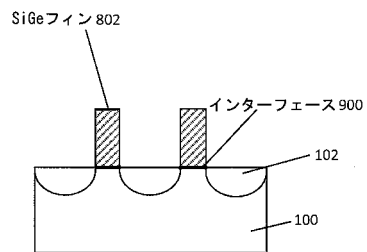
【図 7】



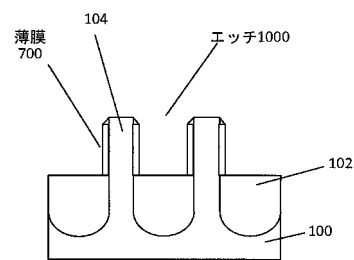
【図 8】



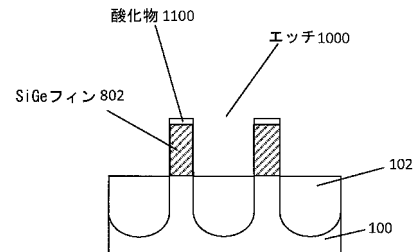
【図 9】



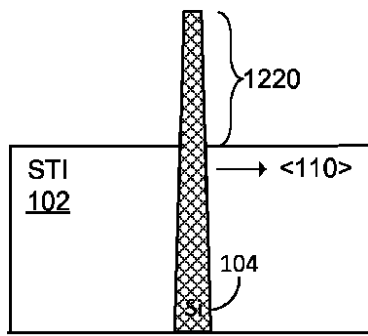
【図 10】



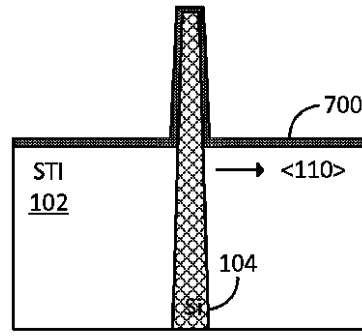
【図 11】



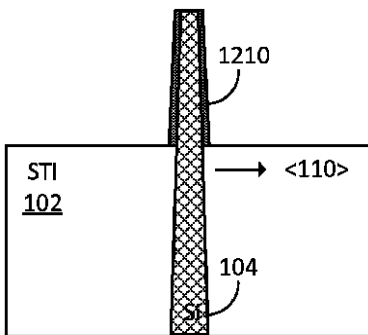
【図 12 A】

**FIG. 12A**

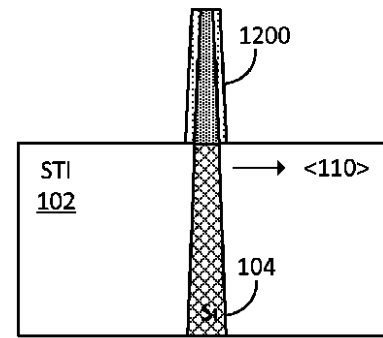
【図 12 B】

**FIG. 12B**

【図 12 C】

**FIG. 12C**

【図 12 D】

**FIG. 12D**

【図 12 E】

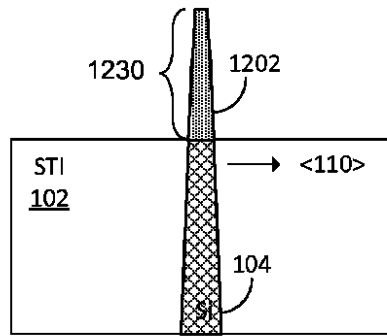
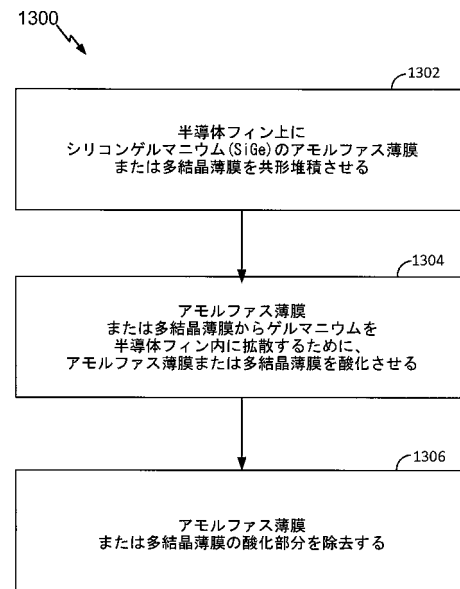


FIG. 12E

【図 13】



【図 14】

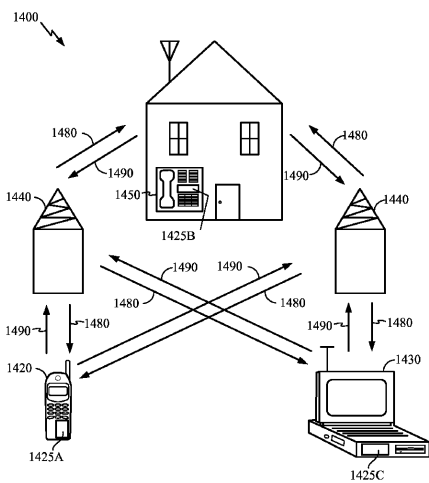


FIG. 14

【図 15】

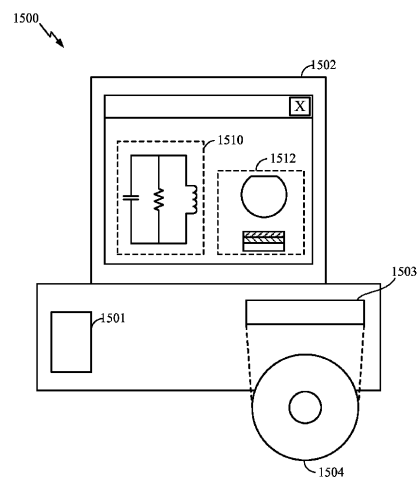


FIG. 15

【手続補正書】

【提出日】平成28年7月5日(2016.7.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

F i n F E Tデバイスの半導体フィンを形成する方法であって、

前記半導体フィン上にシリコンゲルマニウム (S i G e) のアモルファス薄膜または多結晶薄膜を共形堆積させるステップと、

前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるステップと、

前記半導体フィンと基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記半導体 S i G e フィンを支持する前記基板の表面内にゲルマニウムを拡散させるステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するステップとを含む、方法。

【請求項 2】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する前記基板内よりも大きい、請求項 1 に記載の方法。

【請求項 3】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 2 に記載の方法。

【請求項 4】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項 3 に記載の方法。

【請求項 5】

前記半導体フィンが実質的に単一結晶である、請求項 1 に記載の方法。

【請求項 6】

前記共形堆積させるステップが、複数の異なる材料の表面上の非選択的堆積を含む、請求項 1 に記載の方法。

【請求項 7】

前記半導体フィン上に S i G e スペースを提供するために、前記薄膜をエッチングするステップをさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記エッチングするステップが異方性である、請求項 7 に記載の方法。

【請求項 9】

前記共形堆積させるステップが、前記半導体フィンの表面上の選択的堆積を含む、請求項 1 に記載の方法。

【請求項 10】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項 1 に記載の方法。

【請求項 11】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または固定位置のデータユニットに組み込まれる、請求項 1 に記載の方法。

【請求項 12】

基板上のフィン電界効果トランジスタ（F i n F E T）デバイスであって、
半導体シリコンゲルマニウム（S i G e）フィンと、
前記半導体 S i G e フィンと基板から延在する単一の結晶構造との間にインターフェー
スを提供するために、前記基板の表面上に拡散されたゲルマニウムの一部と
を含む、フィン電界効果トランジスタ（F i n F E T）デバイス。

【請求項 13】

前記半導体 S i G e フィン内の圧縮歪みが、前記半導体 S i G e フィンを支持する前記基板内よりも大きい、請求項 12 に記載の F i n F E T デバイス。

【請求項 14】

前記半導体 S i G e フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 13 に記載の F i n F E T デバイス。

【請求項 15】

前記半導体 S i G e フィンが実質的に単結晶である、請求項 12 に記載の F i n F E T デバイス。

【請求項 16】

前記半導体 S i G e フィンの S i G e 部分が前記基板のシャロートレンチ分離領域から延在し、前記半導体 S i G e フィンのシリコン部分が前記基板の前記シャロートレンチ分離領域を通じて延在する、請求項 12 に記載の F i n F E T デバイス。

【請求項 17】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（P C S）ユニット、ポータブルデータユニット、および／または固定位置データユニットに組み込まれる、請求項 12 に記載の F i n F E T デバイス。

【請求項 18】

F i n F E T デバイスの半導体フィンを形成するための方法であって、
前記半導体フィン上にシリコンゲルマニウム（S i G e）のアモルファス薄膜または多結晶薄膜を共形堆積させるためのステップと、
前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるためのステップと、
前記半導体フィンと基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記半導体 S i G e フィンを支持する前記基板の表面内にゲルマニウムを拡散させるためのステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するためのステップとを含む、方法。

【請求項 19】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（P C S）ユニット、ポータブルデータユニット、および／または固定位置のデータユニットに組み込まれる、請求項 18 に記載の方法。

【請求項 20】

基板上のフィン電界効果トランジスタ（F i n F E T）デバイスであって、
シリコンゲルマニウム（S i G e）薄膜からゲルマニウムが電流伝導手段内に拡散される、電流を伝導するための手段と、
前記電流伝導手段と前記基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記基板の表面上に拡散されたゲルマニウムの一部と
を含み、
前記基板が前記電流伝導手段に結合される、フィン電界効果トランジスタ（F i n F E T）デバイス。

【請求項 21】

前記電流伝導手段内の圧縮歪みが、前記電流伝導手段に結合された前記基板内よりも大きい、請求項 20 に記載の F i n F E T デバイス。

【請求項 22】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または固定位置データユニットに組み込まれる、請求項 20 に記載の F i n F E T デバイス。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2014/070579

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L29/66 H01L29/78 H01L29/10
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008/003725 A1 (ORLOWSKI MARIUS K [US] ORLOWSKI MARIUS [US]) 3 January 2008 (2008-01-03)	1,5-10, 12,13, 17, 20-24,26
Y	paragraph [0027] - paragraph [0035]; claims; figures	2-4,11, 14-16, 18,19,25
X	----- EP 1 519 420 A2 (INTERUNIVERSITAIRE MICROELECTR [BE]) 30 March 2005 (2005-03-30) paragraph [0028] - paragraph [0033]; figures 4a-5	1-26
A	----- US 2011/193178 A1 (CHANG CHIH-HAO [TW] ET AL) 11 August 2011 (2011-08-11) paragraph [0013] paragraph [0018] ----- -/-	1-26

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

26 February 2015

Date of mailing of the international search report

04/03/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Hoffmann, Niels

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/070579

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010/264468 A1 (XU JEFF J [TW]) 21 October 2010 (2010-10-21) paragraph [0018] - paragraph [0024] paragraph [0032] - paragraph [0034] -----	1-26
Y	WO 2011/054776 A1 (IBM [US]; IBM UK [GB]; DORIS BRUCE [US]; CHENG KANGGUO [US]; BASKER VE) 12 May 2011 (2011-05-12) the whole document -----	2-4,11, 14-16, 18,19,25
A	US 2011/024804 A1 (CHANG CHIH-HAO [TW] ET AL) 3 February 2011 (2011-02-03) paragraph [0023] -----	1-26
X,P	WO 2014/099013 A1 (INTEL CORP [US]; GLASS GLENN A [US]; AUBERTINE DANIEL B [US]; MURTHY A) 26 June 2014 (2014-06-26) paragraph [0055] - paragraph [0063]; figures 4a-d -----	1-26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/070579

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2008003725 A1	03-01-2008	CN 101490857 A KR 20090031525 A TW 200802616 A US 2008003725 A1 US 2010044762 A1 WO 2008005612 A1	22-07-2009 26-03-2009 01-01-2008 03-01-2008 25-02-2010 10-01-2008
EP 1519420 A2	30-03-2005	EP 1519420 A2 US 2005093154 A1	30-03-2005 05-05-2005
US 2011193178 A1	11-08-2011	US 2011193178 A1 US 2013196478 A1	11-08-2011 01-08-2013
US 2010264468 A1	21-10-2010	CN 101866885 A US 2010264468 A1 US 2012018785 A1	20-10-2010 21-10-2010 26-01-2012
WO 2011054776 A1	12-05-2011	US 2011108920 A1 US 2011227165 A1 WO 2011054776 A1	12-05-2011 22-09-2011 12-05-2011
US 2011024804 A1	03-02-2011	CN 101986423 A JP 5465630 B2 JP 2011044706 A JP 2014045208 A KR 20110011573 A TW 201118959 A US 2011024804 A1 US 2014091362 A1	16-03-2011 09-04-2014 03-03-2011 13-03-2014 08-02-2011 01-06-2011 03-02-2011 03-04-2014
WO 2014099013 A1	26-06-2014	TW 201442117 A US 2014175543 A1 WO 2014099013 A1	01-11-2014 26-06-2014 26-06-2014

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ヴラディミール・マチュカウトサン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 カーン・リム

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 スタンリー・スンチュル・ソン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 チョ・フェイ・イエブ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

F ターム(参考) 5F032 AA11 AA35 AA44 CA05 CA17 DA02 DA13 DA22 DA25 DA33

DA74

5F140 AC01 AC28 BA01 BA05 BB05 BC13 BC15 CB04

5F152 LL03 MM04 NN03 NN27 NQ03 NQ04 NQ12 NQ13