

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-501586

(P2017-501586A)

(43) 公表日 平成29年1月12日(2017.1.12)

(51) Int.Cl.

H01L 21/336 (2006.01)
H01L 29/78 (2006.01)
H01L 21/20 (2006.01)
H01L 21/76 (2006.01)

F 1

H01L 29/78
H01L 29/78
H01L 29/78
H01L 21/76

テーマコード(参考)

301Y 5FO32
301B 5F140
301X 5F152
L

審査請求 未請求 予備審査請求 有 (全 24 頁)

(21) 出願番号 特願2016-543645 (P2016-543645)
(86) (22) 出願日 平成26年12月16日 (2014.12.16)
(85) 翻訳文提出日 平成28年6月29日 (2016.6.29)
(86) 國際出願番号 PCT/US2014/070579
(87) 國際公開番号 WO2015/102884
(87) 國際公開日 平成27年7月9日 (2015.7.9)
(31) 優先権主張番号 61/923,489
(32) 優先日 平成26年1月3日 (2014.1.3)
(33) 優先権主張国 米国(US)
(31) 優先権主張番号 14/269,981
(32) 優先日 平成26年5月5日 (2014.5.5)
(33) 優先権主張国 米国(US)

(71) 出願人 507364838
クアルコム、インコーポレイテッド
アメリカ合衆国 カリフォルニア 921
21 サン デイエゴ モアハウス ドラ
イブ 5775
(74) 代理人 100108453
弁理士 村山 靖彦
(74) 代理人 100163522
弁理士 黒田 晋平
(72) 発明者 ジェフリー・ジュンハオ・シュ
アメリカ合衆国・カリフォルニア・921
21-1714・サン・ディエゴ・モアハ
ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 Ge 縮合によるシリコンゲルマニウムFinFET形成

(57) 【要約】

FinFETデバイスの半導体フィンを形成する方法は、半導体フィン上にシリコンゲルマニウム(SiGe)のアモルファス薄膜または多結晶薄膜を共形堆積するステップを含む。この方法はまた、アモルファス薄膜または多結晶薄膜からゲルマニウムを半導体フィン内に拡散するために、アモルファス薄膜または多結晶薄膜を酸化させるステップを含む。そのような方法はさらに、アモルファス薄膜または多結晶薄膜の酸化部分を除去するステップを含む。

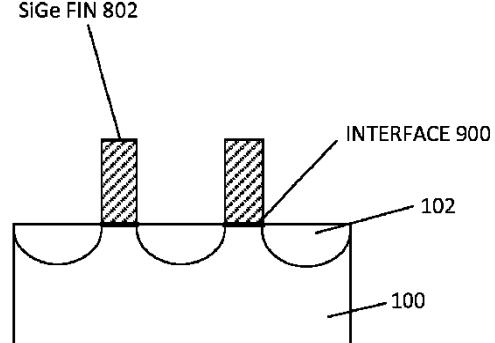


FIG. 9

【特許請求の範囲】

【請求項 1】

F i n F E T デバイスの半導体フィンを形成する方法であって、

前記半導体フィン上にシリコンゲルマニウム (S i G e) のアモルファス薄膜または多結晶薄膜を共形堆積させるステップと、

前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するステップとを含む、方法。

【請求項 2】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する基板内よりも大きい、請求項 1 に記載の方法。

【請求項 3】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 2 に記載の方法。

【請求項 4】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項 3 に記載の方法。

【請求項 5】

前記半導体フィンが実質的に单一結晶である、請求項 1 に記載の方法。

【請求項 6】

前記共形堆積させるステップが、複数の異なる材料の表面上の非選択的堆積を含む、請求項 1 に記載の方法。

【請求項 7】

前記半導体フィン上に S i G e スペーサを提供するために、前記薄膜をエッチングするステップをさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記エッチングするステップが異方性である、請求項 7 に記載の方法。

【請求項 9】

前記共形堆積させるステップが、前記半導体フィンの表面上の選択的堆積を含む、請求項 1 に記載の方法。

【請求項 10】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項 1 に記載の方法。

【請求項 11】

前記半導体フィンと基板との間にインターフェースを提供するために、前記半導体フィンを支持する前記基板の表面内にゲルマニウムを拡散させるステップをさらに含む、請求項 1 に記載の方法。

【請求項 12】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または固定位置のデータユニットに組み込まれる、請求項 1 に記載の方法。

【請求項 13】

基板上のフィン電界効果トランジスタ (F i n F E T) デバイスであって、

共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム (S i G e) 薄膜を含む半導体フィンを含み、前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムが前記半導体フィン内に拡散される、フィン電界効果トランジスタ (F i n F E T) デバイス。

10

20

30

40

50

【請求項 14】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する前記基板内よりも大きい、請求項13に記載のFinFETデバイス。

【請求項 15】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項14に記載のFinFETデバイス。

【請求項 16】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項15に記載のFinFETデバイス。

10

【請求項 17】

前記半導体フィンが実質的に単結晶である、請求項13に記載のFinFETデバイス。

【請求項 18】

前記半導体フィンのSiGe部分が前記基板のシャロートレンチ分離領域から延在し、前記半導体フィンのシリコン部分が前記基板の前記シャロートレンチ分離領域を通じて延在する、請求項13に記載のFinFETデバイス。

【請求項 19】

前記基板の表面が、前記半導体フィンと前記基板との間にインターフェースを提供するために、拡散されたゲルマニウムの一部を含む、請求項13に記載のFinFETデバイス。

20

【請求項 20】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項13に記載のFinFETデバイス。

【請求項 21】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項13に記載のFinFETデバイス。

30

【請求項 22】

FinFETデバイスの半導体フィンを形成するための方法であって、

前記半導体フィン上にシリコンゲルマニウム(SiGe)のアモルファス薄膜または多結晶薄膜を共形堆積させるためのステップと、

前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるためのステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するためのステップとを含む、方法。

【請求項 23】

前記FinFETデバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置のデータユニットに組み込まれる、請求項22に記載の方法。

40

【請求項 24】

基板上のフィン電界効果トランジスタ(FinFET)デバイスであって、

電流を伝導するための手段を含み、

アモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からゲルマニウムが前記電流伝導手段内に拡散され、

前記基板が前記電流伝導手段に結合される、フィン電界効果トランジスタ(FinFET)デバイス。

50

【請求項 25】

前記電流伝導手段内の圧縮歪みが、前記電流伝導手段に結合された前記基板内よりも大きい、請求項24に記載のFinFETデバイス。

【請求項 26】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項24に記載のFinFETデバイス。

【発明の詳細な説明】

【技術分野】

10

【0001】

関連出願の相互参照

本開示は、その開示の全体が参照により本明細書に明示的に組み込まれている、2014年1月3日に出願した、「SILICON GERMANIUM FINFET FORMATION BY GE CONDENSATION」という名称の米国仮特許出願第61/923,489号の利益を主張するものである。

【0002】

本開示の態様は、半導体デバイスに関し、より詳細には、Fin型電界効果トランジスタ(FinFET)内のシリコンゲルマニウム(SiGe)使用に関する。

【背景技術】

20

【0003】

シリコンゲルマニウム(SiGe)は、pチャネル金属酸化物半導体(PMOS)デバイス用の有望な材料として広く検討されてきた。SiGeはシリコンよりも本質的に高い正孔移動度を有する。標準電界効果トランジスタ(FET)ジオメトリでは、FETのソース領域およびドレイン領域など、半導体チップ領域内に歪みを与えることが一般的である。しかしながら、Fin型電界効果トランジスタ(FinFET)構造では、歪み制御技術に関して利用可能なFinの容量は小さい。10ナノメートルデバイス設計においてなど、Finジオメトリが削減されると、SiGeFinの作製を達成することは高価および困難になる。

【発明の概要】

30

【課題を解決するための手段】

【0004】

FinFETデバイスの半導体Finを形成する方法は、半導体Fin上にシリコンゲルマニウム(SiGe)のアモルファス薄膜または多結晶薄膜を共形堆積させる(conformally depositing)ステップを含み得る。この方法はまた、アモルファス薄膜または多結晶薄膜からゲルマニウムを半導体Fin内に拡散するために、アモルファス薄膜または多結晶薄膜を酸化させるステップを含む。そのような方法はさらに、アモルファス薄膜または多結晶薄膜の酸化部分を除去するステップを含む。

【0005】

40

基板上のFin型電界効果トランジスタ(FinFET)デバイスは、半導体Finを含む。半導体Finは、共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からなり得る。アモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からゲルマニウムが半導体Fin内に拡散され得る。

【0006】

基板上のFinFETデバイスは、電流を伝導するための手段を含む。電流伝導手段は、共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からなり得る。アモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からゲルマニウムが半導体Fin内に拡散され得る。

【0007】

50

上記は、続く詳細な説明をよりよく理解することができるよう、本開示の特徴および

技術的利点について、かなり大まかに概説したものである。本開示のさらなる特徴および利点について、以下で説明する。本開示は、本開示と同じ目的を果たすための他の構造を修正または設計する基礎として容易に利用できることを、当業者には理解されたい。そのような等価な構造 (construction) が、添付の特許請求の範囲に記載の本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の特徴になると考えられる新規な特徴は、本開示の構成 (organization) と動作方法の両方に関して、さらなる目的および利点とともに、以下の説明を添付の図と併せ検討することからよりよく理解されるであろう。しかしながら、図の各々は、例示および説明を目的として提供されているに過ぎず、本開示の制限を定めるものではないことを、明確に理解されたい。

10

【0008】

本開示のより完全な理解が得られるように、ここで、以下の説明を添付の図面と併せて参照する。

【図面の簡単な説明】

【0009】

【図1A】FinFET半導体デバイスの側面図である。

【図1B】FinFET半導体デバイスの側面図である。

【図1C】FinFET半導体デバイスの側面図である。

【図1D】FinFET半導体デバイスの側面図である。

20

【図2】FinFET半導体デバイスの側面図である。

【図3】FinFET半導体デバイスの側面図である。

【図4】FinFET半導体デバイスの側面図である。

【図5】FinFET半導体デバイスの側面図である。

【図6】FinFET半導体デバイスの側面図である。

【図7】本開示の一態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図8】本開示の一態様による、図7のFinFET半導体デバイスのフィン構造の側面図である。

【図9】本開示の一態様による、図8のFinFET半導体デバイスのフィン構造の側面図である。

30

【図10】本開示の別の態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図11】本開示の別の態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図12A】本開示のさらなる態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図12B】本開示のさらなる態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図12C】本開示のさらなる態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図12D】本開示のさらなる態様によるFinFET半導体デバイスのフィン構造の側面図である。

40

【図12E】本開示のさらなる態様によるFinFET半導体デバイスのフィン構造の側面図である。

【図13】本開示の一態様による、フィン電界効果トランジスタ (FinFET) 内にシリコンゲルマニウム (SiGe) フィンを作製するための方法を示すプロセスフロー図である。

【図14】本開示の一構成が有利に採用され得る例示的なワイヤレス通信システムを示すプロック図である。

【図15】一構成による、半導体構成要素の回路設計、レイアウト設計、および論理設計

50

に使用される設計用ワークステーションを示すブロック図である。

【発明を実施するための形態】

【0010】

添付の図面に関して以下に記載する詳細な説明は、様々な構成の説明として意図されており、本明細書で説明する概念が実践され得る構成のみを表すことは意図されていない。詳細な説明は、様々な概念の完全な理解を与える目的で特定の詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実践され得ることが、当業者には明らかであろう。場合によっては、そのような概念を曖昧にすることを回避するために、よく知られている構造および構成要素がブロック図の形態で示されている。本明細書の説明では、「および／または」という用語の使用は、「包含的論理和」を表すことを意図し、「または」という用語の使用は、「排他的論理和」を表すことを意図する。

10

【0011】

高性能トランジスタにとって高モビリティ伝導チャネルが望ましい。材料選択および歪み制御技術は、トランジスタのチャネル内の電荷キャリアの移動度を改変する設計特徴である。金属酸化物半導体(MOS)電界効果トランジスタ(MOSFET)では、歪み制御技術が使用されるが、フィンベースの構造(FinFET)では、歪み材料の使用は困難である。FinFET構造内にはより多くの自由表面が存在し、歪み制御技術に関して利用可能なソース／ドレイン容量は、他のFETジオメトリおよび他のFET技術と比較して小さい。

20

【0012】

シリコンゲルマニウム(SiGe)は、10ナノメートル以下のpチャネル金属酸化物半導体(PMOS)デバイス用の主要な候補と見なされる。SiGeフィン形成は、シリコン(Si)フィンのエッチまたはリセスに続いて、リセス内のSiGeのエピタキシャル成長を含み得る。化学機械平坦化(CMP:chemical-mechanical planarization)プロセスは、シャロートレンチ分離(STI)材料上で過成長したSiGeを除去し、SiGeフィンを形成するために使用され得る。このプロセスのコストは高く、結果として、コスト高のFinFETデバイスをもたらす。

20

【0013】

さらに、シリコンテンプレート上のSiGeフィン成長は、しばしば、フィン長に沿つて一軸圧縮歪み(uniaxial compressive stress)を有するが、SiGeフィンのエピタキシャル成長は、摂氏900度(C)を超える温度で熱アニールプロセスを必要とする。この熱アニールプロセスは、エピタキシャル成長欠陥の除去を可能にするために、高温(たとえば、900)で実行される。しかしながら、この熱アニールプロセスは、SiGeフィン内の一軸歪みを緩和し、これはSiGeチャネル内の正孔移動度を削減し得る。

30

【0014】

いくつかの説明する実装形態は、フィン型電界効果トランジスタ(FinFET)に関する。FinFETはダブルゲートデバイスである。FinFETの2つのゲートは、より高い性能のために短縮され得るか、または、より低い漏れもしくは低減されたトランジスタカウントのために独立して制御され得る。これらのFinFETの特徴は、改善された設計スペースを可能にする。これらの特徴はまた、ナノスケールにおいて、バルク相補型金属酸化物半導体(CMOS)デバイスの代わりにFinFETデバイスの使用を可能にする。一構成では、半導体フィンは、共形堆積されたアモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜を備える。この構成では、アモルファスまたは多結晶のシリコンゲルマニウム(SiGe)薄膜からゲルマニウムが半導体フィン内に拡散される。いくつかの実装形態では、シリコンゲルマニウム(SiGe)FinFETデバイスを説明する。半導体フィン内の圧縮歪みは、半導体フィンを支持する基板内よりも大きい場合がある。一構成では、半導体フィンは、実質的に、基板の表面と同じ結晶配向にある。別の構成では、FinFETデバイスは、SiGeスペーサまたは半導体フィンを含む。

40

50

【0015】

本開示の様々な態様は、FinFETデバイスの半導体フィンを作製するための技法を提供する。「層」という用語は、膜を含み、別段述べられていない限り、縦または横の厚さを示すものと解釈されるべきではないことが理解されるだろう。本明細書で説明するように、「半導体基板」という用語は、ダイシングされたウエハの基板を指すことがあり、または、ダイシングされていないウエハの基板を指すことがある。同様に、ウエハおよびダイという用語は、それが軽信を強いない限り、交換可能に使用され得る。

【0016】

図1A～図1Dは、FinFET半導体デバイスの側面図を示す。図1Aは、基板100と、絶縁材料102と、フィン構造104とを示す。基板100は、シリコン（たとえば、シリコンウエハ）などの半導体材料であり得る。絶縁材料102は、シリコン酸化物もしくはシリコン窒化物、または他の類似の材料など、シャロートレンチ分離（STI）材料であり得る。フィン構造104は結晶質であってよく、基板100に沿った単結晶構造の一部であり得る。

10

【0017】

関連技術手法では、フィン構造104は、図1Bに示すように、リセス106を作成するためにエッチングされるか、あるいは除去される。絶縁材料102は、リセス106用の形状として機能する。図1Cでは、材料108は、リセス106内に成長し、絶縁材料102の表面110上に成長し得る。材料108の過成長は、図1Dに示すフィン構造112を作成するために、エッチングまたはポリッシング（たとえば、CMP）によって除去される。材料108はSiGeであってよい。材料108がSiGeであるとき、基板100の全域およびリセス106内の成長は、均一割合のゲルマニウムのものであり、これは、材料108を使用する基板100上のデバイスの電圧しきい値数を制限する。さらに、インターフェース114は急激境界を有する場合があり、これはフィン構造112の最小サイズを制限し得る。

20

【0018】

図1Dに示すように、フィン構造104が形成されると、フィン構造104はアニールされて、フィン構造104内の成長欠陥を削減する。このアニーリングは、摂氏900度を超える温度など、昇温時に発生し得、これは、フィン構造112の長さに沿った圧縮歪みを緩和し得る。フィン構造112に沿った圧縮歪みを低減させること、または緩和することは、フィン構造112内のキャリア移動度を低減させ、フィン構造112内で材料108を使用する利点は結果として低減する。

30

【0019】

図2から図7は、本開示の1つまたは複数の態様によるFinFET半導体デバイスの側面図を示す。図2は、フィン構造104間に絶縁材料102を有する基板100の一部として形成された単結晶構造としてのフィン構造104を示す。図3は、図1Bに示すようにフィン構造104をエッチングまたは除去する代わりに、絶縁材料102をエッチングするエッチ300を示す。エッチ300は、フッ化水素酸（HF）エッチを使用して実行され得るか、または他のエッチング剤を使用する、ケミカルウェット/蒸着エッチ（CWE: chemical wet/vapor etch）プロセスを使用して実行され得る。フィン構造104は、ミラー指数など、第1の結晶配向（110）のものであり得るが、基板100は、（100）配向など、第2の結晶配向であり得る。

40

【0020】

図4は、フィン構造104上のシリコンゲルマニウムのエピタキシャル成長400を示す。エピタキシャル成長400は、フィン構造104上に成長し、最終的に、図4に示す<111>配向など、別の結晶配向に成長するが、これはフィン構造104にとって望ましくない。エピタキシャル成長400の様々な結晶配向は、フィン構造104内の、圧縮歪みであり得る歪みを変更させる。

【0021】

図5は、エピタキシャル成長400の酸化500を示す。ドライ酸化またはウェット酸

50

化であり得る酸化 500 は、シリコンゲルマニウムを選択的に酸化させる。シリコンゲルマニウムエピタキシャル成長内のシリコンは、ゲルマニウムがフィン構造 104 内に駆動される間に酸化する。

【0022】

図 6 は、関連技術のフィン構造を示す。酸化 500 の後、酸化物はフィン構造 104 から除去される。しかしながら、酸化 500 および / またはエピタキシャル成長 400 により、酸化構造のエッティングは、若干、フィン構造 104 とは異なり得るプロファイル 600 を残す。さらに、プロファイル 600 内のゲルマニウムの量、ならびに、ゲルマニウムのドーパント濃度は、均一でない場合があり、プロファイル 600 が使用されるデバイスにとってまったく望ましくない可能性がある。

10

【0023】

図 7 は、本開示の一態様による FinFET 半導体デバイスのフィン構造を示す。共形薄膜であり得る薄膜 700 は、フィン構造 104 に堆積されるか、またはさもなければ、フィン構造 104 に結合される。薄膜 700 の堆積は、選択的または非選択的な方法で実行され得る。フィン構造 104 は、シリコンであってよく、またはシリコンゲルマニウムであってよく、単一の結晶構造であってもよい。フィン構造はまた、基板 100 と同様の結晶構造を有し得る。本開示の一態様では、薄膜 700 は、多結晶シリコンゲルマニウム薄膜であってよく、またはアモルファスシリコンゲルマニウム薄膜であってもよい。薄膜 700 は、本開示の範囲から逸脱せずに、化学気相堆積 (CVD) 、プラズマドーピング、または他の方法を使用して堆積され得る。

20

【0024】

図 8 は、本開示の一態様におけるフィン構造の処理を示す。酸化物 800 が形成される。酸化物は、SiGe フィン 802 を作成するために、シリコンゲルマニウムのゲルマニウム部分をフィン構造 104 内に駆動する間に、薄膜 700 からシリコンを選択的に除去する。所望の材料 (たとえば、ゲルマニウム) の量は、SiGe フィン 802 の各々中のドーパント原子の割合を制御するために、フィン構造 104 の様々なフィン構造に関して制御され得る。この制御は、フィン構造 104 上に堆積された薄膜 700 の厚さによって、ならびに、酸化物 800 を作成するために使用される時間および / または温度によって達成され得る。

30

【0025】

図 9 は、本開示の一態様による、図 8 の FinFET 半導体デバイスのフィン構造の側面図を示す。代表的に、酸化物 800 が除去された後の SiGe フィン 802 を示す。SiGe フィン 802 の垂直壁は、プロファイル 600 よりも望ましい形を提供する。加えて、SiGe 構造内へのゲルマニウムの量および駆動は、図 2 ~ 図 6 に関して説明した量および駆動よりもより制御されるため、SiGe フィン 802 内のチャネルは、プロファイル 600 を有するフィンよりも高い性能を有し得る。

30

【0026】

さらに、インターフェース 900 は基板 100 から生じる単一の結晶構造から形成されたため、インターフェース 900 は、図 1A ~ 図 1D に関して示したインターフェース 114 よりも突発性 (abrupt) が少なく、図 2 ~ 図 6 のデバイス内で生成されるインターフェースよりも突発性が少ない。SiGe フィン 802 内へのゲルマニウムの勾配または漸進的な拡散はまた、ゲルマニウムの SiGe フィン 802 の下への基板 100 内への拡散を可能にする。この構成では、ゲルマニウムの SiGe フィン 802 の下の基板 100 内への拡散は、基板 100 と SiGe フィン 802 との間のインターフェース 900 上の歪みを削減する。これは、インターフェース 900 を過度に歪めずに、SiGe フィン 802 内の追加の歪みを許す。

40

【0027】

本開示の一態様では、SiGe フィン 802 は、フィン構造 104 に対して自己整合される。さらに、上記で説明したように、SiGe フィン 802 内のドーパント材料 (たとえば、ゲルマニウム) の濃度は、薄膜 700 内の異なる分量のドーパント材料を使用して

50

制御可能である。したがって、本開示の一態様では、同じ基板 100 上の異なるタイプのデイバスに関する複数のドーパント濃度が実現され得る。さらに、本開示の一態様は、エピタキシャル成長を使用して、従来の SiGe-FinFET の最終的なフィン構造よりも安価に生成することができる最終的なフィン構造を提供する。

【0028】

図 10 および図 11 は、本開示の別の態様による FinFET 半導体デバイスのフィン構造 104 の側面図を示す。図 10 では、エッチ 1000 は、図 7 に示した構造から開始して、薄膜 700 上で実行され得る。エッチ 1000 は異方性エッチであり得、したがって、薄膜 700 はフィン構造 104 の側面上に残る。図 8 の酸化は、図 10 の構造上で実行されるとき、側面からだけゲルマニウムを薄膜から駆動する。本開示のこの態様では、フィン構造 104 の上部にはゲルマニウムが存在しないため、SiGe フィン 802 は、SiGe フィン 802 の露出した部分上に酸化シリコンを有することになるか、または SiGe フィン 802 はフィン構造 104 よりも短くなる（基板 100 からより短い距離になる）。本開示のこの態様で形成される酸化物 1100 および SiGe フィン 802 を図 11 に示す。酸化物 1100 は、所望される場合、エッチング、ケミカルウェットポリッシング（chemical wet polishing）、または他の方法によって除去され得る。

10

【0029】

図 12A～図 12E は、本開示のさらなる態様による FinFET 半導体デバイスのフィン構造 104 の側面図を示す。図 12A は、シャロートレンチ分離領域（STI）102 のリセスエッチの後のフィン構造 104 を含むインカミング（incoming）FinFET 半導体デバイスを示す。この構成では、フィン構造 104（たとえば、シリコン）は STI 102 から、かつ STI 102 を通じて延在する。フィン構造 104 は、第 1 の結晶配向（たとえば、ミラー指数（110））で示される。この構成では、STI 102 から延在するフィン構造 104 の長さ 1220 は、図 12E に示すように、最終的なフィン構造 1202 の長さ 1230 よりも長くてよい。

20

【0030】

図 12B は、STI 102 と STI 102 から延在するフィン構造 104 との上に薄膜 700 を共形堆積した後の FinFET 半導体デバイスを示す。本開示のこの態様では、薄膜 700 は、多結晶シリコンゲルマニウム薄膜であってよく、またはアモルファスシリコンゲルマニウム薄膜であってもよい。薄膜 700 は、本開示の範囲から逸脱せずに、化学気相堆積（CVD）、プラズマドーピング、または他の方法を使用して堆積され得る。

30

【0031】

図 12C は、STI 102 の表面からの薄膜 700 のエッチングの後の FinFET 半導体デバイスを示す。STI 102 からの薄膜 700 のエッチングおよびフィン構造 104 の一部は、薄膜 700（たとえば、シリコンゲルマニウム）のスペーサ 1210 を形成する。図 12D では、スペーサ 1210 のウェット酸化およびドライ酸化は、フィン構造 104 上に酸化物 1200 を形成し、フィン構造内に薄膜 700 を駆動するように選択的に酸化させるために実行され得る。図 12E では、最終的なフィン構造 1202 を完全に形成するために酸化物が除去される。たとえば、薄膜 700 がシリコンゲルマニウムからなるとき、ゲルマニウムは、シリコンゲルマニウムフィンを形成するために、STI 102 から延在するフィン構造 104 内に駆動される。

40

【0032】

図 13 は、本開示の一態様による、フィン電界効果トランジスタ（FinFET）デバイスを作製するための方法 1300 を示すプロセスフロー図である。ブロック 1302 で、半導体フィン上に SiGe の共形アモルファス薄膜または多結晶薄膜を堆積させる。たとえば、図 7 に示すように、共形薄膜であり得る薄膜 700 は、フィン構造 104 に堆積されるか、またはさもなければ、フィン構造 104 に結合される。ブロック 1304 で、アモルファス薄膜または多結晶薄膜からゲルマニウムを半導体フィン内に拡散するため、アモルファス薄膜または多結晶薄膜を酸化させる。たとえば、図 8 に示すように、酸化

50

物 800 が形成される。酸化物は、SiGe フィン 802 を作成するために、シリコンゲルマニウムのゲルマニウム部分をフィン構造 104 内に駆動する間に、薄膜 700 からシリコンを選択的に除去する。ブロック 1306 で、アモルファス薄膜または多結晶薄膜の酸化部分を除去する。たとえば、図 9 に示すように、酸化物 800 が除去された後の SiGe フィン 802 を示す。

【0033】

本開示のさらなる態様によれば、基板上のフィン電界効果トランジスタ (FinFET) デバイスを説明する。一構成では、このデバイスは、アモルファスまたは多結晶のシリコンゲルマニウム (SiGe) 薄膜からゲルマニウムが電流伝導手段内に拡散される、電流を伝導するための手段を含む。電流伝導手段は、図 8 で説明したように、フィン構造 104 もしくは SiGe フィン 802 であってよく、または他の手段であってもよい。別の態様では、前述の手段は、前述の手段によって具陳された機能を実行するように構成された任意のモジュールまたは任意の装置であり得る。

10

【0034】

図 14 は、本開示の一態様が有利に採用され得る例示的なワイヤレス通信システム 1400 を示すブロック図である。説明のために、図 14 は、3 つの遠隔ユニット 1420、1430、および 1450 と、2 つの基地局 1440 とを示す。ワイヤレス通信システムは、より多くの遠隔ユニットおよび基地局を有し得ることを理解されよう。遠隔ユニット 1420、1430 および 1450 は、IC デバイス 1425A、1425C および 1425B を含み、これらは開示するデバイスを含む。基地局、スイッチングデバイス、ネットワーク機器などの他のデバイスも、開示するデバイスを含み得ることを認識されよう。図 14 は、基地局 1440 から遠隔ユニット 1420、1430、および 1450 への順方向リンク信号 1480、ならびに遠隔ユニット 1420、1430、および 1450 から基地局 1440 への逆方向リンク信号 1490 を示す。

20

【0035】

図 14 では、遠隔ユニット 1420 はモバイル電話として示され、遠隔ユニット 1430 はポータブルコンピュータとして示され、遠隔ユニット 1450 は、ワイヤレスローカルループシステムにおける固定位置遠隔ユニットとして示されている。たとえば、遠隔ユニットは、モバイル電話、ハンドヘルドパーソナル通信システム (PCS) ユニット、携帯情報端末などのポータブルデータユニット、GPS 対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、検針機器などの固定位置データユニット、またはデータもしくはコンピュータ命令を記憶する、もしくは取り出す他のデバイス、あるいはそれらの組合せとができる。図 14 は本開示の態様による遠隔ユニットを示すが、本開示は、これらの示された例示的なユニットに限定されない。本開示の態様は、開示したデバイスを含む多くのデバイスにおいて、適切に採用され得る。

30

【0036】

図 15 は、上記で開示したデバイスなどの半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される設計用ワークステーションを示すブロック図である。設計用ワークステーション 1500 は、オペレーティングシステムソフトウェア、サポートファイル、および Cadence や OrCAD などの設計ソフトウェアを収容するハードディスク 1501 を含む。設計用ワークステーション 1500 はまた、回路 1510、または、本開示の一態様によるデバイスなど、半導体構成要素 1512 の設計を容易にするためのディスプレイ 1502 を含む。記憶媒体 1504 は、回路 1510 または半導体構成要素 1512 の設計を有形に記憶するために提供される。回路 1510 または半導体構成要素 1512 の設計は、GDSII または GERBER などのファイルフォーマットにおいて記憶媒体 1504 に記憶され得る。記憶媒体 1504 は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであり得る。さらに、設計用ワークステーション 1500 は、記憶媒体 1504 からの入力を受け入れるか、または記憶媒体 1504 への出力を書き込むための駆動装置 1503 を含む。

40

50

【0037】

記憶媒体 1504 上に記録されるデータは、論理回路構成、フォトリソグラフィマスク用のパターンデータ、または電子ビームリソグラフィなどの連続描画ツール用のマスクパターンデータを指定することができる。データはさらに、論理シミュレーションに関連するタイミングダイアグラムまたはネット回路などの論理検証データをさらに含み得る。記憶媒体 1504 にデータを提供すると、半導体ウエハを設計するためのプロセス数を削減させることによって、回路 1510 または半導体構成要素 1512 の設計が容易になる。

【0038】

ファームウェアおよび/またはソフトウェアによる実装の場合、本明細書において説明した機能を実行するモジュール（たとえば手続き、関数など）を用いて、方法を実装することができる。本明細書において説明した方法を実装する際に、命令を有形に具現化する機械可読媒体を使用することができる。たとえば、ソフトウェアコードをメモリに記憶させ、プロセッサユニットによって実行することができる。メモリは、プロセッサユニット内またはプロセッサユニットの外部に実装されていてよい。本明細書では、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

10

【0039】

機能は、ファームウェアおよび/またはソフトウェアとして実装する場合、1つもしくは複数の命令またはコードとしてコンピュータ可読媒体上に記憶させることができる。例として、データ構造を符号化したコンピュータ可読媒体、およびコンピュータプログラムを符号化したコンピュータ可読媒体がある。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータがアクセスすることのできる利用可能な媒体とすることができます。限定ではなく、例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するのに使用することができ、かつコンピュータによってアクセスされ得る他の媒体を含むことができ、本明細書で使用されるディスク（disk および disc）は、コンパクトディスク（disc）（CD）、レーザディスク（disc）、光ディスク（disc）、デジタル多用途ディスク（disc）（DVD）、フロッピーディスク（disk）、およびBlu-ray（登録商標）ディスク（disc）を含み、ディスク（disk）は通常、データを磁気的に再生するが、ディスク（disc）はデータをレーザによって光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

20

30

【0040】

コンピュータ可読媒体におけるストレージに加えて、命令および/またはデータは、通信装置内に含まれる伝送媒体における信号として提供することができる。たとえば、通信装置は、命令およびデータを示す信号を有するトランシーバを含むことができる。命令およびデータは、1つまたは複数のプロセッサに、特許請求の範囲において概説される機能を実装させるように構成される。

40

【0041】

以上、本開示およびその利点について詳細に説明してきたが、添付の特許請求の範囲によって定められる本開示の技術から逸脱することなく、本明細書において様々な変更、置換、および改変を行えることを理解されたい。たとえば、「上」および「下」などの関係性の用語が、基板または電子デバイスについて使用される。当然、基板または電子デバイスが反転した場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指す場合がある。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、組成物、手段、方法、およびステップの特定の構成に限定されることは意図されない。当業者が本開示から容易に諒解するように、本明細書で説明した対応する構成と実質的に同じ機能を実行するか、もしくは実質的に同じ結果を実現す

50

る、現存するもしくは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むものとする。

【0042】

本明細書で本開示に関連して説明された様々な例示的論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを当業者ならさらに理解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的構成要素、ブロック、モジュール、回路、およびステップが、上記ではその機能に関して一般的に説明された。そのような機能がハードウェアとして実装されるか、それともソフトウェアとして実装されるかは、特定の応用分野およびシステム全体に対して課される設計制限に依存する。当業者は、説明された機能を各々の特定の応用分野について様々な方式で実装し得るが、そのような実装判断は、本開示の範囲からの逸脱を引き起こすと解釈され得るべくではない。

10

【0043】

本明細書の開示に関連して説明した様々な例示的論理ブロック、モジュール、および回路は、本明細書で説明した機能を実施するように設計された汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、ディスクリートゲートもしくはトランジスタロジック、ディスクリートハードウェア構成要素、またはそれらの任意の組合せとともに実装あるいは実施され得る。汎用プロセッサはマイクロプロセッサでよいが、別の方法として、プロセッサは、任意の従来型プロセッサ、コントローラ、マイクロコントローラまたはステートマシンでよい。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装され得る。

20

【0044】

本開示に関連して説明した方法またはアルゴリズムのステップは、ハードウェアで直接的に、プロセッサによって実行されるソフトウェアモジュールで、またはその2つの組合せで実施され得る。ソフトウェアモジュールは、RAM、フラッシュメモリ、ROM、EPROM、EEPROM、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体に常駐することができる。例示的記憶媒体がプロセッサに結合され、プロセッサが記憶媒体から情報を読み取ること、および記憶媒体に情報を書き込むことができるようとする。代替案では、記憶媒体は、プロセッサに一体とされ得る。プロセッサおよび記憶媒体は、ASIC内に存在し得る。ASICは、ユーザ端末内に存在し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末内にディスクリート構成要素として存在し得る。

30

【0045】

1つまたは複数の例示的設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、コンピュータ可読記憶媒体上に1つもしくは複数の命令またはコードとして格納あるいは送信され得る。コンピュータ可読媒体は、コンピュータ記憶媒体と、コンピュータプログラムの1つの場所から別の場所への転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、汎用または特殊用途コンピュータによってアクセスされ得る任意の使用可能な媒体であってもよい。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM、もしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、あるいは命令またはデータ構造の形態の規定のプログラムコード手段を搬送もしくは格納するために使用され得、汎用もしくは専用コンピュータ、または汎用もしくは専用プロセッサによってアクセスされ得る任意の他の媒体を含み得る。また、任意の接続が適切にコンピュー

40

50

タ可読媒体と呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（「DSL」）、もしくは赤外線、無線、およびマイクロ波などのワイヤレス技術を使用してウェブサイト、サーバ、または他の遠隔ソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用する場合、ディスク（disk）およびディスク（disc）は、コンパクトディスク（disc）（CD）、レーザディスク（disc）、光ディスク（disc）、デジタル多用途ディスク（disc）（DVD）、フロッピーディスク（disk）およびBlu-ray（登録商標）ディスク（disc）を含み、ディスク（disk）は、通常、データを磁気的に再生し、ディスク（disc）は、データをレーザで光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

10

【0046】

本開示の前述の説明は、いかなる当業者も本開示を作製または使用できるようにするために提供される。本開示に対する様々な修正形態が当業者には容易に明らかとなり、本明細書で定義する一般原理は、本開示の趣旨または範囲から逸脱することなく、他の変形形態に適用され得る。したがって、本開示は、本明細書で説明する例および設計に限定されるものではなく、本明細書で開示する原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

20

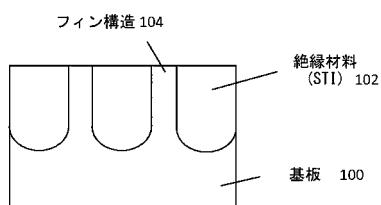
【符号の説明】

【0047】

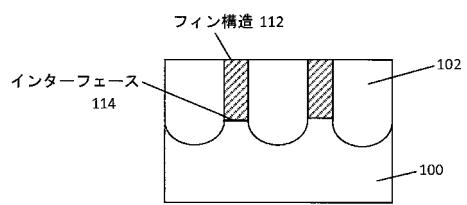
100	基板	
102	絶縁材料	
104	フィン構造	
106	リセス	
108	材料	
110	表面	
112	フィン構造	
114	インターフェース	
300	エッチ	30
400	エピタキシャル成長	
500	酸化	
600	プロファイル	
700	薄膜	
800	酸化物	
802	SiGeフィン	
900	インターフェース	
1000	エッチ	
1100	酸化物	
1202	フィン構造	40
1210	スペーサ	
1220	長さ	
1400	ワイヤレス通信システム	
1420	遠隔ユニット	
1425A	I Cデバイス	
1425B	I Cデバイス	
1425C	I Cデバイス	
1430	遠隔ユニット	
1440	基地局	
1450	遠隔ユニット	50

- 1 4 8 0 順方向リンク信号
 1 4 9 0 逆方向リンク信号
 1 5 0 0 設計用ワークステーション
 1 5 0 1 ハードディスク
 1 5 0 2 ディスプレイ
 1 5 0 3 駆動装置
 1 5 0 4 記憶媒体
 1 5 1 0 回路
 1 5 1 2 半導体構成要素

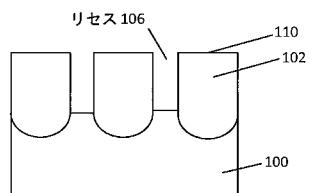
【図 1 A】



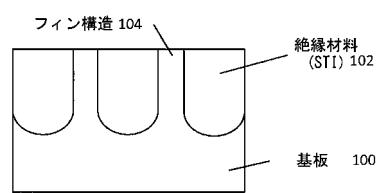
【図 1 D】



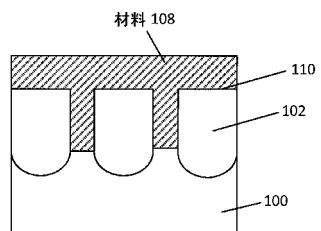
【図 1 B】



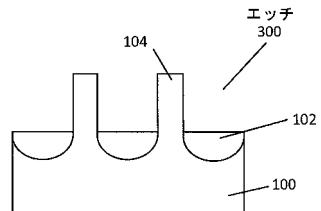
【図 2】



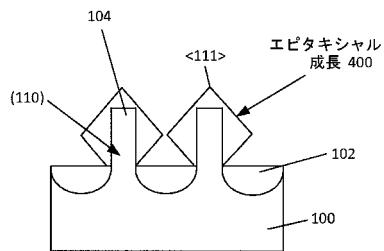
【図 1 C】



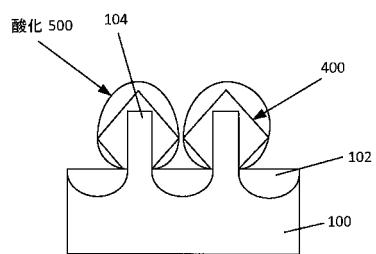
【図 3】



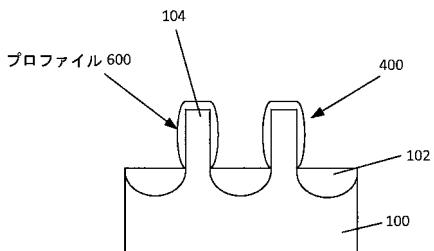
【図4】



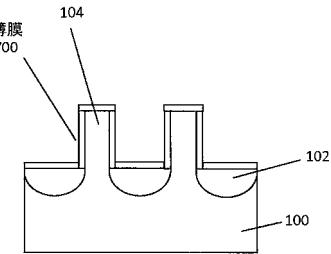
【図5】



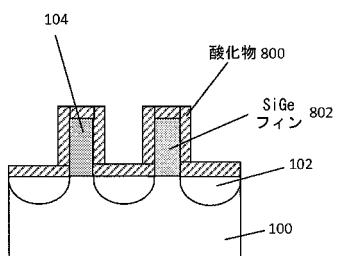
【図6】



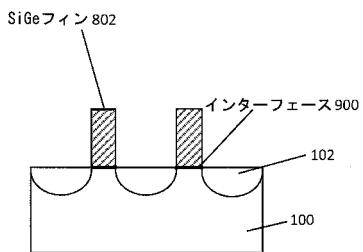
【図7】



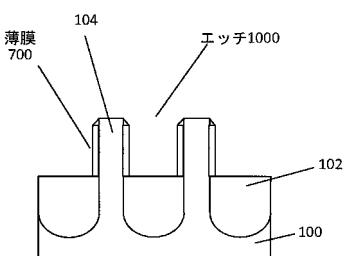
【図8】



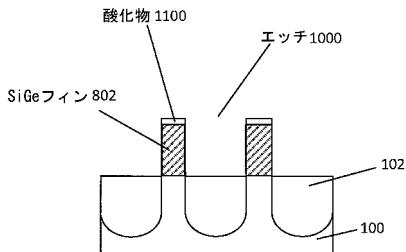
【図9】



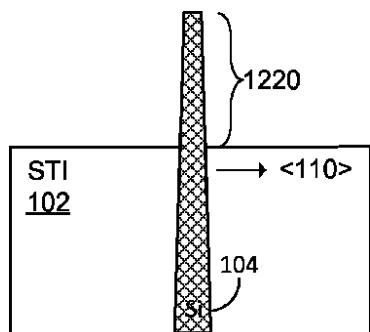
【図10】



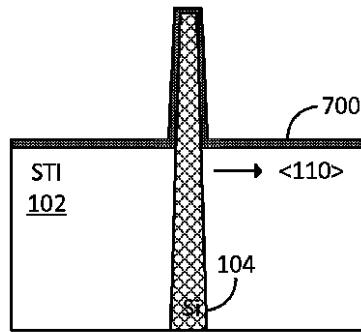
【図11】



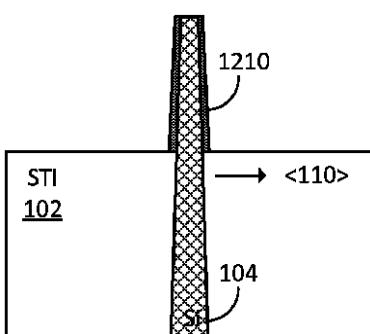
【図 12 A】

**FIG. 12A**

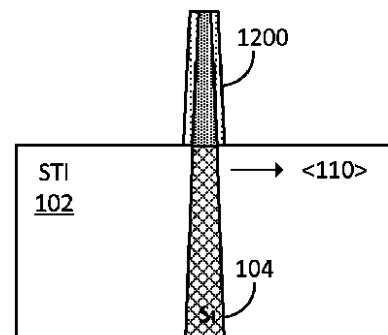
【図 12 B】

**FIG. 12B**

【図 12 C】

**FIG. 12C**

【図 12 D】

**FIG. 12D**

【図 12E】

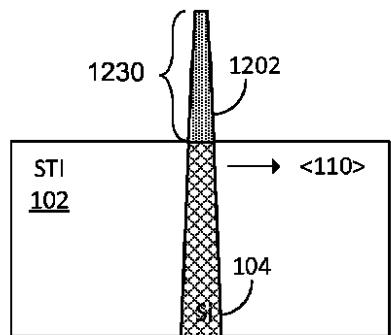
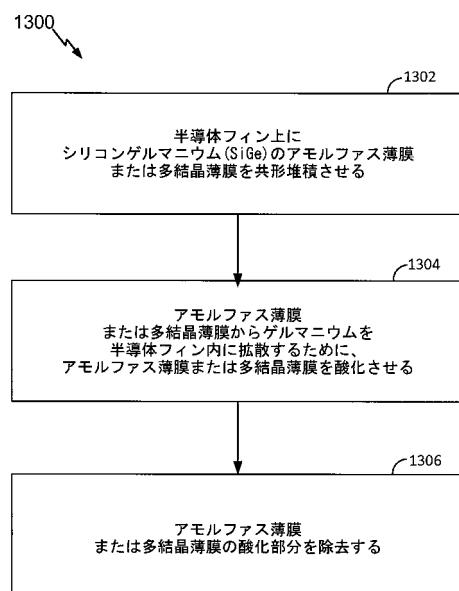


FIG. 12E

【図 13】



【図 14】

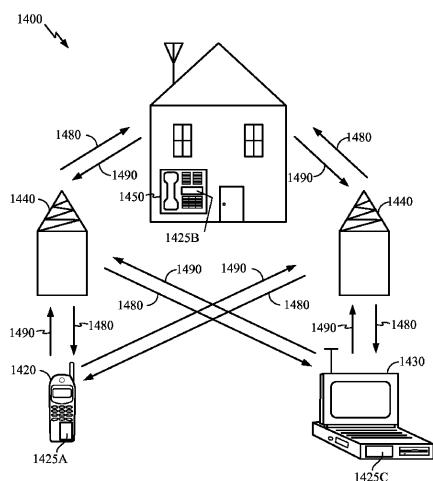


FIG. 14

【図 15】

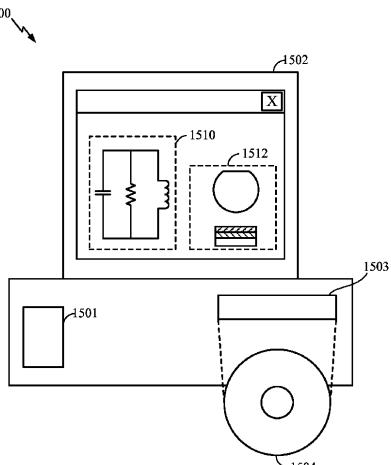


FIG. 15

【手続補正書】

【提出日】平成28年7月5日(2016.7.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

F i n F E T デバイスの半導体フィンを形成する方法であって、

前記半導体フィン上にシリコンゲルマニウム(S i G e)のアモルファス薄膜または多結晶薄膜を共形堆積させるステップと、

前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるステップと、

前記半導体フィンと基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記半導体 S i G e フィンを支持する前記基板の表面内にゲルマニウムを拡散させるステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するステップと
を含む、方法。

【請求項2】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する前記基板内よりも大きい、請求項1に記載の方法。

【請求項3】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項2に記載の方法。

【請求項4】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項3に記載の方法。

【請求項5】

前記半導体フィンが実質的に単一結晶である、請求項1に記載の方法。

【請求項6】

前記共形堆積させるステップが、複数の異なる材料の表面上の非選択的堆積を含む、請求項1に記載の方法。

【請求項7】

前記半導体フィン上に S i G e スペーサを提供するために、前記薄膜をエッチングするステップをさらに含む、請求項6に記載の方法。

【請求項8】

前記エッチングするステップが異方性である、請求項7に記載の方法。

【請求項9】

前記共形堆積させるステップが、前記半導体フィンの表面上の選択的堆積を含む、請求項1に記載の方法。

【請求項10】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項1に記載の方法。

【請求項11】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(P C S)ユニット、ポータブルデータユニット、および/または固定位置のデータユニットに組み込まれる、請求項1に記載の方法。

【請求項 1 2】

基板上のフィン電界効果トランジスタ(F i n F E T)デバイスであって、

半導体シリコンゲルマニウム(S i G e)フィンと、

前記半導体 S i G e フィンと基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記基板の表面上に拡散されたゲルマニウムの一部とを含む、フィン電界効果トランジスタ(F i n F E T)デバイス。

【請求項 1 3】

前記半導体 S i G e フィン内の圧縮歪みが、前記半導体 S i G e フィンを支持する前記基板内よりも大きい、請求項 1 2 に記載の F i n F E T デバイス。

【請求項 1 4】

前記半導体 S i G e フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 1 3 に記載の F i n F E T デバイス。

【請求項 1 5】

前記半導体 S i G e フィンが実質的に単結晶である、請求項 1 2 に記載の F i n F E T デバイス。

【請求項 1 6】

前記半導体 S i G e フィンの S i G e 部分が前記基板のシャロートレンチ分離領域から延在し、前記半導体 S i G e フィンのシリコン部分が前記基板の前記シャロートレンチ分離領域を通じて延在する、請求項 1 2 に記載の F i n F E T デバイス。

【請求項 1 7】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(P C S)ユニット、ポータブルデータユニット、および／または固定位置データユニットに組み込まれる、請求項 1 2 に記載の F i n F E T デバイス。

【請求項 1 8】

F i n F E T デバイスの半導体フィンを形成するための方法であって、

前記半導体フィン上にシリコンゲルマニウム(S i G e)のアモルファス薄膜または多結晶薄膜を共形堆積させるためのステップと、

前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるためのステップと、

前記半導体フィンと基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記半導体 S i G e フィンを支持する前記基板の表面上にゲルマニウムを拡散させるためのステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するためのステップとを含む、方法。

【請求項 1 9】

前記 F i n F E T デバイスが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(P C S)ユニット、ポータブルデータユニット、および／または固定位置のデータユニットに組み込まれる、請求項 1 8 に記載の方法。

【請求項 2 0】

基板上のフィン電界効果トランジスタ(F i n F E T)デバイスであって、

シリコンゲルマニウム(S i G e)薄膜からゲルマニウムが電流伝導手段内に拡散される、電流を伝導するための手段と、

前記電流伝導手段と前記基板から延在する単一の結晶構造との間にインターフェースを提供するために、前記基板の表面上に拡散されたゲルマニウムの一部とを含み、

前記基板が前記電流伝導手段に結合される、フィン電界効果トランジスタ(F i n F E T)デバイス。

【請求項 21】

前記電流伝導手段内の圧縮歪みが、前記電流伝導手段に結合された前記基板内よりも大きい、請求項20に記載のF in F E Tデバイス。

【請求項 22】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（P C S）ユニット、ポータブルデータユニット、および／または固定位置データユニットに組み込まれる、請求項20に記載のF in F E Tデバイス。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2014/070579																		
A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/66 H01L29/78 H01L29/10 ADD.																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2008/003725 A1 (ORLOWSKI MARIUS K [US] ORLOWSKI MARIUS [US]) 3 January 2008 (2008-01-03)</td> <td style="padding: 2px;">1,5-10, 12,13, 17, 20-24,26</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">paragraph [0027] - paragraph [0035]; claims; figures</td> <td style="padding: 2px;">2-4,11, 14-16, 18,19,25</td> </tr> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">----- EP 1 519 420 A2 (INTERUNIVERSITAIRE MICROELECTR [BE]) 30 March 2005 (2005-03-30) paragraph [0028] - paragraph [0033]; figures 4a-5</td> <td style="padding: 2px;">1-26</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">----- US 2011/193178 A1 (CHANG CHIH-HAO [TW] ET AL) 11 August 2011 (2011-08-11) paragraph [0013] paragraph [0018]</td> <td style="padding: 2px;">1-26</td> </tr> <tr> <td></td> <td style="padding: 2px;">----- ----- -/-</td> <td style="padding: 2px;"></td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2008/003725 A1 (ORLOWSKI MARIUS K [US] ORLOWSKI MARIUS [US]) 3 January 2008 (2008-01-03)	1,5-10, 12,13, 17, 20-24,26	Y	paragraph [0027] - paragraph [0035]; claims; figures	2-4,11, 14-16, 18,19,25	X	----- EP 1 519 420 A2 (INTERUNIVERSITAIRE MICROELECTR [BE]) 30 March 2005 (2005-03-30) paragraph [0028] - paragraph [0033]; figures 4a-5	1-26	A	----- US 2011/193178 A1 (CHANG CHIH-HAO [TW] ET AL) 11 August 2011 (2011-08-11) paragraph [0013] paragraph [0018]	1-26		----- ----- -/-	
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 2008/003725 A1 (ORLOWSKI MARIUS K [US] ORLOWSKI MARIUS [US]) 3 January 2008 (2008-01-03)	1,5-10, 12,13, 17, 20-24,26																		
Y	paragraph [0027] - paragraph [0035]; claims; figures	2-4,11, 14-16, 18,19,25																		
X	----- EP 1 519 420 A2 (INTERUNIVERSITAIRE MICROELECTR [BE]) 30 March 2005 (2005-03-30) paragraph [0028] - paragraph [0033]; figures 4a-5	1-26																		
A	----- US 2011/193178 A1 (CHANG CHIH-HAO [TW] ET AL) 11 August 2011 (2011-08-11) paragraph [0013] paragraph [0018]	1-26																		
	----- ----- -/-																			
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.																		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																				
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																				
Date of the actual completion of the international search 26 February 2015		Date of mailing of the international search report 04/03/2015																		
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Hoffmann, Niels																		

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2014/070579

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010/264468 A1 (XU JEFF J [TW]) 21 October 2010 (2010-10-21) paragraph [0018] - paragraph [0024] paragraph [0032] - paragraph [0034] -----	1-26
Y	WO 2011/054776 A1 (IBM [US]; IBM UK [GB]; DORIS BRUCE [US]; CHENG KANGGUO [US]; BASKER VE) 12 May 2011 (2011-05-12) the whole document -----	2-4,11, 14-16, 18,19,25
A	US 2011/024804 A1 (CHANG CHIH-HAO [TW] ET AL) 3 February 2011 (2011-02-03) paragraph [0023] -----	1-26
X,P	WO 2014/099013 A1 (INTEL CORP [US]; GLASS GLENN A [US]; AUBERTINE DANIEL B [US]; MURTHY A) 26 June 2014 (2014-06-26) paragraph [0055] - paragraph [0063]; figures 4a-d -----	1-26
1		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2014/070579

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 2008003725	A1	03-01-2008	CN	101490857 A		22-07-2009
			KR	20090031525 A		26-03-2009
			TW	200802616 A		01-01-2008
			US	2008003725 A1		03-01-2008
			US	2010044762 A1		25-02-2010
			WO	2008005612 A1		10-01-2008
<hr/>						
EP 1519420	A2	30-03-2005	EP	1519420 A2		30-03-2005
			US	2005093154 A1		05-05-2005
<hr/>						
US 2011193178	A1	11-08-2011	US	2011193178 A1		11-08-2011
			US	2013196478 A1		01-08-2013
<hr/>						
US 2010264468	A1	21-10-2010	CN	101866885 A		20-10-2010
			US	2010264468 A1		21-10-2010
			US	2012018785 A1		26-01-2012
<hr/>						
WO 2011054776	A1	12-05-2011	US	2011108920 A1		12-05-2011
			US	2011227165 A1		22-09-2011
			WO	2011054776 A1		12-05-2011
<hr/>						
US 2011024804	A1	03-02-2011	CN	101986423 A		16-03-2011
			JP	5465630 B2		09-04-2014
			JP	2011044706 A		03-03-2011
			JP	2014045208 A		13-03-2014
			KR	20110011573 A		08-02-2011
			TW	201118959 A		01-06-2011
			US	2011024804 A1		03-02-2011
			US	2014091362 A1		03-04-2014
<hr/>						
WO 2014099013	A1	26-06-2014	TW	201442117 A		01-11-2014
			US	2014175543 A1		26-06-2014
			WO	2014099013 A1		26-06-2014

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 ヴラディミール・マチュカウトサン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 カーン・リム

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 スタンリー・スンチュル・ソン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 チョ・フェイ・イエブ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

F ターム(参考) 5F032 AA11 AA35 AA44 CA05 CA17 DA02 DA13 DA22 DA25 DA33

DA74

5F140 AC01 AC28 BA01 BA05 BB05 BC13 BC15 CB04

5F152 LL03 MM04 NN03 NN27 NQ03 NQ04 NQ12 NQ13