

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4141696号  
(P4141696)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.	F I	
<b>G09F 9/30 (2006.01)</b>	G09F 9/30	330Z
<b>G02F 1/133 (2006.01)</b>	G02F 1/133	550
<b>G02F 1/1345 (2006.01)</b>	G02F 1/1345	
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	
<b>G09F 9/00 (2006.01)</b>	G09F 9/00	352
請求項の数 14 (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2002-24429 (P2002-24429)  
 (22) 出願日 平成14年1月31日(2002.1.31)  
 (65) 公開番号 特開2003-228298 (P2003-228298A)  
 (43) 公開日 平成15年8月15日(2003.8.15)  
 審査請求日 平成17年1月26日(2005.1.26)

(73) 特許権者 302020207  
 東芝松下ディスプレイテクノロジー株式会社  
 東京都港区港南4-1-8  
 (74) 代理人 100092794  
 弁理士 松田 正道  
 (72) 発明者 堀 誠一郎  
 大阪府門真市大字門真1006番地 松下  
 電器産業株式会社内  
 審査官 後藤 亮治

最終頁に続く

(54) 【発明の名称】 画像表示パネルとその製造方法、画像表示装置

(57) 【特許請求の範囲】

【請求項1】

基板と、前記基板上に設けられた複数のゲート配線と、前記基板上に設けられた、前記複数のゲート配線とマトリックス状に交差する複数のソース配線と、前記ゲート配線および前記ソース配線と接続された、複数の画素駆動用電極と、前記ゲート配線に走査信号を出力する走査線駆動回路に走査側駆動信号を供給するための走査側駆動信号配線と、前記ソース配線に画像信号を出力する画像線駆動回路に画像側駆動信号を供給するための画像側駆動信号配線とを有する画像表示パネルにおいて、

前記ゲート配線と前記走査側駆動信号配線とを接続する走査側バイパス配線と、前記ソース配線と前記画像側駆動信号配線とを接続する画像側バイパス配線とのいずれか一方を少なくとも備え、

前記走査側駆動信号配線には、走査側駆動信号またはゲート検査信号が供給され、

前記画像側駆動信号配線には、画像側駆動信号またはソース検査信号が供給される画像表示パネル。

【請求項2】

前記走査側バイパス配線上に設けられた、一端が前記ゲート配線と接続され、他端が第1の接続端子と第2の接続端子のいずれかに選択的に接続される、複数の第1のスイッチング素子と、

前記画像側バイパス配線上に設けられた、一端が前記ソース配線と接続され、他端が第3の接続端子と第4の接続端子のいずれかに選択的に接続される、複数の第2のスイッチ

ング素子とを備え、

前記第 1 の接続端子は前記走査側駆動信号配線と接続され、前記第 3 の接続端子は前記画像側駆動信号配線と接続された請求項 1 に記載の画像表示パネル。

【請求項 3】

前記複数のゲート配線は、奇数番目のものと偶数番目のものそれぞれに対応して  $2m$  ( $m$  : 1 以上の整数) 本であり、

前記複数のソース配線は、R の画素電極用、G の画素電極用および B の画素電極用で 3 本一組の計  $3n$  ( $n$  : 1 以上の整数) 本であり、

前記走査側駆動信号配線は、前記奇数番目のゲート配線に共通して接続された第 1 のサブ信号線と、前記偶数番目のゲート配線に共通して接続された第 2 のサブ信号線とを有し

10

、  
前記画像側駆動信号配線は、各 R の前記ソース配線に共通して接続された第 3 のサブ信号線と、各 G の前記ソース配線に共通して接続された第 4 のサブ信号線と、各 B の前記ソース配線に共通して接続された第 5 のサブ信号線とを有する請求項 2 に記載の画像表示パネル。

【請求項 4】

前記第 1 のスイッチング素子と、前記第 2 のスイッチング素子とは、一本の共通の制御線によって制御される請求項 3 に記載の画像表示パネル。

【請求項 5】

前記第 1 のスイッチング素子と、前記第 2 のスイッチング素子とは、互いに独立した制御線によってそれぞれ制御される請求項 3 に記載の画像表示パネル。

20

【請求項 6】

前記複数のゲート配線は、奇数番目のものと偶数番目のものそれぞれに対応して  $2m$  ( $m$  : 1 以上の整数) 本であり、

前記複数のソース配線は、R の画素電極用、G の画素電極用および B の画素電極用で 3 本一組の計  $3n$  ( $n$  : 1 以上の整数) 本であり、

前記走査側駆動信号配線は、前記奇数番目のゲート配線に共通して接続された第 1 のサブ信号線と、前記偶数番目のゲート配線に共通して接続された第 2 のサブ信号線とを有し

、  
前記画像側駆動信号配線は、各 R の前記ソース配線と、各 G の前記ソース配線と、各 B の前記ソース配線のうち、少なくともいずれかの 2 種類の配線に共通して接続された第 6 のサブ信号線を有し、

30

各 R の前記ソース配線に接続された前記第 2 のスイッチング素子は、共通の第 1 の制御線によって制御され、

各 G の前記ソース配線に接続された前記第 2 のスイッチング素子は、共通の第 2 の制御線によって制御され、

各 B の前記ソース配線に接続された前記第 2 のスイッチング素子は、共通の第 3 の制御線によって制御される請求項 2 に記載の画像表示パネル。

【請求項 7】

前記複数のゲート配線は、奇数番目のものと偶数番目のものそれぞれに対応して  $2m$  ( $m$  : 1 以上の整数) 本であり、

40

前記複数のソース配線は、R の画素電極用、G の画素電極用および B の画素電極用で 3 本一組の計  $3n$  ( $n$  : 1 以上の整数) 本であり、

前記画像側駆動信号配線は、各 R の前記ソース配線と、各 G の前記ソース配線と、各 B の前記ソース配線のうち、少なくともいずれかの 2 種類の配線に共通して接続された 2 本のサブ信号線を有し、

各ソース配線は、第 1 , 第 2 , 第 3 の分岐ソース配線に分岐しており、

前記 R、G、B の 3 本一組について、前記 R 側の第 1 の分岐ソース配線、前記 G 側の第 2 の分岐ソース配線、前記 B 側の第 3 の分岐ソース配線は、それぞれ前記第 2 のスイッチング素子を介して前記 2 本のサブ信号線の一方と接続し、前記 R 側の第 2 および第 3 の分

50

岐ソース配線、前記G側の第1および第3の分岐ソース配線、前記B側の第1および第2の分岐ソース配線は、それぞれ前記第2のスイッチング素子を介して前記2本のサブ信号線の他方と接続し、

各R、G、B側の前記第1の分岐ソース配線に接続された前記第2のスイッチング素子は、共通の第1の制御線によって制御され、

各R、G、B側の前記第2のソース配線に接続された前記第2のスイッチング素子は、共通の第2の制御線によって制御され、

各R、G、B側の前記第3のソース配線に接続された前記第2のスイッチング素子は、共通の第3の制御線によって制御される請求項2に記載の画像表示パネル。

【請求項8】

10

前記走査側バイパス配線上に設けられた、各前記ゲート配線と接続される複数の第1の出力端子および前記走査側駆動信号配線と接続された第1の入力端子と、

前記画像側バイパス配線上に設けられた、各前記ソース配線と接続される複数の第2の出力端子および前記画像側駆動信号配線と接続された第2の入力端子とを備え、

前記走査側バイパス配線は、前記第1の出力端子と、前記走査側駆動信号配線および第1の入力端子の接続点との間に切断部分を有し、

前記走査側バイパス配線は、前記第2の出力端子と、前記画像側駆動信号配線および第2の入力端子の接続点との間に切断部分を有する請求項1に記載の画像表示パネル。

【請求項9】

前記切断部分は金属製薄膜または金属製細線である請求項8に記載の画像表示パネル。

20

【請求項10】

請求項1に記載の画像表示パネルの前記走査側バイパス配線および前記画像側バイパス配線の導通をそれぞれ遮断する工程と、

前記ゲート配線と前記走査側駆動信号配線との間に走査側駆動回路を設ける工程と、

前記ソース配線と前記画像側駆動信号配線との間に画像側駆動回路を設ける工程とを備えた画像表示パネルの製造方法。

【請求項11】

請求項2に記載の画像表示パネルの前記第1のスイッチング素子を、第2の接続端子が選択されるように切り換える工程と、

前記第2のスイッチング素子を、第4の接続端子が選択されるように切り換える工程と

30

、前記第1の接続端子と前記ゲート配線との間に走査側駆動回路を設ける工程と、

前記第3の接続端子と前記ソース配線との間に画像側駆動回路を設ける工程とを備えた画像表示パネルの製造方法。

【請求項12】

請求項8に記載の画像表示パネルの前記走査側バイパス配線および前記画像側バイパス配線を、それらの耐電圧以上であって、前記ゲート配線、前記ソース配線、前記走査側駆動信号配線および前記画像側駆動信号配線のいずれの耐電圧よりも低い電圧を印加することにより切断する工程と、

前記ゲート配線と前記走査側駆動信号配線との間に走査側駆動回路を設ける工程と、

40

前記ソース配線と前記画像側駆動信号配線との間に画像側駆動回路を設ける工程とを備えた画像表示パネルの製造方法。

【請求項13】

前記ゲート配線および前記走査側駆動信号配線と接続された走査側駆動回路と、

前記ソース配線および前記画像側駆動信号配線と接続された画像側駆動回路とを備え、

前記走査側バイパス配線および前記画像側バイパス配線の導通は、それぞれ遮断されている、請求項1に記載の画像表示パネル。

【請求項14】

請求項13に記載の画像表示パネルと、

前記走査側駆動回路に走査側駆動信号またはゲート検査信号を供給するとともに、前記

50

画像側駆動回路に画像側駆動信号またはソース検査信号を供給する元信号供給手段を備えた画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば液晶パネルのような、画像表示パネルの構造に関する。

【0002】

【従来の技術】

液晶パネルは、小型軽量、低消費電力という長所があり、ノートPC、カーナビ用のモニターとして盛んに使用されている。中でもコントラスト、応答速度に優れるアクティブマトリクス方式のTFT液晶パネルが多用されている。

10

【0003】

この液晶パネルの一例を図7に示す。図において、11はガラス基板、12はゲート配線、13はソース配線、14は画素電極である。15はゲート配線12、ソース配線13、画素電極14に接続されたスイッチング素子であり、ソース配線13と画素電極14とを電氣的に接続/遮断する。16はゲート配線12用のゲート配線駆動回路、17はソース配線13用のソース配線駆動回路であり、半導体ICを用いる。このゲート配線駆動回路16およびソース配線駆動回路17の駆動信号は外部回路18で作成され、配線19を介してゲート配線駆動回路16およびソース配線駆動回路17の入力端子にそれぞれ供給される。

20

【0004】

また図では省略されているが、このガラス基板11は液晶を挟んで対向電極と向かい合う構造となっている。

【0005】

【発明が解決しようとする課題】

この液晶パネルが正常に動作するかを検査するためには、ゲート配線駆動回路16およびソース配線駆動回路17を接続して液晶パネルを表示させる必要があるが、表示に不具合が生じた場合、その原因がゲート配線駆動回路16およびソース配線駆動回路17によるものか、表示パネル側にあるのかを判断することが困難となる。

【0006】

30

したがって、液晶パネルの検査時においては、ゲート配線12用のゲート配線駆動回路16およびソース配線13用のソース配線駆動回路17である半導体ICを実装する前に、この液晶パネルを表示させて線欠陥、点欠陥等を検査するのが望ましい。

【0007】

しかしながら、このためには、ゲート配線12やソース配線13を複数接続させた検査用の配線、および外部から検査用の信号を入力する装置等を追加する必要がある。さらには配線を追加すると、液晶パネルの寸法が大きくなってしまいうという問題があった。

【0008】

本発明は、上記の課題に鑑みてなされたものであり、外部の検査信号出力装置を用いずに表示検査を行うことができるとともに、液晶パネルの寸法を小さくできる画像表示パネルの製造方法、画像表示パネル、画像表示装置を提供することを目的とする。

40

【0009】

【課題を解決するための手段】

上記の目的を達成するために、第1の本発明(請求項1に対応)は、基板と、前記基板上に設けられた複数のゲート配線と、前記基板上に設けられた、前記複数のゲート配線とマトリクス状に交差する複数のソース配線と、前記ゲート配線および前記ソース配線と接続された、複数の画素駆動用電極と、前記ゲート配線に走査信号を出力する走査線駆動回路に走査側駆動信号を供給するための走査側駆動信号配線と、前記ソース配線に画像信号を出力する画像線駆動回路に画像側駆動信号を供給するための画像側駆動信号配線とを有する画像表示パネルにおいて、

50

前記ゲート配線と前記走査側駆動信号配線とを接続する走査側バイパス配線と、  
前記ソース配線と前記画像側駆動信号配線とを接続する画像側バイパス配線とのいずれ  
か一方を少なくとも備え、

前記走査側駆動信号配線には、走査側駆動信号またはゲート検査信号が供給され、  
前記画像側駆動信号配線には、画像側駆動信号またはソース検査信号が供給される画像  
表示パネルである。

【0010】

また、第2の本発明（請求項2に対応）は、前記走査側バイパス配線上に設けられた、  
一端が前記ゲート配線と接続され、他端が第1の接続端子と第2の接続端子のいずれかに  
選択的に接続される、複数の第1のスイッチング素子と、

前記画像側バイパス配線上に設けられた、一端が前記ソース配線と接続され、他端が第  
3の接続端子と第4の接続端子のいずれかに選択的に接続される、複数の第2のスイッ  
チング素子とを備え、

前記第1の接続端子は前記走査側駆動信号配線と接続され、前記第3の接続端子は前記  
画像側駆動信号配線と接続された第1の本発明の画像表示パネルである。

【0011】

また、第3の本発明（請求項3に対応）は、前記複数のゲート配線は、奇数番目のもの  
と偶数番目のものとのそれぞれ対応して $2m$ （ $m$ ：1以上の整数）本であり、

前記複数のソース配線は、Rの画素電極用、Gの画素電極用およびBの画素電極用で3本  
一組の計 $3n$ （ $n$ ：1以上の整数）本であり、

前記走査側駆動信号配線は、前記奇数番目のゲート配線に共通して接続された第1のサ  
ブ信号線と、前記偶数番目のゲート配線に共通して接続された第2のサブ信号線とを有し  
、

前記画像側駆動信号配線は、各Rの前記ソース配線に共通して接続された第3のサブ信  
号線と、各Gの前記ソース配線に共通して接続された第4のサブ信号線と、各Bの前記ソ  
ース配線に共通して接続された第5のサブ信号線とを有する第2の本発明の画像表示パ  
ネルである。

【0012】

また、第4の本発明（請求項4に対応）は、前記第1のスイッチング素子と、前記第2  
のスイッチング素子とは、一本の共通の制御線によって制御される第3の本発明の画像表  
示パネルである。

【0013】

また、第5の本発明（請求項5に対応）は、前記第1のスイッチング素子と、前記第2  
のスイッチング素子とは、互いに独立した制御線によってそれぞれ制御される第3の本発  
明の画像表示パネルである。

【0014】

また、第6の本発明（請求項6に対応）は、前記複数のゲート配線は、奇数番目のもの  
と偶数番目のものとのそれぞれ対応して $2m$ （ $m$ ：1以上の整数）本であり、

前記複数のソース配線は、Rの画素電極用、Gの画素電極用およびBの画素電極用で3  
本一組の計 $3n$ （ $n$ ：1以上の整数）本であり、

前記走査側駆動信号配線は、前記奇数番目のゲート配線に共通して接続された第1のサ  
ブ信号線と、前記偶数番目のゲート配線に共通して接続された第2のサブ信号線とを有し  
、

前記画像側駆動信号配線は、各Rの前記ソース配線と、各Gの前記ソース配線と、各B  
の前記ソース配線のうち、少なくともいずれかの2種類の配線に共通して接続された第6  
のサブ信号線を有し、

各Rの前記ソース配線に接続された前記第2のスイッチング素子は、共通の第1の制御  
線によって制御され、

各Gの前記ソース配線に接続された前記第2のスイッチング素子は、共通の第2の制御  
線によって制御され、

10

20

30

40

50

各 B の前記ソース配線に接続された前記第 2 のスイッチング素子は、共通の第 3 の制御線によって制御される第 2 の本発明の画像表示パネルである。

【 0 0 1 5 】

また、第 7 の本発明（請求項 7 に対応）は、前記複数のゲート配線は、奇数番目のものと偶数番目のものとのそれぞれに対応して  $2m$ （ $m$ ：1 以上の整数）本であり、

前記複数のソース配線は、R の画素電極用、G の画素電極用および B の画素電極用で 3 本一組の計  $3n$ （ $n$ ：1 以上の整数）本であり、

前記画像側駆動信号配線は、各 R の前記ソース配線と、各 G の前記ソース配線と、各 B の前記ソース配線のうち、少なくともいずれかの 2 種類の配線に共通して接続された 2 本のサブ信号線を有し、

各ソース配線は、第 1，第 2，第 3 の分岐ソース配線に分岐しており、

前記 R、G、B の 3 本一組について、前記 R 側の第 1 の分岐ソース配線、前記 G 側の第 2 の分岐ソース配線、前記 B 側の第 3 の分岐ソース配線は、それぞれ前記第 2 のスイッチング素子を介して前記 2 本のサブ信号線の一方と接続し、前記 R 側の第 2 および第 3 の分岐ソース配線、前記 G 側の第 1 および第 3 の分岐ソース配線、前記 B 側の第 1 および第 2 の分岐ソース配線は、それぞれ前記第 2 のスイッチング素子を介して前記 2 本のサブ信号線の他方と接続し、

各 R、G、B 側の前記第 1 の分岐ソース配線に接続された前記第 2 のスイッチング素子は、共通の第 1 の制御線によって制御され、

各 R、G、B 側の前記第 2 のソース配線に接続された前記第 2 のスイッチング素子は、共通の第 2 の制御線によって制御され、

各 R、G、B 側の前記第 3 のソース配線に接続された前記第 2 のスイッチング素子は、共通の第 3 の制御線によって制御される第 2 の本発明の画像表示パネルである。

【 0 0 1 6 】

また、第 8 の本発明（請求項 8 に対応）は、前記走査側バイパス配線上に設けられた、各前記ゲート配線と接続される複数の第 1 の出力端子および前記走査側駆動信号配線と接続された第 1 の入力端子と、

前記画像側バイパス配線上に設けられた、各前記ソース配線と接続される複数の第 2 の出力端子および前記画像側駆動信号配線と接続された第 2 の入力端子とを備え、

前記走査側バイパス配線は、前記第 1 の出力端子と、前記走査側駆動信号配線および第 1 の入力端子の接続点との間に切断部分を有し、

前記画像側バイパス配線は、前記第 2 の出力端子と、前記画像側駆動信号配線および第 2 の入力端子の接続点との間に切断部分を有する第 1 の本発明の画像表示パネルである。

【 0 0 1 7 】

また、第 9 の本発明（請求項 9 に対応）は、前記切断部分は金属製薄膜または金属製細線である第 8 の本発明の画像表示パネルである。

【 0 0 1 8 】

また、第 10 の本発明（請求項 10 に対応）は、第 1 の本発明の画像表示パネルの前記走査側バイパス配線および前記画像側バイパス配線の導通をそれぞれ遮断する工程と、

前記ゲート配線と前記走査側駆動信号配線との間に走査側駆動回路を設ける工程と、

前記ソース配線と前記画像側駆動信号配線との間に画像側駆動回路を設ける工程とを備えた画像表示パネルの製造方法である。

【 0 0 1 9 】

また、第 11 の本発明（請求項 11 に対応）は、第 2 の本発明の画像表示パネルの前記第 1 のスイッチング素子を、第 2 の接続端子が選択されるように切り換える工程と、

前記第 2 のスイッチング素子を、第 4 の接続端子が選択されるように切り換える工程と、

前記第 1 の接続端子と前記ゲート配線との間に走査側駆動回路を設ける工程と、

前記第 3 の接続端子と前記ソース配線との間に画像側駆動回路を設ける工程とを備えた画像表示パネルの製造方法である。

10

20

30

40

50

## 【 0 0 2 0 】

また、第 1 2 の本発明（請求項 1 2 に対応）は、第 8 の本発明の画像表示パネルの前記走査側バイパス配線および前記画像側バイパス配線を、それらの耐電圧以上であって、前記ゲート配線、前記ソース配線、前記走査側駆動信号配線および前記画像側駆動信号配線のいずれの耐電圧よりも低い電圧を印加することにより切断する工程と、

前記ゲート配線と前記走査側駆動信号配線との間に走査側駆動回路を設ける工程と、

前記ソース配線と前記画像側駆動信号配線との間に画像側駆動回路を設ける工程とを備えた画像表示パネルの製造方法である。

## 【 0 0 2 1 】

また、第 1 3 の本発明（請求項 1 3 に対応）は、

前記ゲート配線および前記走査側駆動信号配線と接続された走査側駆動回路と、

前記ソース配線および前記画像側駆動信号配線と接続された画像側駆動回路とを備え、

前記走査側バイパス配線および前記画像側バイパス配線の導通は、それぞれ遮断されている、第 1 の本発明の画像表示パネルである。

10

## 【 0 0 2 2 】

また、第 1 4 の本発明（請求項 1 4 に対応）は、第 1 3 の本発明の画像表示パネルと、前記走査側駆動回路に走査側駆動信号またはゲート検査信号を供給するとともに、前記画像側駆動回路に画像側駆動信号またはソース検査信号を供給する元信号供給手段を備えた画像表示装置である。

## 【 0 0 2 3 】

## 【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

20

## 【 0 0 2 4 】

（実施の形態 1）

図 1 は、本発明の実施の形態 1 による画像表示装置の構成図である。図において、図 7 と同一部または相当部には同一符号を付し、詳細な説明は省略する。また、18' は外部出力回路、20 は制御配線、21 a、21 b は走査側駆動信号配線、22 a、22 b、22 c は画像側駆動信号配線、23 a は走査側スイッチング素子、23 b は画像側スイッチング素子、24 a は走査側出力端子、24 b は画像側出力端子、25 a は走査側入力端子、25 b は画像側入力端子である。

30

## 【 0 0 2 5 】

図に示すように、液晶パネル内の全てのゲート配線 1 2 には走査側スイッチング素子 2 3 a が、また全てのソース配線 1 3 は画像側スイッチング素子 2 3 b が付加されており、走査側スイッチング素子 2 3 a および画像側スイッチング素子 2 3 b は、1 本の制御配線 2 0 によりその接続が制御されている。

## 【 0 0 2 6 】

また、走査側駆動信号配線 2 1 a、2 1 b は、それぞれ偶数番目、奇数番目のゲート配線 1 3 に接続されており、さらに走査側出力端子 2 4 a に接続されている。また、画像側駆動信号配線 2 2 a、2 2 b、2 2 c は、それぞれ  $(3n + 1)$  番目の全てのソース配線 1 3、 $(3n + 2)$  番目の全てのソース配線、 $(3n + 3)$  番目の全てのソース配線 1 3 と接続している。ただしここで  $(3n + 1)$  番目の全てのソース配線 1 3 は R（赤）の画素電極と接続し、 $(3n + 2)$  番目の全てのソース配線 1 3 は G（緑）の画素電極と接続し、 $(3n + 3)$  番目の全てのソース配線 1 3 は B（青）の画素電極と接続している。

40

## 【 0 0 2 7 】

また、走査側スイッチング素子 2 3 a において、第 1 の接続端子 2 7 a は接続配線 2 8 a を介して走査側駆動信号配線 2 1 a または 2 1 b、加えて走査側出力端子 2 4 a に接続されており、第 2 の接続端子 2 6 a は走査側入力端子 2 5 a に接続されている。

## 【 0 0 2 8 】

また、画像側スイッチング素子 2 3 b において、第 3 の接続端子 2 7 b は接続配線 2 8 b を介して画像側駆動信号配線 2 2 a、2 2 b、2 2 c および画像側入力端子 2 4 b に接

50

続されており、第4の接続端子26bは画像側出力端子25bに接続されている。

【0029】

また、外部出力回路18'は、走査側駆動信号配線21a、21bを介して、図1には示さないゲート配線駆動回路にゲート駆動信号を出力し、画像側駆動信号配線22a、22b、22cを介して、図1には示さないソース配線駆動回路にソース駆動信号を出力する。ゲート配線駆動回路は、ゲート駆動信号を受けると、これに基づき走査信号をゲート配線12に出力し、ソース配線駆動回路は、ソース駆動信号を受けると、これに基づき画像信号をソース配線13に出力する。さらに外部出力回路18'は、走査側駆動信号配線21a、21bを介してゲート配線12にゲート検査信号を出力し、画像側駆動信号配線22a、22b、22cを介してソース配線13にソース検査信号を出力する。

10

【0030】

このような構成を有する本実施の形態による画像表示装置の動作について、以下に説明を行う。

【0031】

はじめに、液晶パネルに、ゲート配線駆動回路およびソース配線駆動回路が実装されていない場合は、制御配線20からの制御信号によって、走査側スイッチング素子23aにおいて、第1の接続端子27aとゲート配線12とを接続し、画像側スイッチング素子23bにおいて、第3の接続端子27bとソース配線13とを接続する。

【0032】

これにより、外部出力回路18'とゲート配線12とは、走査側駆動信号配線21a、21b、補助配線28aおよび走査側スイッチング素子23aを介して直結される。また、外部出力回路18'とソース配線13とは、画像側駆動信号配線22a、22b、22c、補助配線28bおよび画像側スイッチング素子23bを介して直結される。

20

【0033】

この状態で、外部出力回路18'から、ゲート検査信号を走査側駆動信号配線21a、21bに印加し、ソース検査信号を画像側駆動信号配線22a、22b、22cに印加し、さらに図1には示さない対向電極に信号を印加すると、液晶パネルに白・黒・赤(R)・緑(G)・青色(B)のテスト表示を行うことができる。

【0034】

次に、検査終了後、ゲート配線駆動回路およびソース配線駆動回路を実装して、液晶表示パネルを完成させる場合には、制御配線20からの制御信号によって、走査側スイッチング素子23aにおいて、第2の接続端子26aとゲート配線12とを接続し、画像側スイッチング素子23bにおいて、第4の接続端子26bとソース配線13とを接続する。

30

【0035】

さらにゲート配線駆動回路の入力端子を走査側出力端子24aに、出力端子を走査側入力端子25aに接続する。また、ソース配線駆動回路の入力端子を画像側出力端子24bに、出力端子を画像側入力端子25bに接続する。

【0036】

これにより、外部出力回路18'とゲート配線12とは、ゲート配線駆動回路を介して接続される。また、外部出力回路18'とソース配線13とは、ソース配線駆動回路を介して接続される。

40

【0037】

この状態で、外部出力回路18'から、走査側駆動信号を走査側駆動信号配線21a、21bに印加し、画像側駆動信号を画像側駆動信号配線22a、22b、22cに印加し、さらに図1には示さない対向電極に信号を印加すると、通常の画像表示を行うことができる。

【0038】

このように、本実施の形態によれば、外部出力回路18'から直結して得られる検査信号による、テスト用の液晶パネル表示と、ゲート配線駆動回路およびソース配線駆動回路を使った、通常の液晶パネル表示が別々にできるため、液晶パネルに線欠陥等が発生したと

50

きに、その線欠陥が液晶パネルに起因するのか、それともゲート配線駆動回路、ソース配線駆動回路側の不具合に起因するのかの判断、すなわち要因分離が簡単にできるようになる。

【0039】

さらに、補助配線28a、28bおよびスイッチング素子23a、32bを、ゲート配線駆動回路、ソース配線駆動回路が実装される位置の下部に設けると、液晶パネルの寸法増加を最小限にすることができる。

【0040】

なお、スイッチング素子23a、32bの切り替えは、ゲート配線駆動回路およびソース配線駆動回路の実装前に予め行ってもよい。

10

【0041】

また、ゲート配線12およびソース配線13と、画像側駆動信号配線との電気的な接続方法は、上記した一例以外にも存在する。たとえば、図2に示すように、画像側スイッチング素子23bの制御を行うため、制御配線20a、20b、20cの3本を用意し、制御配線20aをRのソース配線13に共通して接続し、制御配線20bをGのソース配線13に共通して接続し、制御配線20cをBのソース配線13に共通して接続する。これにより、ソース配線13とスイッチング素子23bを介して接続する画像側駆動信号配線は、画像側駆動信号配線29a、29bの2本とすることができる。また、図3に示すように、画像側駆動信号配線29cのただ一本を各画像側スイッチング素子23bと共通して接続するようにしてもよい。

20

【0042】

また、走査側スイッチング素子23aの制御配線と、画像側スイッチング素子23bの制御配線とは独立していてもよい。この場合、図4に示すように、外部出力回路18'からは、走査側スイッチング素子23aの制御配線20aと、画像側スイッチング素子23bの制御配線20bを設ける。

【0043】

また、図5に示すように、各ソース配線を三分岐させ、分岐した一本のソース配線のそれぞれに画像側スイッチング素子23bを設け、それぞれを左から順番に画像側スイッチング素子23b(イ)、(ロ)、(ハ)とする。さらに画像側スイッチング素子23b(イ)を共通の制御配線20aで接続し、画像側スイッチング素子23b(ロ)を共通の制御配線20bで接続し、画像側スイッチング素子23b(ハ)を共通の制御配線20cで接続する。

30

【0044】

また、全ソース配線のうち、(3n+1)番目のソース配線13aと接続した画像側スイッチング素子23b(イ)と、(3n+2)番目のソース配線13bと接続した画像側スイッチング素子23b(ロ)と、(3n+3)番目のソース配線13cと接続した画像側スイッチング素子23b(ハ)とを画像信号配線22a'にて接続し、全ソース配線のうち、(3n+1)番目のソース配線13aと接続した画像側スイッチング素子23b(ロ)および(ハ)と、(3n+2)番目のソース配線13bと接続した画像側スイッチング素子23b(イ)および(ハ)と、(3n+3)番目のソース配線13cと接続した画像側スイッチング素子23b(イ)および(ロ)とを画像信号配線22b'にて接続した構成としてもよい。特にこの構成の場合、ソース配線と接続した画像信号配線を3本から2本に減らすことができ、より狭配線の液晶パネルを実現することができる。

40

【0045】

また、低温ポリシリコン液晶パネルのように、ゲート配線駆動回路またはソース配線駆動回路の一方が液晶パネルと同一プロセスで作成でき、後に半導体ICとして実装する必要がない場合には、その駆動回路16または17を使用して液晶パネルを表示させることができる。この場合、ゲート配線駆動回路およびソース配線駆動回路として半導体ICを用いない液晶パネルにおいては、対応するゲート配線12またはソース配線13側の、スイッチング素子、補助配線および入出力端子を省略してもよい。

50

## 【 0 0 4 6 】

( 実施の形態 2 )

図 6 は、本発明の実施の形態 2 による画像表示装置の構成図である。図において、図 1 と同一部または相当部には同一符号を付し、詳細な説明は省略する。また、30a は走査側バイパス部材、30b は画像側バイパス部材である。

## 【 0 0 4 7 】

図に示すように、液晶パネル内の全てのゲート配線 12 は走査側入力端子 25a に接続され、さらに走査側入力端子 25a は、走査側バイパス部材 30a を介して走査側出力端子 24a および走査側駆動信号配線 21a、21b に接続している。

## 【 0 0 4 8 】

また、液晶パネル内の全てのソース配線 13 は画像側入力端子 25b に接続され、さらに画像側入力端子 25b は、画像側バイパス部材 30b を介して画像側出力端子 24b および画像側駆動信号配線 22a、22b、22c に接続している。

## 【 0 0 4 9 】

また、外部出力回路 18' は、走査側駆動信号配線 21a、21b を介して、図 1 には示さないゲート配線駆動回路にゲート駆動信号を出力し、画像側駆動信号配線 22a、22b、22c を介して、図 1 には示さないソース配線駆動回路にソース駆動信号を出力する。ゲート配線駆動回路は、ゲート駆動信号を受けると、これに基づき走査信号をゲート配線 12 に出力し、ソース配線駆動回路は、ソース駆動信号を受けると、これに基づき画像信号をソース配線 13 に出力する。さらに外部出力回路 18' は、走査側駆動信号配線 21a、21b を介してゲート配線 12 にゲート検査信号を出力し、画像側駆動信号配線 22a、22b、22c を介してソース配線 13 にソース検査信号を出力する。

## 【 0 0 5 0 】

このような構成を有する本実施の形態による画像表示装置の動作について、以下に説明を行う。

## 【 0 0 5 1 】

はじめに、液晶パネルに、ゲート配線駆動回路およびソース配線駆動回路が実装されていない場合は、外部出力回路 18' とゲート配線 12 とは、走査側駆動信号配線 21a、21b および走査側バイパス部材 30a を介して接続されている。また、外部出力回路 18' とソース配線 13 とは、画像側駆動信号配線 22a、22b、22c および画像側バイパス部材 30b を介して直結されている。

## 【 0 0 5 2 】

この状態で、外部出力回路 18' から、ゲート検査信号を走査側駆動信号配線 21a、21b に印加し、実施の形態 1 と同様にして、液晶パネルに白・黒・赤 ( R ) ・緑 ( G ) ・青色 ( B ) のテスト表示を行うことができる。

## 【 0 0 5 3 】

次に、検査終了後、ゲート配線駆動回路およびソース配線駆動回路を実装して、液晶表示パネルを完成させる場合には、走査側バイパス部材 30a を、走査側入力端子 25a と、走査側出力端子 24a および走査側信号駆動配線 21a、21b の接続点との間にて切断し、画像側バイパス部材 30b を、画像側入力端子 25b と、画像側出力端子 24b および画像側信号駆動配線 22a、22b、22c の接続点との間にて切断し、走査側出力端子 24a と走査側信号駆動配線 21a、21b および走査側入力端子 25a との導通、画像側出力端子 24b と画像側信号駆動配線 22a、22b、22c および画像側入力端子 25b との導通を遮断する。

## 【 0 0 5 4 】

この状態で、ゲート配線駆動回路の入力端子を走査側出力端子 24a に、出力端子を走査側入力端子 25a に接続し、ソース配線駆動回路の入力端子を画像側出力端子 24b に、出力端子を画像側入力端子 25b に接続する。

## 【 0 0 5 5 】

これにより外部出力回路 18' とゲート配線 12 とは、ゲート配線駆動回路を介して接続

10

20

30

40

50

される。また、外部出力回路 18' とソース配線 13 とは、ソース配線駆動回路を介して接続される。

【0056】

これにより、テスト表示が終了した後、ゲート配線駆動回路およびソース配線駆動回路を実装して、通常動作を行わせることができる。この時に液晶パネルに表示の不具合が生じるとすれば、実装したゲート配線駆動回路、ソース配線駆動回路にその原因があると判断することができる。

【0057】

このように、本実施の形態によれば、実施の形態 1 のスイッチング素子のような構成が不必要になり、より液晶パネルの寸法を小さくできる。

10

【0058】

なお、走査側バイパス部材 30a および画像側バイパス部材 30b の切断には、レーザーを照射して配線を焼き切る方法や、カッター等の機械的な方法で切断する方法があるが、切断するための幅が必要であるため、液晶パネルの寸法がかえって大きくなってしまう。

【0059】

そこで、走査側バイパス部材 30a および画像側バイパス部材 30b の切断部分 31 の構成は、膜厚を極端に薄くした薄膜部として、ゲート配線駆動回路およびソース配線駆動回路を実装する時の熱と圧力で、膜厚が薄い薄膜部を切断する。

【0060】

また、切断部分 31 としては、薄膜部の代わりに、極端に細い、耐電圧の低い極細配線を設け、ゲート配線駆動回路およびソース配線駆動回路を実装する前に、走査側信号駆動配線 21a、21b および画像側信号駆動配線 22a、22b、22c とゲート配線 12 およびソース配線 13 との間に 10V 以上の高電圧を印加し、極細配線を発熱させて切断する。このとき、走査側入力端子 25a、画像側入力端子 25b は接地するようにする。これによれば、高電位の印加によるゲート配線 12 およびソース配線 13 の線欠陥、断線等を防ぐことができる。

20

【0061】

なお、上記の実施の形態において、ガラス基板 11 は本発明の基板に相当する。また、走査側スイッチング素子 23a は、本発明の第 1 のスイッチング素子に相当し、画像側スイッチング素子 23b および 23b (イ) (ロ) (ハ) は、本発明の第 2 のスイッチング素子に相当する。また、走査側スイッチング素子 23a および接続配線 28a は本発明の走査側バイパス配線に相当する。また、ソース信号線 13a は本発明の R 側のソース配線に、また、ソース信号線 13b は本発明の G 側のソース配線に、また、ソース信号線 13c は本発明の B 側のソース配線にそれぞれ相当する。

30

【0062】

また、画像側スイッチング素子 23b (イ) に接続したソース信号線 13a、ソース信号線 13b、ソース信号線 13c の分岐線は、本発明の第 1 の分岐ソース配線に相当し、画像側スイッチング素子 23b (ロ) に接続したソース信号線 13a、ソース信号線 13b、ソース信号線 13c の分岐線は、本発明の第 2 の分岐ソース配線に相当し、画像側スイッチング素子 23b (ハ) に接続したソース信号線 13a、ソース信号線 13b、ソース信号線 13c の分岐線は、本発明の第 3 の分岐ソース配線に相当する。

40

【0063】

また、画像側スイッチング素子 23b および接続配線 28b は本発明の画像側バイパス配線に相当する。また、走査側駆動信号線 21a は本発明の第 1 のサブ信号線に相当し、走査側駆動信号線 21b は本発明の第 2 のサブ信号線に相当する。また、画像側駆動信号線 22a は本発明の第 3 のサブ信号線に相当し、画像側駆動信号線 22b は本発明の第 4 のサブ信号線に相当し、画像側駆動信号線 22c は本発明の第 5 のサブ信号線に相当する。

【0064】

また、画像側駆動信号線 29a、29b、29c は本発明の第 6 のサブ信号線に相当し、画像信号配線 22a' は本発明の 2 本のサブ信号線の一方に、また画像信号配線 22b'

50

は本発明の2本のサブ信号線の他方に相当し、制御配線20a、20b、20cは、それぞれ本発明の第1の制御線、第2の制御線、第3の制御線に相当する。また、外部出力回路18'は本発明の元信号供給手段に相当する。

【0065】

また、上記の各実施の形態において、画像表示パネルは液晶パネルであるとして説明を行ったが、本発明の画像表示パネルは、プラズマディスプレイパネルやELディスプレイパネルなど、他の表示手段を有するパネルであつてもよい。

【0066】

また、本発明は、表示テスト実行前のゲート配線駆動回路およびソース配線駆動回路を省いた画像表示パネルであつてもよい。

10

【0067】

また、本発明は、本発明の画像表示パネルを搭載した画像表示装置であつてもよい。

【0068】

【発明の効果】

以上説明したところから明らかなように、本発明により、外部の検査信号出力用の手段を用いずに画像パネルをテスト表示させることができ、パネルの寸法増加を最小限にすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による液晶表示装置の構成図である。

【図2】本発明の実施の形態1による液晶表示装置の他の構成例を示す図である。

20

【図3】本発明の実施の形態1による液晶表示装置の他の構成例を示す図である。

【図4】本発明の実施の形態1による液晶表示装置の他の構成例を示す図である。

【図5】本発明の実施の形態1による液晶表示装置の他の構成例を示す図である。

【図6】本発明の実施の形態2による液晶表示装置の構成図である。

【図7】従来技術による液晶パネルの一例を示す図である。

【符号の説明】

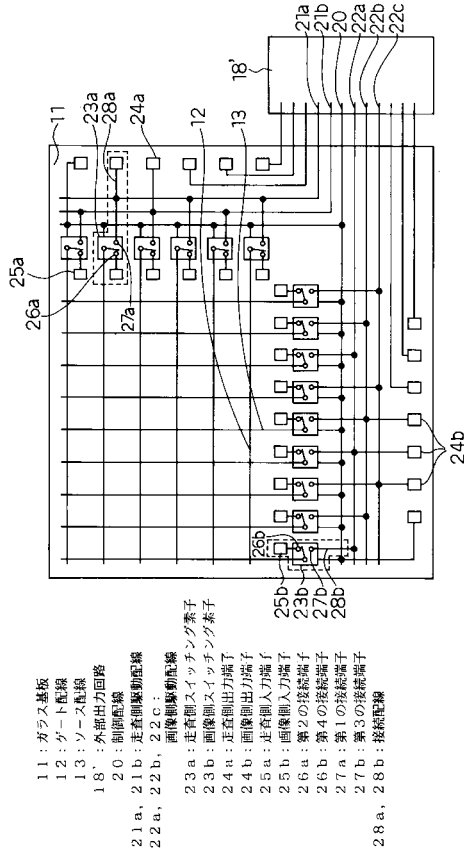
- 11 ガラス基板
- 12 ゲート配線
- 13 ソース配線
- 14 画素電極
- 15 スイッチング素子
- 16 ゲート配線駆動回路
- 17 ソース配線駆動回路
- 18 外部回路
- 18' 外部出力回路
- 19 配線
- 20、20a、20b、20c 制御配線
- 21a、21b 走査側駆動信号配線
- 22a、22b、22c 画像側駆動信号配線
- 23a 走査側スイッチング素子
- 23b 画像側スイッチング素子
- 24a 走査側出力端子
- 24b 画像側出力端子
- 25a 走査側入力端子
- 25b 画像側入力端子
- 26a 第2の接続端子
- 26b 第4の接続端子
- 27a 第1の接続端子
- 27b 第3の接続端子
- 28a、28b 接続配線

30

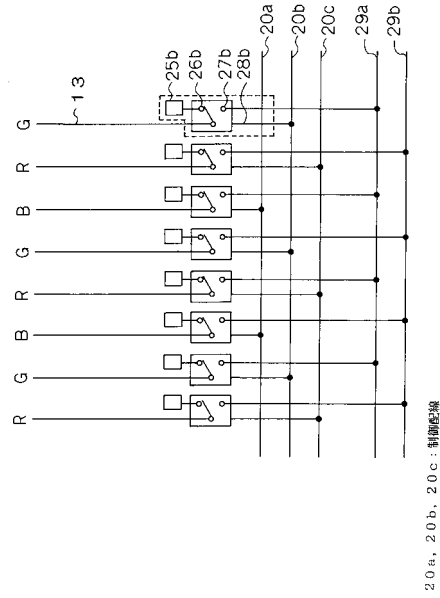
40

50

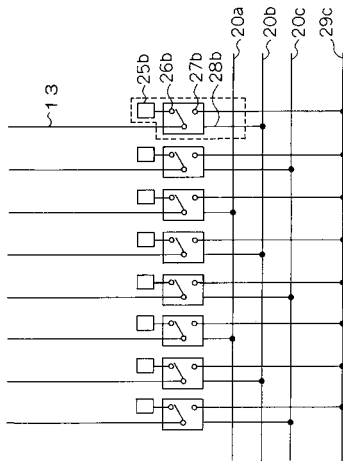
【 図 1 】



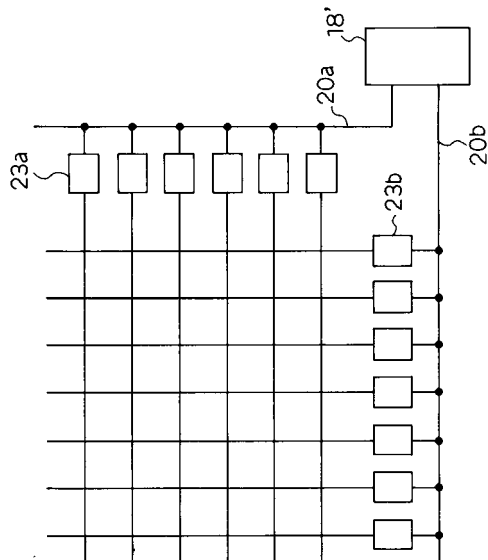
【 図 2 】



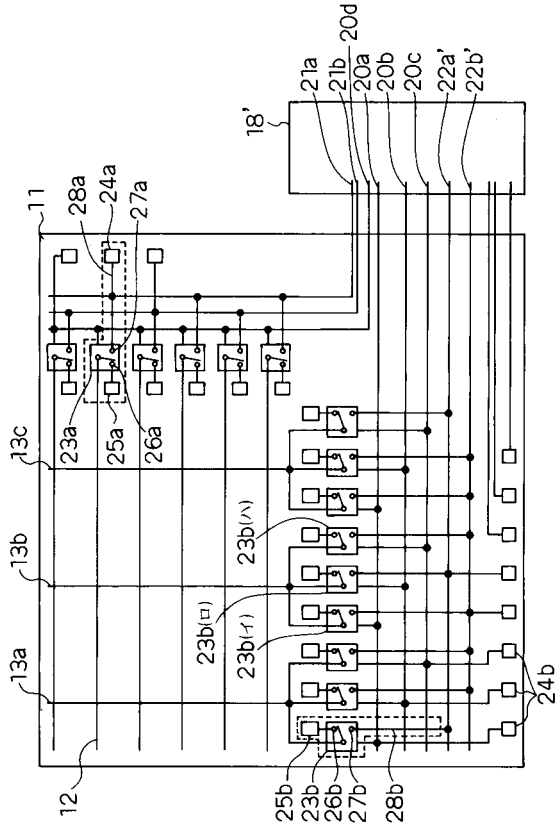
【 図 3 】



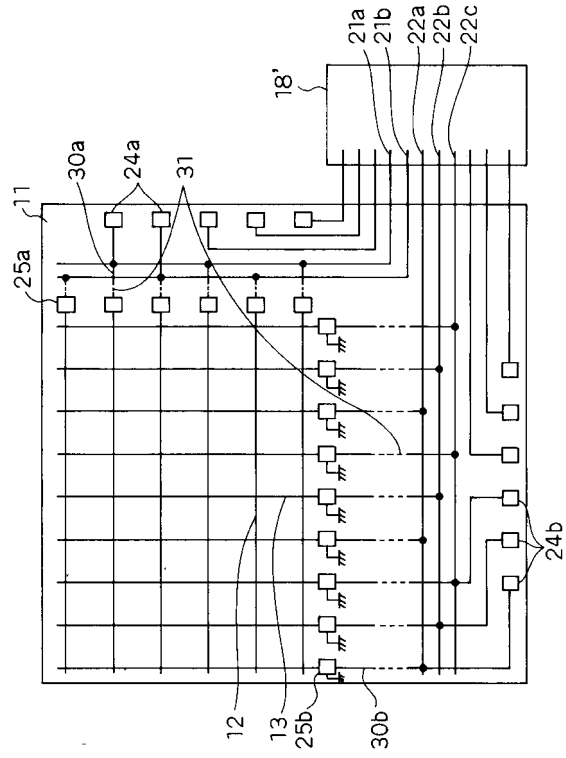
【 図 4 】



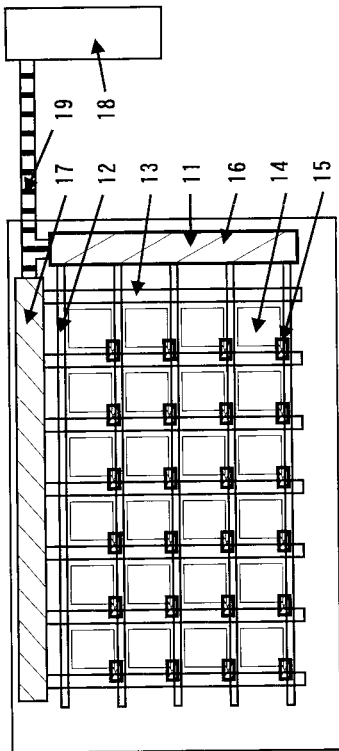
【図5】



【図6】



【図7】



- 11: ガラス基板
- 12: ゲート配線
- 13: ソース配線
- 14: 画素電極
- 15: スイッチング素子
- 16: ゲート配線駆動回路
- 17: ソース配線駆動回路
- 18: 外部回路
- 19: 配線

---

フロントページの続き

(51) Int.Cl. F I  
G 0 9 G 3/36 (2006.01) G 0 9 G 3/36

(56) 参考文献 特開 2 0 0 1 - 0 0 5 0 2 7 ( J P , A )  
特開平 1 1 - 3 1 1 7 9 8 ( J P , A )  
特開平 1 1 - 3 3 8 3 7 6 ( J P , A )  
特開平 1 1 - 0 3 0 9 6 2 ( J P , A )  
特開平 0 5 - 0 0 5 8 6 6 ( J P , A )

(58) 調査した分野 (Int.Cl. , D B 名)

G09F 9/00 - 9/46  
H01L 27/32  
G02F 1/133  
G02F 1/1343- 1/1345  
G02F 1/135 - 1/1368  
G09G 3/00 - 3/38