(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/108

(11) 공개번호 특1998-014482
(43) 공개일자 1998년05월25일

(21) 출원번호 특1996-033471
(22) 출원일자 1996년08월12일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 강성훈
서울특별시 서초구 양재동 97-1 서울빌라 201호
김민
서울특별시 송파구 가락본동 50-12호 목화빌라 101호
(74) 대리인 이영필, 권석흠, 정상빈

심사청구 : 있음

(54) 반도체 장치의 커패시터 제조방법

요약

반구형의 USG(undoped silicate glass)막을 이용한 반도체 장치의 커패시터 제조방법에 관하여 개시한다. 본 발명은 반도체 기판상에 콘택홀을 갖는 절연막을 형성하는 단계와, 상기 콘택홀을 매몰하면서 상기 절연막상에 임의의 두께를 갖는 도전층을 형성하는 단계와, 상기 도전층 상에 반구형의 USG막을 형성하는 단계와, 상기 도전층 및 상기 반구형의 USG막을 패터닝하여 도전층 패턴 및 반구형의 USG막 패턴을 형성하는 단계와, 상기 반구형의 USG막 패턴을 마스크로 상기 도전층 패턴을 일정 깊이로 식각함으로써 돌기모양의 스토리지 전극을 형성하는 단계와, 상기 반구형의 USG막 패턴을 제거하는 단계와, 상기 스토리지 전극이 형성된 기판의 전면에 유전막 및 플레이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법을 제공한다. 상술한 바와 같은 본 발명의 반도체 장치의 커패시터 제조방법은 반구형의 USG막을 이용하여 공정마진이 크고, 크기의 조절이 용이하며 웨이퍼 이면에 증착되지 않아 유용하게 사용될 수 있다.

대표도

도6

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래의 HSG다결정실리콘막을 사용한 반도체 장치의 커패시터의 제조방법을 도시한 단면도들이다.

도 4 내지 도 7은 본 발명의 일 예에 의한 반도체 장치의 커패시터의 제조방법을 나타낸 단면도들이다.

도 8 및 도 9는 본 발명의 다른 예에 의한 반도체 장치의 커패시터의 제조방법을 나타낸 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 커패시터 제조방법에 관한 것으로, 특히 반구형의 불순물이 도핑되지 않은 실리케이트 글래스(undoped silicate glass: 이하, USG라 함)막을 이용하여 커패시턴스의 증가를 용이하게 달성할 수 있는 반도체 장치의 커패시터 제조방법에 관한 것이다.

일반적으로 DRAM 소자의 집적도가 증가함에 따라 하나의 칩에서 단위 셀이 차지하는 면적이 줄어들게 되어 커패시터의 커패시턴스의 감소를 초래하였다. 이에 따라, 커패시턴스를 증가시키기 위하여 커패시터의 하부전극을 3차원 구조로 변경하게 되었다. 그러나, 이러한 3차원 구조의 커패시터는 디자인 룰의 한계 및 공정의 복잡성 등의 문제점이 있다.

이에 따라 하부전극의 구조 개선에 의존하지 않고 하부전극을 구성하는 물질 자체의 특성을 이용하여 커패시턴스를 증가시키는 방법, 예컨대 반구모양의 그레인(Hemispherica grain)을 갖는 다결정 실리콘막(

이하, HSG 다결정실리콘막이라 함)을 이용하여 하부전극의 표면적을 증가시키는 방법이 제안되었다.

도 1 내지 도 3은 종래의 HSG 다결정실리콘층을 사용한 반도체 장치의 커패시터의 제조방법을 도시한 단면도들이다.

도 1에서, 반도체기판(1)상에 절연막(2)을 형성한 후, 상기 절연막(2)을 이방성 식각하여 콘택홀을 형성한다. 상기 콘택홀은 도면에 표시하지는 아니하였지만 하부에 소오스영역 또는 드레인영역의 일부분을 노출시킨다. 이어서, 상기 콘택홀을 완전히 채우며 상기 절연막(2)상에서는 임의의 두께를 갖도록 도전층을 형성한후, 패터닝하여 도전층 패턴(이하, 하부전극이라 칭함)을 각 셀 단위로 형성한다.

도 2에서, 상기 하부전극(3)을 포함한 기판의 전면에 HSG 다결정실리콘막(4)을 형성한다. 이렇게 되면 하부전극(3)의 상면과 양측면 및 절연막(2)상에 HSG다결정실리콘이 형성된다. 상기 HSG다결정실리콘막(4)은 미세한 반구모양의 그레인들로 이루어져 있으며, 울퉁불퉁한 표면을 갖는다.

도 3에서, 상기 HSG다결정실리콘막(4)이 형성된 기판을 전면 식각, 예컨대 에치백 하면, 특히 상기 하부전극(3)의 양측벽부에만 HSG다결정실리콘막(4)이 남게 된다. 결국, 하부전극의 양측벽부에 형성된 HSG다결정실리콘막(4)과 하부전극(3)으로 구성된 스토리지 전극이 형성된다. 이어서, 결과물 전면에 유전체막(도시 안함)을 덮고 이 유전체막 전면에 예컨대, 다결정실리콘과 같은 도전물질을 침적하여 커패시터의 플레이트 전극(도시 안함)을 형성하여 커패시터를 완성한다.

상술한 HSG 다결정실리콘층을 이용한 커패시터 제조방법은 다음과 같은 문제점이 있다.

첫째로, 커패시터의 하부전극이 불순물로 도핑되어 있을 경우, HSG 다결정실리콘의 크기가 증가할수록 하부전극에서 밖으로 확산되는 불순물이 충분하지 않기 때문에 커패시턴스가 감소한다. 또한, 포클(POCl3) 침적이나 이온주입에 의하여 하부전극을 강제로 도핑시킬 경우는 포클에서 생긴 P205막을 습식식각으로 제거해야 하는 데, 이때 HSG 다결정실리콘층의 표면이 일부식각되어 커패시터의 면적증대 효과가 반감되며, 이온주입에 의한 경우는 불순물의 강제주입에 의하여 HSG 다결정실리콘층의 표면이 뭉글어지는 문제가 있다.

둘째, 하부전극의 형성 후에 HSG 다결정실리콘층을 증착할 때 하부전극들 사이에도 HSG 다결정실리콘층들이 형성되어 각 셀 단위로 하부전극을 절연시키는 효과가 없어진다. 따라서, 하부전극들 사이에 형성된 HSG 다결정실리콘층의 브리지를 끊어주기 위하여 전면식각을 실시해야 하는데, 이때 하부전극의 상부면과 측면부에 형성되어 있는 HSG 다결정실리콘층이 함께 식각되어 커패시터의 면적 증대 효과가 감소된다.

셋째로, HSG의 형성시 웨이퍼의 뒷면까지 HSG 다결정실리콘층이 형성됨으로 후속공정에서 웨이퍼의 앞면에 감광액으로 코팅시킨 후 이면에 형성된 HSG 다결정실리콘층을 습식식각으로 제거하고 다시 앞면의 감광액을 제거해야 하는 공정이 추가된다.

넷째, HSG 다결정실리콘층 형성공정의 공정마진이 적다. 설비에 따라 온도차이는 있으나 비정질실리콘에서 다결정실리콘으로 변경되는 전이온도 범위가 작다. 따라서, 전이온도 범위 마진, 예컨대 ±5℃를 벗어나면 HSG 다결정실리콘 크기와 밀도의 재현성이 없어지며 한 배치내의 웨이퍼간 및 배치간의 재현성 조절도 어려움이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 상술한 문제를 해결할 수 있는 반도체 장치의 커패시터 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 반도체 기판상에 콘택홀을 갖는 절연막을 형성하는 단계와, 상기 콘택홀을 매몰하면서 상기 절연막상에 임의의 두께를 갖는 도전층을 형성하는 단계와, 상기 도전층 상에 반구형의 USG막을 형성하는 단계와, 상기 도전층 및 상기 반구형의 USG막을 패터닝하여 도전층 패턴 및 반구형의 USG막 패턴을 형성하는 단계와, 상기 반구형의 USG막 패턴을 마스크로 상기 도전층 패턴을 일정 깊이로 식각함으로써 돌기모양의 스토리지 전극을 형성하는 단계와, 상기 반구형의 USG막 패턴을 제거하는 단계와, 상기 스토리지 전극이 형성된 기판의 전면에 유전막 및 플레이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법을 제공한다.

상기 스토리지 전극을 형성하는 단계 후에 상기 도전층 패턴의 하면에 형성된 절연막을 식각하는 단계를 더 포함할 수 있다. 또한, 상기 반구형의 USG막 패턴을 형성하는 단계 후에, 상기 반구형의 USG막 패턴을 식각하는 단계를 더 포함하여 상기 반구형으 USG막 패턴들 사이의 폭을 조절할 수 있다.

상기 반구형의 USG막은 오존 및 TEOS를 소오스로 이용한 CVD장비로 형성한다.

또한, 본 발명은 반도체 기판상에 콘택홀을 갖는 절연막을 형성하는 단계와,상기 콘택홀을 매몰하면서 상기 절연막상에 임의의 두께를 갖는 도전층을 형성하는 단계와, 상기 도전층을 패터닝하여 도전층 패턴을 형성하는 단계와, 상기 도전층 패턴이 형성된 기판의 전면에 반구형의 USG막을 형성하는 단계와, 상기 도전층 패턴의 측벽에 형성된 상기 반구형의 USG막을 식각하여 상기 도전층 패턴 상에 반구형의 USG막 패턴을 형성하는 단계와, 상기 USG막 패턴을 마스크로 상기 도전층 패턴을 일정 깊이로 식각함으로써 돌기모양의 스토리지 전극을 형성하는 단계와, 상기 반구형의 USG막 패턴을 제거하는 단계와, 상기 스토리지 전극이 형성된 기판의 전면에 유전체 및 플레이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법을 제공한다.

상기 스토리지 전극을 형성하는 단계 후에 상기 도전층 패턴의 하면에 형성된 절연막을 식각하는 단계를 더 포함할 수 있다. 또한, 상기 반구형의 USG막 패턴을 형성하는 단계 후에, 상기 반구형의 USG막 패턴

을 식각하는 단계를 더 포함하여 상기 반구형으 USG막 패턴들 사이의 폭을 조절할 수 있다. 상기 반구형의 USG막은 오존 및 TEOS(Tetra-Ethyl-Ortho-Silicate)를 이용한 화학기상증착(CVD)장비로 형성할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 4 내지 도 7은 본 발명의 제1 실시예에 의한 반도체 장치의 커패시터의 제조방법을 나타낸 단면도들이다.

도4는 반도체 기판(11) 상에 콘택홀을 갖는 절연막(13), 도전층(15) 및 반구형의 USG막(17)을 형성하는 단계를 나타낸다.

구체적으로, 반도체 기판(11) 상에 콘택홀을 갖는 절연막(13)을 형성한다. 상기 콘택홀은 기판을 노출시켜, 후공정에 형성되는 도전층은 소오스 영역 또는 드레인 영역(도면에 도시 하지 않음)과 접속되거나, 또는 하부 구조물이 있을 경우(예를 들면 국부 배선)는 상기 하부 구조물을 노출시켜 후 공정에 형성되는 도전층과 접속된다. 이어서, 상기 콘택홀을 완전히 채우며 상기 절연막(13) 상에서 임의의 두께를 갖도록 도전층(15)을 폴리실리콘막으로 형성한다. 다음에, 상기 도전층(15) 상에 반구형의 USG막(17)을 형성한다. 상기 반구형의 USG막(17)은 오존 및 TEOS를 소오스로 이용한 CVD장비로 형성하며, 폴리실리콘과 같은 도전층 상에서 높은 증착속도를 가지며 표면 모폴로지가 불균형하게 형성된다.

도 5는 도전층 패턴(15a) 및 반구형의 USG막 패턴(17a)을 형성하는 단계를 나타낸다.

구체적으로, 상기 도전층(15) 및 상기 반구형의 USG막(17)을 패터닝하여 도전층 패턴(15a)과 상기 도전층 패턴(15a) 상에 반구형의 USG막 패턴(17a)을 형성한다. 상기 도전층 패턴(15a)은 커패시터의 하부 전극으로써, 스택(stack)형 커패시터, 트렌치(trench)형 커패시터, 스택-트렌치 병합형 커패시터, 박스(box)구조 커패시터, 실린더 커패시터 및 핀 커패시터등의 여러구조로 변형하여도 무방하다.

다음에, 필요에 따라 상기 반구형의 USG막 패턴을 식각하여 상기 반구형의 USG막 패턴들 사이의 폭을 조절한다.

도 6은 돌기모양의 스토리지 전극(15b)을 형성하는 단계를 나타낸다.

구체적으로, 상기 반구형의 USG막 패턴(17a)을 마스크로 상기 도전층 패턴(15a)을 일정 깊이로 식각함으로써 돌기모양의 스토리지 전극(15b)을 형성한다. 이어서, 상기 반구형의 USG막 패턴(17a)을 제거한다.

도 7은 절연막(13)을 제거하는 단계를 나타낸다.

구체적으로, 상기 도전층 패턴(15a)의 하면에 형성된 절연막(13)을 제거한다. 상기 절연막(13)의 제거를 통하여 스토리지 전극의 표면적을 늘릴 수 있다. 상기 절연막(13)의 제거는 필요에 따라 수행하지 않을 수 도 있다. 계속하여, 스토리지 전극(15b)이 형성된 기판(11)의 전면에 유전막(도시 안됨)을 형성한다. 상기 유전막은 ONO(산화막, 질화막 및 산화막의 3중막), NO막(질화막 및 산화막의 2중막), 질화막, 산화막, 탄탈륨 산화막 및 타이타늄 산화막 중에서 선택된 어느 하나로 형성한다. 이어서, 상기 유전막 상에 플레이트 전극(도시 안됨)을 형성하여 반도체 장치의 커패시터를 완성한다.

도 8 및 도 9는 본 발명의 제2 실시예에 의한 반도체 장치의 커패시터의 제조방법을 나타낸 단면도이다.

본 발명의 제2 실시예는 상기 USG막 패턴의 형성방법을 제외하고는 상기 제1 실시예와 동일하다. 그리고, 제2 실시예에서 상기 제1 실시예와 동일한 참조번호는 동일한 부재를 나타낸다.

도 8은 반도체 기판(11) 상에 콘택홀을 갖는 절연막(13)과 상기 콘택홀을 매립하는 도전층(15)을 형성하는 단계를 나타낸다.

구체적으로, 반도체 기판(11) 상에 콘택홀을 갖는 절연막(13)을 형성한다. 상기 콘택홀은 기판을 노출시켜, 후공정에 형성되는 도전층은 소오스 영역 또는 드레인 영역(도면에 도시 하지 않음)과 접속되거나, 또는 하부 구조물이 있을 경우(예를 들면 국부 배선)는 상기 하부 구조물을 노출시켜 후 공정에 형성되는 도전층과 접속된다. 이어서, 상기 콘택홀을 완전히 채우며 상기 절연막(13) 상에서 임의의 두께를 갖도록 도전층(15)을 형성한다.

도 9는 도전층 패턴(15a) 및 반구형의 USG막 패턴(19)을 형성하는 단계를 나타낸다.

구체적으로, 상기 도전층(15)을 패터닝하여 도전층 패턴(15a)을 형성한다. 이어서, 상기 도전층 패턴(15a)이 형성된 기판의 전면에 반구형의 USG막(19)을 형성한다. 이렇게 되면, 도전층 패턴(15a)의 측면 및 상면에 반구형의 USG막(19)이 형성된다.

다음에, 상기 도전층 패턴(15a)의 측면에 형성된 반구형의 USG막 패턴(19)을 제거한 후 상기 제1 실시예와 동일하게 도 6 및 도 7 단계를 수행하여 스토리지 전극을 형성한다. 계속하여, 제1 실시예와 동일한 방법으로 스토리지 전극이 형성된 기판의 전면에 유전막 및 플레이트 전극을 순차적으로 형성하여 반도체 장치의 커패시터를 완성한다.

발명의 효과

상술한 바와 같은 본 발명의 반도체 장치의 커패시터 제조방법은 반구형의 USG막을 이용하여 종래의 HSG 폴리실리콘막보다 공정마진이 크고, 크기의 조절이 용이하며 웨이퍼 이면에 증착되지 않으므로 반도체 장치의 제조에 유용하게 사용될 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판상에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀을 매몰하면서 상기 절연막상에 임의의 두께를 갖는 도전층을 형성하는 단계;

상기 도전층 상에 반구형의 USG막을 형성하는 단계;

상기 도전층 및 상기 반구형의 USG막을 패터닝하여 도전층 패턴 및 반구형의 USG막 패턴을 형성하는 단계;

상기 반구형의 USG막 패턴을 마스크로 상기 도전층 패턴을 일정 깊이로 식각함으로써 돌기모양의 스토리지 전극을 형성하는 단계;

상기 반구형의 USG막 패턴을 제거하는 단계; 및

상기 스토리지 전극이 형성된 기판의 전면에 유전막 및 플레이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 2

제1항에 있어서, 상기 스토리지 전극을 형성하는 단계 후에 상기 도전층 패턴의 하면에 형성된 절연막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 3

제1항에 있어서, 상기 반구형의 USG막 패턴을 형성하는 단계 후에, 상기 반구형의 USG막 패턴을 식각하는 단계를 더 포함하여 상기 반구형의 USG막 패턴들 사이의 폭을 조절하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 4

제1항에 있어서, 상기 반구형의 USG막은 오존 및 TEOS를 소오스로 이용한 CVD장비로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법

청구항 5

제1항에 있어서, 상기 유전막은 ONO막, NO막, 질화막, 산화막, 탄탈륨 산화막 및 타이타늄 산화막 중에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 6

반도체 기판상에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀을 매몰하면서 상기 절연막상에 임의의 두께를 갖는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여 도전층 패턴을 형성하는 단계;

상기 도전층 패턴이 형성된 기판의 전면에 반구형의 USG막을 형성하는 단계;

상기 도전층 패턴의 측벽에 형성된 상기 반구형의 USG막을 식각하여 상기 도전층 패턴 상에 반구형의 USG막 패턴을 형성하는 단계;

상기 USG막 패턴을 마스크로 상기 도전층 패턴을 일정 깊이로 식각함으로써 돌기모양의 스토리지 전극을 형성하는 단계;

상기 반구형의 USG막 패턴을 제거하는 단계; 및

상기 스토리지 전극이 형성된 기판의 전면에 유전체 및 플레이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 7

제6항에 있어서, 상기 스토리지 전극을 형성하는 단계 후에 상기 도전층 패턴의 하면에 형성된 절연막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 8

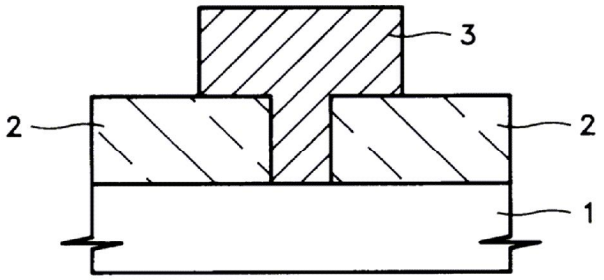
제6항에 있어서, 상기 반구형의 USG막 패턴을 형성하는 단계 후에, 상기 반구형의 USG막 패턴을 식각하는 단계를 더 포함하여 상기 반구형의 USG막 패턴들 사이의 폭을 조절하는 것을 특징으로 하는 반도체 장치의 커패시터 제조방법.

청구항 9

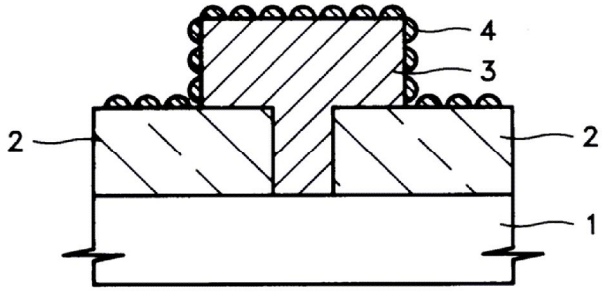
제6항에 있어서, 상기 반구형의 USG막은 오존 및 TEOS를 소오스로 이용한 CVD장비로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법

도면

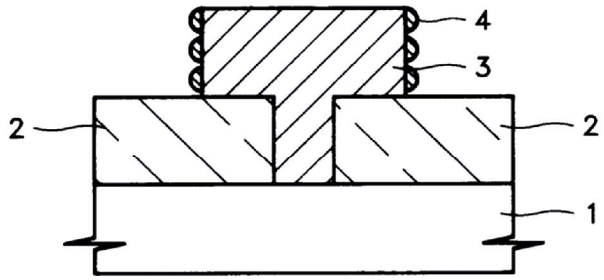
도면1



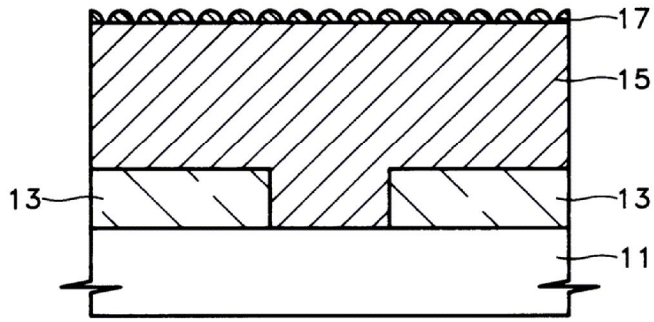
도면2



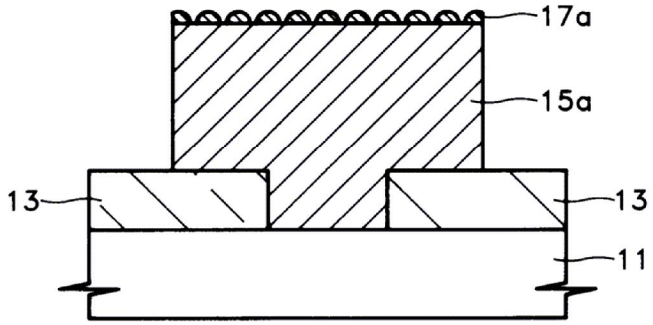
도면3



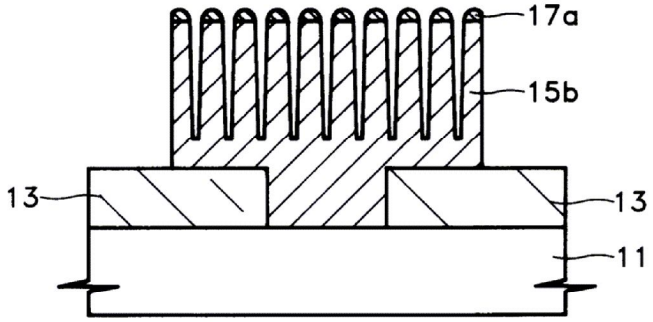
도면4



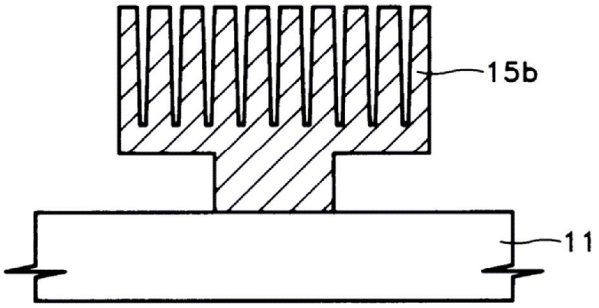
도면5



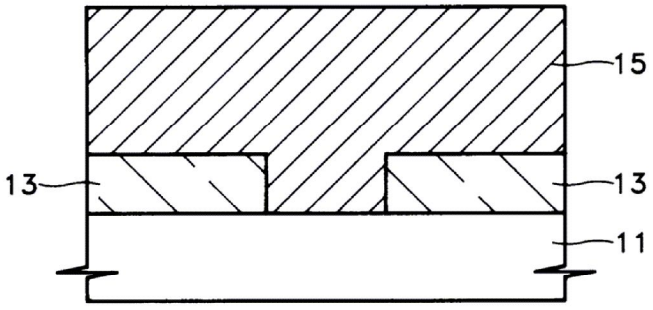
도면6



도면7



도면8



도면9

