

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. April 2006 (06.04.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/034670 A1

(51) Internationale Patentklassifikation:

H01L 25/065 (2006.01) *H01L 25/10* (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2005/001600

(22) Internationales Anmeldedatum:

13. September 2005 (13.09.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 2004 044 882.5

14. September 2004 (14.09.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **THOMAS, Jochen**
[DE/DE]; Ottilienstr. 46 A, 81827 München (DE).

HETZEL, Wolfgang [DE/DE]; Schanzenweg 14, 89564
Nattheim (DE).

(74) Anwalt: **SCHÄFER, Horst**; Kanzlei Schweiger & Part-
ner, Karlstr. 35, 80333 München (DE).

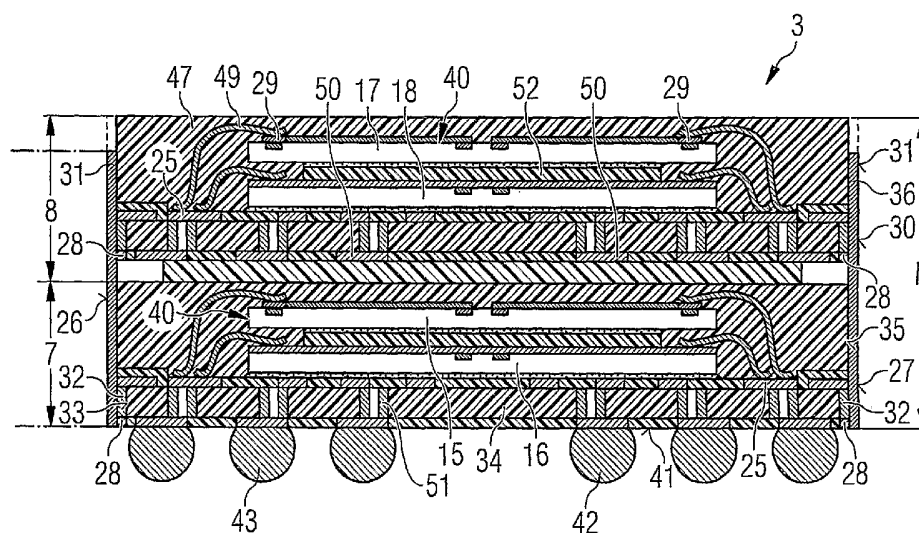
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA,
MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,
SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR MODULE WITH STACKED SEMICONDUCTOR COMPONENTS AND ELECTRICAL CON-
NECTING ELEMENTS BETWEEN THE STACKED SEMICONDUCTOR COMPONENTS

(54) Bezeichnung: HALBLEITERMODUL MIT GESTAPELTEN HALBLEITERBAUTEILEN UND ELEKTRISCHEN VER-
BINDUNGSELEMENTEN ZWISCHEN DEN GESTAPELTEN HALBLEITERBAUTEILEN



(57) Abstract: The invention relates to a semiconductor module (3) with stacked semiconductor components (7, 8) and electrical connecting elements (31) between the stacked semiconductor components (7, 8), these stacked semiconductor components (7, 8) having wiring structures (25) on their undersides (41). Outer edge connections (28) are placed on at least one of their housing outer edge sides (26, 27). These outer edge connections (28) are connected via wiring structures (25) to inner connections (29) of the semiconductor components (7, 8). The semiconductor module (3) has, on at least one outer side (30), a grid of electrical connecting elements (31) that is vertically oriented with regard to the wiring structures (25), these electrical connecting elements being integrally and electrically connected to the outer edge connections (28).

[Fortsetzung auf der nächsten Seite]

WO 2006/034670 A1



EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(57) Zusammenfassung: Die Erfindung betrifft ein Halbleitermodul (3) mit gestapelten Halbleiterbauteilen (7, 8) und elektrischen Verbindungselementen (31) zwischen den gestapelten Halbleiterbauteilen (7, 8), wobei die gestapelten Halbleiterbauteile (7, 8) auf ihren Unterseiten (41) Verdrahtungsstrukturen (25) aufweisen. Auf mindestens einer ihrer Gehäuseaußenrandseiten (26, 27) sind Außenrandanschlüsse (28) angeordnet. Diese Außenrandanschlüsse (28) sind über Verdrahtungsstrukturen (25) mit Innenanschlüssen (29) der Halbleiterbauteile (7, 8) verbunden, wobei das Halbleitermodul (3) auf mindestens einer Außenseite (30) ein vertikal zu den Verdrahtungsstrukturen (25) ausgerichtetes Gitter der elektrischen Verbindungselemente (31) aufweist, die mit den Außenrandanschlüssen (28) stoffschlüssig und elektrisch verbunden sind.

Halbleitermodul mit gestapelten Halbleiterbauteilen und elektrischen Verbindungselementen zwischen den gestapelten Halbleiterbauteilen

Die Erfindung betrifft ein Halbleitermodul mit gestapelten Halbleiterbauteilen und elektrischen Verbindungselementen zwischen den gestapelten Halbleiterbauteilen. Die aufeinander zu stapelnden Halbleiterbauteile weisen auf ihren Unterseiten Verdrahtungsstrukturen auf, die miteinander zu verbinden sind. Derartige substratbasierte Gehäuse werden auch BGA-Gehäuse (ball grid array - Gehäuse) genannt und haben aufgrund ihrer guten elektrischen Eigenschaften, verbunden mit geringem Formfaktor und vergleichsweise günstigen Herstellungskosten inzwischen eine weite Anwendung gefunden. Zunehmend werden BGA-Gehäuse auch für Speicherhalbleiterbauteile eingesetzt. Teilweise gibt es moderne Speicherarchitekturen, wie die DDR2-Halbleiterbauteile (Double Data Rate 2 -Halbleiterbauteile), die nur noch mit BGA-Gehäusen realisiert werden können, weil diese die notwendigen elektrischen Voraussetzungen erfüllen, um eine Verdopplung der Datenrate von 200 bis 400 Megabit pro Sekunde zu erreichen.

Zum Erreichen einer hohen Stapeldichte wird das Stapeln von Halbleiterbauteilen zu Halbleitermodulen immer interessanter, wobei sich zwei Trends herausgebildet haben, zum einen ein Stapeln von mehreren internen Halbleiterchips innerhalb eines Gehäuses, was auch "stacked die FBGA" (fine pitch ball grid array) genannt wird, und andererseits ein Stapeln von zwei oder mehr Einzelgehäusen aufeinander. Diese Lösungen haben unterschiedliche Nachteile, wobei der interne Halbleiterchipstapel Testprobleme aufwirft, da die einzelnen Halbleiter-

chips nach ihrer Endmontage nicht mehr testbar sind, und beim Stapeln von Einzelgehäusen entstehen hohe Kosten aufgrund der unterschiedlichen Maßnahmen, die zum Verbinden der fertigen Halbleiterbauteile untereinander getroffen werden müssen.

5

Die bisher bekannten Lösungsansätze für das Stapeln von zwei oder mehr Einzelgehäusen haben die nachfolgenden Nachteile. In einer ersten Lösung werden dünne Einzelsubstrate mit speziellen peripheren Anordnungen von Kugelkontakten übereinander gestapelt. Dazu sind teure Materialien erforderlich und spezielle Handhabungen in der Fertigung notwendig. Auch der Test der Einzelelemente ist mechanisch anspruchsvoll, da keine Standardlotballkontakte mit ständiger Flächenzunahme möglich sind.

15

Ein weiterer Lösungsansatz sieht eine Umverdrahtungsfolie vor, die von zusätzlichen Lotkugeln zum oberen gestapelten Halbleiterbauteil führt, wofür jedoch ein teureres unteres Basis Halbleiterbauteil hergestellt werden muss. Durch einen bei diesem Aufbau vorgesehenen dreifachen "Reflow" ergeben sich zusätzliche Fertigungsprobleme. Eine weitere Problemlösung sieht vor, dass ein oberes Halbleiterbauteil eine separate kleine Leiterplatte trägt, die über Lotkontakte mit der Hauptleiterplatte des Halbleitermoduls verbunden ist. Dabei ergeben sich Schwierigkeiten in der Oberflächenmontage der Lotkontakte. Außerdem ergibt sich eine große Bauhöhe und eine zusätzliche Flächenzunahme, die den Raumbedarf des Halbleitermoduls aus gestapelten Halbleiterbauteilen vergrößert.

20

25

30

Eine weitere Lösung des Stapelproblems ist aus der Druckschrift DE 101 38 278 bekannt. Zum Stapeln von Halbleiterbauteilen werden herkömmliche Halbleiterbauteile mit BGH- oder LBGA-Gehäuse (large ball grid array) mit zusätzlichen flexib-

len Umverdrahtungsfolien versehen. Diese zusätzlichen Umverdrahtungsfolien sind großflächiger als die zu stapelnden Halbleiterbauteile und ragen über den Rand der Halbleiterbauteile hinaus, sodass sie in Richtung auf ein darunter angeordnetes Halbleiterbauteil eines Halbleiterbauteilstapels für ein Halbleitermodul gebogen und über die flexible Folie mit dem darunter angeordneten Halbleiterbauteil elektrisch verbunden werden können.

Ein Halbleitermodul mit derartig gestapelten Halbleiterbauteilen hat den Nachteil, dass die Halbleiterbauteile nicht mit geringstmöglichem Raumbedarf gestapelt werden können, zumal auch die abgebogene Umverdrahtungsfolie einen Biegeradius erfordert, der nicht unterschritten werden kann, ohne Mikrorisse in den auf der Umverdrahtungsfolie angeordneten Umverdrahtungsleitungen zu riskieren.

Aufgabe der Erfindung ist es, ein Halbleitermodul mit Halbleiterbauteilen anzugeben, wobei die Halbleiterbauteile aufeinander gestapelt sind und auf ihren Unterseiten Verdrahtungsstrukturen aufweisen. Außerdem soll das Halbleitermodul auch für ein Stapeln von Halbleiterbauteilen mit internen Chipstapeln bereitstehen. Ferner ist es Aufgabe der Erfindung, dass dieses Halbleitermodul mit unterschiedlich aufgebauten Basisbauteilen und mit unterschiedlich aufgebauten oberen Halbleiterbauteilen kombiniert werden kann. Ferner ist es Aufgabe der Erfindung, ein Halbleitermodul mit gestapelten Halbleiterchips anzugeben, mit dem ein Stapeln nicht auf wenige vorgegebene Muster von Halbleiterbauteilen eingeschränkt ist, sondern bei dem die Anordnung und Zuordnung von verbindenden Außenkontakten beliebig variiert werden kann. Ferner ist es Aufgabe der Erfindung, den Raumbedarf und den Flächenbedarf eines Halbleitermoduls zu minimieren, insbesondere den

Raumbedarf eines Speichermoduls aus DRAM-Halbleiterbauteilen und/oder Mikroprozessoren zu verkleinern.

5 Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Erfindungsgemäß wird ein Halbleitermodul mit Halbleiterbauteilen geschaffen, wobei die Halbleiterbauteile aufeinander
10 gestapelt sind. Die Unterseiten der Halbleiterbauteile weisen Umverdrahtungsstrukturen auf und besitzen auf mindestens einer Gehäuseaußenrandseite Außenrandanschlüsse. Diese Außenrandanschlüsse sind über die Umverdrahtungsstrukturen mit Innenanschlüssen der Halbleiterbauteile elektrisch verbunden.
15 Auf mindestens einer Außenseite weist das Halbleitermodul ein vertikal zu den Verdrahtungsstrukturen der Halbleiterbauteile ausgerichtetes Gitter elektrischer Verbindungselemente auf. Diese elektrischen Verbindungselemente sind mit den Außenrandanschlüssen stoffschlüssig und elektrisch verbunden.

20 Dieses Halbleitermodul hat den Vorteil, dass die dreidimensionale Verdrahtung durch die horizontal angeordneten Verdrahtungsstrukturen jedes Halbleiterbauteils und durch zusätzliche Außenrandanschlüsse, die beim Stapeln der Halbleiterbauteile aufeinander ausgerichtet sind, kein zusätzlicher Flächenbedarf für das Verbinden dieser Randanschlüsse in vertikaler Richtung erforderlich wird. Außerdem reichen dünne Verbindungsdrähte oder Verbindungsstege als Verbindungselemente, um geradlinig die Außenrandanschlüsse der Halbleiterbauteile
25 untereinander zu verbinden. Da diese Verbindungselemente auf der Außenseite des Halbleitermoduls angeordnet sind, kann bei Fehlfunktionen das Halbleitermodul zerlegt werden und defekte Halbleiterbauteile können entsprechend ausgewechselt werden.
30

Auch das Einzeltesten der Halbleiterbauteile vor einem Zusammenbau des Halbleitermoduls ist uneingeschränkt möglich.

Sämtliche Wärmezyklentests wie auch Vibrationstests bei den unterschiedlichsten Belastungen sind beim Zusammenbau von Halbleitermodulen in jedem der Einzelhalbleiterbauteile, die gestapelt werden sollen, möglich.

Das Anbringen vertikaler Verbindungselemente an den vorgesehenen Außenrandanschlüssen ist unproblematisch und kann mit geringem Fertigungsaufwand realisiert werden. Auch ein Verlegen von Innenanschlüssen der Halbleiterbauteile auf die Randseiten der Halbleiterbauteile, ist, sofern sie nicht sowieso schon bei den Halbleiterbauteilen vorhanden sind, keine kostenintensive Aktion. Somit kann auf einfachste Weise kostengünstig ein Halbleitermodul mit beliebiger Speicherkapazität durch Stapeln von DRAMs hergestellt ist. Es ist aber auch genauso möglich, Speicherelemente mit Logikbauteilen zu verknüpfen, indem zusätzliche integrierte Logikschaltungen, wie beispielsweise Mikroprozessoren, in dem Halbleitermodul als stapelbares Halbleiterbauteil eingebaut werden.

In einer ersten Ausführungsform der Erfindung sind die elektrischen Verbindungselemente aufgetrennte Durchkontakte an einem Außenrand eines Verdrahtungssubstrats eines der gestapelten Halbleiterbauteile. Da grundsätzlich jedes Halbleiterbauteil in BGA-Technik oder FBGA-Technik ein derartiges Verdrahtungssubstrat auf seiner Unterseite aufweist, ist es möglich, mit dem engsten zur Verfügung stehenden und realisierbaren Anschlussraster auf dem Umfang des Verdrahtungssubstrats, das aus einem Nutzen herausgesägt wird, eine maximale Anzahl an Durchkontakten auf den Trennspuren des Nutzens vorzusehen. Beim Zerteilen des Nutzens in einzelne Verdrahtungssubstrate für die Halbleiterbauteile, entsteht dann eine Vielzahl von

Außenrandanschlüssen in Form von halbierten Durchkontakten. Diese Außenrandanschlüsse in Form von aufgetrennten Durchkontakten können mit Innenanschlüssen verbunden sein, die gleichzeitig einen internen Stapel von Halbleiterchips mit
5 den Außenrandanschlüssen verbinden.

Somit lässt sich bereits mit dieser ersten Ausführungsform der Erfindung eine maximale Erhöhung der Speicherkapazität bereitstellen, dabei kann beispielsweise ein erster Halbleiterchip mit seiner Rückseite auf dem Verdrahtungssubstrat fixiert sein und mit seiner aktiven Oberseite können über Bondverbindungen zu einer Verdrahtungsstruktur des Verdrahtungssubstrats die Außenrandanschlüsse erreicht werden. Da Logikhalbleiterchips ihre Kontaktflächen im Randbereich aufweisen,
10 kann der Mittenbereich des Logikchips verwendet werden, um eine isolierende Abstandshalteplatte aufzukleben, und um auf dieser Abstandshalteplatte einen Speicherchip mit zentralem Bondkanal unterzubringen. Die Oberseite des gestapelten Halbleiterchips mit zentralem Bondkanal kann ihrerseits eine Umverdrahtungsstruktur aufweisen, um wiederum die elektrischen
15 Anschlüsse von den Elektroden im zentralen Bondkanal zu Innenanschlüssen im Randbereich des gestapelten Halbleiterchips zu führen. Von diesen Innenanschlüssen im Randbereich des gestapelten Halbleiterchips können dann wieder Bonddrähte zu entsprechenden Kontaktanschlussflächen auf dem Verdrahtungssubstrat führen, das seinerseits eine Verdrahtungsstruktur aufweist, die mit den Außenrandanschlüssen des Halbleitermoduls in Verbindung steht.
20
25

30 Bei einer weiteren bevorzugten Ausführungsform der Erfindung weist der Gehäuseaußenrand der gestapelten Halbleiterbauteile vertikal zu den Verdrahtungsstrukturen eingeformte Rillen auf. Diese eingeformten Rillen weisen die Außenrillen der

einzelnen Halbleiterbauteile auf, sodass durch Anordnen von Leitungsstegen in den geformten Rillen eine vertikale Verbindung zwischen den Halbleiterbauteilen auf engstem Raum hergestellt werden kann. Die Anzahl der gestapelten Halbleiterbauteile ist dabei beliebig, vorzugsweise werden jedoch zwei Halbleiterbauteile mit internen Chipstapeln mit dieser Technik über Außenrandanschlüsse und entsprechende Leitungsstege verbunden.

- 10 In einer weiteren Ausführungsform der Erfindung werden mehrere Verbindungselemente mithilfe eines Flachleiterrahmens in Position gehalten, wobei der Flachleiterrahmen ein Gitter aus Leitungsstegen zwischen Querstegen aufweist. Bei diesem Halbleitermodul sind zunächst über die Querstege sämtliche Verbindungs-
15 elemente in Form von Leitungsstegen kurzgeschlossen, was für den Transport und für die Weitergabe der Module von Vorteil sein kann. Erst kurz vor dem Einsatz der Halbleitermodule werden die Querstege entfernt, sodass nun die Leitungsstege die einzelnen gestapelten Halbleiterbauteile vertikal miteinander verbinden.
20

- Wie bereits erwähnt, weisen vorzugsweise die gestapelten Halbleiterbauteile auch interne Halbleiterchipstapel auf, die über eine gemeinsame Verdrahtungsstruktur des gestapelten Halbleiterbauteils und über die Außenrandanschlüsse des gestapelten Halbleiterbauteils mit den Verbindungselementen des Halbleitermoduls elektrisch in Verbindung stehen. Mit diesem Aufbau kann die Speicherkapazität gestapelter Halbleiterbauteile vorteilhaft weiter erhöht werden.

- 30 Vorzugsweise weist der interne Chipstapel Halbleiterchips auf, die auf ihrer aktiven Oberseite in einem zentralen Bereich Kontaktflächen aufweisen. Diese Kontaktflächen im zent-

ralen Bereich können zweireihig angeordnet sein und sind über Leiterbahnen mit Innenanschlussflächen auf Randbereichen der Halbleiterchips elektrisch verbunden. Im Gegensatz zu Speicherbauteilen mit zentralem Bondkanal in einer Verdrahtungsfolie oder in einem Verdrahtungssubstrat weisen diese Halbleiterchips weder eine Verdrahtungsfolie noch ein Verdrahtungssubstrat auf, sondern Leiterbahnen, die von einer strukturierten Metallbeschichtung auf der aktiven Oberseite der Halbleiterchips gebildet werden. Auf die im Zentrum angeordneten Kontaktflächen kann somit über die im Randbereich angeordneten Innenanschlussflächen und die Leiterbahnen der Metallbeschichtung vom Rand der Halbleiterchips aus zugegriffen werden. Die Innenanschlussflächen können für den Chipstapel als Bondflächen genutzt werden.

In einer weiteren Ausführungsform der Erfindung weist das Halbleitermodul auf seiner Unterseite Außenkontakte auf. Diese sind über ein Verdrahtungssubstrat und über Außenrandanschlüsse des Verdrahtungssubstrats mit den vertikal zu dem Verdrahtungssubstrat angeordneten Leitungstegen des Halbleitermoduls elektrisch verbunden. Somit ist es möglich, das Halbleitermodul auf einer übergeordneten Schaltungsplatine mit einer Vielzahl von auf der Unterseite befindlichen Außenkontakten zu verbinden und gleichzeitig durch die vertikal ausgerichteten Leitungstege die Schaltungskapazität der gestapelten Halbleiterbauteile an den auf der Unterseite angeordneten Außenkontakten zur Verfügung zu stellen.

In einer weiteren bevorzugten Ausführungsform der Erfindung weist das Halbleitermodul als Außenkontakt auf der Unterseite des Verdrahtungssubstrats gleichmäßig verteilt angeordnete Lotkugeln auf. Mit diesen Lotkugeln ist eine einfache Oberflächenmontage des Halbleitermoduls auf einem übergeordneten

Schaltungssubstrat möglich, indem ein kurzzeitiger Lötprozess durchgeführt wird.

Die Speicherkapazität der einzelnen gestapelten DRAMs kann
5 vorzugsweise im Gigabereich liegen. Derartige DRAMs haben den
Vorteil, dass sie in flachen, großflächigen Kunststoffgehäu-
sen eingebettet sind, sodass entsprechend große Randseiten
ein Anbringen einer Vielzahl von Randkontaktanschlüssen und
somit das Anbringen einer Vielzahl von vertikal ausgerichte-
10 ten Leitungsstegen ermöglichen.

In einer weiteren bevorzugten Ausführungsform ist es vorgese-
hen, dass das Halbleitermodul ein gestapeltes Halbleiterbau-
teil mit einem Verdrahtungssubstrat aufweist, das seinerseits
15 als innere Anschlusskontakte Lötkegeln besitzt. Mit diesen
Lötkegeln wird jedoch die Bauhöhe des Halbleitermoduls ver-
größert, sodass Lösungen ohne Lötkegeln an den Verdrahtungs-
substraten der gestapelten Halbleiterbauteile bevorzugt wer-
den.

20 Die Verdrahtungsstruktur kann in einer weiteren bevorzugten
Ausführungsform auf einer Verdrahtungsfolie untergebracht
sein, zumal, wenn das Halbleitermodul als gestapeltes Bauteil
ein Speicherbauteil mit zentralem Bondkanal aufweist. Durch
25 die Verdrahtungsfolie sind äußerst dichtgepackte Halbleiter-
module möglich, wenn die Verdrahtungsfolie so ausgelegt ist,
dass sie Außenrandanschlüsse zur Verfügung stellt, die über
vertikale Leitungsstege kontaktierbar sind.

30 Ein Verfahren zur Herstellung eines Halbleitermoduls mit
Halbleiterbauteilen, die aufeinander gestapelt sind und auf
ihren Unterseiten Verdrahtungsstrukturen aufweisen, ist durch
folgende Verfahrensschritte gekennzeichnet:

Zunächst werden einzelne Halbleiterbauteile mit Außenrandanschlüssen auf mindestens einer ihrer Außenseiten hergestellt. Anschließend werden die Halbleiterbauteile unter Ausrichten
5 der Außenrandanschlüsse in vertikaler Richtung übereinander gestapelt. Schließlich werden die übereinander angeordneten Außenrandanschlüsse durch Aufbringen von Verbindungselementen auf die Außenrandanschlüsse elektrisch miteinander verbunden.

10 Bei diesen Verbindungsschritten kann das untere Halbleiterbauteil bereits auf der Unterseite verteilte Lotkugeln als Außenkontakte auf Außenkontaktflächen eines Verdrahtungssubstrats aufweisen. Die zusätzlich von den Außenkontaktflächen jedes Halbleiterbauteils zu dem Außenrand zu führenden Lei-
15 terbahnen, um Außenrandanschlüsse zu realisieren, können bereits beim Herstellen des Layouts für die Verdrahtungsstruktur des Verdrahtungssubstrats berücksichtigt werden. Außerdem können bereits beim Herstellen des Verdrahtungssubstrats mit-
hilfe eines Nutzens auf den Randseiten Durchkontakte vorgese-
20 hen werden, die beim Trennen des Nutzens halbiert werden und somit erste Außenrandanschlüsse bzw. vertikale Verbindungselemente für einen internen Halbleiterchipstapel bilden.

Darüber hinaus können mindestens auf einer Gehäuseaußenrand-
25 seite der zu stapelnden Halbleiterbauteile vertikal zu den Verdrahtungsstrukturen und in den Positionen der Außenrandanschlüsse Rillen zur Aufnahme von Leitungsstegen eingeformt werden. Dieses Einformen kann vorzugsweise beim Spritzgussprozess durchgeführt werden, indem in die Spritzgussform Lei-
30 tungsstege eingelegt werden, sodass beim Ausformen an vorgegebenen Positionen in den Randseiten des Halbleiterbauteils Rillen vorhanden sind, in die dann Leitungsstege des Halbleitermoduls eingebracht werden können.

Das Verbinden übereinander angeordneter Außenrandanschlüsse durch Aufbringen von Leitungsstegen auf die Außenrandanschlüsse kann mittels Laserschweißtechnik oder mittels Löten
5 oder mittels Klebetechnik mit einem Leitklebstoff erfolgen. Die stoffschlüssigen Verbindungen haben sich in der Halbleitertechnologie bewährt und bilden eine zuverlässige Verfahrensgrundlage zur Herstellung von Halbleitermodulen.

10 Zusammenfassend ist festzustellen, dass durch Bereitstellen eines einfachen Flachleiterrahmens, der Flachleiter für das Anbringen von Leitungsstegen aufweist, eine kostengünstige Lösung des Stapelproblems bereitgestellt wird. Dazu wird der Flachleiterrahmen nicht horizontal, sondern vertikal zur Ver-
15 fügung gestellt und verbindet speziell modifizierte Substratanschlüsse in Form von Außenrandanschlüssen übereinander. Dabei wird vorteilhafterweise das Laserschweißen angewendet, zumal dieses Verfahren auch beim Stapeln anderer Halbleiterbauteile bereits Erfolge verzeichnet.

20 Die Modifikation des erforderlichen Verdrahtungssubstrats ist relativ gering. Von vorgesehenen Außenkontaktflecken jedes Halbleiterbauteils, auf denen sonst Lotbälle vorgesehen sind, werden zusätzliche Anschlussleitungen zum Randbereich ge-
25 führt, was bei einer großen Zahl von Halbleiterbauteilen ohne Bondkanal bereits vorgesehen ist. Bei Gehäusen mit Bondkanal können diese Leitungen zu den Randbereichen ohne Schwierigkeiten hinzugefügt werden. An der Gehäusekante münden die zusätzlichen Leiterbahnen der Verdrahtungsstruktur in entsprechende
30 Durchkontaktierungen durch das Verdrahtungssubstrat und können zusätzlich durch eine Vergoldung ihrer Oberflächeneigenschaften verbessert werden.

Bei dem Singulieren der Einzelgehäuse aus einem vorgesehenen gemeinsamen Substrat, wie einem Nutzen, für mehrere Halbleiterbauteile werden die Kontaktlöcher in dem Randbereich so in der Mitte durchgesägt, dass der Innenradius freigelegt wird.

5 Vorteilhafterweise trennt eine Singulation zwei Gehäuse, so-
dass die freigelegten halbierten Durchkontakte als Außenrand-
anschlüsse und als vertikale Verbindungselemente für interne
Halbleiterchipstapel dienen können.

10 In einer weiteren Ausführungsform der Erfindung befinden sich
in einem Spritzgusswerkzeug oder auch "mold tool" entspre-
chende Leitungsstege an den Positionen oberhalb der Außen-
randanschlüsse, sodass diese Stege dafür sorgen, dass sich
dort keine Moldmasse absetzt. Durch die beim Ausformen ent-
15 stehenden rillenförmigen Aussparungen wird die Form der Au-
ßenrandanschlüsse für den Anschluss eines entsprechenden ver-
tikal ausgestatteten Flachleiterraum verlängert, was für
die Befestigung von vertikalen Leitungsstegen von Vorteil
ist.

20

Derartig vorbereitete Halbleiterbauteile können nun zum Sta-
peln von zwei und mehr Substrat basierenden Gehäusen zu einem
Halbleitermodul zusammengebaut werden. Entscheidend ist, dass
die zu verbindenden Randseitenkontakte an den gleichen Rand-
25 positionen übereinander liegen. Die Stapelpartner selbst kön-
nen zwei oder mehr gleichartige Bauteile mit gleichen Chips
bzw. Speicherchips aufweisen oder sie können zwei oder mehr
gleichartige Bausteine mit unterschiedlichen Halbleiterchips,
zum Beispiel in einem Multichip-Package, oder in einem "sta-
30 cked die FBGA" aufweisen. Schließlich ist es möglich, dass
verschiedenartige Halbleiterbauteile, wie Logikhalbleiterbau-
teile und Speicherhalbleiterbauteile oder eine beliebige an-

dere Kombination dieser Halbleiterbauteile, miteinander gestapelt werden.

Die einzelnen Stapelpartner können selbst wieder mit Lotbällen ausgerüstet sein und so mit einem Standardprozess getestet werden. Andererseits ist es auch möglich, über die Außenkontaktflächen, auf denen derartige Außenkontakte von Halbleiterbauteilen angeordnet sind, entsprechende Nadelkontakte beim Testen aufzubringen und somit auch Halbleiterbauteile ohne derartige Lotkugeln auf einfache Weise zu testen, bevor ein Halbleitermodul zusammengestellt wird.

Zur Herstellung der Stapelverbindung werden die einzelnen Partner so ausgerichtet, dass die Aushöhlungen oder Durchkontakte (entweder nur aus Durchkontakten bestehend oder durch vertikale Aussparungen bzw. Rillen verlängerte Kontaktlöcher aufweisend) übereinander liegend angeordnet sind. Ferner wird ein vorgeformter Flachleiterrahmen über alle Kontakte gelegt und durch Laserschweißen werden die Einzelverbindungen mit den Außenrandkontaktanschlüssen geschlossen und durch Lasertrennen werden entsprechende Querstege bzw. Befestigungsschienen des Flachleiterrahmens für die Leitungsstege abgetrennt. Nachdem alle Kontakte angeschlossen sind, kann das gestapelte Halbleitermodul nochmals getestet und danach eingesetzt werden.

Zusammenfassend ergeben sich daraus folgende Vorteile:

1. eine kostengünstige Stapeltechnologie;
2. ein Nutzbarmachen von substratbasierten Gehäusen, wie z.B. FBGA-Gehäuse für die Stapeltechnologie;
3. eine Erhöhung der elektrischen Leistungsfähigkeit;

4. eine Verringerung der vertikalen Größenausdehnung eines Halbleitermoduls;
5. ein Vorabtesten der einzelnen zu stapelnden Halbleiterbauteile, sodass ein verminderter Ausschuss für die Halbleitermodule auftritt;
6. eine hohe Vielfalt von Stapelmöglichkeiten durch Einzelchipgehäuse, Multichipgehäuse und Kombinationen derselben.

10 Mit dieser Technologie wird ein Verdoppeln oder Vervierfachen der Speicherdichte im Vergleich zu Standardspeicherdichten möglich. Bei beispielsweise 120 nötigen vertikalen Verbindungen ergeben sich zum Beispiel 30 Durchkontakte pro Randseite der Halbleiterbauteile, bei einem Anschlussraster von 0,65 mm
15 ergibt sich eine Mindestlänge, um eine derartige Anzahl von Leitungsstegen auf den Randseiten unterzubringen, von 20 mm. Die für ein derartiges Stapeln in einem Halbleitermodul interessanten Speicherchips sind die Chips mit großer Speicherdichte, beispielsweise von 1 Gigabit bis 2 Gigabit, da diese
20 Halbleiterchips bereits heute eine Kantenlänge von größer als 18 mm aufweisen. Somit ist auch das Anschlussraster ausreichend, um genügend Außenrandkontaktanschlüsse bereitzustellen.

25 Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

Figur 1 zeigt einen schematischen Querschnitt durch ein Halbleitermodul einer ersten Ausführungsform der
30 Erfindung;

Figur 2 zeigt einen schematischen Querschnitt durch ein Halbleitermodul einer zweiten Ausführungsform der Erfindung;

5 Figur 3 zeigt eine schematische Draufsicht auf einen vertikal ausgerichteten Flachleiterrahmen mit elektrischen Verbindungselementen;

10 Figur 4 zeigt einen schematischen Querschnitt durch ein Halbleitermodul einer dritten Ausführungsform der Erfindung;

15 Figur 5 zeigt einen schematischen Querschnitt durch ein Halbleitermodul einer vierten Ausführungsform der Erfindung;

Figur 6 zeigt einen schematischen Querschnitt durch ein Halbleitermodul einer fünften Ausführungsform der Erfindung.

20

Figur 1 zeigt einen schematischen Querschnitt durch ein Halbleitermodul 1 einer ersten Ausführungsform der Erfindung. Dieses Halbleitermodul 1 weist einen internen Halbleiterchipstapel 40 aus den Halbleiterchips 13 und 14 auf. Zwischen den Halbleiterchips 13 und 14 ist eine abstandhaltende isolierende Schicht 52 angeordnet, da die Halbleiterchips 13 und 14 identische Außenmaße aufweisen. Beide Halbleiterchips 13 und 14 weisen zentral und zweireihig angeordnete Kontaktflächen 54 an der aktiven Oberseite der Halbleiterchips 13 und 14 auf. Von den Kontaktflächen 54 in dem zentralen Bereich 44 führen Leiterbahnen 48 einer Verdrahtungsstruktur, die von einer strukturierten Metallbeschichtung auf den aktiven Oberseiten der Halbleiterchips 13 und 14 gebildet wird, zu Innen-

25

30

anschlüssen 29 in den Randbereichen der Halbleiterchips 13 und 14, von wo aus die Innenschlüsse 29 über Bondverbindungen 49 mit einer Verdrahtungsstruktur 25 auf einem Verdrahtungssubstrat 34 verbunden sind.

5

Das Verdrahtungssubstrat 34 weist auf seiner Unterseite 41 Außenkontakte 42 auf, die auf Außenkontaktflächen 50 angeordnet sind. Die Außenkontaktflächen 50 stehen über Leitungen der Unterseite 41 und Durchkontakte 51 mit der Verdrahtungsstruktur 25 elektrisch in Verbindung. Beim Außenrand 33 des Verdrahtungssubstrats 34 sind durchtrennte Durchkontakte 32 angeordnet, die ihrerseits sowohl mit den Bondverbindungen 49 oder mit den Außenkontakten 42 elektrisch verbunden sind. Somit werden zumindest über diese aufgetrennten Durchkontakte 32, die auch Hohlkontakte genannt werden, am Außenrand 33 des Verdrahtungssubstrats 34 drei Kontaktebenen zusammengeschlossen, nämlich die Kontaktebene der Außenkontakte 42 sowie die Kontaktebene der Innenanschlüsse 29 der beiden Halbleiterchips 13 und 14. Ferner können die Kontakte der drei Kontaktebenen zusätzlich über die Durchkontakte 51 zusammen geschlossen sein.

Den Schnittzeichnungen A, B, C und D, die unter Figur 1 mit Figur 1A, Figur 1B, Figur 1C und Figur 1D gekennzeichnet sind, wird die unterschiedliche Struktur des Außenrandes 33 im Bereich des Verdrahtungssubstrats 34 und die Struktur der Außenseite 30 im Bereich des Kunststoffgehäuses 47 deutlich. In dieser ersten Ausführungsform der Erfindung weisen lediglich die Hohl- oder Durchkontakte 32 in dem Randbereich eine Aussparung bzw. Rillen auf, während die Außenseite 30 des Halbleitermoduls 1, wie es die Figuren 1B und 1C zeigen, vollständig glatt ist.

Zur Verbesserung des Widerstandes gegen Korrosion und Oxidation können die Durchkontakte 32 aus einer Kupferlegierung mit einer Goldschicht in dem Außenrand 33 des Verdrahtungssubstrats 34 beschichtet sein. Der Vorteil dieser Außenrandanschlüsse 28 dieser ersten Ausführungsform der Erfindung ist es, dass eine Vielzahl von Durchkontakten 32 im Randbereich des Halbleiterbauteils 6 angebracht werden können, sodass über diese Außenrandanschlüsse 28 aus aufgetrennten Durchkontakten 32 ein Test möglich ist, ohne dass die Lotkugeln 43 belastet werden müssen. Selbst bei einer Oberflächenmontage dieses Halbleitermoduls 1 auf einer übergeordneten Schaltungsplatine kann noch auf die Außenrandanschlüsse 28 auf den Gehäuseaußenrandseiten 26 und 27 zugegriffen werden, was beim Testen des Bauteils vorteilhaft ist.

Figur 2 zeigt einen schematischen Querschnitt durch ein Halbleitermodul 2 einer zweiten Ausführungsform der Erfindung. Komponenten mit gleichen Funktionen wie in Figur 1 werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert. Auch dieses Halbleitermodul 2 weist einen internen Halbleiterchipstapel 40 mit Speicherchips von einigen Gigabit auf. Der Unterschied zwischen der Ausführungsform gemäß Figur 1 und der Ausführungsform gemäß Figur 2 wird an den Schnittzeichnungen Figur 2A, Figur 2B, Figur 2C und Figur 2D sichtbar. In dieser Ausführungsform der Erfindung sind Rillen oder Aussparungen sowohl im Bereich des Verdrahtungssubstrats 34 als auch im Bereich des Kunststoffgehäuses 47 vorgesehen, wie die Figuren 2B und 2C zeigen. Diese Aussparungen sind aufgefüllt mit Leitungsstegen 36 als vertikale Verbindungselemente 31, über die ein weiteres Halbleiterbauteil mit einem internen Halbleiterchipstapel 40, wie es z.B. Figur 1 zeigt, an das vorliegende Halbleitermodul 1 angekoppelt werden kann.

Durch die vertikal gegenüber der Verdrahtungsstruktur 25 ausgerichteten Leitungsstege 36 ist es möglich, auf geringstem Raum eine Verbindung zwischen zu stapelnden Halbleiterbauteilen herzustellen. Dazu können die Aussparungen bzw. Rillen 35 in dem Kunststoffgehäuse 47 dadurch hergestellt werden, dass in eine Spritzgussform oder eine Prägeform entsprechende Leitungsstege 36 eingelegt werden, sodass beim Herausnehmen der Form diese Leitungsstege 36 entweder gleich mit eingegossen oder in die entstehenden Rillen 35 anschließend eingefügt werden. Die elektrische Verbindung der Leitungsstege 36 mit den Außenrandanschlüssen 28 in Form von aufgeteilten Durchkontakten 32 kann durch ein Laserschweißen erreicht werden. Dieses ist das zuverlässigste stoffschlüssige Verfahren, mit dem die Leitungsstege 36 mit den aufgetrennten Durchkontakten 32 des Verdrahtungssubstrats 34 verbunden werden können. Generell ist es auch möglich, diese Leitungsstege 36 auf die aufgetrennten Durchkontakte 32 aufzulöten oder sie mit einem Leitkleber elektrisch zu verbinden.

Figur 3 zeigt eine schematische Draufsicht auf einen vertikal ausgerichteten Flachleiterrahmen 37 mit elektrischen Verbindungselementen 31. Um gleichzeitig mehrere Verbindungselemente 31 auf die Gehäuseaußenrandseiten eines Halbleitermoduls in den vorgesehenen Rillen aufzubringen, sind die elektrischen Verbindungselemente 31 in Form von Leitungsstegen 36 über einen Flachleiterrahmen 37 gitterförmig gehalten. Der Flachleiterrahmen 37 weist Querstege 39 auf, welche die Leitungsstege 36 in ihrer Position halten. Das Gitter 38 kann zunächst komplett auf die Gehäuseaußenrandseiten eines Halbleitermoduls mit gestapelten Halbleiterbauteilen aufgelegt werden und anschließend mit den vorgesehenen Außenrandanschlüssen verbunden werden. Der Kurzschluss, der durch die Querstege 39 entsteht, kann nach Anbringen des Rahmens und

Kontaktieren der Außenrandkontakte 32 durch Lasertrennen des Überstandes 46 des Gitters 38 entfernt werden.

Figur 4 zeigt einen schematischen Querschnitt durch ein Halbleitermodul 3 einer dritten Ausführungsform der Erfindung.
Das untere Halbleiterbauteil 7 entspricht den Halbleiterbauteilen 6, die in Figur 1 und 2 gezeigt werden, und weist einen internen Halbleiterchipstapel 40 mit den Halbleiterchips 15 und 16 auf. Das gestapelte Halbleiterbauteil 8 mit seinem internen Halbleiterchipstapel 40 der Halbleiterchips 17 und 18 ist auf die Oberseite des unteren Halbleiterbauteils 8 unmittelbar geklebt und weist keine Lotbälle oder Lotkugeln auf, zumal die beiden gestapelten Halbleiterchips 17 und 18 über ihre Innenanschlüsse 29 und die Verdrahtungsstruktur 25 mit entsprechenden Außenrandanschlüssen 28 verbunden sind, sodass Lotkugeln 43 auf den Außenkontaktflächen 50 des gestapelten Halbleiterbauteils 8 überflüssig sind. Die elektrische Verbindung zum oberen und unteren Halbleiterbauteil erfolgt in diesem Fall durch Verbindungselemente 31, die als Flachleiter ausgebildet sind. Durch den Wegfall von Lotbällen zwischen den beiden Halbleiterbauteilen 7 und 8 wird das gesamte Halbleitermodul 3 in seiner Höhe h vermindert.

Figur 5 zeigt einen schematischen Querschnitt durch ein Halbleitermodul 4 einer vierten Ausführungsform der Erfindung. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert.

Diese vierte Ausführungsform der Erfindung entspricht weitestgehend der dritten Ausführungsform der Erfindung gemäß Figur 4, jedoch ist die Bauhöhe h des Halbleitermoduls 4 größer, weil Lotkugeln 43 des gestapelten Halbleiterbauteils 9

beibehalten wurden. Mit dem internen Halbleiterchipstapel 40 aus den Halbleiterchips 19 und 20 ist das gestapelte Halbleiterbauteil 9 genauso aufgebaut wie die Ausführungsform gemäß Figur 2. Auch das Basishalbleiterbauteil 10 weist einen internen Halbleiterchipstapel 40 mit den Halbleiterchips 21 und 22 auf und entspricht in seinem Aufbau dem Halbleiterbauteil 6, das in Figur 2 gezeigt wird. Der Vorteil dieses Halbleitermoduls ist es, dass keine Modifikationen und Änderungen an den zu stapelnden Halbleiterbauteilen 9 und 10 ausgeführt werden müssen, sodass gleichartige Halbleiterbauteile 9 und 10 übereinander gestapelt und miteinander über die Leitungsstege 36 auf den Außenseiten 30 des Halbleitermoduls 4 verbunden werden können. Dieses bringt Vorteile beim Testen der Halbleiterbauteile 9.

Figur 6 zeigt einen schematischen Querschnitt durch ein Halbleitermodul 5 einer fünften Ausführungsform der Erfindung, wobei in diesem Fall zwei Halbleiterbauteile 11 und 12 aufeinander gestapelt sind, die Halbleiterchips 23 und 24 mit einem zentralen Bondkanal 44 aufweisen. In dem zentralen Bondkanal 44 sind zweireihig Kontaktflächen 54 angeordnet, die über Bonddrähte 49 mit Leiterbahnen 48 auf einer Verdrahtungsfolie 45 verbunden sind. Auf der Verdrahtungsfolie 45 sind Außenkontakte 42 in Form von Lotkugeln 43 im Falle des unteren Halbleiterbauteils 11 angeordnet. Das obere gestapelte Halbleiterbauteil 12 weist demgegenüber keine Lotkugeln 43 auf.

Die in zwei Reihen angeordneten Kontaktflächen 54 sind hier über Bonddrähte 49 mit einer Verdrahtungsstruktur 25 eines zentralen Bondkanals 55 verbunden, die direkt mit Außenrandanschlüssen 28 verbunden sind und über die Verbindungselemente 31 in Form von Leitungsstegen 36 auf den Gehäuseaußenrand-

seiten 26 und 27 mit den Außenkontakten 42 des unteren Halbleiterbauteils 11 des Halbleitermoduls 5 verbunden sind. Zwischen den Halbleiterbauteilen 11 und 12 ist eine Klebstoffmasse 53 angeordnet, mit der das gestapelte Halbleiterbauteil 12 auf dem Basishalbleiterbauteil 11 fixiert ist. Der Unterschied des Halbleitermoduls 5 zu den vorhergehenden Ausführungsformen der Erfindung liegt darin, dass die zentralen Bondkanäle 55 der gestapelten Halbleiterbauteile 11 und 12 in Richtung auf die Außenkontakte 42 des Halbleitermoduls 5 ausgerichtet sind und deshalb auf ein selbsttragendes Verdrah-

10 tungssubstrat für Halbleiterchips verzichtet werden kann, zumal auch kein interner Halbleiterchipstapel in dieser Ausführungsform der Erfindung vorgesehen ist.

15

Patentansprüche

1. Halbleitermodul mit Halbleiterbauteilen (6 - 12), wobei
die Halbleiterbauteile (6 - 12) aufeinander gestapelt
5 sind und auf ihren Unterseiten Verdrahtungsstrukturen
(25) aufweisen und auf mindestens einer Gehäuseaußen-
randseite (26, 27) Außenrandanschlüsse (28) besitzen,
wobei die Außenrandanschlüsse (28) über die Verdrah-
tungsstrukturen (25) mit Innenanschlüssen (29) der Halb-
10 leiterbauteile (6 - 12) elektrisch in Verbindung stehen
und wobei das Halbleitermodul (1 - 5) auf mindestens ei-
ner Außenseite (30) ein vertikal zu den Verdrahtungs-
strukturen (25) ausgerichtetes Gitter (38) elektrischer
Verbindungselemente (31) aufweist, die mit den Außen-
15 randanschlüssen (28) stoffschlüssig und elektrisch ver-
bunden sind.
2. Halbleitermodul nach Anspruch 1,
dadurch gekennzeichnet, dass
20 die elektrischen Verbindungselemente (31) aufgetrennte
Durchkontakte (32) an einem Außenrand (33) eines Ver-
drahtungssubstrats (34) der gestapelten Halbleiterbau-
teile (6 - 10) aufweisen.
- 25 3. Halbleitermodul nach Anspruch 1 oder Anspruch 2,
dadurch gekennzeichnet, dass
die Gehäuseaußenrandseiten (26, 27) der gestapelten
Halbleiterbauteile (6 - 12) vertikal zu den Verdrah-
tungsstrukturen (25) eingeformte Rillen (35) aufweist,
30 in denen Leitungsstege (36) als elektrische Verbindungs-
elemente (31) angeordnet und mit den Außenrandanschlüs-
sen (28) elektrisch verbunden sind.

4. Halbleitermodul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass mehrere Verbindungselemente (31) mithilfe eines Flachleiterrahmens (37) in Position gehalten sind und ein
5 Gitter (38) aus Leitungsstegen (36) zwischen Querstegen (39) aufweisen.
5. Halbleitermodul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
10 die gestapelten Halbleiterbauteile (6 - 10) interne Halbleiterchipstapel (40) aufweisen, die über eine gemeinsame Verdrahtungsstruktur (25) des gestapelten Halbleiterbauteils (6 - 12) und über die Außenrandanschlüsse (28) des gestapelten Halbleiterbauteils (6 - 12) mit den
15 Verbindungselementen (31) des Halbleitermoduls (1 - 5) elektrisch in Verbindung stehen.
6. Halbleitermodul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
20 das Halbleitermodul (1 - 5) auf seiner Unterseite (41) Außenkontakte (42) aufweist, die über ein Verdrahtungssubstrat (34) und über Außenrandanschlüsse (28) des Verdrahtungssubstrats (34) mit den vertikal zu dem Verdrahtungssubstrat (34) angeordneten Leitungsstegen (36) des
25 Halbleitermoduls (1 - 5) elektrisch in Verbindung stehen.
7. Halbleitermodul nach Anspruch 5, dadurch gekennzeichnet, dass
30 der interne Chipstapel (40) Halbleiterchips (13, 14) aufweist, die auf ihrer aktiven Oberseite in einem zentralen Bereich (44) Kontaktflächen (54) aufweisen, die über Leiterbahnen (48) mit Innenanschlussflächen (29)

auf Randbereichen der Halbleiterchips (13, 14) in Verbindung stehen, wobei die Leiterbahnen (48) von einer strukturierten Metallbeschichtung auf den aktiven Oberseiten der Halbleiterchips (13, 14) gebildet sind.

5

8. Halbleitermodul nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass der interne Halbleiterchipstapel (40) Speicherbauteile, vorzugsweise DRAMs aufweist mit Speicherkapazitäten im

10

Gigabitbereich.

9. Halbleitermodul nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass der interne Halbleiterchipstapel (40) mindestens ein Logikchip vorzugsweise einen Mikroprozessor aufweist.

15

10. Halbleitermodul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass für das Halbleitermodul (1 - 5) ein gestapeltes Halbleiterbauteil (6 - 10) mit einem Verdrahtungssubstrat (34), das Lotkugeln (43) als Außenkontakte (42) aufweist, vorgesehen ist.

20

11. Halbleitermodul nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Halbleitermodul (1 - 5) ein Speicherbauteil mit zentralem Bondkanal (55) und Verdrahtungsfolie (45) aufweist, die eine Verdrahtungsstruktur (25) besitzt, welche mit den Außenrandanschlüssen (28) elektrisch in Verbindung steht.

25

30

12. Verfahren zur Herstellung eines Halbleitermoduls (1 - 5) mit Halbleiterbauteilen (6 - 12), wobei die Halbleiter-

bauteile (6 - 12) aufeinander gestapelt sind und auf ihren Unterseiten Verdrahtungsstrukturen (25) aufweisen, wobei das Verfahren die folgende Verfahrensschritte aufweist:

- 5 - Herstellen einzelner Halbleiterbauteile (6 - 12) mit Außenrandanschlüssen (28) auf mindestens einer Außenseite (30);
- Stapeln der Halbleiterbauteile (6 - 12) unter Ausrichten der Außenrandanschlüsse (28) in vertikaler
- 10 Richtung übereinander;
- Verbinden übereinander angeordneter Außenrandanschlüsse (28) durch Aufbringen von Verbindungselementen (31) auf die Außenrandanschlüsse (28).

- 15 13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass in mindestens einer der Gehäuseaußenrandseiten (26, 27) der zu stapelnden Halbleiterbauteile (6 - 12) vertikal zu den Verdrahtungsstrukturen (34) und in den Positionen
- 20 der Außenrandanschlüsse (28) Rillen (35) zur Aufnahme von Leitungsstegen (36) eingeformt werden.

- 14. Verfahren nach Anspruch 12 oder Anspruch 13, dadurch gekennzeichnet, dass
- 25 zunächst ein Flachleiterrahmen (37) mit parallel angeordneten Leitungsstegen (36) gefertigt wird, die über Querstege (39) in Position gehalten werden, wobei die Abstände der Leitungsstege (36) den Abständen der Außenrandanschlüsse (28) der Halbleiterbauteile (6 - 12) entspricht und die Länge der Leitungsstege (36) größer als
- 30 die Gesamthöhe (h) des Halbleitermoduls (1 - 5) ist, so dass beim Verbinden der Leitungsstege (36) mit den Außenrandanschlüssen (28) die Querstege (39) über das

Halbleitermodul (1 - 5) hinausragen und die Überstände (46) mit den Querstegen (39) entfernt werden.

15. Verfahren nach einem der Ansprüche 12 bis 15,

5 dadurch gekennzeichnet, dass das Verbinden übereinander angeordneter Außenrandanschlüsse (28) durch Aufbringen von Leitungsstegen (36) auf die Außenrandanschlüsse (28) mittels Laserschweißtechnik erfolgt.

10

16. Verfahren nach einem der Ansprüche 12 bis 14,

dadurch gekennzeichnet, dass das Verbinden übereinander angeordneter Außenrandanschlüsse (28) durch Aufbringen von Leitungsstegen (36) auf die Außenrandanschlüsse (28) mittels Löten der Leitungsstege (36) auf die Außenrandanschlüsse (28) erfolgt.

15

17. Verfahren nach einem der Ansprüche 12 bis 14,

20 dadurch gekennzeichnet, dass das Verbinden übereinander angeordneter Außenrandanschlüsse (28) durch Aufbringen von Leitungsstegen (36) auf die Außenrandanschlüsse (28) mittels Klebetechnik mit einem Leitklebstoff erfolgt.

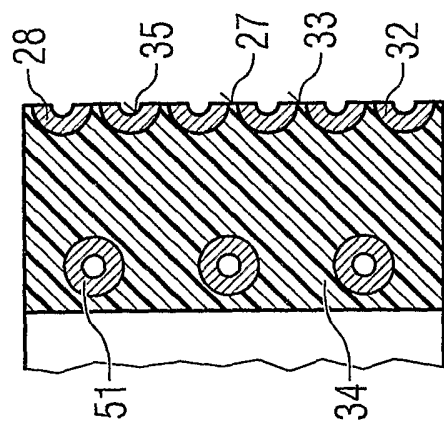
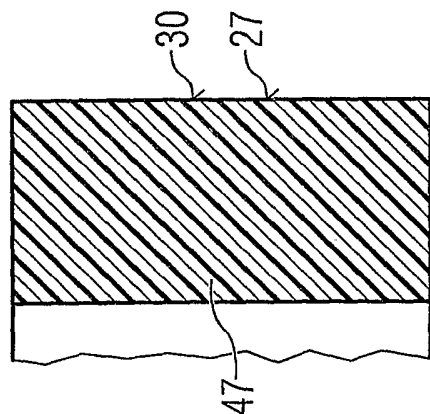
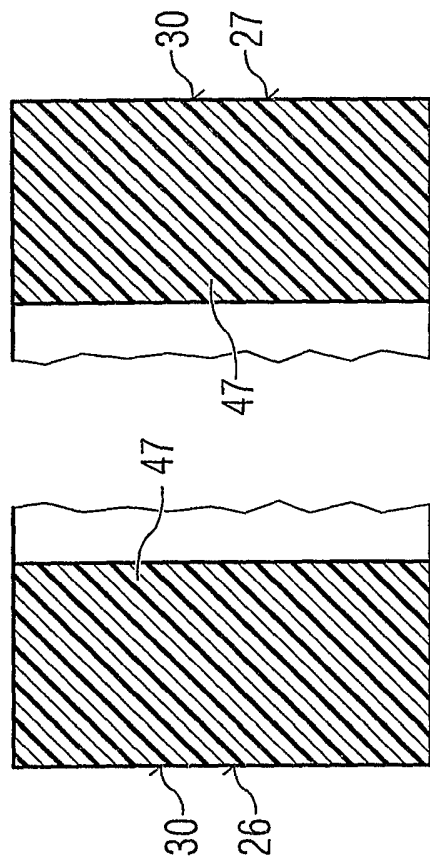
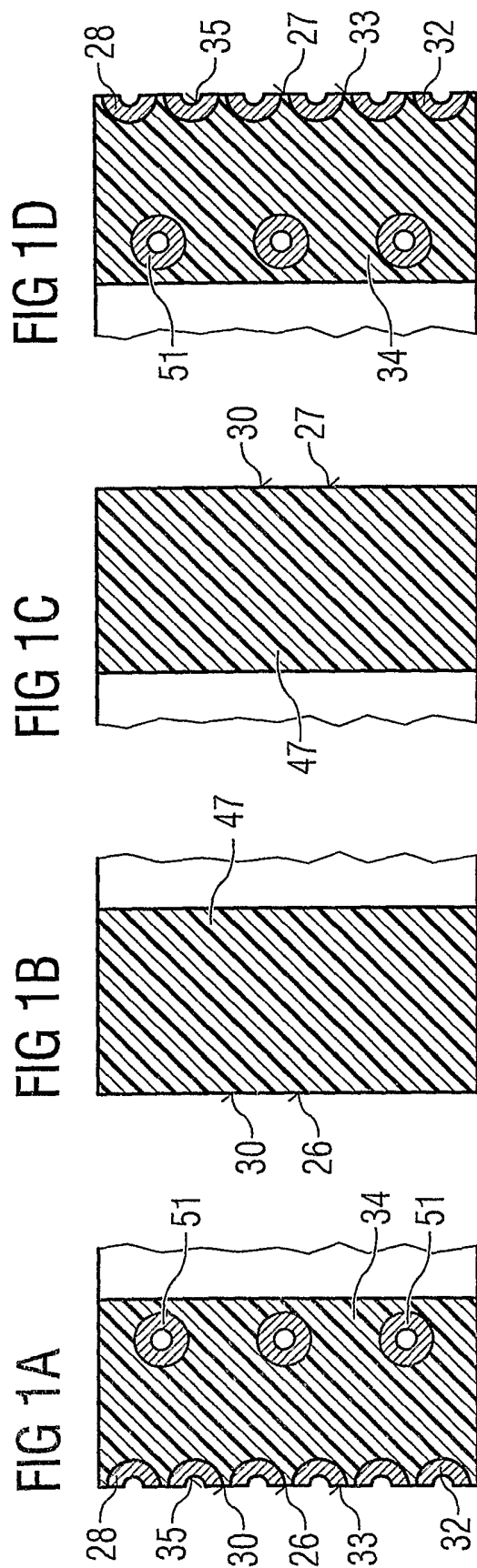
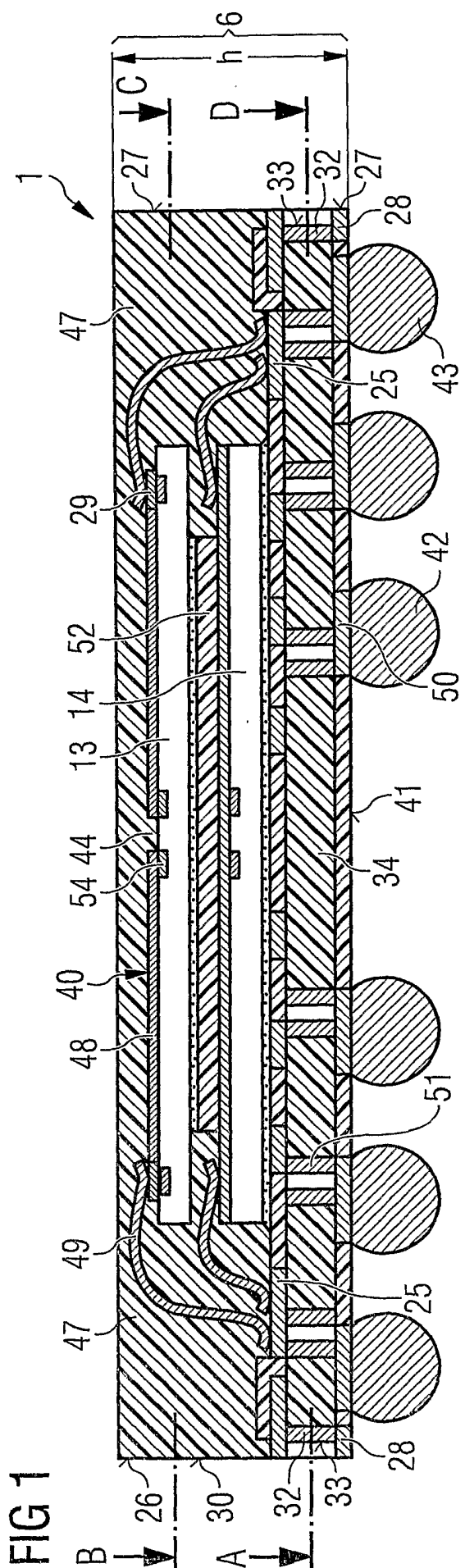
25

18. Verfahren nach einem der Ansprüche 13 bis 17,

dadurch gekennzeichnet, dass das Einformen von Rillen (35) zur Aufnahme von Leitungsstegen (36) in mindestens einer der Gehäuseaußenrandseiten (26, 27) der zu stapelnden Halbleiterbauteile (6 - 12) mittels Einlegen von Leitungsstegen (36) in ein Spritzgusswerkzeug vor einem Spritzgießen der Kunst-

30

stoffgehäuse (47) der zu stapelnden Halbleiterbauteile
(6 - 12) erfolgt.



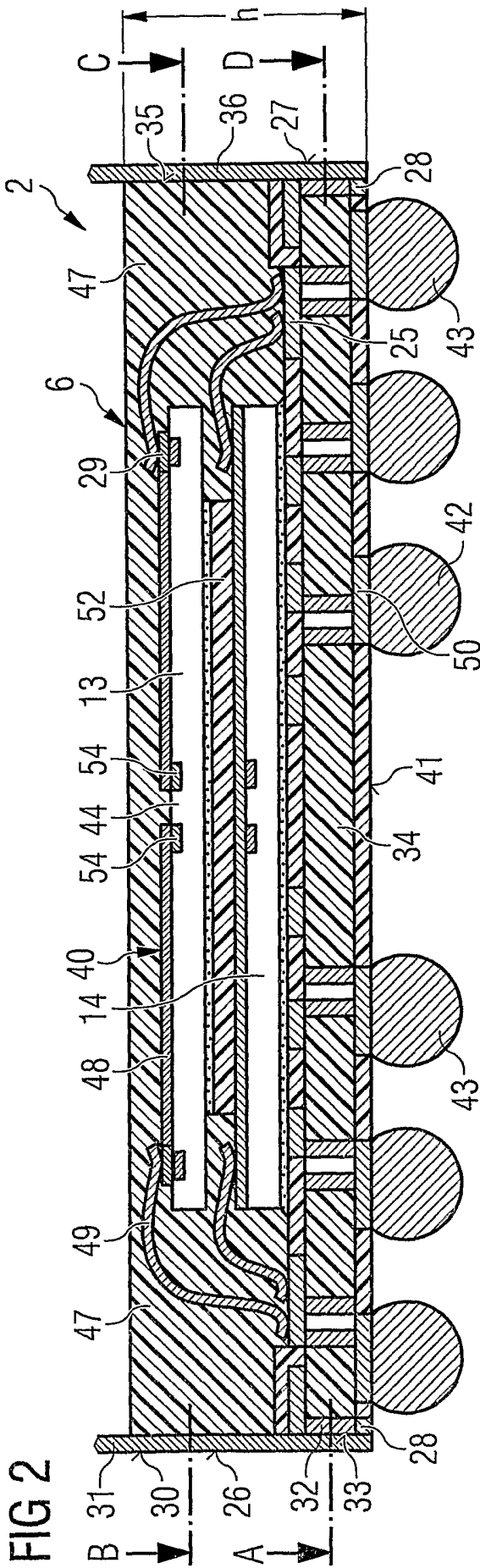


FIG 2D

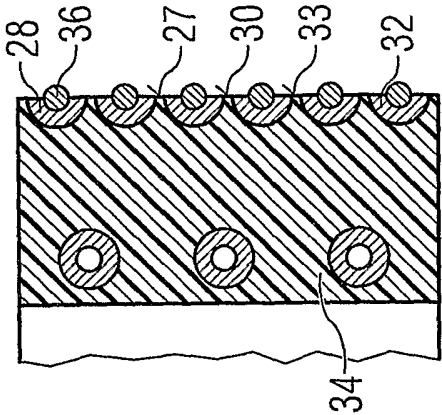


FIG 2C

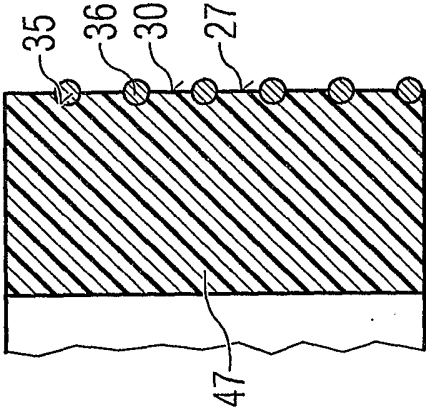


FIG 2B

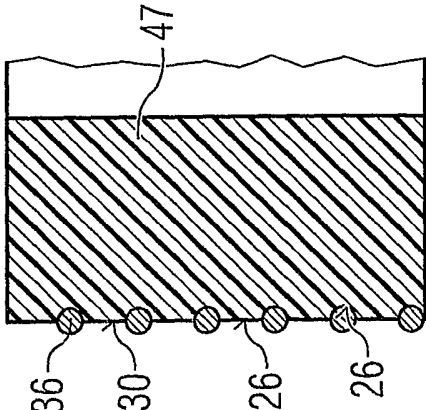
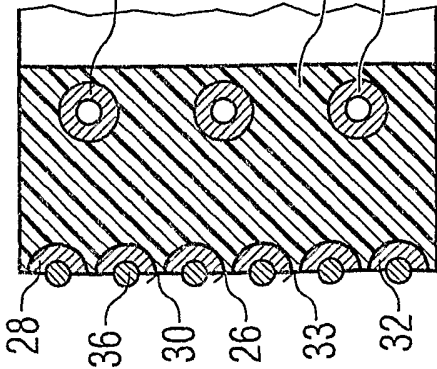
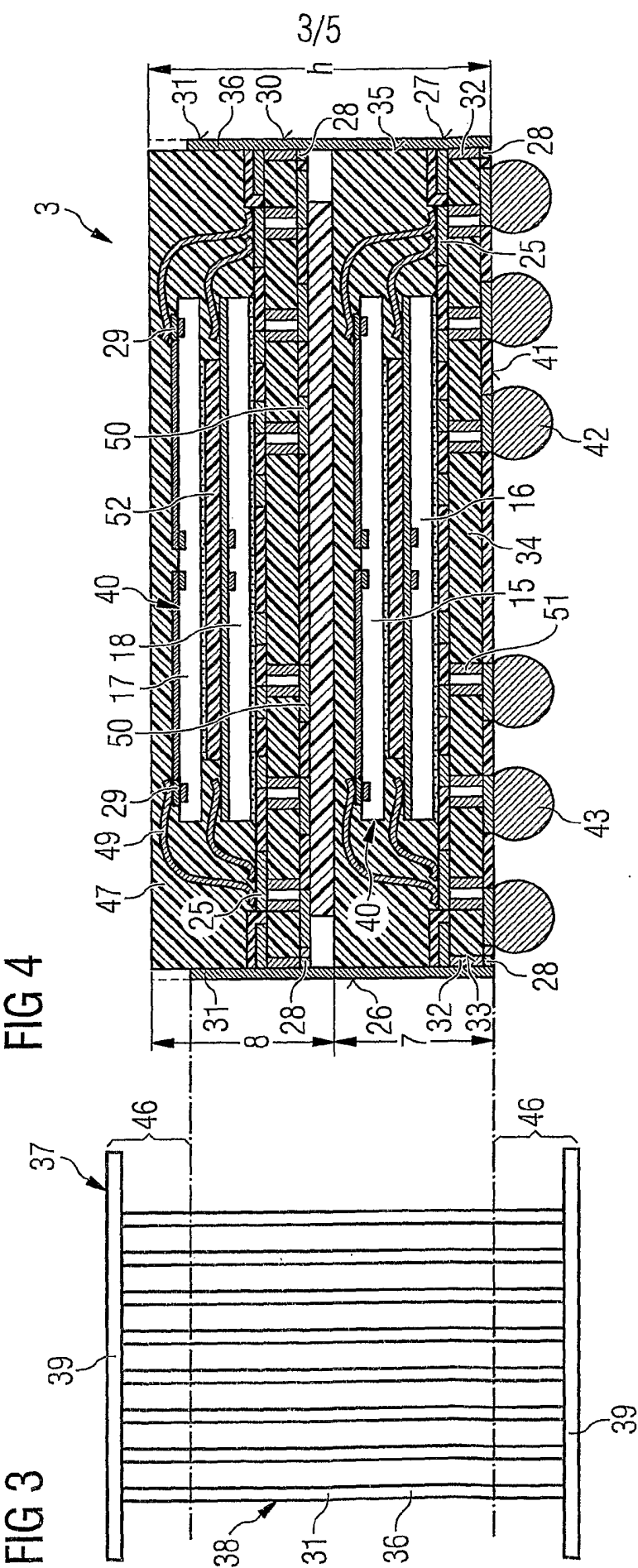
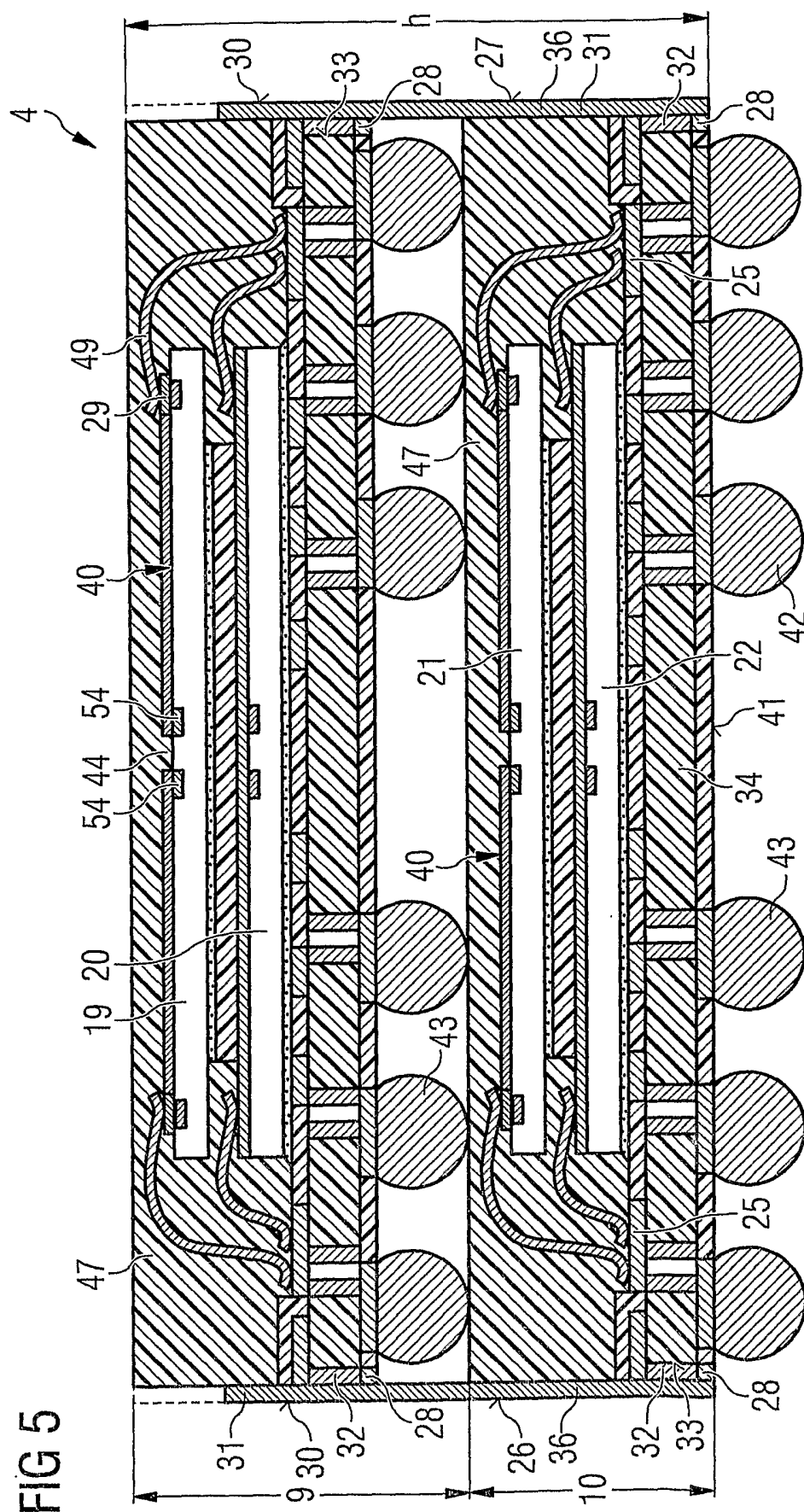
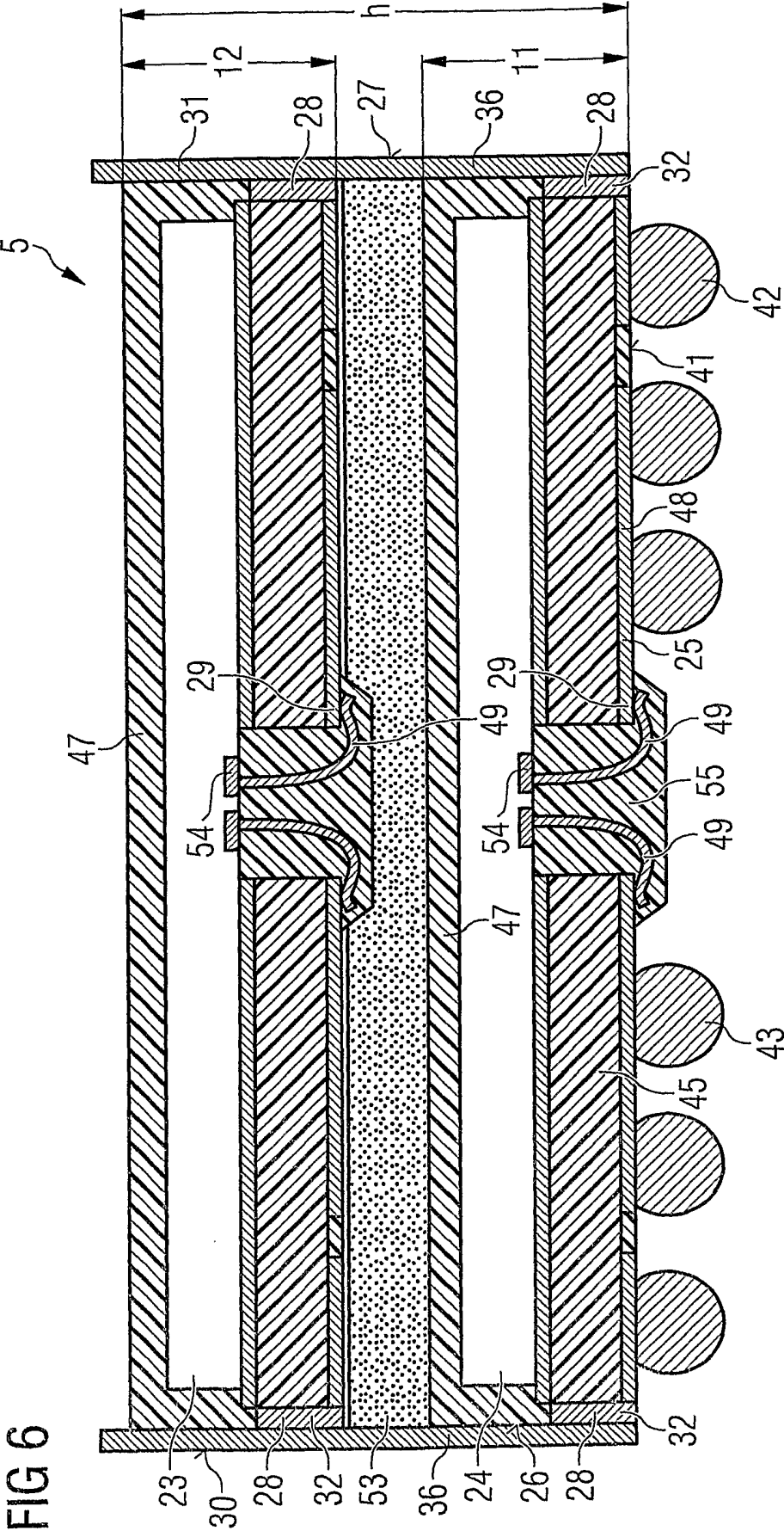


FIG 2A









INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/001600

A. CLASSIFICATION OF SUBJECT MATTER H01L25/065 H01L25/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 571 749 A (MOTOROLA, INC) 1 December 1993 (1993-12-01)	1-3,6, 12,13,16
Y	column 1, line 3 - column 9, line 27; figures 1-3	5,7,8, 10,11
X	US 3 239 719 A (SHOWER EDMUND G) 8 March 1966 (1966-03-08)	1-3,12, 13,15,16
	column 4, line 22 - column 5, line 33; figures 5,6	
X	DE 101 34 648 A1 (INFINEON TECHNOLOGIES AG) 10 October 2002 (2002-10-10)	1,3,6, 10,12, 13,16
	the whole document	
	----- -/--	
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : * A* document defining the general state of the art which is not considered to be of particular relevance * E* earlier document but published on or after the international filing date * L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) * O* document referring to an oral disclosure, use, exhibition or other means * P* document published prior to the international filing date but later than the priority date claimed * T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention * X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone * Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. * &* document member of the same patent family		
Date of the actual completion of the international search 12 January 2006		Date of mailing of the international search report 23/01/2006
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Le Gallo, T

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/001600

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/157410 A1 (YAMAGUCHI KOJI) 12 August 2004 (2004-08-12) paragraphs '0124! - '0146!; figures 6(a)-9(b)	1-3,12, 13,16
Y	US 2004/056277 A1 (KARNEZOS MARCOS) 25 March 2004 (2004-03-25) paragraphs '0098! - '0105!; figure 7	5,7,8,10
A	US 2003/127729 A1 (FUKUMOTO TAKAKAZU ET AL) 10 July 2003 (2003-07-10) paragraphs '0050! - '0054!; figures 3-5	5
Y	US 6 472 736 B1 (YEH NAI HUA ET AL) 29 October 2002 (2002-10-29) the whole document	7
Y	DE 102 59 221 A1 (INFINEON TECHNOLOGIES AG) 15 July 2004 (2004-07-15)	11
A	the whole document	7
Y	US 2002/190396 A1 (BRAND JOSEPH M) 19 December 2002 (2002-12-19) paragraphs '0002!, '0032! - '0034!; claim 4; figure 4	11
A	US 2003/006496 A1 (VAIYAPURI VENKATESHWARAN) 9 January 2003 (2003-01-09) figures 5,6	11

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2005/001600

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 0571749	A	01-12-1993	JP	6037248 A	10-02-1994
			US	5247423 A	21-09-1993
US 3239719	A	08-03-1966	NONE		
DE 10134648	A1	10-10-2002	NONE		
US 2004157410	A1	12-08-2004	JP	2004221372 A	05-08-2004
US 2004056277	A1	25-03-2004	NONE		
US 2003127729	A1	10-07-2003	NONE		
US 6472736	B1	29-10-2002	NONE		
DE 10259221	A1	15-07-2004	US	2004159954 A1	19-08-2004
US 2002190396	A1	19-12-2002	NONE		
US 2003006496	A1	09-01-2003	NONE		

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2005/001600

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES H01L25/065 H01L25/10		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 571 749 A (MOTOROLA, INC) 1. Dezember 1993 (1993-12-01)	1-3, 6, 12, 13, 16
Y	Spalte 1, Zeile 3 - Spalte 9, Zeile 27; Abbildungen 1-3	5, 7, 8, 10, 11
X	US 3 239 719 A (SHOWER EDMUND G) 8. März 1966 (1966-03-08) Spalte 4, Zeile 22 - Spalte 5, Zeile 33; Abbildungen 5, 6	1-3, 12, 13, 15, 16
X	DE 101 34 648 A1 (INFINEON TECHNOLOGIES AG) 10. Oktober 2002 (2002-10-10) das ganze Dokument	1, 3, 6, 10, 12, 13, 16
----- -/-		
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 12. Januar 2006		Absenddatum des internationalen Recherchenberichts 23/01/2006
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Le Gallo, T

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2005/001600

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2004/157410 A1 (YAMAGUCHI KOJI) 12. August 2004 (2004-08-12) Absätze '0124! - '0146!; Abbildungen 6(a)-9(b) -----	1-3,12, 13,16
Y	US 2004/056277 A1 (KARNEZOS MARCOS) 25. März 2004 (2004-03-25) Absätze '0098! - '0105!; Abbildung 7 -----	5,7,8,10
A	US 2003/127729 A1 (FUKUMOTO TAKAKAZU ET AL) 10. Juli 2003 (2003-07-10) Absätze '0050! - '0054!; Abbildungen 3-5 -----	5
Y	US 6 472 736 B1 (YEH NAI HUA ET AL) 29. Oktober 2002 (2002-10-29) das ganze Dokument -----	7
Y	DE 102 59 221 A1 (INFINEON TECHNOLOGIES AG) 15. Juli 2004 (2004-07-15) -----	11
A	das ganze Dokument	7
Y	US 2002/190396 A1 (BRAND JOSEPH M) 19. Dezember 2002 (2002-12-19) Absätze '0002!, '0032! - '0034!; Anspruch 4; Abbildung 4 -----	11
A	US 2003/006496 A1 (VAIYAPURI VENKATESHWARAN) 9. Januar 2003 (2003-01-09) Abbildungen 5,6 -----	11

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001600

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0571749	A	01-12-1993	JP	6037248 A	10-02-1994
			US	5247423 A	21-09-1993
US 3239719	A	08-03-1966	KEINE		
DE 10134648	A1	10-10-2002	KEINE		
US 2004157410	A1	12-08-2004	JP	2004221372 A	05-08-2004
US 2004056277	A1	25-03-2004	KEINE		
US 2003127729	A1	10-07-2003	KEINE		
US 6472736	B1	29-10-2002	KEINE		
DE 10259221	A1	15-07-2004	US	2004159954 A1	19-08-2004
US 2002190396	A1	19-12-2002	KEINE		
US 2003006496	A1	09-01-2003	KEINE		