



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월07일
(11) 등록번호 10-0820546
(24) 등록일자 2008년04월01일

(51) Int. Cl.

H01L 33/00 (2006.01)

(21) 출원번호 10-2006-0086473
(22) 출원일자 2006년09월07일
심사청구일자 2006년09월07일
(65) 공개번호 10-2008-0022818
(43) 공개일자 2008년03월12일

(56) 선행기술조사문헌

KR100593941 B1*
KR1020060074387 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 18 항

(73) 특허권자

엘지이노텍 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤호상

광주 광산구 운남동 삼성아파트 387-22번지
115-1307

(74) 대리인

허용록

심사관 : 장혜정

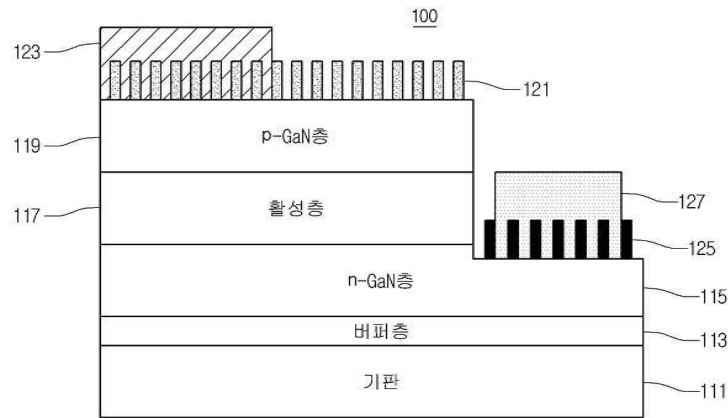
(54) 질화물 반도체 발광소자 및 그 제조방법

(57) 요약

본 발명은 질화물 반도체 발광소자 및 그 제조방법에 관한 것이다.

본 발명에 따른 질화물 반도체 발광소자 제조방법은 기판 상에 순차적으로 n형 전극접촉층, 활성층, p형 전극접촉층을 형성하는 단계; 상기 p형 전극접촉층 위에 p형 러프니스 로드를 형성하는 단계; 상기 n형 전극접촉층의 일부분이 노출되도록 부분 식각을 수행하여, n형 전극접촉층위에 n형 러프니스 로드를 형성하는 단계; 상기 n형 전극접촉층 및 p형 전극접촉층 위에 n형 및 p형 전극을 각각 형성하는 단계를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 순차적으로 n형 전극접촉층, 활성층, p형 전극접촉층을 형성하는 단계;

상기 p형 전극접촉층 위에 p형 러프니스 로드를 형성하는 단계;

상기 p형 전극접촉층부터 n형 전극접촉층의 일부분까지 식각하여 상기 n형 전극접촉층의 식각 영역에 n형 러프니스 로드가 형성되는 단계;

상기 n형 전극접촉층 및 p형 전극접촉층의 위에 n형 및 p형 전극을 각각 형성하는 단계를 포함하는 질화물 반도체 발광소자 제조방법.

청구항 2

제 1항에 있어서,

상기 p형 전극접촉층 성장시, 고온의 수소 분위기에서 어닐링을 수행하여 상기 p형 전극접촉층에 러프니스 로드 구멍을 형성하는 단계를 포함하는 질화물 반도체 발광소자 제조방법.

청구항 3

제 2항에 있어서,

상기 러프니스 로드 구멍에 p형 도펀트를 포함하지 않는 GaN이 성장되어 p형 러프니스 로드를 형성하는 질화물 반도체 발광소자 제조방법.

청구항 4

제 2항에 있어서,

상기 p형 전극접촉층은 5 μ 몰/분 이상의 마그네슘이 도핑되는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

청구항 5

제 2항에 있어서,

상기 p형 전극접촉층은 20u몰/분 갈륨을 사용하는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

청구항 6

제 3항에 있어서,

상기 p형 러프니스 로드의 성장속도는 상기 p형 전극 접촉층의 성장 속도 보다 10배 이상으로 성장되는 질화물 반도체 발광소자 제조방법.

청구항 7

제 1항에 있어서,

상기 n형 러프니스 로드는 상기 p형 러프니스 로드와 상기 p형 전극접촉층과의 결정질 차이에 의한 ICP 식각 결과로 생성되는 질화물 반도체 발광소자 제조방법.

청구항 8

제 1항에 있어서,

상기 러프니스 로드는 비정형 또는 육각 로드 형태로 형성되는 질화물 반도체 발광소자 제조방법.

청구항 9

제 2항에 있어서,

상기 p형 전극접촉층은 H₂, N₂, NH₃의 분위기 가스 중 하나 이상을 공급한 상태에서 800~1000℃로 CP2Mg를 10~180초 동안 유지하여 성장시키는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

청구항 10

제 2항에 있어서,

상기 러프니스 로드 구멍은 높이가 5~6nm, 폭이 1~1.4um 로 형성되는 질화물 반도체 발광소자 제조방법.

청구항 11

제 1항에 있어서,

상기 p형 러프니스 로드는 p형 전극접촉층 위에 0.08~0.1um 높이로 형성되는 질화물 반도체 발광소자 제조방법.

청구항 12

기관;

상기 기관 위에 형성된 n형 전극접촉층;

상기 n형 전극 접촉층 위에 형성된 활성층;

상기 활성층 위에 형성된 p형 전극접촉층;

상기 p형 전극 접촉층 위에 형성된 p형 러프니스 로드;

상기 p형 전극접촉층에서 n형 전극접촉층의 일부분까지의 식각 결과로 형성된 n형 전극 형성영역 및 n형 러프니스 로드;

상기 n형 전극접촉층의 n형 전극 형성영역에 형성된 n형 전극 및 p형 전극접촉층 위에 p형 전극을 포함하는 질화물 반도체 발광소자.

청구항 13

제 12항에 있어서,

상기 p형 전극접촉층에는 상기 p형 러프니스 로드가 각각 형성된 러프니스 로드 구멍을 포함하는 것을 특징으로 하는 질화물 반도체 발광소자.

청구항 14

제 12항에 있어서,

상기 p형 전극접촉층에는 5μ몰/분 이상의 마그네슘이 도핑되고, 20u몰/분 갈륨이 사용되는 것을 특징으로 하는 질화물 반도체 발광소자.

청구항 15

제 12항에 있어서,

상기 n형 러프니스 로드는 상기 p형 러프니스 로드와 상기 p형 전극접촉층과의 결정질 차이로 인한 식각 결과로 생성되는 질화물 반도체 발광소자.

청구항 16

제 12항에 있어서,

상기 러프니스 로드는 비정형 또는 육각 로드 형태로 형성되는 질화물 반도체 발광소자.

청구항 17

제 13항에 있어서,

상기 러프니스 로드 구멍은 높이가 5~6nm, 폭이 1~1.4um 로 형성되는 질화물 반도체 발광소자.

청구항 18

제 12항에 있어서,

상기 p형 러프니스 로드는 p형 전극접촉층 위에 p형 도펀트가 포함되지 않는 GaN이 0.08~0.1um의 높이로 형성되는 질화물 반도체 발광소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 질화물 반도체 발광소자 제조방법에 관한 것이다.
- <14> 일반적으로 질화물 반도체 발광소자는 자외선, 청색 및 녹색 영역을 포괄하는 발광 영역을 가진다. 특히, GaN계 질화물 반도체 발광소자는 그 응용 분야에 있어서 청색/녹색 LED의 광소자 및 MESFET(Metal Semiconductor Field Effect Transistor), HEMT (Hetero junction Field - Effect Transistors) 등의 고속 스위칭, 고출력 소자인 전자소자에 응용되고 있다.
- <15> 도 1은 종래 질화물 반도체 발광 소자를 나타낸 단면도이다.
- <16> 도 1을 참조하면, GaN계 질화물 반도체 발광소자(10)는 주로 사파이어 기판(11) 또는 SiC 기판 위에서 상기 버퍼층(12)을 형성하고 그 상부에 n형 GaN 층(13), 다중양자우물구조로 형성되어 광을 방출하는 활성층(14) 및 p형 GaN층(15)을 포함하여 구성된다. 그리고 상기 p형 GaN층(15)에는 p형 전극(16)이 형성되며, 상기 n형 GaN층(13)의 일부분에는 n형 전극(17)이 형성된다.
- <17> 이러한 질화물 반도체 발광소자(10)의 동작을 보면, p-n 접합구조상에서 상기 n형 GaN층(13)은 질화갈륨(GaN)에 규소(Si)와 같은 도펀트(dopant)를 도핑시켜 형성된다. 상기 p형 GaN층(15)은 질화갈륨(GaN)에 도펀트로는 주로 마그네슘(Mg)을 도핑시켜 형성된다.
- <18> 전압이 인가되는 경우 상기 활성층(14)으로 전자와 정공이 유입되어 활성층(14)의 밴드 갭 또는 에너지 레벨차이에 해당하는 빛을 방출하게 됨으로써 발광소자로서 역할을 하게 되는 것이다.
- <19> 이러한 질화물 반도체 발광소자의 외부 발광 효율을 증대시켜 주기 위한 여러 가지의 시도가 진행되어 왔다.

발명이 이루고자 하는 기술적 과제

- <20> 본 발명은 질화물 반도체 발광소자 및 그 제조방법을 제공한다.
- <21> 본 발명은 외부 발광 효율 개선을 위해 p형 러프니스 로드를 이용하여 n형 러프니스 로드도 생성될 수 있도록 한 질화물 반도체 발광소자 및 그 제조방법을 제공한다.

발명의 구성 및 작용

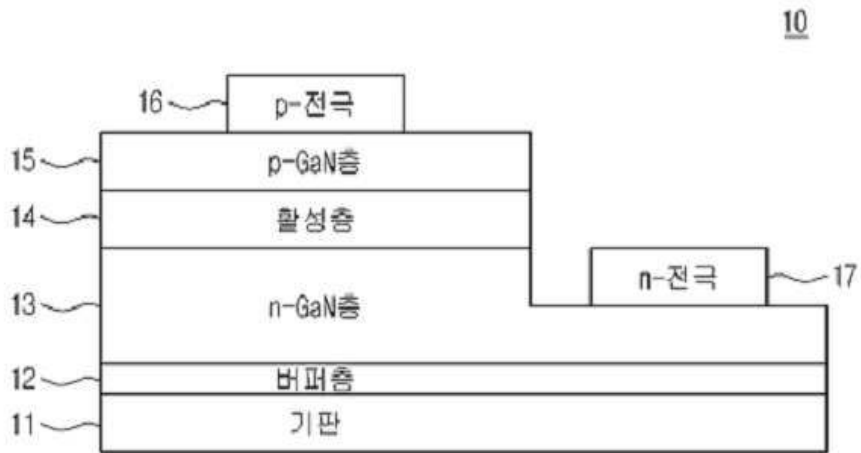
- <22> 본 발명에 따른 질화물 반도체 발광소자 제조방법은 기판 상에 순차적으로 n형 전극접촉층, 활성층, p형 전극접촉층을 형성하는 단계; 상기 p형 전극접촉층 위에 p형 러프니스 로드를 형성하는 단계; 상기 n형 전극접촉층의 일부분이 노출되도록 부분 식각을 수행하여, n형 전극접촉층위에 n형 러프니스 로드를 형성하는 단계; 상기 n형 전극접촉층 및 p형 전극접촉층 위에 n형 및 p형 전극을 각각 형성하는 단계를 포함한다.
- <23> 또한 본 발명에 따른 질화물 반도체 발광소자는, 기판; 상기 기판 상에 형성된 n형 전극접촉층; 상기 n형 전극접촉층 위에 형성된 활성층; 상기 활성층 위에 형성된 p형 전극접촉층; 상기 p형 전극접촉층 위에 형성된 p형 러프니스 로드; 상기 n형 전극접촉층 위에, 상기 p형 러프니스 로드 및 p형 전극접촉층의 식각 공정에 의해 형성된 n형 러프니스 로드; 상기 n형 전극접촉층 및 p형 전극접촉층 위에 n형 및 p형 전극을 포함한다.
- <24> 이하 첨부된 도면을 참조하여 본 발명을 설명하기로 한다.
- <25> 도 2는 본 발명 실시 예에 따른 질화물 반도체 발광소자의 적층 구조를 나타낸 도면이며, 도 3a~3d는 본 발명

실시 예에 따른 질화물 반도체 발광소자 제조 과정을 나타낸 도면이고, 도 4는 본 발명 실시 예에 따른 p형 러프니스 로드 생성 과정을 나타낸 도면이며, 도 5는 본 발명 실시 예에 따른 고속 수소 어닐링에 의한 P형 러프니스 로드 생성 예를 나타낸 도면이다.

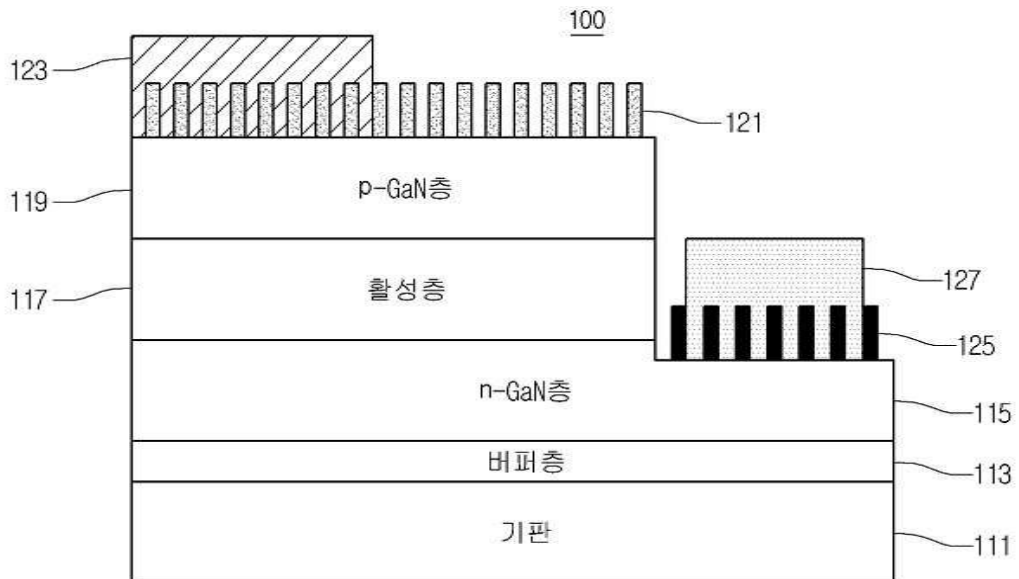
- <26> 도 2를 참조하면, 질화물 반도체 발광소자(100)는 기판(111), 버퍼층(113), n형 전극접촉층(115), 활성층(117), p형 전극접촉층(119), p형 러프니스 로드(121), p형 전극(123), n형 러프니스 로드(125), n형 전극(127)을 포함한다.
- <27> 상기 기판(111)은 사파이어, GaN, SiC, ZnO, GaAs 또는 Si 중 어느 하나로 형성될 수 있다. 상기 기판(111) 위에는 버퍼층(113)이 형성될 수 있는데, 상기 버퍼층(113)은 GaN, AlN, AlGaIn, InGaIn 및 AlGaInN 등이 이용될 수 있다.
- <28> 상기 버퍼층(113) 위에는 n형 전극접촉층(115)이 형성되는데, 상기 n형 전극접촉층(115)은 질화갈륨(GaN)계에 규소(Si)와 같은 도펀트(dopant)를 도핑시켜 형성될 수 있다. 또한 n형 전극접촉층(115)은 인듐을 포함하는 GaAlInN계로 형성할 수도 있다.
- <29> 상기 활성층(117)은 소정 온도(예: 700℃)에서 트리메틸 갈륨 및 트리메틸 인듐을 주입하면서 질소 분위기에서 성장시킨다. 이러한 활성층은 공지된 기술을 이용하여 단일 또는 다중 양자 우물 구조로 형성될 수 있다.
- <30> 상기 활성층(117) 위에는 p형 전극접촉층(119)이 성장되는데, 성장 온도를 1000℃ 이상으로 상승시키고 트리메틸갈륨 및 cp2Mg을 주입시킴으로써 p-GaN층으로 사용된다. 이러한 p형 전극접촉층(119)은 n형 전극접촉층(115)과 마찬가지로 III-V족 질화물 반도체로 이루어질 수 있으며, p형 전극접촉층(119)의 정공과 n형 전극접촉층(115)의 전자가 활성층에서 결합되는 과정에서 광이 방출된다.
- <31> 상기 p형 전극접촉층(119) 위에 p형 러프니스 로드(roughness rod)(121)를 형성하게 된다. 이를 위해, p형 전극접촉층(119) 성장시 도핑되는 마그네슘(Mg) 양은 기존에 사용되는 마그네슘(Mg) 양 보다 5배 정도의 많은 양을 사용하며, 갈륨(Ga) 양은 기존에 사용되는 갈륨(Ga) 양 보다 1/5 정도의 양을 사용하게 된다. 이에 따라 마그네슘 양이 과도하게 도핑된 약한 p형 전극접촉층이 형성된다. 여기서, 상기 마그네슘 양은 기존에 1u몰/분이면 본 발명은 5u몰/분 이상 정도로 하고, 상기 갈륨 양은 기존에 100u몰/분이면 본 발명은 20u몰/분 정도로 한다.
- <32> 구체적으로, 상기 p형 전극접촉층(119)은 분위기 가스인 H₂, N₂, NH₃ 중 H₂와 NH₃만을 이용하거나 NH₃만을 이용할 수 있으며, Cp2Mg의 양은 일반적인 p형 전극접촉층의 형성 양 보다 5배 이상으로 사용하며, 흘려주는 시간은 0~180초로서 바람직하게는 10~60초로 사용할 수 있다. 또한 온도는 800~1000℃로서 바람직하게는 850~900℃를 사용할 수 있다.
- <33> 그리고 p형 전극접촉층(119)이 도 3의 (a) 및 도 4의 (a)와 같이 형성되면, 고온(예: 약 1000℃)의 수소 분위기에서 어닐링을 실시함으로써, 약하게 결합된 p-GaN층의 불균일한 Mg-H의 결합체가 끊어져 소정 깊이의 러프니스 로드 구멍(120)이 도 4의 (b)와 같이 형성된다. 즉, 고온의 수소 분위기에서 어닐링 공정을 통하여 시드 층(seed layer)이 형성된다.
- <34> 도 4의 (b) 및 도 5의 (a)와 같이, 상기 p형 전극접촉층(119)에 형성되는 러프니스 로드 구멍(120)은 불규칙 위치에, 서로 다른 크기로 형성된다. 여기서, 상기 러프니스 로드 구멍(120)의 깊이(H)는 5~6nm 정도이고, 폭(W)은 1~1.4um 정도로 형성된다.
- <35> 이와 같이, p형 전극접촉층(119)에 러프니스 로드 구멍(120)이 형성되면, p형 도펀트가 포함되지 않은 질화갈륨을 일정 이상 속도로 성장시켜 주면, p형 전극접촉층(119)의 Mg-H의 결합이 끊어져 활성화 에너지가 상대적으로 높은 러프니스 로드 구멍(120)에 GaN 러프니스 로드 즉, p형 러프니스 로드(121)가 성장된다. 즉, 도 4의 (c) 및 도 5의 (b)와 같이 형태의 러프니스 로드(121)가 비정형 또는 육각 로드 형태로 형성된다.
- <36> 그리고 상기 p형 러프니스 로드(121)의 성장 속도는 기존에 p형 전극접촉층(또는 n형 전극접촉층)을 성장하는 속도보다 10배 이상 속도로서, 동일한 시간에 10배 이상의 두께(예: 1000~3000Å)가 형성될 수 있도록 한다. 이때의 온도는 950~1050℃로 설정할 수 있다.
- <37> 여기서, p형 전극접촉층(119) 위에 도 3의 (b)와 같이 형성되는 p형 러프니스 로드(121)는 p형 질화물(p-GaN)층 사이에 과도하게 들어가 있던 Mg가 성장방향으로 빠져나오면서 Mg-H 결합이 끊어진 Mg+의 형태로 GaN 사이로 들어가게 되고, 결과적으로 성장되는 GaN 러프니스 로드(121)는 기존의 p-GaN 러프니스 로드 보다 결정성과 캐리어 농도가 우수한 p-GaN 러프니스 로드를 형성하게 된다.

도면

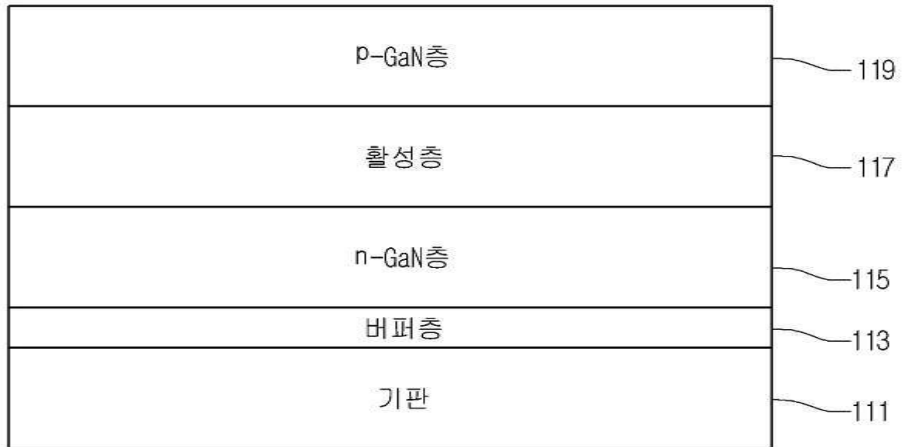
도면1



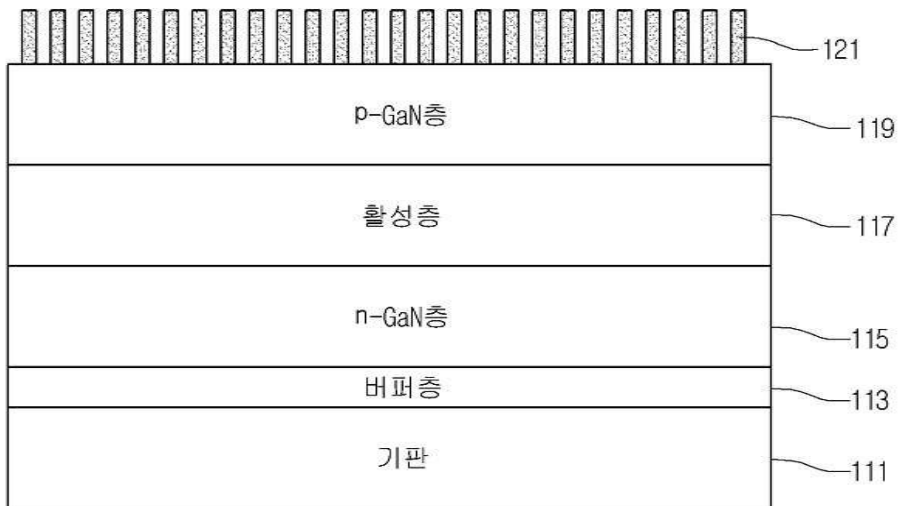
도면2



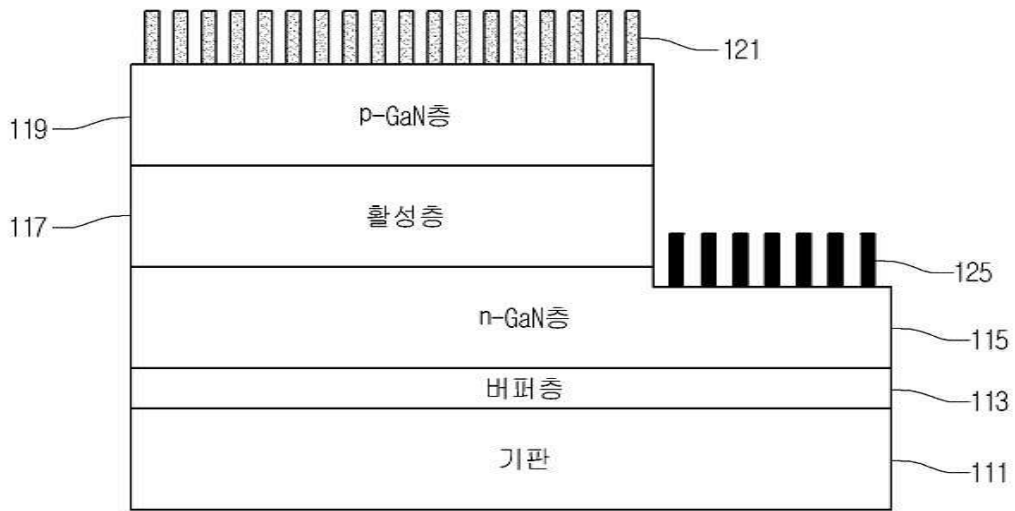
도면3a



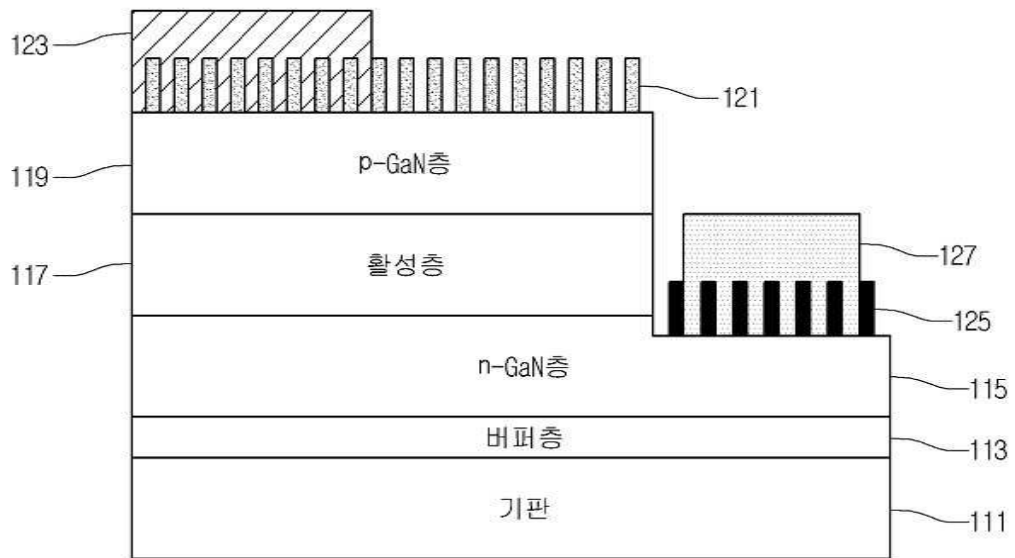
도면3b



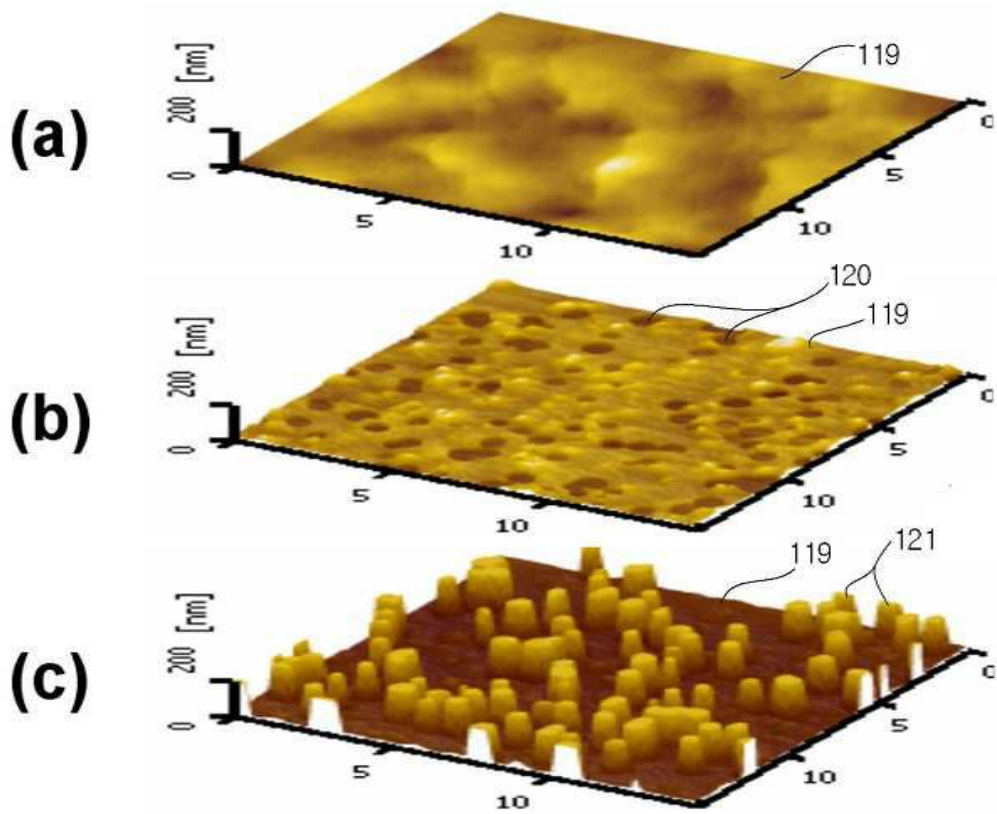
도면3c



도면3d



도면4



도면5

