



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0101651
(43) 공개일자 2024년07월02일

- (51) 국제특허분류(Int. Cl.)
H01L 23/473 (2006.01) H01L 21/48 (2006.01)
H01L 23/00 (2006.01) H01L 23/42 (2006.01)
- (52) CPC특허분류
H01L 23/473 (2013.01)
H01L 21/4882 (2013.01)
- (21) 출원번호 10-2024-7019120
- (22) 출원일자(국제) 2022년11월16일
심사청구일자 없음
- (85) 번역문제출일자 2024년06월07일
- (86) 국제출원번호 PCT/US2022/050105
- (87) 국제공개번호 WO 2023/091485
국제공개일자 2023년05월25일
- (30) 우선권주장
63/264,261 2021년11월18일 미국(US)

- (71) 출원인
아테이아 세미컨덕터 본딩 테크놀로지스 인코포레이티드
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- (72) 발명자
하바 벨가쎌
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- 어버션 크리스토퍼
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
- (74) 대리인
유미특허법인

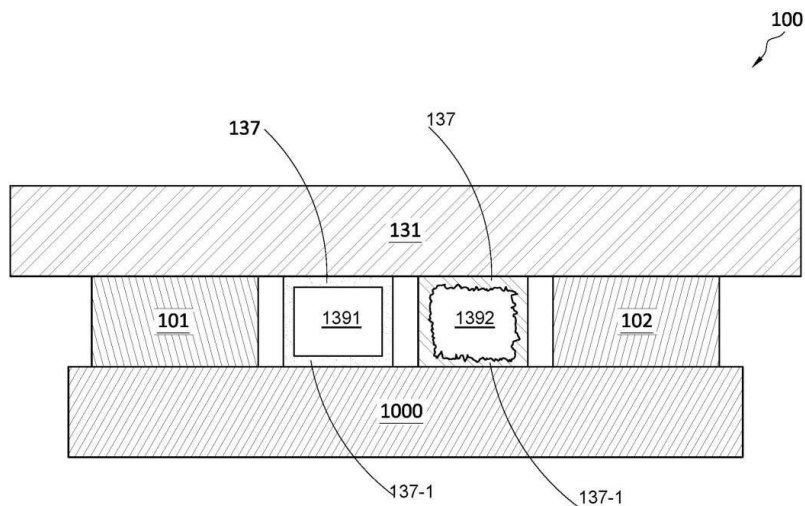
전체 청구항 수 : 총 43 항

(54) 발명의 명칭 다이 적층체를 위한 유체 냉각

(57) 요약

개시된 기술은 열을 효율적으로 소산시킬 수 있는 마이크로전자 디바이스에 관한 것이다. 일부 측면에서, 이러한 마이크로전자 디바이스는 제1 반도체 엘리먼트, 및 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트를 포함한다. 마이크로전자 디바이스는 제1 반도체 엘리먼트 상에 배치되는 유체 냉각 유닛을 더 포함할 수 있다. 일부 실시예에서, 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함할 수 있다. 일부 실시예에서, 유체 냉각 유닛은 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 23/42 (2021.01)

H01L 24/08 (2013.01)

H01L 24/80 (2013.01)

H01L 2224/08155 (2013.01)

H01L 2224/80896 (2013.01)

명세서

청구범위

청구항 1

마이크로전자 디바이스로서,

제1 반도체 엘리먼트;

상기 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트; 및

상기 제1 반도체 엘리먼트 상에 배치되는 유체 냉각 유닛 - 상기 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조(cavity structure)를 포함하고, 상기 유체 냉각 유닛은 상기 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함함 -

을 포함하는 마이크로전자 디바이스.

청구항 2

제1항에 있어서,

유체는 능동 기구에 의해 상기 공동 구조를 통해 이송되는, 마이크로전자 디바이스.

청구항 3

제1항에 있어서,

상기 공동 구조는 하나 이상의 전기적 비전도 또는 반전도 재료로 형성되는, 마이크로전자 디바이스.

청구항 4

제3항에 있어서,

상기 하나 이상의 전기적 비전도 또는 반전도 재료는 실리콘 또는 플라스틱을 포함하는, 마이크로전자 디바이스.

청구항 5

제1항에 있어서,

상기 공동 구조의 내장 표면은 상기 유체에서 난류(turbulence)를 증가시키도록 구성되는 피치를 포함하는, 마이크로전자 디바이스.

청구항 6

제5항에 있어서,

상기 피치는 필러의 어레이를 포함하는, 마이크로전자 디바이스.

청구항 7

제5항에 있어서,

상기 피치는 실리콘 또는 금속을 포함하는, 마이크로전자 디바이스.

청구항 8

제5항에 있어서,

상기 공동 구조는 하단 벽을 포함하고, 상기 피치는 상기 하단 벽 상에 배치되는, 마이크로전자 디바이스.

청구항 9

제8항에 있어서,

상기 피처는 상기 제1 반도체 엘리먼트로 연장되는 금속 피처를 포함하는, 마이크로전자 디바이스.

청구항 10

제9항에 있어서,

상기 제1 반도체 엘리먼트로 연장되는 상기 금속 피처는 상기 하단 벽 상에 배치되는 피처를 상기 제1 반도체 엘리먼트 내에 배치되는 전도성 비아에 직접적으로 본딩함으로써 형성되는, 마이크로전자 디바이스.

청구항 11

제5항에 있어서,

상기 피처는 상기 제1 반도체 엘리먼트 상에 배치되는, 마이크로전자 디바이스.

청구항 12

제1항에 있어서,

상기 공동 구조는 하단 벽을 갖지 않는 캡 구조를 상기 제1 반도체 엘리먼트에 직접적으로 본딩함으로써 형성되는, 마이크로전자 디바이스.

청구항 13

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽의 열 팽창 계수 (CTE : coefficient of thermal expansion)는 상기 제1 반도체 엘리먼트의 CTE와 실질적으로 유사한, 마이크로전자 디바이스.

청구항 14

제1항에 있어서,

상기 제1 반도체 엘리먼트는 실리콘을 포함하고, 상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽의 열 팽창 계수(CTE)는 실리콘의 CTE와 실질적으로 유사한, 마이크로전자 디바이스.

청구항 15

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽의 열 팽창 계수 (CTE)는 구리의 CTE보다 낮은, 마이크로전자 디바이스.

청구항 16

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽의 열 팽창 계수 (CTE)는 10 $\mu\text{m}/\text{m}^\circ\text{C}$ 보다 낮은, 마이크로전자 디바이스.

청구항 17

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽은 실리콘을 포함하는, 마이크로전자 디바이스.

청구항 18

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽은 중간 접착제 없이 상기 제1 반도체 엘리먼트에 직접적으로 본딩되는, 마이크로전자 디바이스.

청구항 19

제18항에 있어서,

상기 하단 벽과 상기 제1 반도체 엘리먼트 사이의 계면은 유전체-대-유전체(dielectric-to-dielectric) 직접 결합(direct bond)을 포함하는, 마이크로전자 디바이스.

청구항 20

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽은 납땜 본딩을 통해 상기 제1 반도체 엘리먼트에 본딩되는, 마이크로전자 디바이스.

청구항 21

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽은 접착제 본딩을 통해 상기 제1 반도체 엘리먼트에 본딩되는, 마이크로전자 디바이스.

청구항 22

제1항에 있어서,

상기 공동 구조는 상기 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 상기 하단 벽은 열 계면 재료(TIM : thermal interface material)에 의해 상기 제1 반도체 엘리먼트에 본딩되는, 마이크로전자 디바이스.

청구항 23

제1항에 있어서,

상기 적어도 하나의 제2 반도체 엘리먼트는 중간 접착제 없이 상기 제1 반도체 엘리먼트에 직접 하이브리드 본딩되는, 마이크로전자 디바이스.

청구항 24

제23항에 있어서,

상기 적어도 하나의 제2 반도체 엘리먼트와 상기 제1 반도체 엘리먼트 사이의 계면은 전도체-대-전도체(conductor-to-conductor) 및 유전체-대-유전체 직접 결합을 포함하는, 마이크로전자 디바이스.

청구항 25

제1항에 있어서,

상기 적어도 하나의 제2 반도체 엘리먼트 상에 배치되는 히트 싱크를 더 포함하는 마이크로전자 디바이스.

청구항 26

제25항에 있어서,

상기 유체 냉각 유닛은 상기 제1 반도체 엘리먼트로부터 상기 히트 싱크로 열을 전달하도록 구성되는, 마이크로전자 디바이스.

청구항 27

제25항에 있어서,

상기 히트 싱크는 중간 접착제 없이 상기 적어도 하나의 제2 반도체 엘리먼트에 직접적으로 본딩되는, 마이크로 전자 디바이스.

청구항 28

제1항에 있어서,

상기 제1 반도체 엘리먼트는 집적된 디바이스 다이를 포함하는, 마이크로 전자 디바이스.

청구항 29

제1항에 있어서,

상기 적어도 하나의 제2 반도체 엘리먼트는 집적된 디바이스 다이를 포함하는, 마이크로 전자 디바이스.

청구항 30

마이크로 전자 디바이스를 형성하는 방법으로서,

상기 방법은,

제1 반도체 엘리먼트를 제공하는 단계; 및

제2 반도체 엘리먼트 및 유체 냉각 유닛이 상기 제1 반도체 엘리먼트 상에 배치되도록, 상기 제2 반도체 엘리먼트 및 상기 유체 냉각 유닛을 상기 제1 반도체 엘리먼트에 본딩하는 단계

를 포함하고,

상기 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함하고, 상기 유체 냉각 유닛은 상기 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함하는, 방법.

청구항 31

제30항에 있어서,

상기 제2 반도체 엘리먼트를 본딩하는 것은, 중간 접착제 없이 상기 제2 반도체 엘리먼트를 상기 제1 반도체 엘리먼트에 직접적으로 본딩하는 것을 포함하는, 방법.

청구항 32

제30항에 있어서,

상기 공동 구조는 하단 벽을 포함하고, 상기 유체 냉각 유닛을 본딩하는 것은, 중간 접착제 없이 상기 하단 벽을 상기 제1 반도체 엘리먼트에 직접적으로 본딩하는 것을 포함하는, 방법.

청구항 33

제30항에 있어서,

하단 벽을 갖지 않는 캡 구조를 상기 제1 반도체 엘리먼트에 직접적으로 본딩함으로써 상기 공동 구조를 형성하는 단계를 더 포함하는 방법.

청구항 34

제1항에 있어서,

상기 유체는 기체를 포함하는, 마이크로 전자 디바이스.

청구항 35

제1항에 있어서,

상기 유체는 액체를 포함하는, 마이크로 전자 디바이스.

청구항 36

제1항에 있어서,

상기 유체 냉각 유닛은 상기 적어도 하나의 제2 반도체 엘리먼트를 통한 열류(heat flow)를 감소시키는, 마이크로전자 디바이스.

청구항 37

마이크로전자 디바이스로서,

제1 반도체 엘리먼트;

접착제 없이 상기 제1 반도체 엘리먼트에 직접적으로 본딩되는 유체 냉각 유닛 - 상기 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함함 -

을 포함하는 마이크로전자 디바이스.

청구항 38

제37항에 있어서,

상기 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트를 더 포함하는 마이크로전자 디바이스.

청구항 39

제38항에 있어서,

상기 유체 냉각 유닛은 상기 적어도 하나의 제2 반도체 엘리먼트를 통한 열류를 감소시키는, 마이크로전자 디바이스.

청구항 40

제1항에 있어서,

상기 적어도 하나의 제2 반도체 엘리먼트는 상기 유체 냉각 유닛 내에 배치되는, 마이크로전자 디바이스.

청구항 41

제1항에 있어서,

상기 적어도 하나의 제2 반도체 엘리먼트는 상기 유체 냉각 유닛의 외부에 배치되는, 마이크로전자 디바이스.

청구항 42

제30항에 있어서,

상기 제2 반도체 엘리먼트는 상기 유체 냉각 유닛 내에 배치되는, 방법.

청구항 43

제30항에 있어서,

상기 제2 반도체 엘리먼트는 상기 유체 냉각 유닛의 외부에 배치되는, 방법.

발명의 설명

기술 분야

[0001] 관련된 출원에 대한 상호-참조

[0002] 이 출원은 "다이 적층체를 위한 유체 냉각(FLUID COOLING FOR DIE STACKS)"이라는 명칭으로 2021년 11월 18일자로 출원된 미국 가출원 제63/264,261호에 대한 우선권을 주장하고, 이 미국 가출원의 내용은 그 전체적으로

참조로 통합된다.

[0003] 분야는 마이크로전자기기(microelectronic) 및 특히, 직접적으로 본딩된 엘리먼트로 형성되는 마이크로전자기기에서 열을 소산(dissipate)시키는 것에 관한 것이다.

배경 기술

[0004] 전자 컴포넌트의 소형화 및 고밀도 집적으로, 마이크로전자기기에서의 열 유속 밀도(heat flux density)는 증가하고 있다. 마이크로전자기기의 동작 동안에 생성되는 열이 소산되지 않는 경우에, 마이크로전자기기는 셧 다운(shut down)되거나 번 아웃(burn out)될 수 있다. 특히, 열 소산(thermal dissipation)은 고전력 디바이스에서 심각한 문제이다.

도면의 간단한 설명

[0005] 구체적인 구현예는 제한이 아니라 예로서 제공되는 다음의 도면을 참조하여 지금부터 설명될 것이다.

도 1은 개시된 기술의 일부 실시예에 따른 예시적인 마이크로전자 시스템의 단면도를 개략적으로 예시한다.

도 2는 개시된 기술의 일부 실시예에 따른 또 다른 예시적인 마이크로전자 시스템의 단면도를 개략적으로 예시한다.

도 3a는 개시된 기술의 일부 실시예에 따른 또 다른 예시적인 마이크로전자 시스템의 단면도를 개략적으로 예시한다. 도 3b, 도 3c, 및 도 3d는 도 3a의 예시적인 마이크로전자 시스템에서 이용될 수 있는 예시적인 유체 냉각 유닛의 단면도를 개략적으로 예시한다.

도 4는 개시된 기술의 일부 실시예에 따른 또 다른 예시적인 마이크로전자 시스템의 단면도를 개략적으로 예시한다.

발명을 실시하기 위한 구체적인 내용

[0006] 마이크로전자 엘리먼트(예컨대, 다이(die)/칩(chip))는 디바이스를 형성하기 위하여 적층될 수 있고 서로에 본딩(bond)될 수 있다. 특히, 칩이 박형화됨에 따라, 칩 적층을 갖는 디바이스에서 열을 소산시키는 것은 어렵다. 접착제 본딩(adhesive bonding)과 같은 칩 병합 방법의 이용은 디바이스에서의 열 소산을 덜 효과적으로 할 수 있는데, 그 이유는 접착제가 열 전달을 감소시키거나 절연시킬 수 있기 때문이다. 또한, 디바이스의 희망된 부분에서 온도를 구체적으로 저하시키는 것은 어렵다. 예를 들어, 다이의 적층체를 패키징할 때, 열 소산(heat dissipation)은 적층체의 상단에서의 히트 싱크(heat sink)에 의해 전형적으로 보조되지만, 하부 다이로부터 열을 추출하는 것은 도전적이다. 특히, 고전력 칩에서, 열 소산은 심각한 문제일 수 있다. 따라서, 마이크로전자 디바이스에서 열을 소산시키기 위한 개선된 기법에 대한 필요성이 계속해서 남아 있다.

[0007] 방법 및 구조는 열 경로를 적층체 내의 하부 다이로부터 상부 열 소산 구조(예컨대, 히트 싱크/히트 파이프(heat pipe))로 전환(redirect)하기 위하여 제공된다. 일 측면에서, 마이크로전자 디바이스는 디바이스로부터 열을 제거하고 디바이스에서 열류(heat flow)를 전환하는 것, 예를 들어, 디바이스 내의 어떤 칩을 통해 열류를 감소시키는 것을 도울 수 있는 유체 냉각 유닛을 포함할 수 있다. 예를 들어, 유체 냉각 유닛은 하부/하단 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로(thermal pathway)를 포함하고 있을 수 있다. 이러한 유체 냉각 유닛은 디바이스에서 작은 풋프린트(footprint)만을 점유할 수 있다.

[0008] 일부 실시예에서, 유체 냉각 유닛의 하부 벽은 디바이스 내의 또 다른 엘리먼트(예컨대, 하부 다이)에 직접적으로 본딩되어, 따라서, 열 전달을 감소시킬 수 있는 접착제의 이용을 회피한다. 디바이스의 동작 동안에 온도가 상승할 때에 본딩된 구조에서의 균열(fracture) 또는 틈(crack)을 회피하기 위하여, 유체 냉각 유닛의 하부 벽의 열 팽창 계수(CTE : coefficient of thermal expansion)는 그 엘리먼트의 CTE와 실질적으로 정합하도록 선택될 수 있다. 예를 들어, 유체 냉각 유닛이 집적으로 본딩되는 엘리먼트(예컨대, 하부 다이)는 실리콘(silicon)으로 형성될 수 있고, 하부 벽 재료는 실리콘의 CTE와 유사한 CTE를 가질 수 있다.

[0009] 일부 실시예에서, 유체 냉각 유닛은 펌프(pump)를 이용하여 이송/순환될 수 있는 유체 냉각제(fluid coolant)를 포함하는 채널을 포함할 수 있다. 일부 실시예에서, 유체 냉각 유닛은 상 전이 사이클(phase transition cycle)을 통해 열을 전달할 수 있는 작동 유체(working fluid)를 포함하는 히트 파이프를 포함할 수 있다. 이웃하는 칩과 비교하면, 유체 냉각 유닛은 하부 다이로부터 열을 전달하는데 더 효율적일 수 있고, 따라서, 유체 냉각 유닛은 디바이스에서 열류를 전환할 수 있고, 그 이웃하는 칩을 통해 열류를 감소시킬 수 있다.

- [0010] 도 1은 적층된 반도체 엘리먼트(예컨대, 다이/칩), 및 적층체의 상단에서 히트 싱크(131)(예컨대, 금속 히트 싱크, 또는 유체 냉각재를 갖는 히트 파이프)에 접속되는 유체 냉각 유닛(137)을 가지는 예시적인 마이크로전자 시스템(100)의 단면도를 개략적으로 예시한다. 예를 들어, 유체 냉각 유닛(137)은 하부/하단 반도체 엘리먼트(1000)로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함할 수 있다. 유체 냉각 유닛(137)은 반도체(예컨대, 실리콘), 금속, 플라스틱, 또는 그 임의의 조합으로 형성될 수 있고, 공동 구조(cavity structure)(예컨대, 액체 채널(1391) 또는 히트파이프(heatpipe)(1392))를 포함할 수 있고, 순환 또는 상 전이 사이클(phase transition cycle)을 통해 열을 전달하도록 구성되는 유체를 포함할 수 있다. 예를 들어, 유체는 기체 또는 액체(예컨대, 물 또는 유전체 액)를 포함할 수 있다. 동작 동안에 반도체 엘리먼트(1000, 101, 및/또는 102)에 의해 생성되는 열은 히트 싱크(131)로 전달될 수 있고, 시스템(100)으로부터 소산될 수 있다. 예를 들어, 유체는 유입구 도관(inlet conduit)을 통해 공동, 예컨대, 액체 채널(1391) 또는 히트파이프(1392) 내로 펌핑될 수 있고, 유출구 도관(outlet conduit)을 통해 공동, 예컨대, 액체 채널(1391) 또는 히트파이프(1392)를 진출할 수 있다. 유체는 유입구 도관을 통해 공동, 예컨대, 액체 채널(1391) 또는 히트파이프(1392)로 복귀하기 전에, 유출구 도관으로부터, 액체가 냉각될 수 있는 외부 열 교환기(도시되지 않음)로 운반될 수 있다. 유체 냉각 유닛(137) 및 하나 또는 복수의 칩(예컨대, "제1 다이"(101) 및 "제2 다이"(102))은, 다이, 웨이퍼 등일 수 있는 기저부 엘리먼트(1000) 상에 장착될 수 있다. 일부 실시예에서, "제1 다이" 또는 "제2 다이"는 유체 냉각 유닛(137)의 내부에 배치될 수 있다. 다른 실시예에서, "제1 다이"(101) 또는 "제2 다이"(102)는 유체 냉각 유닛(137)의 외부에 배치될 수 있다. 유체 냉각 유닛(137)은 적어도 하나의 칩(예컨대, 적어도 "제1 다이"(101))에 인접할 수 있고, 따라서, 적어도 하나의 칩을 통해 열류를 감소시킬 수 있다.
- [0011] 일부 실시예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 기저부 엘리먼트(1000)의 CTE에 매우 근접한 CTE를 가진다. 예를 들어, 기저부 엘리먼트(1000)는 실리콘(Si)과 같은 반도체 재료를 포함할 수 있고, 유체 냉각 유닛(137)의 하단 벽(137-1)은 반도체 재료(예컨대, Si)의 CTE에 근접하거나 정합하는 CTE를 가질 수 있다. 하나의 예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 구리의 CTE보다 낮거나 10 $\mu\text{m}/\text{m}^\circ\text{C}$ 이하인 CTE를 가질 수 있다. 일부 실시예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 전기적 비전도 재료, 예를 들어, 비금속으로 형성될 수 있다. 일부 실시예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 실리콘(예컨대, Si)과 같은 반도체 재료로 형성될 수 있다.
- [0012] 일부 실시예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 비전도성 직접 본딩(nonconductive direct bonding) 기법 및/또는 하이브리드 직접 본딩(hybrid direct bonding) 기법과 같은, 중간 접착제 없이 직접 본딩을 통해 기저부 엘리먼트(1000)에 장착될 수 있다. 예를 들어, 하단 벽(137-1)은 실온 대기 압력 직접 본딩을 위하여 구성되는 ZIBOND[®] 및/또는 DBI[®] 프로세스, 또는 저온 하이브리드 본딩을 위하여 구성되는 DBI[®] 울트라 프로세스를 이용하여 칩(1000)에 본딩될 수 있고, 이 프로세스들은 CA, San Jose의 Adeia로부터 상업적으로 입수가능하다. 일부 실시예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 납땜 본딩(solder bonding) 또는 접착제 본딩(adhesive bonding)을 통해 하단 칩(1000)에 장착될 수 있다. 일부 실시예에서, 유체 냉각 유닛(137)의 하단 벽(137-1)은 열 계면 재료(TIM : thermal interface material)를 통해 하단 칩에 장착될 수 있다.
- [0013] 일부 실시예에서, 적층된 반도체 엘리먼트는 중간 접착제 없이 서로에 직접적으로 본딩될 수 있다. 예를 들어, "제1 다이"(101) 및/또는 "제2 다이"(102)는 기저부 엘리먼트(1000)에 직접적으로 본딩될 수 있다. 일부 실시예에서, 상단 히트 싱크는 반도체 엘리먼트(예컨대, "제1 다이"(101) 및/또는 "제2 다이"(102)) 및/또는 유체 냉각 유닛(137)에 직접적으로 본딩될 수 있거나, 열 계면 재료(TIM)를 통해 반도체 엘리먼트 및/또는 유체 냉각 유닛(137)에 장착될 수 있다. 예를 들어, 직접 본딩 프로세스는 실온 대기 압력 직접 본딩을 위하여 구성되는 ZIBOND[®] 및 DBI[®] 프로세스, 또는 저온 하이브리드 본딩을 위하여 구성되는 DBI[®] 울트라 프로세스를 포함할 수 있고, 이 프로세스들은 CA, San Jose의 Adeia로부터 상업적으로 입수가능하다. 직접 결합은 본딩된 엘리먼트의 유전체 재료 사이에 있을 수 있고, 또한, 직접 하이브리드 본딩을 위한 결합 계면에서 또는 그 근처에서 전도성 재료를 포함할 수 있다. 본딩 계면에서의 전도성 재료는 다이 상부의 재분배 층(RDL : redistribution layer) 내에 또는 그 상부에 형성되는 본딩 패드, 및/또는 수동 전자 컴포넌트일 수 있다.
- [0014] 도 2는 도 1의 마이크로전자 시스템과 유사한 예시적인 마이크로전자 시스템의 단면도를 예시하고, 유사한 참조 번호는 유사한 특징부를 참조하기 위하여 이용된다. 그러나, 유체 냉각 유닛은 히트 싱크에 접속되지 않는다. 그 대신에, 유체 냉각 유닛은 유체 냉각 유닛에서 유체 냉각재를 이송/순환하고, 따라서, 마이크로전자 시스템으로부터 멀어지도록 열을 전달하도록 구성되는(펌프 및 추가적인 유체 채널을 포함할 수 있는) 유체 시스템(240)에 직접적으로 접속된다. 상단 히트 싱크(131)는 열 계면 재료(TIM)(249)를 통해 반도체 엘리먼트에 장착될 수

있다.

[0015] 예를 들어, 마이크로전자 디바이스는 제1 반도체 엘리먼트; 접촉제 없이 제1 반도체 엘리먼트에 직접적으로 본딩되는 유체 냉각 유닛을 포함할 수 있고, 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함한다. 하나의 실시예에서, 마이크로전자 디바이스는 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트를 더 포함한다. 하나의 실시예에서, 유체 냉각 유닛은 적어도 하나의 제2 반도체 엘리먼트를 통해 열류를 감소시킨다(예컨대, 열류는 적어도 하나의 제2 반도체 엘리먼트를 우회함). 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 중간 접촉제 없이 제1 반도체 엘리먼트에 직접적으로 본딩된다(예컨대, 직접 하이브리드 본딩됨). 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트와 제1 반도체 엘리먼트 사이의 계면은 전도체-대-전도체(conductor-to-conductor) 및 유전체-대-유전체(dielectric-to-dielectric) 직접 결합(direct bond)을 포함한다. 하나의 실시예에서, 마이크로전자 디바이스는 적어도 하나의 제2 반도체 엘리먼트 상에 배치되는 히트 싱크를 더 포함한다. 하나의 실시예에서, 유체 냉각 유닛은 제1 반도체로부터 히트 싱크로 열을 전달하도록 구성된다. 하나의 실시예에서, 히트 싱크는 중간 접촉제 없이 적어도 하나의 제2 반도체 엘리먼트에 직접적으로 본딩된다. 하나의 실시예에서, 제1 반도체 엘리먼트는 집적된 디바이스 다이를 포함한다. 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 집적된 디바이스 다이를 포함한다. 하나의 실시예에서, 유체는 기체를 포함한다. 하나의 실시예에서, 유체는 액체를 포함한다. 하나의 실시예에서, 유체 냉각 유닛은 적어도 하나의 제2 반도체 엘리먼트를 통해 열류를 감소시킨다(예컨대, 열류는 적어도 하나의 제2 반도체 엘리먼트를 우회함). 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 유체 냉각 유닛 내에 배치된다. 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 유체 냉각 유닛의 외부에 배치된다.

[0016] 도 3a는 도 2의 마이크로전자 시스템과 유사한 예시적인 마이크로전자 시스템의 단면도를 예시하고, 유사한 참조 번호는 유사한 특징부를 참조하기 위하여 이용된다. 그러나, 유체 냉각 유닛의 내부 벽은 유체에서 층류(laminar flow)를 방지하는 것을 도울 수 있는 핑거 피처(finger feature)(391, 392, 및 393)(예컨대, 핑거(finger)/필러(pillar))를 포함할 수 있다. 일부 실시예에서, 피처(391, 392, 및/또는 393)는 공동(1391)으로 내향하여 돌출할 수 있다. 일부 예에서, 피처는 유체에서 난류(turbulence)를 촉진시키는 것을 도울 수 있고, 따라서, 유체 혼합 및 열 이송을 용이하게 할 수 있다. 따라서, 개시된 기술의 비제한적인 장점은 피처(391, 392, 및/또는 393)가 열 소산을 증가시키는 것을 도울 수 있다는 것이다. 일부 실시예에서, 유체 냉각 유닛의 내부 벽은 실리콘(Si)과 같은 반도체 재료로 형성될 수 있다. 일부 실시예에서, 유체 냉각 유닛의 내부 하단 벽은 반도체 재료(예컨대, Si)로 형성되는 핑거(391), 또는 금속(예컨대, 구리)으로 형성되는 핑거(392 또는 393)를 포함한다. 하나의 실시예에서, 일부 금속 핑거는 기저부 엘리먼트(1000)로 연장될 수 있다. 예를 들어, 유체 냉각 유닛으로부터 하단 칩으로 연장되는 금속 핑거는 유체 냉각 유닛의 금속 피처를 하단 칩의 전도성 비아(conductive via)(393)에 직접적으로 본딩(예를 들어, DBI[®] 프로세스를 이용하는, 예컨대, 직접 하이브리드 본딩)함으로써 형성될 수 있다. 전도성 비아(393)는 기저부 엘리먼트(1000)로부터 공동(1391)으로 상향으로 열을 전도시키는 것을 도울 수 있다. 상단 히트 싱크(131)는 열 계면 재료(TIM)를 통해 반도체 엘리먼트(101 및/또는 102)에 장착될 수 있다.

[0017] 도 3b, 도 3c, 및 도 3d에서 도시된 추가의 실시예에서, 유체 냉각 유닛의 하단/기저부 부분(301), 및 유체 냉각 유닛의 상단 부분(302)은 상이한 재료로 형성될 수 있다. 추가적으로, 유체 냉각 유닛은 또한, 캡슐 부분(303)을 포함할 수 있다. 예를 들어, 유체 냉각 유닛의 하단/기저부 부분(301)은 실리콘(Si)(336)과 같은 반도체 재료로 형성된다. 그러나, 상단 부분(302) 또는 캡슐 부분(303)과 같은, 유체 냉각 유닛의 다른 부분은 다른 반도체 재료(337) 또는 폴리머/플라스틱 재료(338)로 형성될 수 있다.

[0018] 예를 들어, 마이크로전자 디바이스는 제1 반도체 엘리먼트; 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트; 및 제1 반도체 엘리먼트 상에 배치되는 유체 냉각 유닛 - 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함하고, 유체 냉각 유닛은 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로(thermal pathway)를 포함함 - 을 포함할 수 있다. 유체는 능동 기구(active mechanism)에 의해 공동 구조를 통해 이송된다. 하나의 실시예에서, 공동 구조는 하나 이상의 전기적 비전도 또는 반전도 재료로 형성된다. 하나의 실시예에서, 하나 이상의 전기적 비전도 또는 반전도 재료는 실리콘 또는 플라스틱을 포함한다. 하나의 실시예에서, 공동 구조의 내장 표면은 유체에서 난류를 증가시키도록 구성되는 피처를 포함한다. 하나의 실시예에서, 피처는 필러의 어레이를 포함한다. 하나의 실시예에서, 피처는 실리콘 또는 금속을 포함한다. 하나의 실시예에서, 공동 구조는 하단 벽을 포함하고, 여기서, 피처는 하단 벽 상에 배치된다. 하나의 실시예에서, 피처는 제1 반도체 엘리먼트로 연장되는 금속 피처를 포함한다. 하나의 실시예에서, 제1 반도체 엘리먼트로 연장되는 금속 피처는 하단 벽 상에 배치되는 피처를 제1 반도체 엘리먼트 내에 배치되는 전도성 비아에 직접적으

로 본딩함으로써 형성된다. 하나의 실시예에서, 피치는 제1 반도체 엘리먼트 상에 배치된다.

[0019] 도 4는 도 3a의 마이크로전자 시스템과 유사한 예시적인 마이크로전자 시스템의 단면도를 예시하고, 유사한 참조 번호는 유사한 특징부를 참조하기 위하여 이용된다. 그러나, 사전-형성된 공동, 예컨대, 액체 채널(1391) 구조를 기저부 엘리먼트(1000)에 장착하는 대신에, 유체 냉각 유닛은 (하단 벽을 갖지 않는) 캡 구조(450)를 하단 칩에 부착/본딩함으로써 형성되어, 이에 따라, 유체를 포함할 수 있는 공동, 예컨대, 액체 채널(1391)이 형성된다. 일부 실시예에서, 캡 구조는 하단 칩에 직접적으로 본딩(예컨대, ZIBOND[®] 또는 DBI[®])될 수 있다. 일부 실시예에서, 공동, 예컨대, 액체 채널(1391)과 인터페이싱하는 하단 칩의 부분은 유체에서 증류를 방지하고/난류를 촉진시키는 것을 도울 수 있는 피치(예컨대, 반도체 재료(예컨대, Si) 또는 금속 핑거)를 포함할 수 있다. 상단 히트 싱크는 TIM을 통해 반도체 엘리먼트에 장착될 수 있다.

[0020] 예를 들어, 마이크로전자 디바이스는 제1 반도체 엘리먼트; 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트; 및 제1 반도체 엘리먼트 상에 배치되는 유체 냉각 유닛 - 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함하고, 유체 냉각 유닛은 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함함 - 을 포함할 수 있다. 유체는 능동 기구에 의해 공동 구조를 통해 이송된다. 하나의 실시예에서, 공동 구조는 하단 벽을 갖지 않는 캡 구조를 제1 반도체 엘리먼트에 직접적으로 본딩함으로써 형성된다. 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 제1 반도체 엘리먼트의 CTE와 실질적으로 유사하다. 하나의 실시예에서, 제1 반도체 엘리먼트는 실리콘을 포함하고, 여기서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 실리콘의 CTE와 실질적으로 유사하다. 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 하단 벽의 열 팽창 계수(CTE)는 구리의 CTE보다 낮다. 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 10 $\mu\text{m}/\text{m}^\circ\text{C}$ 보다 낮다. 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 실리콘을 포함한다. 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 중간 접착제 없이 제1 반도체 엘리먼트에 직접적으로 본딩된다. 하나의 실시예에서, 하단 벽과 제1 반도체 엘리먼트 사이의 계면은 유전체-대-유전체 직접 결합을 포함한다.

[0021] 마이크로전자 디바이스(100)를 형성하는 방법은 제1 반도체 엘리먼트를 제공하는 것; 및 제2 반도체 엘리먼트 및 유체 냉각 유닛을 제1 반도체 엘리먼트에 본딩하는 것을 포함할 수 있어서, 제2 반도체 엘리먼트 및 유체 냉각 유닛은 제1 반도체 엘리먼트 상에 배치되고, 여기서, 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함하고, 유체 냉각 유닛은 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함한다. 하나의 실시예에서, 제2 반도체 엘리먼트를 본딩하는 것은, 중간 접착제 없이 제2 반도체 엘리먼트를 제1 반도체 엘리먼트에 직접적으로 본딩하는 것을 포함한다. 하나의 실시예에서, 공동 구조는 하단 벽을 포함하고, 여기서, 유체 냉각 유닛을 본딩하는 것은, 중간 접착제 없이 하단 벽을 제1 반도체 엘리먼트에 직접적으로 본딩하는 것을 포함한다. 하나의 실시예에서, 방법은 하단 벽을 갖지 않는 캡 구조를 제1 반도체 엘리먼트에 직접적으로 본딩함으로써 공동 구조를 형성하는 것을 더 포함한다. 하나의 실시예에서, 제2 반도체 엘리먼트는 유체 냉각 유닛 내에 배치된다. 하나의 실시예에서, 제2 반도체 엘리먼트는 유체 냉각 유닛의 외부에 배치된다.

[0022] 전자 엘리먼트

[0023] 다이는 임의의 적합한 유형의 집적된 디바이스 다이를 지칭할 수 있다. 예를 들어, 집적된 디바이스 다이는 (프로세서 다이, 제어기 다이, 또는 메모리 다이와 같은) 집적 회로, 마이크로전기기계 시스템(MEMS : microelectromechanical system) 다이, 광학 디바이스, 또는 임의의 다른 적합한 유형의 디바이스 다이와 같은 전자 컴포넌트를 포함할 수 있다. 일부 실시예에서, 전자 컴포넌트는 커패시터, 인덕터, 또는 다른 표면-장착된 디바이스와 같은 수동 디바이스를 포함할 수 있다. (트랜지스터와 같은 능동 컴포넌트와 같은) 회로부는 다양한 실시예에서 다이의 활성 표면(들)에서 또는 그 근처에서 패터닝될 수 있다. 활성 표면은 다이의 후면과 반대인 다이의 면 상에 있을 수 있다. 후면은 임의의 능동 회로부 또는 수동 디바이스를 포함할 수 있거나 이를 포함하지 않을 수 있다.

[0024] 집적된 디바이스 다이는 본딩 표면, 및 본딩 표면과 반대인 후방 표면을 포함할 수 있다. 본딩 표면은 전도성 본드 패드를 포함하는 복수의 전도성 본드 패드, 및 전도성 본드 패드에 인접한 비전도성 재료를 가질 수 있다. 일부 실시예에서, 집적된 디바이스 다이의 전도성 본드 패드는 중간 접착제 없이 기판 또는 웨이퍼의 대응하는 전도성 패드에 직접적으로 본딩될 수 있고, 집적된 디바이스 다이의 비전도성 재료는 중간 접착제 없이 기판 또

는 웨이퍼의 대응하는 비전도성 재료의 부분에 직접적으로 본딩될 수 있다. 접착제 없이 직접적으로 본딩하는 것은 미국 특허 제7,126,212호; 제8,153,505호; 제7,622,324호; 제7,602,070호; 제8,163,373호; 제8,389,378호; 제7,485,968호; 제8,735,219호; 제9,385,024호; 제9,391,143호; 제9,431,368호; 제9,953,941호; 제9,716,033호; 제9,852,988호; 제10,032,068호; 제10,204,893호; 제10,434,749호; 및 제10,446,532호의 전반에 걸쳐 설명되고, 미국 특허들 각각의 내용은 이로써 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다.

[0025] 직접 본딩 방법 및 직접적으로 본딩된 구조의 예

[0026] 본 명세서에서 개시되는 다양한 실시예는 2개의 엘리먼트가 중간 접착제 없이 서로에 직접적으로 본딩될 수 있는 직접적으로 본딩된 구조에 관한 것이다. (집적된 디바이스 다이, 웨이퍼 등과 같은) 반도체 엘리먼트일 수 있는 2개 이상의 전자 엘리먼트는 본딩된 구조를 형성하기 위하여 서로 상에 적층되거나 서로에 본딩될 수 있다. 하나의 엘리먼트의 전도성 접촉 패드는 또 다른 엘리먼트의 대응하는 전도성 접촉 패드에 전기적으로 접속될 수 있다. 임의의 적합한 수의 엘리먼트가 본딩된 구조 내에 적층될 수 있다. 접촉 패드는 비전도성 본딩 영역 내에 형성되는 금속성 패드를 포함할 수 있고, 재분배 층(RDL)과 같은 아래에 놓인 금속배선 (metallization)에 접속될 수 있다.

[0027] 일부 실시예에서, 엘리먼트는 접착제 없이 서로에 직접적으로 본딩된다. 다양한 실시예에서, 제1 엘리먼트의 비전도성 또는 유전체 재료는 접착제 없이 제2 엘리먼트의 대응하는 비전도성 또는 유전체 필드 영역에 직접적으로 본딩될 수 있다. 비전도성 재료는 제1 엘리먼트의 비전도성 본딩 영역 도는 본딩 층으로서 지칭될 수 있다. 일부 실시예에서, 제1 엘리먼트의 비전도성 재료는 유전체-대-유전체 본딩 기법을 이용하여 제2 엘리먼트의 대응하는 비전도성 재료에 직접적으로 본딩될 수 있다. 예를 들어, 유전체-대-유전체 결합은 적어도 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호에서 개시된 직접 본딩 기법을 이용하여 접착제 없이 형성될 수 있고, 미국 특허들 각각의 전체 내용은 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다. 직접 본딩을 위한 적합한 유전체 재료는 실리콘 옥사이드(silicon oxide), 실리콘 나이트라이드 (silicon nitride), 또는 실리콘 옥시나이트라이드(silicon oxynitride)와 같은 무기 유전체를 포함하지만, 이것으로 제한되지 않거나, 실리콘 카바이드(silicon carbide), 실리콘 옥시카보나이트라이드(silicon oxycarbonitride), 실리콘 카보나이트라이드(silicon carbonitride), 또는 다이아몬드-유사 카본(diamond-like carbon)과 같은 카본을 포함할 수 있다. 일부 실시예에서, 유전체 재료는 에폭시(epoxy), 수지(resin), 또는 몰딩 재료와 같은 폴리머(polymer) 재료를 포함하지 않는다.

[0028] 다양한 실시예에서, 하이브리드 직접 결합은 중간 접착제 없이 형성될 수 있다. 예를 들어, 유전체 본딩 표면은 높은 수준의 평활도(smoothness)로 연마(polish)될 수 있다. 본딩 표면은 세정될 수 있고, 표면을 활성화하기 위하여 플라즈마(plasma) 및/또는 에칭제(etchant)에 노출될 수 있다. 일부 실시예에서, 표면은 활성화 후에 또는 활성화 동안에(예컨대, 플라즈마 및/또는 에치 프로세스 동안에) 종(species)으로 종결될 수 있다. 이론에 의해 제한되지 않으면, 일부 실시예에서, 활성화 프로세스는 본딩 표면에서 화학적 결합을 파괴하도록 수행될 수 있고, 종결 프로세스는 직접 본딩 동안에 본딩 에너지를 개선시키는 본딩 표면에서 추가적인 화학 종(chemical species)을 제공할 수 있다. 일부 실시예에서, 활성화 및 종결은 표면을 활성화하고 종결하기 위하여 동일한 단계에서, 예컨대, 플라즈마 또는 습식 에칭제에서 제공된다. 다른 실시예에서, 본딩 표면은 직접 본딩을 위한 추가적인 종을 제공하기 위하여 별도의 처리에서 종결될 수 있다. 다양한 실시예에서, 종결 종(terminating species)은 질소(nitrogen)를 포함할 수 있다. 추가로, 일부 실시예에서, 본딩 표면은 불소(fluorine)에 노출될 수 있다. 예를 들어, 층 및/또는 본딩 계면 근처에는 하나 또는 다수의 불소 피크(fluorine peak)가 있을 수 있다. 따라서, 직접적으로 본딩된 구조에서, 2개의 유전체 재료 사이의 본딩 계면은 본딩 계면에서 더 높은 질소 함량 및/또는 불소 피크를 갖는 매우 평활한 계면을 포함할 수 있다. 활성화 및/또는 종결 처리의 추가적인 예는 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호의 전반에 걸쳐 발견될 수 있고, 미국 특허들 각각의 전체 내용은 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합된다.

[0029] 다양한 실시예에서, 제1 엘리먼트의 전도성 접촉 패드는 또한, 제2 엘리먼트의 대응하는 전도성 접촉 패드에 직접적으로 본딩될 수 있다. 예를 들어, 하이브리드 직접 본딩 기법은, 위에서 설명된 바와 같이 준비되는 공유적으로 직접 본딩된 유전체-대-유전체 표면을 포함하는 결합 계면을 따라 전도체-대-전도체 직접 결합을 제공하기 위하여 이용될 수 있다. 다양한 실시예에서, 전도체-대-전도체(예컨대, 접촉 패드 대 접촉 패드) 직접 결합 및 유전체-대-유전체 하이브리드 결합은 적어도 미국 특허 제9,716,033호 및 제9,852,988호에서 개시되는 직접 본딩 기법을 이용하여 형성될 수 있고, 미국 특허들 각각의 전체 내용은 그 전체적으로 그리고 모든 목적을 위하여

여 본 명세서에 참조로 통합된다.

[0030] 예를 들어, 유전체 본딩 표면이 준비될 수 있고, 위에서 설명된 바와 같이, 중간 접착제 없이 서로에 직접적으로 본딩될 수 있다. (비전도성 유전체 필드 영역에 의해 포위될 수 있는) 전도성 접촉 패드는 또한, 중간 접착제 없이 서로에 직접적으로 본딩될 수 있다. 일부 실시예에서, 개개의 접촉 패드는 유전체 필드 또는 비전도성 본딩 영역의 외장(예컨대, 상부) 표면 아래에서 리세스(recess)될 수 있고, 예를 들어, 30 nm 미만, 20 nm 미만, 15 nm 미만, 또는 10 nm 미만만큼 리세스될 수 있고, 예를 들어, 2 nm 내지 20 nm의 범위에서, 또는 4 nm 내지 10 nm의 범위에서 리세스될 수 있다. 비전도성 본딩 영역은 본 명세서에서 설명된 본딩 도구에서의 일부 실시예에서, 실온에서 접착제 없이 서로에 직접적으로 본딩될 수 있고, 추후에, 본딩된 구조는 어닐링(anneal)될 수 있다. 어닐링은 별도의 장치에서 수행될 수 있다. 어닐링 시에, 접촉 패드는 금속-대-금속 직접 결합을 형성하기 위하여 팽창할 수 있고 서로 접촉할 수 있다. 유익하게도, CA, San Jose의 Xperi로부터 상업적으로 입수가 가능한 Direct Bond Interconnect(직접 결합 상호접속) 또는 DBI[®]와 같은 하이브리드 본딩 기법의 이용은 직접 결합 계면(예컨대, 규칙적인 어레이를 위한 작은 또는 미세한 피치(pitch))에 걸쳐 접속된 패드의 높은 밀도를 가능하게 할 수 있다. 일부 실시예에서, 본딩된 엘리먼트 중 하나의 본딩된 엘리먼트의 본딩 표면 내에 내장되는 본딩 패드 또는 전도성 트레이스(conductive trace)의 피치는 40 마이크로미터 미만, 또는 10 마이크로미터 미만, 또는 심지어 2 마이크로미터 미만일 수 있다. 일부 애플리케이션에 대해서는, 본딩 패드의 치수 중 하나의 치수에 대한 본딩 패드의 피치의 비율은 5 미만, 또는 3 미만, 그리고 때때로 바람직하게는 2 미만이다. 다른 애플리케이션에서, 본딩된 엘리먼트 중 하나의 본딩된 엘리먼트의 본딩 표면 내에 내장되는 전도성 트레이스의 폭은 0.3 내지 5 마이크로미터(micron) 사이의 범위일 수 있다. 다양한 실시예에서, 접촉 패드 및/또는 트레이스는 구리를 포함할 수 있지만, 다른 금속이 적합할 수 있다.

[0031] 따라서, 직접 본딩 프로세스에서는, 제1 엘리먼트가 중간 접착제 없이 제2 엘리먼트에 직접적으로 본딩될 수 있다. 일부 배열에서, 제1 엘리먼트는 싱글레이팅된 집적된 디바이스 다이(singulated integrated device die)와 같은 싱글레이팅된 엘리먼트를 포함할 수 있다. 다른 배열에서, 제1 엘리먼트는, 싱글레이팅될 때, 복수의 집적된 디바이스 다이를 형성하는 복수의(예컨대, 수십, 수백 이상) 디바이스 영역을 포함하는 캐리어 또는 기판(예컨대, 웨이퍼)을 포함할 수 있다. 본 명세서에서 설명된 실시예에서, 다이 또는 기판이든지 간에, 제1 엘리먼트는 호스트 기판으로 간주될 수 있고, 픽-앤-플레이스(pick-and-place) 또는 로봇 엔드 이펙터(robotic end effector)로부터 제2 엘리먼트를 수납하기 위하여 본딩 도구 내의 지지체 상에 장착된다. 예시된 실시예의 제2 엘리먼트는 다이를 포함한다. 다른 배열에서, 제2 엘리먼트는 캐리어 또는 평판 패널 또는 기판(예컨대, 웨이퍼)을 포함할 수 있다.

[0032] 본 명세서에서 설명된 바와 같이, 제1 및 제2 엘리먼트는 접착제 없이 서로에 직접적으로 본딩될 수 있고, 이것은 증착 프로세스(deposition process)와는 상이하다. 하나의 애플리케이션에서, 본딩된 구조 내의 제1 엘리먼트의 폭은 제2 엘리먼트의 폭과 유사할 수 있다. 일부 다른 실시예에서, 본딩된 구조 내의 제1 엘리먼트의 폭은 제2 엘리먼트의 폭과는 상이할 수 있다. 본딩된 구조 내의 더 큰 엘리먼트의 폭 또는 면적은 더 작은 엘리먼트의 폭 또는 면적보다 적어도 10% 더 클 수 있다. 제1 및 제2 엘리먼트는 이에 따라, 비증착된 엘리먼트를 포함할 수 있다. 추가로, 증착된 층과 달리, 직접적으로 본딩된 구조는 나노보이드(nanovoid)가 존재하는 결합 계면을 따라 결합 영역(defect region)을 포함할 수 있다. 나노보이드는 본딩 표면의 활성화(예컨대, 플라즈마에 대한 노출)로 인해 형성될 수 있다. 위에서 설명된 바와 같이, 결합 계면은 활성화 및/또는 최후의 화학적 처리 프로세스로부터의 재료의 집중을 포함할 수 있다. 예를 들어, 활성화를 위하여 질소 플라즈마를 사용하는 실시예에서는, 질소 피크가 결합 계면에서 형성될 수 있다. 예를 들어, 활성화를 위하여 산소 플라즈마를 사용하는 실시예에서는, 산소 피크가 결합 계면에서 형성될 수 있다. 일부 실시예에서, 결합 계면은 실리콘 옥시나이트라이드, 실리콘 옥시카보나이트라이드, 또는 실리콘 카보나이트라이드를 포함할 수 있다. 본 명세서에서 설명된 바와 같이, 직접 결합은 반데르발스 결합(van Der Waals bond)보다 강력한 공유 결합(covalent bond)을 포함할 수 있다. 본딩 층은 또한, 높은 수준의 평활도로 평탄화되는 연마된 표면을 포함할 수 있다. 예를 들어, 본딩 층은 마이크로미터 당 2 nm 제곱평균제곱근(RMS : root mean square) 미만, 또는 마이크로미터 당 1 nm RMS 미만인 표면 거칠기를 가질 수 있다.

[0033] 다양한 실시예에서, 직접 하이브리드 본딩된 구조 내의 접촉 패드 사이의 금속-대-금속 결합은, 전도성 피처 그레인(conductive feature grain), 예를 들어, 전도성 피처 상의 구리 그레인이 결합 계면에 걸쳐 서로에게 성장하도록 병합될 수 있다. 일부 실시예에서, 구리는 결합 계면에 걸쳐 개선된 구리 확산을 위하여 111 결정 평면을 따라 배향되는 그레인을 가질 수 있다. 결합 계면은 본딩된 접촉 패드의 적어도 부분으로 실질적으로 완전히 연장될 수 있어서, 본딩된 접촉 패드에서 또는 그 근처에서의 비전도성 본딩 영역 사이에는 실질적으로 갭(ga

p)이 없다. 일부 실시예에서, 장벽 층은 (예컨대, 구리를 포함할 수 있는) 접촉 패드의 하부에 제공될 수 있다. 그러나, 다른 실시예에서는, 예를 들어 그 전체적으로 그리고 모든 목적을 위하여 본 명세서에 참조로 통합되는 US 2019/0096741에서 설명된 바와 같이, 접촉 패드 하부에 장벽 층이 없을 수 있다.

- [0034] 하나의 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것이고, 마이크로전자 디바이스는 제1 반도체 엘리먼트; 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트; 및 제1 반도체 엘리먼트 상에 배치되는 유체 냉각 유닛 - 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함하고, 유체 냉각 유닛은 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함함 - 을 포함한다.
- [0035] 하나의 실시예에서, 유체는 능동 기구에 의해 공동 구조를 통해 이송된다.
- [0036] 하나의 실시예에서, 공동 구조는 하나 이상의 전기적 비전도 또는 반전도 재료로 형성된다.
- [0037] 하나의 실시예에서, 하나 이상의 전기적 비전도 또는 반전도 재료는 실리콘 또는 플라스틱을 포함한다.
- [0038] 하나의 실시예에서, 공동 구조의 내장 표면은 유체에서 난류를 증가시키도록 구성되는 피치를 포함한다.
- [0039] 하나의 실시예에서, 피치는 필러의 어레이를 포함한다.
- [0040] 하나의 실시예에서, 피치는 실리콘 또는 금속을 포함한다.
- [0041] 하나의 실시예에서, 공동 구조는 하단 벽을 포함하고, 여기서, 피치는 하단 벽 상에 배치된다.
- [0042] 하나의 실시예에서, 피치는 제1 반도체 엘리먼트로 연장되는 금속 피치를 포함한다.
- [0043] 하나의 실시예에서, 제1 반도체 엘리먼트로 연장되는 금속 피치는 하단 벽 상에 배치되는 피치를 제1 반도체 엘리먼트 내에 배치되는 전도성 비아에 직접적으로 본딩함으로써 형성된다.
- [0044] 하나의 실시예에서, 피치는 제1 반도체 엘리먼트 상에 배치된다.
- [0045] 하나의 실시예에서, 공동 구조는 하단 벽을 갖지 않는 캡 구조를 제1 반도체 엘리먼트에 직접적으로 본딩함으로써 형성된다.
- [0046] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 제1 반도체 엘리먼트의 CTE와 실질적으로 유사하다.
- [0047] 하나의 실시예에서, 제1 반도체 엘리먼트는 실리콘을 포함하고, 여기서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 실리콘의 CTE와 실질적으로 유사하다.
- [0048] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 구리의 CTE보다 낮다.
- [0049] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽의 열 팽창 계수(CTE)는 $10 \mu\text{m}/\text{m}^\circ\text{C}$ 보다 낮다.
- [0050] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 실리콘을 포함한다.
- [0051] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 중간 접착제 없이 제1 반도체 엘리먼트에 직접적으로 본딩된다.
- [0052] 하나의 실시예에서, 하단 벽과 제1 반도체 엘리먼트 사이의 계면은 유전체-대-유전체 직접 결합을 포함한다.
- [0053] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 납땀 본딩을 통해 제1 반도체 엘리먼트에 본딩된다.
- [0054] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 접착제 본딩을 통해 제1 반도체 엘리먼트에 본딩된다.
- [0055] 하나의 실시예에서, 공동 구조는 제1 반도체 엘리먼트 상에 배치되는 하단 벽을 포함하고, 여기서, 하단 벽은 열 계면 재료(TIM)에 의해 제1 반도체 엘리먼트에 본딩된다.
- [0056] 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 중간 접착제 없이 제1 반도체 엘리먼트에 직접적으로 본딩된다(예컨대, 직접 하이브리드 본딩됨).

- [0057] 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트와 제1 반도체 엘리먼트 사이의 계면은 전도체-대-전도체 및 유전체-대-유전체 직접 결합을 포함한다.
- [0058] 하나의 실시예에서, 마이크로전자 디바이스는 적어도 하나의 제2 반도체 엘리먼트 상에 배치되는 히트 싱크를 더 포함한다.
- [0059] 하나의 실시예에서, 유체 냉각 유닛은 제1 반도체로부터 히트 싱크로 열을 전달하도록 구성된다.
- [0060] 하나의 실시예에서, 히트 싱크는 중간 접촉제 없이 적어도 하나의 제2 반도체 엘리먼트에 직접적으로 본딩된다.
- [0061] 하나의 실시예에서, 제1 반도체 엘리먼트는 집적된 디바이스 다이를 포함한다.
- [0062] 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 집적된 디바이스 다이를 포함한다.
- [0063] 하나의 실시예에서, 유체는 기체를 포함한다.
- [0064] 하나의 실시예에서, 유체는 액체를 포함한다.
- [0065] 하나의 실시예에서, 유체 냉각 유닛은 적어도 하나의 제2 반도체 엘리먼트를 통해 열류를 감소시킨다(예컨대, 열류는 적어도 하나의 제2 반도체 엘리먼트를 우회함).
- [0066] 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 유체 냉각 유닛 내에 배치된다.
- [0067] 하나의 실시예에서, 적어도 하나의 제2 반도체 엘리먼트는 유체 냉각 유닛의 외부에 배치된다.
- [0068] 또 다른 측면에서, 개시된 기술은 마이크로전자 디바이스를 형성하는 방법에 관한 것이고, 방법은 제1 반도체 엘리먼트를 제공하는 것; 및 제2 반도체 엘리먼트 및 유체 냉각 유닛을 제1 반도체 엘리먼트에 본딩하는 것을 포함하여, 제2 반도체 엘리먼트 및 유체 냉각 유닛은 제1 반도체 엘리먼트 상에 배치되고, 여기서, 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함하고, 유체 냉각 유닛은 제1 반도체 엘리먼트로부터 멀어지도록 열을 전달하기 위한 열 통로를 포함한다.
- [0069] 하나의 실시예에서, 제2 반도체 엘리먼트를 본딩하는 것은, 중간 접촉제 없이 제2 반도체 엘리먼트를 제1 반도체 엘리먼트에 직접적으로 본딩하는 것을 포함한다.
- [0070] 하나의 실시예에서, 공동 구조는 하단 벽을 포함하고, 여기서, 유체 냉각 유닛을 본딩하는 것은, 중간 접촉제 없이 하단 벽을 제1 반도체 엘리먼트에 직접적으로 본딩하는 것을 포함한다.
- [0071] 하나의 실시예에서, 방법은 하단 벽을 갖지 않는 캡 구조를 제1 반도체 엘리먼트에 직접적으로 본딩함으로써 공동 구조를 형성하는 것을 더 포함한다.
- [0072] 하나의 실시예에서, 제2 반도체 엘리먼트는 유체 냉각 유닛 내에 배치된다.
- [0073] 하나의 실시예에서, 제2 반도체 엘리먼트는 유체 냉각 유닛의 외부에 배치된다.
- [0074] 또 다른 측면에서, 개시된 기술은 마이크로전자 디바이스에 관한 것이고, 마이크로전자 디바이스는 제1 반도체 엘리먼트; 접촉제 없이 제1 반도체 엘리먼트에 직접적으로 본딩되는 유체 냉각 유닛을 포함하고, 유체 냉각 유닛은 유체를 포함하기 위한 공동 구조를 포함한다.
- [0075] 하나의 실시예에서, 마이크로전자 디바이스는 제1 반도체 엘리먼트 상에 배치되는 적어도 하나의 제2 반도체 엘리먼트를 더 포함한다.
- [0076] 하나의 실시예에서, 유체 냉각 유닛은 적어도 하나의 제2 반도체 엘리먼트를 통해 열류를 감소시킨다(예컨대, 열류는 적어도 하나의 제2 반도체 엘리먼트를 우회함).
- [0077] 문맥이 명백하게 이와 다르게 요구하지 않으면, 설명 및 청구항의 전반에 걸쳐, 단어 "포함한다(comprise)", "포함하는(comprising)",
- [0078] "포함한다(include)", "포함하는(including)", 등은 배타적이거나 철저한 의미와는 반대로, 포괄적 의미; 즉, "포함하지만, 이것으로 제한되지 않는"의 의미로 해석되어야 한다. 본 명세서에서 일반적으로 이용된 바와 같은 단어 "결합된(coupled)"은, 직접적으로 접속될 수 있거나, 하나 이상의 중간 엘리먼트를 통해 접속될 수 있는 2개 이상의 엘리먼트를 지칭한다. 마찬가지로, 본 명세서에서 일반적으로 이용된 바와 같은 단어 "접속된(connected)"은, 직접적으로 접속될 수 있거나, 하나 이상의 중간 엘리먼트를 통해 접속될 수 있는 2개 이상의 엘리먼트를 지칭한다. 추가적으로, 단어 "본 명세서에서(herein)", "위에서(above)", "이하에서(below)" 및 유

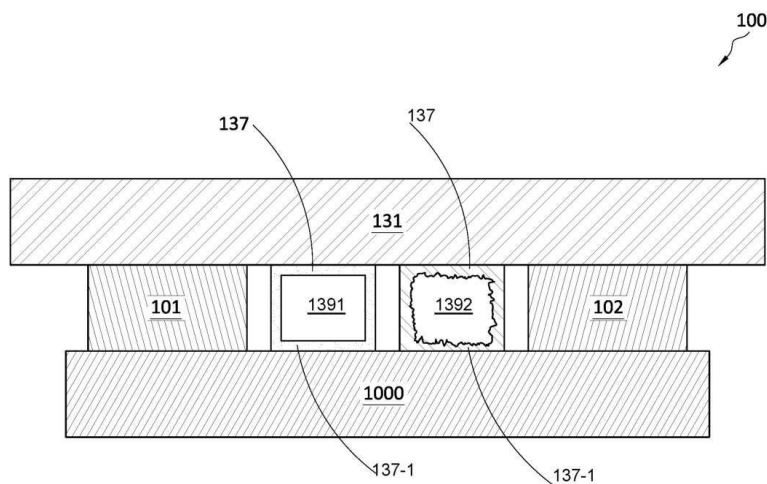
사한 중요성의 단어는 이 출원에서 이용될 때, 이 출원의 임의의 특정한 부분이 아니라, 전체로서의 이 출원을 지칭할 것이다. 또한, 본 명세서에서 이용된 바와 같이, 제1 엘리먼트가 제2 엘리먼트 "상" 또는 "상부"에 있는 것으로서 설명될 때, 제1 엘리먼트는 직접적으로 제2 엘리먼트 상에 또는 그 상부에 있을 수 있어서, 제1 및 제2 엘리먼트가 직접적으로 접촉하거나, 제1 및 제2 엘리먼트 사이에 하나 이상의 엘리먼트가 개재되도록, 제1 엘리먼트가 간접적으로 제2 엘리먼트 상에 또는 그 상부에 있을 수 있다. 문맥이 허용할 경우, 단수 또는 복수를 이용하는 위의 상세한 설명에서의 단어는 각각 복수 또는 단수를 또한 포함할 수 있다. 2 개 이상의 항목의 리스트를 참조하는 단어 "또는(or)"은, 그 단어가 단어의 다음의 해독의 전부를 포괄한다: 리스트에서의 항목 중의 임의의 것, 리스트에서의 항목의 전부, 및 리스트에서의 항목의 임의의 조합.

[0079] 또한, 그 중에서도, "할 수 있다(can)", "할 수 있었다(could)", "할 수 있었다(might)", "할 수 있다(may)", "등(e.g.)", "예를 들어(for example)", "~과 같은(such as)" 등과 같은 본 명세서에서 이용된 조건적 언어는, 이와 다르게 구체적으로 기재되지 않거나, 이용된 바와 같은 문맥 내에서 이와 다르게 이해되지 않으면, 어떤 실시예가 어떤 특징부, 엘리먼트, 및/또는 상태를 포함하는 반면, 다른 실시예는 어떤 특징부, 엘리먼트, 및/또는 상태를 포함하지 않는다는 것을 전달하도록 일반적으로 의도된다. 따라서, 이러한 조건적 언어는 특정, 엘리먼트, 및/또는 상태가 하나 이상의 실시예를 위하여 여하튼 요구된다는 것을 암시하도록 일반적으로 의도되지 않는다.

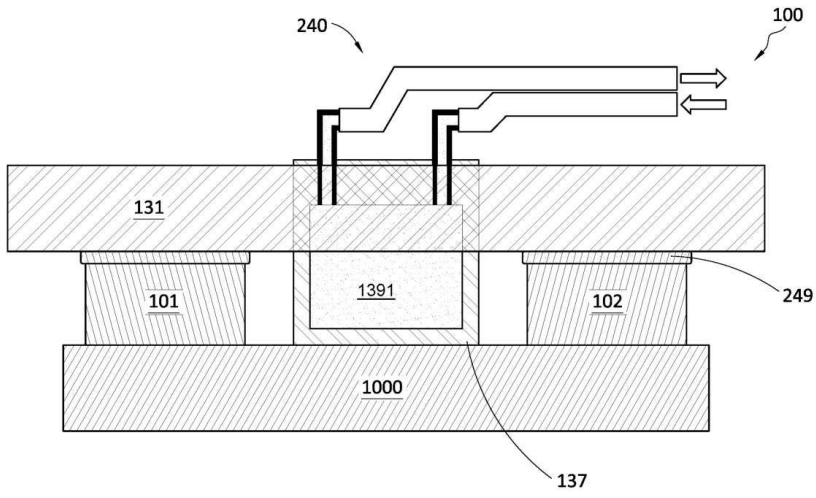
[0080] 어떤 실시예가 설명되었지만, 이 실시예는 오직 예로서 제시되었고, 개시내용의 범위를 제한하도록 의도되지는 않는다. 실제로, 본 명세서에서 설명된 신규한 장치, 방법, 및 시스템은 다양한 다른 형태로 구체화될 수 있고; 또한, 본 명세서에서 설명된 방법 및 시스템의 형태에서의 다양한 생략, 치환, 및 변경은 개시내용의 사상으로부터 이탈하지 않으면서 행해질 수 있다. 예를 들어, 블록은 주어진 배열로 제시되지만, 대안적인 실시예는 상이한 컴포넌트들 및/또는 회로 토폴로지로 유사한 기능을 수행할 수 있고, 일부 블록은 삭제될 수 있고, 이동될 수 있고, 추가될 수 있고, 하위분할될 수 있고, 조합될 수 있고, 및/또는 수정될 수 있다. 이 블록 각각은 다양한 상이한 방법으로 구현될 수 있다. 위에서 설명된 다양한 실시예의 엘리먼트 및 액트(act)의 임의의 적합한 조합은 추가의 실시예를 제공하도록 조합될 수 있다. 첨부 청구항 및 그 등가물은 개시내용의 범위 및 사상 내에 속하는 바와 같은 이러한 형태 또는 변형을 포괄하도록 의도된다.

도면

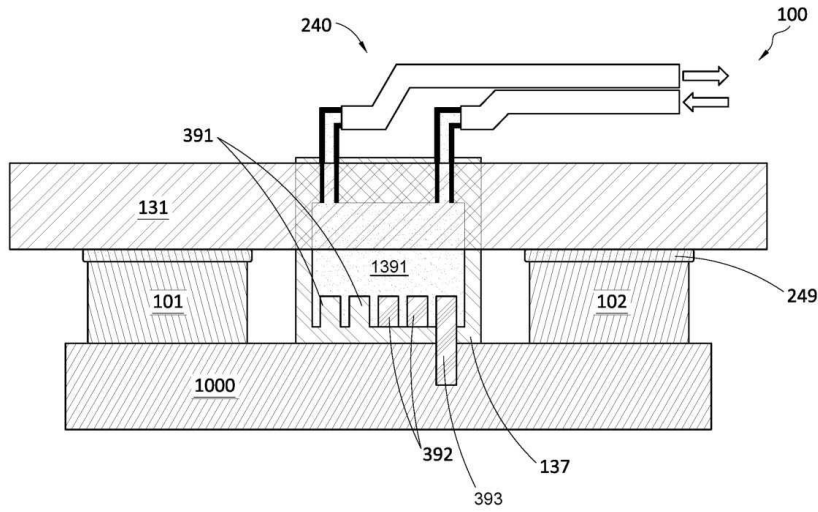
도면1



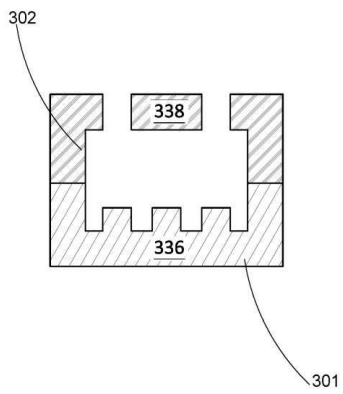
도면2



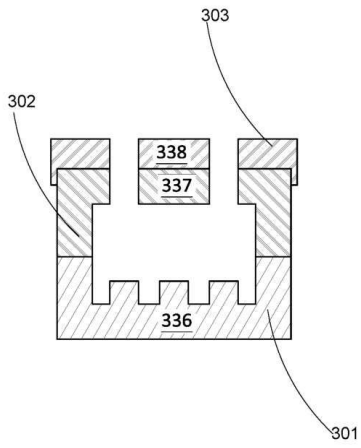
도면3a



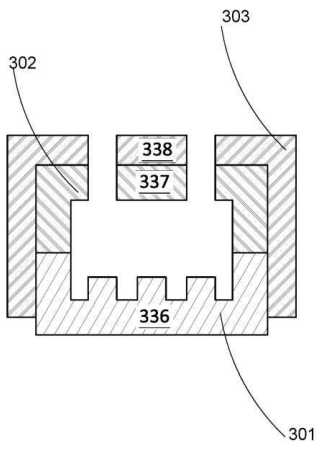
도면3b



도면3c



도면3d



도면4

