ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223229
(11) (B1)

(51) Int. Cl.[3]
G 06 F 3/04

(22) Přihlášeno 16 03 81
(21) (PV 1889-81)

(40) Zveřejněno **31 12 82**

(45) Vydáno 15 03 86

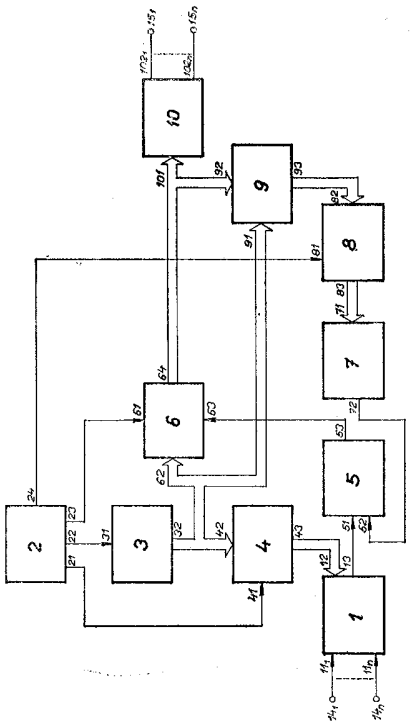
(75)
Autor vynálezu HAJIČ JAN ing., KONDR PAVEL ing., NOVÁK KAREL ing., PRAHA

(54) Zapojení vícenásobného hladinového členu

1

Vynález se týká vícenásobného hladinového členu pro použití v automatizační technice. Vstupní analogové signály jsou cyklicky vzorkovány a porovnávány s mezemi, které jsou v číslicové formě zaznamenány v paměti typu PROM. Každému analogovému signálu jsou přiřazeny dvě hladiny s významem horní a dolní meze hysterezní funkce. Jeden nebo dva vstupy se používají jako kontrolní, takže je možno trvale kontrolovat správnou funkci celého zapojení s výjimkou multiplexeru.

2



Vynález se týká zapojení vícenásobného hladinového členu pro hlídání požadovaných hladin analogových signálů v zařízeních pro poruchovou signalizaci nebo řízení průmyslových procesů. V zapojení podle vynálezu jsou každému analogovému signálu přiřazeny dvě nastavitelné hladiny s významem horní a dolní meze hysterezní funkce.

V současné době jsou známé dva způsoby řešení hladinových členů. První řešení jsou analogové komparátory s nastavitelnou hladinou překlápění. Analogové komparátory jsou vždy určeny pro zpracování jednoho vstupního signálu a požadovaná hladina překlápění, popřípadě hystereze se u nich nastavuje zpravidla potenciometry. Druhé řešení hladinových členů je v programu samočinného počítače, který je určen pro řízení průmyslového procesu. Analogové komparátory se hodí pro málo rozhlá uplatnění, kde počet hlídaných hladin nepřesahuje několik desítek. Pro velké počty hlídaných hladin je cena takového řešení nepříznivě vysoká, a to zejména tehdy, když je hladinový člen konstruován pro unifikovaný rozsah vstupního napětí a pro přirozené signály se před něj musí zapojovat převodník. Použití počítače se vyplatí pro velmi rozsáhlá uplatnění. Řešení hladinových členů je pak jen malou částí nákladů na řídicí počítač.

Mezeru mezi oběma známými způsoby řešení vyplňuje zapojení vícenásobného hladinového členu pro hlídání požadovaných hladin analogových signálů. Jeho podstata spočívá v tom, že každý jeho vstup je spojen s odpovídajícím analogovým vstupem multiplexeru, jehož výstup je spojen s prvním vstupem komparátoru. Skupinový číslicový vstup multiplexeru je spojen se skupinovým výstupem budiče, jehož první vstup je spojen s prvním výstupem generátoru. Druhý výstup generátoru je spojen se vstupem čítače, jehož skupinový výstup je spojen s druhým skupinovým vstupem budiče, s prvním skupinovým vstupem dekodéru a s druhým skupinovým vstupem paměti stavů. Její skupinový výstup je spojen se skupinovým vstupem výstupního obvodu a s druhým skupinovým vstupem dekodéru. Skupinový výstup dekodéru je spojen s druhým skupinovým vstupem paměti hladin, jejíž skupinový výstup je spojen se skupinovým vstupem převodníku. Výstup převodníku je spojen s druhým vstupem komparátoru, jehož výstup je spojen s třetím vstupem paměti stavů. První vstup paměti stavů je spojen s třetím výstupem generátoru, jehož čtvrtý výstup je spojen s prvním vstupem paměti stavů. Každý výstup výstupního obvodu je spojen s odpovídajícím výstupem.

Řešení podle vynálezu je zejména vhodné pro středně velký počet hlídaných hladin, kde řešení s analogovými komparátory vychází dražší a ještě se nevyplatí použití číslicového počítače. Výhodou zapojení podle vynálezu je to, že umožňuje zapojit jeden nebo dva vstupy na známý referenční signál a vhodným nastavením hladin na těchto vstupech neustále kontrolovat správnou funkci téměř celého zapojení. Taková kontrola přispívá ke zvýšení spolehlivosti zařízení, ve kterém jsou hladinové členy použity.

Příklad uspořádání vícenásobného hladinového členu podle vynálezu je znázorněn v blokovém zapojení na připojeném výkresu.

Jednotlivé bloky lze charakterizovat takto: Multiplexer **1** je přepínač analogových napětí. Multiplexer **1** může být vytvořen jak v uspořádání nesymetrickém, tak diferenciálním a dále může být jak s přímým spínáním, tak s paměťovým kondenzátorem. Podle signálu na svém skupinovém číslicovém vstupu **12** připíná jednotlivá vstupní napětí na svých analogových vstupech 11_1 až 11_n na výstup **13**. Budič **4** je vytvořen z logických obvodů a bezkontaktních spínačů. Budič **4** zajišťuje pro multiplexer **1** správná ovládací napětí ve vhodný okamžik podle sigálů na svém druhém skupinovém vstupu **42** a podle časových značek na svém prvním vstupu **41**. Čítač **3** je kruhový čítač, který čítá časové značky přivedené na jeho vstup **31** a vytváří na svém skupinovém výstupu **32** adresu pro budič **4**, paměť **6** stavů a dekodér **9**. Čítač **3** zajišťuje cyklické spínání všech vstupních napětí multiplexerem **1**. Generátor **2** obsahuje oscilátor a logické obvody. Zajišťuje na svých výstupech **21**, **22**, **23**, **24** časové průběhy pro budič **4**, čítač **3**, paměť **6** stavů a paměť **8** hladin. Paměť **6** stavů je paměť typu RAM. Zaznamenává postupně logické stavy výstupu **53** komparátoru **5** pro jednotlivé vstupy hladinového členu. Její třetí vstup **63** představuje propojené datové vstupy všech paměťových buněk. Okamžik zapsání stavů do každé paměťové buňky je určován časovou značkou přivedenou na její první vstup **61**. Komparátor **5** je diferenciální zesilovač s velkým zesílením bez zpětné vazby. Porovnává napětí na svém prvním vstupu **51** s napětím na svém druhém vstupu **52**. Logickou informaci o výsledku porovnání poskytuje na svém výstupu **53**. Výstupní obvod **10** je vytvořen ze spínacího tranzistoru, diody a odporů. Je to obvod, který jednotlivé bity vstupního signálu na svém skupinovém vstupu **101** přizpůsobí na požadovanou výstupní úroveň a zároveň zajistí další potřebné vlastnosti výstupu, například galvanické oddělení nebo možnost připojení na sběrnici. Dekodér **9** je logický obvod, který připojuje k adrese na svém vstupu **91** další informaci o tom, jaký je stav výstupu příslušného k dané adrese. Paměť **8** hladin je paměť typu PROM, v níž je v číslicové formě uložena informace o požadovaných hladinách spínání jednotlivých vstupů. Hystereze spínání je zajišťována odděleným zápisem informace o horních a dolních mezích hysterezní funkce pro

jednotlivé hladiny. Převodník **7** je číslicově analogový převodník.

Zapojení má n vstupů a n výstupů. První vstup 14_1 zapojení až poslední vstup 14_n zapojení jsou spojeny s odpovídajícím prvním analogovým vstupem 11_1 až posledním analogovým vstupem 11_n multiplexeru **1**. Skupinový číslicový vstup **12** multiplexeru **1** je spojen se skupinovým výstupem **43** budiče **4**. Výstup **13** multiplexeru **1** je spojen s prvním vstupem **51** komparátoru **5**. První výstup **21** generátoru **2** je spojen s prvním vstupem **41** budiče **4**. Druhý výstup **22** generátoru **2** je spojen se vstupem **31** čítače **3**. Skupinový výstup **32** čítače **3** je spojen jednak s druhým skupinovým vstupem **42** budiče **4**, jednak s druhým skupinovým vstupem **62** paměti **6** stavů a jednak s prvním skupinovým vstupem **91** dekodéru **9**. Třetí výstup **23** generátoru **2** je spojen s prvním vstupem **61** paměti **6** stavů. Skupinový výstup **64** paměti **6** stavů je spojen jednak se skupinovým vstupem **101** výstupního obvodu **10** a jednak s druhým skupinovým vstupem **92** dekodéru **9**. Skupinový výstup **93** dakodéru **9** je spojen s druhým skupinovým vstupem **82** paměti **8** hladin. Čtvrtý výstup **24** generátoru **2** je spojen s prvním vstupem **81** paměti **8** hladin. Skupinový výstup **83** paměti **8** hladin je spojen se skupinovým vstupem **71** převodníku **7**. Výstup **72** převodníku **7** je spojen s druhým vstupem **52** komparátoru **5**. Výstup **53** komparátoru **5** je spojen s třetím vstupem **63** paměti **6** stavů. První výstup 102_1 výstupního obvodu **10** až poslední výstup 102_n výstupního obvodu **10** jsou spojeny s odpovídajícím prvním výstupem 15_1 zapojení až posledním výstupem 15_n zapojení.

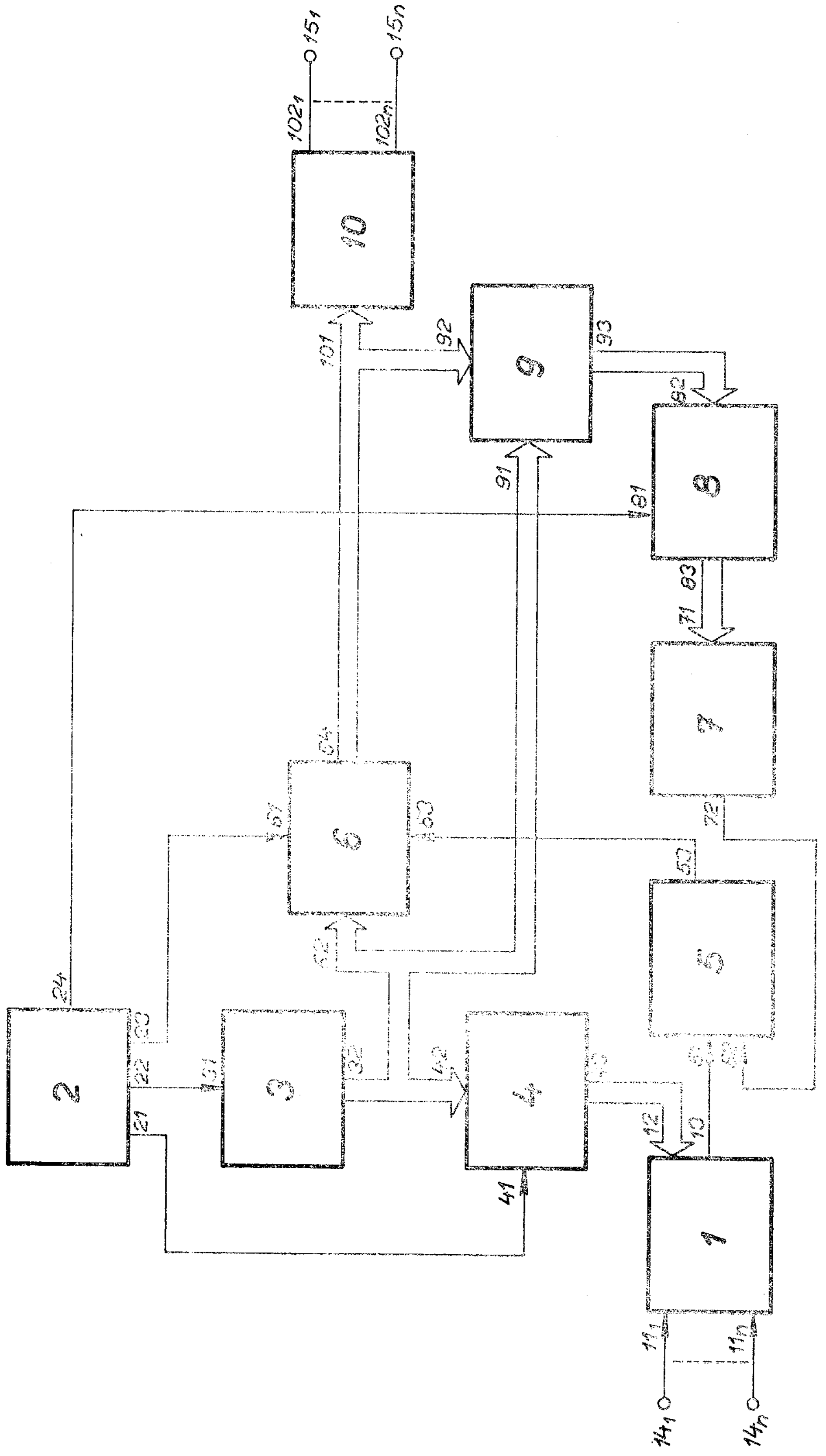
Zapojení pracuje takto: Vstupní analogová napětí se přivádějí ze vstupů 14_1 až 14_n zapojení na vstupy 11_1 až 11_n multiplexeru **1**. Multiplexer **1** se ovládá signály ze skupinového výstupu **43** budiče **4**, které přicházejí na skupinový číslicový vstup **12** multiplexeru **1**. Vstupní analogová napětí se multiplexerem **1** postupně připínají na jeho výstup **13**, odkud se vedou na první vstup **51** komparátoru **5**. Generátor **2** vytváří časové značky, a to na svém prvním výstupu **21** pro budič **4**, na svém druhém výstupu **22** pro čítač **3**, na svém třetím výstupu **23** pro paměť **6** stavů a na svém čtvrtém výstupu **24** pro paměť **8** hladin. Hladiny vstupních napětí, při nichž má dojít ke změně stavu výstupů 15_1 až 15_n zapojení, jsou zapsány v číslicové formě v paměti **8** hladin. Výstupní signály na skupinovém výstupu **32** čítače **3** představují adresu vstupu multiplexeru **1**, adresu paměti **6** stavů a přes dekodér **9** také adresu paměti **8** hladin. Časovou značkou z výstupu **24** generátoru **2** do paměti **8** hladin se uvolňují data, odpovídající požadované hladině příslušného vstupu multiplexeru **1**. Data se vedou ze skupinového výstupu **83** paměti **8** hladin na skupinový vstup **71** převodníku **7**, zde se převádějí na analogový signál, který jde z výstupu **72** převodníku **7** na druhý vstup **52** komparátoru **5**. Komparátor **5** porovnává napětí na obou svých vstupech **51**, **52** a jeho výstup **53** nabývá hodnoty log 0 nebo log 1. Tato hodnota se z výstupu **53** komparátoru **5** zavádí na třetí vstup **63** paměti **6** stavů. Po ustálení přechodových jevů se tato hodnota zapisuje časovou značkou, vedenou ze třetího výstupu **23** generátoru **2** na první vstup **61** paměti **6** stavů, na paměťové místo, které je určeno adresou na druhém skupinovém vstupu **62** paměti **6** stavů. Informace o stavu přichází ze skupinového výstupu **64** paměti **6** stavů na skupinový vstup **101** výstupního obvodu **10** a z jeho výstupů 102_1 až 102_n na výstupy 15_1 až 15_n zapojení. Požadovaná hystereze spínání se dosahuje tak, že každé hladině jsou přiřazeny dvě meze, a ty jsou zapsány na dvou paměťových místech paměti **8** hladin. Dekodér **9** je uspořádán tak, že adresu z čítače **3** na svém prvním skupinovém vstupu **91** doplňuje o údaj z druhého skupinového vstupu **92** o tom, zda příslušný výstup je ve stavu log 0 nebo log. 1. Na skupinovém výstupu **93** dekodéru **9** se pak objevuje adresa zavedená na druhý skupinový vstup **82** paměti **8** hladin.

Vynálezu se využije v automatizační technice pro hlídání požadovaných hladin analogových signálů v zařízeních pro poruchovou signalizaci nebo řízení průmyslových procesů.

PŘEDMĚT VYNÁLEZU

Zapojení vícenásobného hladinového členu pro hlídání požadovaných hladin analogových signálů, vyznačující se tím, že každý jeho vstup (14$_1$ až 14$_n$) je spojen s odpovídajícím analogovým vstupem (11$_1$ až 11$_n$) multiplexeru (1), jehož výstup (13) je spojen s prvním vstupem (51) komparátoru (5) a skupinový číslicový vstup (12) multiplexeru (1) je spojen se skupinovým výstupem (43) budiče (4), jehož první vstup (41) je spojen s prvním výstupem (21) generátoru (2), jehož druhý výstup (22) je spojen se vstupem (31) čítače (3), jehož skupinový výstup (32) je spojen s druhým skupinovým vstupem (42) budiče (4) s prvním skupinovým vstupem (91) dekodéru (9) a s druhým skupinovým vstupem (62) paměti (6) stavů, jejíž skupinový výstup (64) je spojen se skupinovým vstupem (101) výstupního obvodu (10) a s druhým skupinovým vstupem (92) dekodéru (9), jehož skupinový výstup (93) je spojen s druhým skupinovým vstupem (82) paměti (8) hladin, jejíž skupinový výstup (83) je spojen se skupinovým vstupem (71) převodníku (7), jehož výstup (72) je spojen s druhým vstupem (52) komparátoru (5), jehož výstup (53) je spojen s třetím vstupem (63) paměti (6) stavů, jejíž první vstup (61) je spojen s třetím výstupem (23) generátoru (2), jehož čtvrtý výstup (24) je spojen s prvním vstupem (81) paměti (8) stavů, přičemž každý výstup (102$_1$ až 102$_n$) výstupního obvodu (10) je spojen s odpovídajícím výstupem (15$_1$ až 15$_n$).

1 list výkresů


1
2
3
4
5
6
7
8
9
10